

(19) 日本国特許庁 (JP)

## (12) 特 許 公 報 (B2)

(11) 特許番号

特許第5154951号  
(P5154951)

(45) 発行日 平成25年2月27日 (2013. 2. 27)

(24) 登録日 平成24年12月14日 (2012. 12. 14)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006. 01)  
 HO 1 L 21/8234 (2006. 01)  
 HO 1 L 27/06 (2006. 01)  
 HO 1 L 27/088 (2006. 01)

HO 1 L 29/78 6 1 2 B  
 HO 1 L 29/78 6 1 7 T  
 HO 1 L 29/78 6 1 7 U  
 HO 1 L 27/06 1 0 2 A  
 HO 1 L 27/08 1 0 2 C

請求項の数 19 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2007-553828 (P2007-553828)  
 (86) (22) 出願日 平成18年9月6日 (2006. 9. 6)  
 (86) 国際出願番号 PCT/JP2006/317641  
 (87) 国際公開番号 W02007/080672  
 (87) 国際公開日 平成19年7月19日 (2007. 7. 19)  
 審査請求日 平成20年6月3日 (2008. 6. 3)  
 審判番号 不服2011-22860 (P2011-22860/J1)  
 審判請求日 平成23年10月24日 (2011. 10. 24)  
 (31) 優先権主張番号 特願2006-5402 (P2006-5402)  
 (32) 優先日 平成18年1月12日 (2006. 1. 12)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (74) 代理人 110000914  
 特許業務法人 安富国際特許事務所  
 (72) 発明者 安松 拓人  
 日本国大阪府大阪市阿倍野区長池町22番  
 22号 シャープ株式会社内

合議体  
 審判長 北島 健次  
 審判官 恩田 春香  
 審判官 西脇 博志

最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1半導体層、第1絶縁膜、第1導電層及び第3絶縁膜がこの順に積層された構造を有する第1回路素子と、第2半導体層、第1絶縁膜よりも膜厚が大きい第2絶縁膜及び第2導電層がこの順に積層された構造を有する第2回路素子とを基板上に有する半導体装置であって、

該第1絶縁膜は、最上層が窒化シリコンからなる積層構造を有し、

該第2絶縁膜は、第1絶縁膜の積層構造を有する下層部と、第1導電層上の第3絶縁膜の構造を含む上層部とから構成され、

該第1絶縁膜、及び、第2絶縁膜の下層部は、酸化シリコン層及び窒化シリコン層がこの順に積層された構造を有し、

該第2絶縁膜の上層部は、窒化シリコン層であり、

該第1絶縁膜、及び、第2絶縁膜の下層部がそれぞれ有する該酸化シリコン層及び該窒化シリコン層、並びに、該第2絶縁膜の上層部である該窒化シリコン層は、プラズマ化学的気相成長法で形成されたものである

ことを特徴とする半導体装置。

【請求項 2】

前記半導体装置は、第1回路素子及び第2回路素子が薄膜トランジスタであることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記第 1 回路素子は、駆動回路部の薄膜トランジスタであり、  
前記第 2 回路素子は、画素回路部の薄膜トランジスタであることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 回路素子又は第 2 回路素子は、窒化シリコン層を貫通するコンタクトホールを有することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記半導体装置は、第 1 回路素子が薄膜トランジスタであり、第 2 回路素子が保持容量素子であることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】

前記第 1 回路素子は、駆動回路部の薄膜トランジスタであり、  
前記第 2 回路素子は、画素回路部の保持容量素子であることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】

請求項 1 記載の半導体装置の製造方法であって、  
該製造方法は、第 1 絶縁膜と第 2 絶縁膜の下層部とを同一の工程で形成することを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 1 記載の半導体装置の製造方法であって、  
該製造方法は、第 3 絶縁膜の少なくとも一部と第 2 絶縁膜の上層部とを同一の工程で形成することを特徴とする半導体装置の製造方法。

【請求項 9】

第 1 半導体層、第 1 絶縁膜及び第 1 導電層がこの順に積層された構造を有する第 1 回路素子と、第 2 半導体層、第 1 絶縁膜よりも膜厚が大きい第 2 絶縁膜及び第 2 導電層がこの順に積層された構造を有する第 2 回路素子とを基板上に有する半導体装置であって、  
該第 2 絶縁膜は、最上層が窒化シリコンからなる下層部と、第 1 絶縁膜の構造を有する上層部とから構成され、  
該第 1 絶縁膜、及び、第 2 絶縁膜の下層部、並びに、第 2 絶縁膜の上層部は、酸化シリコン層及び窒化シリコン層がこの順に積層された構造を有し、  
該第 1 絶縁膜、及び、第 2 絶縁膜の下層部、並びに、第 2 絶縁膜の上層部がそれぞれ有する該酸化シリコン層及び該窒化シリコン層は、プラズマ化学的気相成長法で形成されたものである  
ことを特徴とする半導体装置。

【請求項 10】

前記第 1 回路素子は、第 1 半導体層下に、第 3 絶縁膜を有し、  
前記第 2 絶縁膜の下層部は、第 1 半導体層下の第 3 絶縁膜の構造を含むことを特徴とする請求項 9 記載の半導体装置。

【請求項 11】

前記半導体装置は、第 1 回路素子及び第 2 回路素子が薄膜トランジスタであることを特徴とする請求項 9 記載の半導体装置。

【請求項 12】

前記第 1 回路素子は、駆動回路部の薄膜トランジスタであり、  
前記第 2 回路素子は、画素回路部の薄膜トランジスタであることを特徴とする請求項 11 記載の半導体装置。

【請求項 13】

前記第 1 回路素子又は第 2 回路素子は、窒化シリコン層を貫通するコンタクトホールを有することを特徴とする請求項 9 記載の半導体装置。

【請求項 14】

前記半導体装置は、第 1 回路素子が薄膜トランジスタであり、第 2 回路素子が保持容量素子であることを特徴とする請求項 9 記載の半導体装置。

10

20

30

40

50

## 【請求項 15】

前記第 1 回路素子は、駆動回路部の薄膜トランジスタであり、  
前記第 2 回路素子は、画素回路部の保持容量素子であることを特徴とする請求項 14 記載の半導体装置。

## 【請求項 16】

請求項 9 記載の半導体装置の製造方法であって、  
該製造方法は、第 1 絶縁膜と第 2 絶縁膜の上層部とを同一の工程で形成することを特徴とする半導体装置の製造方法。

## 【請求項 17】

請求項 10 記載の半導体装置の製造方法であって、  
該製造方法は、第 3 絶縁膜の少なくとも一部と第 2 絶縁膜の下層部とを同一の工程で形成することを特徴とする半導体装置の製造方法。

## 【請求項 18】

前記窒化シリコン層を構成する材料は、四窒化三ケイ素であることを特徴とする請求項 1 又は 9 記載の半導体装置。

## 【請求項 19】

請求項 1 又は 9 記載の半導体装置を含んで構成されることを特徴とする表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置、その製造方法及び表示装置に関する。より詳しくは、アクティブマトリクス基板等の半導体装置、その製造方法及び表示装置に関するものである。

## 【背景技術】

## 【0002】

半導体装置は、半導体の電気特性を利用した能動素子を備えた電子装置であり、例えば、オーディオ機器、通信機器、コンピュータ、家電機器等に広く応用されている。中でも、基板上に薄膜トランジスタ（以下「TFT」ともいう。）を備える半導体装置として、TFT アレイ基板が知られており、アクティブマトリクス駆動方式の液晶表示装置等の構成部材として利用されている。

## 【0003】

ところで、近年、アクティブマトリクス駆動方式の液晶表示装置では、TFT の半導体材料としてポリシリコン（以下「p-Si」ともいう。）を用いることにより、画素回路部と駆動回路部とを同一の基板上に設けるシステムオンガラス技術が活用されつつある。この技術を活用すれば、画素回路部の TFT（以下「画素スイッチング用 TFT」ともいう。）と駆動回路部の TFT（以下「駆動回路用 TFT」ともいう。）とを一体的に形成することにより、液晶表示装置の小型化、低消費電力化及び高信頼性を実現することができる。しかしながら、画素スイッチング用 TFT と駆動回路用 TFT とでは、要求される特性が異なる。すなわち、画素スイッチング用 TFT には、コントラスト比の低下やパネル内の画質の不均一を抑制するために低いオフ電流が要求されるのに対し、駆動回路用 TFT には、駆動回路の高速動作を実現するために低閾値電圧（ $V_{th}$ ）化、 $V_{th}$  バラツキ低減や高いオン電流が要求される。したがって、これらの要求特性を満たすべく、画素スイッチング用 TFT と駆動回路用 TFT との間で、構造上の差異を設ける等の必要がある。

## 【0004】

このような方法としては、例えば、画素スイッチング用 TFT のゲート絶縁膜の膜厚を駆動回路用 TFT のゲート絶縁膜の膜厚よりも大きくする方法が知られている。例えば、半導体層とゲート電極との間に 2 層構造のゲート絶縁膜を有するマトリクス回路部 TFT（画素スイッチング用 TFT）と、1 層構造のゲート絶縁膜を有する周辺回路部 TFT（駆動回路用 TFT）とが同一の基板上に形成された薄膜半導体装置が開示されている（例えば、特許文献 1 参照。）。この薄膜半導体装置においては、周辺回路部 TFT のゲート絶

10

20

30

40

50

縁膜は、酸化シリコン又は窒化シリコンからなる単層構造を有し、マトリクス回路部ＴＦＴのゲート絶縁膜は、下層部が周辺回路部ＴＦＴのゲート絶縁膜と同一の構造を有し、上層部が酸化シリコン又は窒化シリコンからなる単層構造を有する。しかしながら、この構成によれば、マトリクス回路部ＴＦＴにおいて、ゲート絶縁膜の上層部及び下層部の２層を連続成膜することが不可能であり、該上層部と下層部との界面にはトラップが多く存在するため、ゲート絶縁膜の下層部が酸化シリコンからなる単層構造を有する場合には、マトリクス回路部ＴＦＴの信頼性が低下してしまうという点で改善の余地があった。また、ゲート絶縁膜の上層部は、スパッタ又はプラズマＣＶＤ法により形成されるため、ゲート絶縁膜の下層部は、酸化シリコンからなる単層構造を有する場合には、ゲート絶縁膜の上層部の形成工程においてプラズマ損傷を受ける結果、マトリクス回路部ＴＦＴの信頼性がより低下してしまうという点で改善の余地があった。一方、マトリクス回路部ＴＦＴにおいて、ゲート絶縁膜の下層部が窒化シリコンからなる場合には、ゲート絶縁膜と半導体層（ポリシリコン層）との間で良質な界面を形成することができないため、良好なＴＦＴ特性を得ることができないという点で改善の余地があった。

10

#### 【０００５】

また、ゲート絶縁膜を構成する絶縁膜を形成した後、該絶縁膜の所定の領域をエッチングで選択的に除去することでゲート絶縁膜の厚さが異なる第１及び第２の電界効果型トランジスタを形成する半導体装置の製造方法が開示されている（例えば、特許文献２参照）。しかしながら、この製造方法によれば、エッチングされる絶縁膜が単層構造を有するため、上記エッチングをドライエッチングで行った場合に、エッチングで除去して形成された部分がプラズマダメージを受けるため、信頼性を低下させてしまうことがあるという点で改善の余地があった。

20

#### 【０００６】

したがって、従来の製造方法では、画素スイッチング用ＴＦＴ及び駆動回路用ＴＦＴを同一の基板上に作製する場合、いずれかのＴＦＴがゲート絶縁膜に劣化やダメージを受けてしまい、信頼性が低くなるため、現在も量産化できていない。

【特許文献１】特開平５－３３５５７３号公報

【特許文献２】特開２００５－７２４６１号公報

【発明の開示】

【発明が解決しようとする課題】

30

#### 【０００７】

本発明は、上記現状に鑑みてなされたものであり、高性能化を図ることができる回路素子と高耐圧化を図ることができる回路素子とを同一の基板上に有し、かつ高信頼性化を図ることができる半導体装置及び表示装置を提供することを目的とするものである。

【課題を解決するための手段】

#### 【０００８】

本発明者は、第１半導体層、第１ゲート絶縁膜（第１絶縁膜）、第１ゲート電極（第１導電層）及び第３絶縁膜がこの順に積層された構造を有する第１薄膜トランジスタ（第１回路素子）と、第２半導体層、第１ゲート絶縁膜よりも膜厚が大きい第２ゲート絶縁膜（第２絶縁膜）及び第２ゲート電極（第２導電層）がこの順に積層された構造を有する第２薄膜トランジスタ（第２回路素子）とを基板上に有する半導体装置の製造方法について種々検討したところ、上記第１ゲート絶縁膜及び第２ゲート絶縁膜を形成する方法に着目した。

40

#### 【０００９】

そして、例えば、図１８（ａ）～（ｄ）に示すように、第１半導体層１５ａ及び第２半導体層１５ｃ上に、酸化シリコン（ $\text{SiO}_2$ ）からなる第１ゲート絶縁膜４ａ、及び、第２ゲート絶縁膜９の下層部４ｃを形成する工程（図１８（ａ））と、第１ゲート電極５を形成する工程（図１８（ｂ））と、窒化シリコン（ $\text{SiN}_x$ ）等からなる第３絶縁膜（第３絶縁膜の一部すなわち下層部、中層部又は上層部であってもよい。）６ａ及び第２ゲート絶縁膜９の上層部６ｃを形成する工程（図１８（ｃ））と、第２ゲート電極８を形成する

50

工程（図18（d））とをこの順に含む方法について検討した。この方法によれば、第1絶縁膜4aと第2ゲート絶縁膜9の下層部4cとを共通の工程で形成することができ、第3絶縁膜6aと第2ゲート絶縁膜9の下層部6cとを共通の工程で形成することができることから、図18（d）に示すように、 $\text{SiO}_2$ の単層からなる第1ゲート絶縁膜4aと、 $\text{SiO}_2$ からなる下層部4c及び $\text{SiN}_x$ 等からなる上層部6cの2層構造を有する第2ゲート絶縁膜9とを簡便に形成することができる。

#### 【0010】

しかしながら、この方法によれば、図18（b）に示す工程において、第1ゲート電極5は、通常、微細化を実現する観点から、金属膜等をドライエッチングすることで形成される。したがって、この工程において、プラズマに弱い $\text{SiO}_2$ からなる第1ゲート絶縁膜4a、及び、第2ゲート絶縁膜9の下層部4cは、プラズマに曝されて損傷を受けるため、第1TFT50a及び第2TFT50cの信頼性が低下してしまうことを見いだした。また、図18（c）に示す工程において、 $\text{SiN}_x$ 等からなる第3絶縁膜6a及び第2ゲート絶縁膜9の上層部6cは通常、膜厚均一性及び段差被覆性等の観点から、プラズマ化学的気相成長（CVD）法を用いて形成される。したがって、この工程においても、第2ゲート絶縁膜9の下層部4cはプラズマ損傷を受け、信頼性が低下してしまうことを見いだした。

#### 【0011】

更に、図18（a）～（c）に示すように、第1TFT50aにおける第1ゲート絶縁膜4aと第3絶縁膜6aとは工程を分離して形成され、第2TFT50cにおける第2ゲート絶縁膜9の下層部4cと上層部6cとは工程を分離して形成される。したがって、第1ゲート絶縁膜4aと第3絶縁膜6aとの界面、及び、第2ゲート絶縁膜9の下層部4cと上層部6cとの界面には、ホウ素（B）、ナトリウム（Na）、リン（P）、重金属等の可動イオン（不純物）が付着している。この不純物は、後の工程でアニール等されることにより、第1ゲート絶縁膜4a、及び、第2ゲート絶縁膜9の下層部4c内ひいては第1半導体層15a及び第2半導体層15c内に拡散するため、第1TFT50a及び第2TFT50cの信頼性が更に低下してしまうことを見いだした。

#### 【0012】

そこで、本発明者は、第1ゲート絶縁膜4a、及び、第2ゲート絶縁膜9の下層部4cの構造に着目した。そして、 $\text{SiN}_x$ が高いプラズマ耐性を有することを見だし、図19（a）～（c）に示すような方法について検討した。そして、図19（a）に示すように、第1ゲート絶縁膜4a、及び、第2ゲート絶縁膜9の下層部4cの構造を最上層が $\text{SiN}_x$ からなる積層構造とすることにより、図19（b）及び（c）に示す工程において、第1ゲート絶縁膜4a、及び、第2ゲート絶縁膜9の下層部4cをプラズマ損傷から守ることができることを見いだした。

#### 【0013】

また、 $\text{SiN}_x$ は不純物の拡散を防止（バリア）する機能も有することから、第1ゲート絶縁膜4a、及び、第2ゲート絶縁膜9の下層部4c上に付着した不純物は膜表面で捕獲（トラップ）されることにより、後のアニール工程等において、不純物が第1ゲート絶縁膜4a、及び、第2ゲート絶縁膜9の下層部4c内ひいては第1半導体層15a及び第2半導体層15c内に拡散することを抑制することができることを見いだした。更に、第1ゲート絶縁膜4a、及び、第2ゲート絶縁膜9の下層部4cの構造を積層構造とすることにより、第1ゲート絶縁膜4aの最下層7a、及び、第2ゲート絶縁膜9の下層部4cの最下層7cを構成する材料として、 $\text{SiN}_x$ とは別に、第1半導体層15a及び第2半導体層15cと良質な界面を形成する材料（例えば、 $\text{SiO}_2$ 等。）を選択することができるため、第1TFT50a及び第2TFT50cの良好な特性を確保することができることを見いだした。

#### 【0014】

以上により、第1TFT50a及び第2TFT50cの信頼性を確保しつつ、第1TFT

10

20

30

40

50

50aの高性能化及び第2TF50cの高耐压化を図ることができる結果、これらのTFを同一の基板上に有する半導体装置の量産化を図ることができることを見いだした。また、本発明は、トップゲート構造のTFのみならず、ボトムゲート構造、デュアルゲート構造のTF、及び、保持容量素子等の回路素子を2以上基板上に有する半導体装置全般に適用することができることを見だし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

【0015】

すなわち、本発明は、第1半導体層、第1絶縁膜、第1導電層及び第3絶縁膜がこの順に積層された構造を有する第1回路素子と、第2半導体層、第1絶縁膜よりも膜厚が大きい第2絶縁膜及び第2導電層がこの順に積層された構造を有する第2回路素子とを基板上に有する半導体装置であって、上記第1絶縁膜は、最上層が窒化シリコンからなる積層構造を有し、上記第2絶縁膜は、第1絶縁膜の積層構造を有する下層部と、第1導電層上の第3絶縁膜の構造を含む上層部とから構成される半導体装置（以下「第1半導体装置」ともいう。）である（例えば、図1参照。）。 10

【0016】

本発明はまた、第1半導体層、第1絶縁膜及び第1導電層がこの順に積層された構造を有する第1回路素子と、第2半導体層、第1絶縁膜よりも膜厚が大きい第2絶縁膜及び第2導電層がこの順に積層された構造を有する第2回路素子とを基板上に有する半導体装置であって、上記第2絶縁膜は、最上層が窒化シリコンからなる下層部と、第1絶縁膜の構造を有する上層部とから構成される半導体装置（以下「第2半導体装置」ともいう。）でもある（例えば、図2（a）参照。）。 20

【0017】

本発明は更に、第1導電層、第1絶縁膜及び第1半導体層がこの順に積層された構造を有する第1回路素子と、第2導電層、第1絶縁膜よりも膜厚が大きい第2絶縁膜、及び、第2半導体層がこの順に積層された構造を有する第2回路素子とを基板上に有する半導体装置であって、上記第1絶縁膜は、最下層が窒化シリコンからなる構造を有し、上記第2絶縁膜は、下層部と、第1絶縁膜の構造を有する上層部とから構成される半導体装置（以下「第3半導体装置」ともいう。）でもある（例えば、図3（a）参照。）。 30

【0018】

本発明はそして、第1導電層、第1絶縁膜及び第1半導体層がこの順に積層された構造を有する第1回路素子と、第2導電層、第1絶縁膜よりも膜厚が大きい第2絶縁膜、及び、第2半導体層がこの順に積層された構造を有する第2回路素子とを基板上に有する半導体装置であって、上記第2絶縁膜は、第1絶縁膜の構造を有する下層部と、最下層が窒化シリコンからなる上層部とから構成される半導体装置（以下「第4半導体装置」ともいう。）でもある（例えば、図4（a）参照。）。 40

【0019】

まず、本発明の第1半導体装置について詳述する。

本発明の第1半導体装置は、第1半導体層、第1絶縁膜、第1導電層及び第3絶縁膜がこの順に積層された構造を有する第1回路素子と、第2半導体層、第1絶縁膜よりも膜厚が大きい第2絶縁膜及び第2導電層がこの順に積層された構造を有する第2回路素子とを基板上に有するものである。上記第1半導体装置の好適な形態としては、例えば、（1）第1回路素子及び第2回路素子が薄膜トランジスタ（TF）である形態、（2）第1回路素子がTFであり、第2回路素子が保持容量素子である形態が挙げられる。（1）の場合、第1回路素子を第1TFとし、第2回路素子を第2TFとすると、第1TFのゲート絶縁膜（第1絶縁膜）は、第2TFのゲート絶縁膜（第2絶縁膜）よりも膜厚が小さいことから、第1回路素子は、第2回路素子よりも高速な動作を実現することができる高性能なTFとして機能することができ、第2回路素子は、第1回路素子よりも絶縁破壊電圧が大きい高耐压なTFとして機能することができる。また、（2）の場合、第1回路素子を第3TFとし、第2回路素子を保持容量素子とすると、第1絶縁膜（第3TFのゲート絶縁膜）は、第2絶縁膜（保持容量素子の絶縁膜）よりも膜厚が小さいこ 50

とから、第1回路素子は、高速な動作を実現することができる高性能なTFTとして機能することができ、第2回路素子は、絶縁破壊電圧が大きい高耐圧な保持容量素子として機能することができる。

なお、上記第1半導体装置内のTFTとしては、トップゲート構造のTFT、デュアルゲート構造のTFT等が挙げられ、微細化の観点からは、トップゲート構造のTFTが好適である。

#### 【0020】

上記第1絶縁膜は、最上層が窒化シリコン( $\text{SiN}_x$ )からなる積層構造を有する(例えば、図1参照。)。  $\text{SiN}_x$  は高いプラズマ耐性を有することから、上記第1絶縁膜が  $\text{SiN}_x$  層を最上層として有することにより、第1絶縁膜にプラズマ損傷を与えることなく、第1導電層をプラズマエッチング(プラズマアッシング)等のドライエッチングで形成することができる。すなわち、第1絶縁膜の信頼性を保持しつつ、第1導電層ひいては第1回路素子の微細化を図ることができる。また、  $\text{SiN}_x$  は不純物の拡散を防止する機能も有することから、第1絶縁膜の  $\text{SiN}_x$  層上に付着したホウ素(B)、ナトリウム(Na)、リン(P)、重金属等の可動イオン(不純物)はそのまま  $\text{SiN}_x$  層の表面で捕獲(トラップ)される結果、不純物が第1絶縁膜ひいては第1半導体層内に拡散することを抑制することができる。したがって、第1回路素子(TFT等)の特性が変動(シフト)し、信頼性が低下するのを抑制することができる。更に、上記第1絶縁膜が積層構造を有することにより、上記第1絶縁膜の最下層を構成する材料を、最上層を構成する材料( $\text{SiN}_x$ )とは別個独立に選択することができる。すなわち、上記第1絶縁膜の最下層を構成する材料として、第1半導体層と良質な界面を形成する材料(例えば、 $\text{SiO}_2$ 等。)を選択することにより、第1回路素子について良好なドレイン電圧( $I_d$ )対ゲート電圧( $V_g$ )特性(トランスファ特性)等を確保することができる。更に、上記第1絶縁膜が最上層として  $\text{SiN}_x$  層を有することから、第1導電層上に層間絶縁膜( $\text{SiN}_x$ 膜)が設けられた場合に、層間絶縁膜の応力によってプラズマ損傷に似た損傷を受けることを低減することができる。そして、上記第1絶縁膜が誘電率の高い  $\text{SiN}_x$  からなる層を有することにより、実効酸化膜厚(Equivalent Oxide Thickness: EOT)を低減することができるため、第1回路素子の更なる高性能化を図ることができる。

#### 【0021】

上記第2絶縁膜は、第1絶縁膜の積層構造を有する下層部と、第1導電層上の第3絶縁膜の構造を含む上層部とから構成される(例えば、図1参照。)。上記第2絶縁膜の下層部は、第1絶縁膜の積層構造と積層の数及び順序が同一の構造、すなわち最上層が  $\text{SiN}_x$  からなる積層構造を有することから、第2絶縁膜の下層部にプラズマ損傷を与えることなく、第1導電層をプラズマエッチング等のドライエッチングで形成することができ、第2絶縁膜の上層部をプラズマCVD法等で形成することができる。したがって、第2絶縁膜の信頼性を保持しつつ、第1導電層ひいては第1回路素子の微細化を図ることができる。また、上記第2絶縁膜の下層部が積層構造を有することにより、上記第2絶縁膜の最下層を構成する材料を、該下層部の最上層を構成する材料( $\text{SiN}_x$ )とは別個独立に選択することができる。すなわち、上記第2絶縁膜の最下層を構成する材料として、第2半導体層と良質な界面を形成する材料(例えば、 $\text{SiO}_2$ 等。)を選択することにより、第2回路素子について良好なトランスファ特性等を確保することができる。更に、上記第2絶縁膜の下層部と上層部とは別々の工程で形成されるが、該下層部の最上層を構成する  $\text{SiN}_x$  は不純物の拡散を防止する機能を有することから、第2絶縁膜の下層部上に付着した可動イオン(不純物)はそのまま  $\text{SiN}_x$  層の表面で捕獲(トラップ)される結果、不純物が第2絶縁膜の下層部内ひいては第2半導体層に拡散することを抑制することができる。したがって、第2TFTの特性が変動(シフト)し、信頼性が低下するのを抑制することができる。そして、上記第2絶縁膜の下層部が誘電率の高い  $\text{SiN}_x$  からなる層を有することにより、第2絶縁膜の物理的な膜厚を増加させることができるため、第2回路素子の更なる高耐圧化を図ることができる。更には、上記第2絶縁膜の上層部が第1導電層上の

第3絶縁膜の構造を含むことから、上記第2絶縁膜の上層部の形成する際のパターニング工程等の削減を図ることにより、製造工程の簡略化を図ることができる。

したがって、本発明の第1半導体装置によれば、信頼性を十分に確保しつつ、高性能化を図ることができる回路素子と高耐圧化を図ることができる回路素子とを同一の基板上に有する半導体装置の量産化を図ることができる。

#### 【0022】

上記第1絶縁膜、及び、第2絶縁膜の下層部の構造は、積層構造すなわち2以上の層からなる構造である限り、例えば3以上の層からなる構造であってもよい。上記第1絶縁膜及び第2絶縁膜中の $\text{SiN}_x$ 層以外の層を構成する材料としては特に限定されず、酸化シリコン( $\text{SiO}_2$ )、 $\text{SiO}_2$ よりも誘電率が低い材料として $\text{SiOF}$ 、 $\text{SiOC}$ 等、 $\text{SiO}_2$ よりも誘電率が高い材料として、二酸化チタン( $\text{TiO}_2$ )、三酸化二アルミニウム( $\text{Al}_2\text{O}_3$ )、五酸化ニタンタル( $\text{Ta}_2\text{O}_5$ )等の酸化タンタル、二酸化ハフニウム( $\text{HfO}_2$ )、二酸化ジルコニウム( $\text{ZrO}_2$ )等が挙げられる。上記第1絶縁膜と第2絶縁膜の下層部とは、同一の工程で形成された(一体化された)層を含んでいてもよく、第1絶縁膜を構成する全ての層が、第2絶縁膜の下層部を構成する層とそれぞれ同一の工程で形成されたものであることが好ましい。

#### 【0023】

これに対し、上記第3絶縁膜、及び、第2絶縁膜の上層部の構造は、単層構造であってもよく、積層構造であってもよい。したがって、これらについては、最上層又は最下層とは、積層構造における一番上の層又は一番下の層である場合に加え、単層構造における同一の層を指す場合も含む。第2絶縁膜の上層部の形態としては、(1)第3絶縁膜の中層部の構造を有する形態、(2)第3絶縁膜の下層部の構造を有する形態、(3)第3絶縁膜の上層部の構造を有する形態、(4)第3絶縁膜の全体の構造を有する形態が挙げられるが、第3絶縁膜の形成する際のパターニング工程等の削減を図る観点からは、(2)及び(3)の形態が好ましく、(4)の形態が特に好ましい。なお、(1)の形態における中層部とは、少なくとも最上層及び最下層を含んでいなければよく、1層で構成されるものであってもよく、2層以上で構成されるものであってもよい。(2)の形態における下層部とは、少なくとも第3絶縁膜の最下層を含んでいればよく、1層で構成されるものであってもよく、2層以上で構成されるものであってもよい。(3)の形態における上層部とは、少なくとも第3絶縁膜の最上層を含んでいればよく、1層で構成されるものであってもよく、2層以上で構成されるものであってもよい。

#### 【0024】

上記第3絶縁膜の材料としては、酸化シリコン( $\text{SiO}_2$ )、 $\text{SiO}_2$ よりも誘電率が低い材料として $\text{SiOF}$ 、 $\text{SiOC}$ 等、 $\text{SiO}_2$ よりも誘電率が高い材料として、窒化シリコン( $\text{SiN}_x$ )、二酸化チタン( $\text{TiO}_2$ )、三酸化二アルミニウム( $\text{Al}_2\text{O}_3$ )、五酸化ニタンタル( $\text{Ta}_2\text{O}_5$ )等の酸化タンタル、二酸化ハフニウム( $\text{HfO}_2$ )、二酸化ジルコニウム( $\text{ZrO}_2$ )等が挙げられる。

#### 【0025】

上記窒化シリコン( $\text{SiN}_x$ )としては特に限定されないが、四窒化三ケイ素( $\text{Si}_3\text{N}_4$ )等が好適に用いられる。また、プラズマ化学的気相成長(CVD)法で形成した $\text{SiN}_x$ 層は、 $x$ の値に関わらず高いプラズマ耐性及び不純物拡散防止機能を有することから好適である。更に、第1絶縁膜の最上層、及び、第2絶縁膜の下層部の最上層を構成する $\text{SiN}_x$ 層の膜厚は、例えば10nmである場合にも、本発明の作用効果を得ることができる。なお、シリコンオキシナイトライド( $\text{SiNO}$ )もまた、高いプラズマ耐性を有することから、 $\text{SiN}_x$ の代替材料として好適に用いることができるが、より高いプラズマ耐性を有する観点から、 $\text{SiN}_x$ がより好ましい。

#### 【0026】

本発明の第1半導体装置は、上記第1回路素子及び第2回路素子を構成要素として基板上に有するものである限り、その他の構成要素を有していても有していなくてもよく、特に限定されるものではない。



## 【0027】

上記第1半導体層及び第2半導体層を構成する材料としては、廉価性及び量産性の観点から、シリコン(Si)が好ましく、中でも、高移動度を実現する観点から、ポリシリコン(p-Si)、連続粒界結晶(CG)シリコン等がより好ましい。なお、第1半導体層及び第2半導体層の材料は、異なってもよいが、製造工程の簡略化を図る観点からは、同一であることが好ましい。上記第1半導体層及び第2半導体層は、ガラス基板の収縮を抑制する観点から、低温プロセスで形成されることが好ましい。上記第1半導体層及び第2半導体層の形状は、島状であることが好ましく、上記島状としては、例えば、直方体形状、四角錐台形状等の角錐台形状、逆角錐台形状、円錐台形状、楕円錐台形状が挙げられる。

10

## 【0028】

上記第1導電層及び第2導電層は、第1絶縁膜及び第2絶縁膜の内部におけるフォノン振動を抑える観点から、金属を含んで構成されることが好ましく、例えば、アルミニウム(Al)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)等を含んだ化合物又はそれらの金属の積層構造が用いられる。なお、上記第1導電層及び第2導電層の材料は、同一であってもよく、異なってもよい。また、上記第1導電層及び第2導電層の構造は、単層構造であってもよく、積層構造であってもよい。

上記基板としては、絶縁性を有する基板(絶縁基板)が好ましく、例えばガラス基板、プラスチック基板が挙げられる。

## 【0029】

20

本発明の第1半導体装置における好ましい形態について以下に詳しく説明する。

上記第2絶縁膜の上層部は、最下層が窒化シリコン又は酸化シリコンからなることが好ましい。これによれば、上記第2絶縁膜の下層部の最上層である $\text{SiN}_x$ 層上に付着した不純物を、該 $\text{SiN}_x$ 層と第2絶縁膜の上層部の最下層である $\text{SiN}_x$ 層又は $\text{SiO}_2$ 層との界面にトラップすることができる。したがって、第2回路素子の信頼性を向上させることができるため、本発明の第1半導体装置の信頼性をより十分に確保することができる。また、第3絶縁膜は、最下層が窒化シリコン又は酸化シリコンからなることが好ましい。これによれば、上記第1絶縁膜の最上層である $\text{SiN}_x$ 層上に付着した不純物を、該 $\text{SiN}_x$ 層と第3絶縁膜(第1絶縁膜上に配置された部分のうち、第1導電層を介さずに第1絶縁膜上に配置された部分)の最下層である $\text{SiN}_x$ 層又は $\text{SiO}_2$ 層との界面にトラップ

30

することができる。したがって、第1回路素子の信頼性を向上させることができるため、本発明の第1半導体装置の信頼性をより十分に確保することができる。なお、第2絶縁膜の上層部は、最下層が窒化シリコンからなることがより好ましい。また、第3絶縁膜は、最下層が窒化シリコンからなることがより好ましい。これらによれば、不純物が付着する界面を構成する膜材料が同一であるため、界面の整合性に優れ、電荷を発生しにくくすることができる。

## 【0030】

上記第1絶縁膜の最上層である $\text{SiN}_x$ 層と第3絶縁膜の最下層である $\text{SiN}_x$ 層とは、本発明の作用効果をより効果的に得る観点から、形成方法が同一であることが好ましい。また、上記第2絶縁膜の上層部の最下層である $\text{SiN}_x$ 層と下層部の最上層である $\text{SiN}_x$ 層とは、本発明の作用効果をより効果的に得る観点から、形成方法が同一であることが好ましい。

40

## 【0031】

上記第1絶縁膜及び第2絶縁膜は、最下層が酸化シリコンからなることが好ましい。 $\text{SiO}_2$ 層は、シリコン(Si)等からなる半導体層と良質な界面を形成することができることから、第1回路素子及び第2回路素子の特性をより向上させることができる。

## 【0032】

上記第1絶縁膜、及び、第2絶縁膜の下層部は、酸化シリコン層及び窒化シリコン層がこの順に積層された構造を有し、上記第2絶縁膜の上層部は、窒化シリコン層又は酸化シリコン層であることが好ましい。上記第1絶縁膜、及び、第2絶縁膜の下層部は、 $\text{SiO}_2$

50

及び $\text{SiN}_x$ 層がこの順に積層された構造を有することにより、不純物が第1絶縁膜では $\text{SiN}_x$ 層上にトラップされており、第2絶縁膜では、 $\text{SiN}_x$ 層間又は $\text{SiN}_x$ 層と $\text{SiO}_2$ 層との間の界面にトラップされていることから、第1回路素子及び第2回路素子の信頼性を更に確保することができる。また、これにより、第1絶縁膜及び第2絶縁膜の双方において、シリコン(Si)等からなる半導体層との界面特性に優れる $\text{SiO}_2$ 層が最下層に形成されていることから、第1回路素子及び第2回路素子の特性を更に向上させることができる。更に、上記第2絶縁膜の上層部が $\text{SiN}_x$ 層であることにより、第2絶縁膜にプラズマ損傷を与えることなく、第2導電層をプラズマエッチング等のドライエッチングで形成することができる。したがって、第2絶縁膜の信頼性を保持しつつ、第2導電層ひいては第2回路素子の微細化を図ることができる。

10

なお、上述したのと同様の理由により、上記第1絶縁膜、及び、第2絶縁膜の下層部は、酸化シリコン層及び窒化シリコン層がこの順に積層された構造を有し、上記第2絶縁膜の上層部は、窒化シリコン層であることがより好ましい。

#### 【0033】

上記第1半導体装置は、第1回路素子及び第2回路素子が薄膜トランジスタであることが好ましい。これによれば、信頼性を十分に確保しつつ、高性能化を図ることができるTFTと高耐圧化を図ることができるTFTとを同一の基板上に有する半導体装置の量産化を図ることができる。

#### 【0034】

上記第1回路素子は、駆動回路部の薄膜トランジスタであり、上記第2回路素子は、画素回路部の薄膜トランジスタであることがより好ましい。このような第1半導体装置(アクティブマトリクス基板)によれば、高性能化を図ることができる第1回路素子を駆動回路部のTFTとして用いることにより、駆動回路部の高速動作を実現することができる。また、高耐圧化を図ることができるとともにオフ電流の低減が可能な第2回路素子を画素回路部のTFTとして用いることにより、コントラストの低下やパネル内の画質の低下を抑えることができる。

20

#### 【0035】

上記第1回路素子及び第2回路素子が薄膜トランジスタである場合、上記第1回路素子又は第2回路素子は、窒化シリコン層を貫通するコンタクトホールを有することが好ましい。上記 $\text{SiN}_x$ 層はプラズマ耐性を有することから、コンタクトエッチング工程において $\text{SiN}_x$ 膜の下面から上面の範囲内、すなわち $\text{SiN}_x$ 膜がエッチング表面に残っている状態でドライエッチングを止め、その後をウェットエッチングで行うことにより、第1半導体層等にプラズマ損傷を与えることなく、コンタクトホールを形成することができる結果、第1回路素子又は第2回路素子の信頼性を更に十分に確保することができる。また、ドライエッチングを用いることにより、コンタクトホールひいては第1回路素子又は第2回路素子の微細化を図ることもできる。

30

#### 【0036】

なお、本明細書において、コンタクトホールとは、少なくとも第1回路素子又は第2回路素子のゲート絶縁膜を貫通する穴のことであり、通常、コンタクトホールの内部には、半導体層に接続され、導電性を有する層が形成されている。また、ドライエッチングとは、反応性イオンエッチングのことであってもよいが、通常、プラズマエッチングのことである。

40

#### 【0037】

上記第1半導体装置は、第1回路素子が薄膜トランジスタであり、第2回路素子が保持容量素子であることが好ましい。これによれば、信頼性を十分に確保しつつ、高性能化を図ることができるTFTと高耐圧化を図ることができる保持容量素子とを同一の基板上に有する半導体装置の量産化を図ることができる。

#### 【0038】

上記第1回路素子は、駆動回路部の薄膜トランジスタであり、上記第2回路素子は、画素回路部の保持容量素子であることが好ましい。このような第1半導体装置(アクティブマ

50

トリクス基板)によれば、高性能化を図ることができる第1回路素子を駆動回路部のTFTとして用いることにより、駆動回路部の高速動作を実現することができる。また、高耐圧化を図ることができる第2回路素子を画素回路部の保持容量素子として用いることにより、パネル内の画質の低下を抑えることができる。

#### 【0039】

本発明はまた、上記第1半導体装置の製造方法であって、上記製造方法は、第1絶縁膜と第2絶縁膜の下層部とを同一の工程で形成する半導体装置の製造方法でもある。これによれば、第1絶縁膜と第2絶縁膜の下層部とを別々の工程で形成する方法に比べて、製造工程を簡略化することができる。なお、上記第1絶縁膜と第2絶縁膜の下層部とは、プラズマCVD法を用いて形成されることが好ましい。

10

#### 【0040】

本発明は更に、上記第1半導体装置の製造方法であって、上記製造方法は、第3絶縁膜の少なくとも一部と第2絶縁膜の上層部とを同一の工程で形成する半導体装置の製造方法でもある。これによれば、第3絶縁膜の少なくとも一部と第2絶縁膜の上層部とを別々の工程で形成する方法に比べて、製造工程を簡略化することができる。なお、上記第3絶縁膜の少なくとも一部と第2絶縁膜の上層部とは、プラズマCVD法を用いて形成されることが好ましい。また、製造工程をより簡略化する観点から、上記第1絶縁膜と第2絶縁膜の下層部とが同一の工程で形成され、かつ上記第3絶縁膜の少なくとも一部と第2絶縁膜の上層部とが同一の工程で形成されることがより好ましい。

20

#### 【0041】

次に、本発明の第2半導体装置について詳述する。

本発明の第2半導体装置は、第1半導体層、第1絶縁膜及び第1導電層がこの順に積層された構造を有する第1回路素子と、第2半導体層、第1絶縁膜よりも膜厚が大きい第2絶縁膜及び第2導電層がこの順に積層された構造を有する第2回路素子とを基板上に有する半導体装置であって、上記第2絶縁膜は、最上層が窒化シリコンからなる下層部と、第1絶縁膜の構造を有する上層部とから構成される半導体装置である(例えば、図2(a)参照。)。本発明の第2半導体装置は、第2絶縁膜の下層部の最上層が窒化シリコンからなる点で、上記第1半導体装置と共通する(例えば、図1及び2(a)参照。)。したがって、本発明の第2半導体装置によれば、第2回路素子に関し、第1半導体装置と同様の作用効果を得ることができる。

30

#### 【0042】

上記第1絶縁膜、及び、第2絶縁膜の上層部の構造は、単層構造であってもよく、積層構造であってもよい。上記第1絶縁膜と第2絶縁膜の上層部とは、同一の工程で形成された(一体化された)層を含んでもよく、上記第1絶縁膜、及び、第2絶縁膜の上層部の構造が積層構造である場合には、第1絶縁膜を構成する全ての層が、第2絶縁膜の上層部を構成する層とそれぞれ同一の工程で形成されたものであることが好ましい。

#### 【0043】

これに対し、上記第2絶縁膜の下層部の構造は、単層構造であってもよいが、積層構造であることが好ましい。上記第2絶縁膜の下層部が積層構造を有することにより、第2絶縁膜(の下層部)の最下層を構成する材料として、第2半導体層と良質な界面を形成するSiO<sub>2</sub>等を選択することができる結果、第2回路素子について良好なトランスファ特性等を確保することができる。

40

なお、上記第1導電層と第2導電層とは、同一の工程で形成されることが好ましい。

#### 【0044】

本発明の第2半導体装置における好ましい形態としては、本発明の第1半導体装置における好ましい形態と同様である。以下、上記第2半導体装置における好ましい形態を列挙するが、その詳細な説明については、本発明の第1半導体装置における好ましい形態と重複することから、省略する。

#### 【0045】

上記第1回路素子は、第1半導体層下に、第3絶縁膜を有し、上記第2絶縁膜の下層部は

50

、第1導電層下の第3絶縁膜の構造を含むことが好ましい(例えば、図2(b)参照。)。これによれば、上記第2絶縁膜の下層部を形成する際のパターニング工程等を削減することにより、製造工程の簡略化を図ることができる。

なお、上記第3絶縁膜の構造は、単層構造であってもよく、積層構造であってもよい。また、第2絶縁膜の下層部の形態としては、(1)第3絶縁膜の中層部の構造を有する形態、(2)第3絶縁膜の下層部の構造を有する形態、(3)第3絶縁膜の上層部の構造を有する形態、(4)第3絶縁膜の全体の構造を有する形態が挙げられるが、第3絶縁膜の形成する際のパターニング工程等の削減を図る観点からは、(2)及び(3)の形態が好ましく、(4)の形態がより好ましい。

【0046】

10

上記第1絶縁膜、及び、第2絶縁膜の上層部は、最下層が窒化シリコン又は酸化シリコンからなることが好ましい。これによれば、第2絶縁膜の下層部の最上層である $\text{SiN}_x$ 層上に付着した不純物を、 $\text{SiN}_x$ 層間又は $\text{SiN}_x$ 層と $\text{SiO}_2$ 層との間の界面にトラップすることができ、第1回路素子及び第2回路素子の信頼性をより十分に確保することができる。

【0047】

上記第1絶縁膜及び第2絶縁膜は、最下層が酸化シリコンからなることが好ましい。これにより、第1半導体層及び第2半導体層と良質な界面を形成することができることから、第1回路素子及び第2回路素子の特性をより向上させることができる。

【0048】

20

上記第1絶縁膜、及び、第2絶縁膜の下層部、並びに、第2絶縁膜の上層部は、酸化シリコン層及び窒化シリコン層がこの順に積層された構造を有することが好ましい。第1絶縁膜の最下層が $\text{SiO}_2$ からなることにより、シリコン(Si)等からなる第1半導体層と良質な界面を形成することができることから、第1回路素子の特性を更に向上させることができる。また、第1絶縁膜の最上層が $\text{SiN}_x$ からなることにより、第1絶縁膜にプラズマ損傷を与えることなく、第1導電層及び第2導電層をドライエッチングで形成することができる。更に、第2絶縁膜の下層部の最下層が $\text{SiO}_2$ からなることにより、Si等からなる第2半導体層と良質な界面を形成することができることから、第2回路素子の特性を更に向上させることができる。更に、第2絶縁膜の下層部の最上層が $\text{SiN}_x$ からなることにより、第2絶縁膜にプラズマ損傷を与えることなく、第1半導体層をドライエッチングで形成することができるとともに、不純物がこの $\text{SiN}_x$ 層上にトラップされることから、第2回路素子の信頼性を更に確保することができる。そして、第2絶縁膜の上層部の最上層が $\text{SiN}_x$ からなることにより、第2絶縁膜にプラズマ損傷を与えることなく、第1導電層及び第2導電層をドライエッチングで形成することができる。

30

【0049】

上記第2半導体装置は、第1回路素子及び第2回路素子が薄膜トランジスタであることが好ましい。

上記第1回路素子は、駆動回路部の薄膜トランジスタであり、上記第2回路素子は、画素回路部の薄膜トランジスタであることが好ましい。

上記第1回路素子及び第2回路素子が薄膜トランジスタである場合、上記第1回路素子又は第2回路素子は、窒化シリコン層を貫通するコンタクトホールを有することが好ましい。

40

上記第2半導体装置は、第1回路素子が薄膜トランジスタであり、第2回路素子が保持容量素子であることが好ましい。

上記第1回路素子は、駆動回路部の薄膜トランジスタであり、上記第2回路素子は、画素回路部の保持容量素子であることが好ましい。

これらによれば、本発明の第1半導体装置と同様の作用効果を得ることができる。

【0050】

本発明は更に、上記第2半導体装置の製造方法であって、上記製造方法は、第1絶縁膜と第2絶縁膜の上層部とを同一の工程で形成する半導体装置の製造方法でもある。

50

本発明は更に、上記第2半導体装置の製造方法であって、上記製造方法は、第3絶縁膜の少なくとも一部と第2絶縁膜の下層部とを同一の工程で形成する半導体装置の製造方法でもある。

これらによれば、本発明の第1半導体装置の製造方法と同様の作用効果を得ることができる。

#### 【0051】

次に、本発明の第3半導体装置について詳述する。

本発明の第3半導体装置は、第1導電層、第1絶縁膜及び第1半導体層がこの順に積層された構造を有する第1回路素子と、第2導電層、第1絶縁膜よりも膜厚が大きい第2絶縁膜、及び、第2半導体層がこの順に積層された構造を有する第2回路素子とを基板上に有する半導体装置であって、上記第1絶縁膜は、最下層が窒化シリコンからなる構造を有し、上記第2絶縁膜は、下層部と、第1絶縁膜の構造を有する上層部とから構成される半導体装置である（例えば、図3（a）参照。）。本発明の第3半導体装置は、第1回路素子及び第2回路素子において、半導体層、絶縁膜及び導電層の積層順序が上下反対であること、及び、第2絶縁膜の下層部（第1半導体装置における第2絶縁膜の上層部に当たる）の構造が必ずしも特定されていないこと以外は、第1半導体装置と共通する（例えば、図1及び3（a）参照。）。したがって、本発明の第3半導体装置によれば、上記第2回路素子に関し、第2絶縁膜の下層部が積層構造を有することにより奏される作用効果を除き、第1半導体装置と同様の作用効果を得ることができる。

なお、上記第3半導体装置内のTFETとしては、ボトムゲート構造のTFET、デュアルゲート構造のTFET等が挙げられ、ボトムゲート構造のTFETが好適である。

#### 【0052】

上記第1絶縁膜、及び、第2絶縁膜の上層部の構造は、単層構造であってもよいが、積層構造であることが好ましい。上記第1絶縁膜が積層構造を有することにより、第1絶縁膜の最上層を構成する材料として、第1絶縁膜の最下層を構成する材料（ $\text{SiN}_x$ ）とは別個独立に、第1半導体層と良質な界面を形成する $\text{SiO}_2$ 等を選択することができる結果、第1回路素子について良好なトランスファ特性等を確保することができる。また、上記第2絶縁膜の上層部が積層構造を有することにより、第2絶縁膜（の上層部）の最上層を構成する材料として、第2絶縁膜の上層部の最下層を構成する材料（ $\text{SiN}_x$ ）とは別個独立に、第2半導体層と良質な界面を形成する $\text{SiO}_2$ 等を選択することができる結果、第2回路素子についても良好なトランスファ特性等を確保することができる。

上記第2絶縁膜の下層部は、最下層が窒化シリコンからなることが好ましい。これにより、ガラス基板等からなる基板からのNa等の可動イオンの拡散を防止し、TFET等の第2回路素子の信頼性を保つことができる。

#### 【0053】

本発明の第3半導体装置における好ましい形態としては、本発明の第1半導体装置における好ましい形態と同様である。以下、上記第3半導体装置における好ましい形態を列挙するが、その詳細な説明については、本発明の第1半導体装置における好ましい形態と重複することから、省略する。

#### 【0054】

上記第1回路素子は、第1導電層下に、第3絶縁膜を有し、上記第2絶縁膜の下層部は、第1導電層下の第3絶縁膜の構造を含むことが好ましい（例えば、図3（b）参照。）。これによれば、上記第2絶縁膜の下層部を形成する際のパターンニング工程等を削減することにより、製造工程の簡略化を図ることができる。

なお、上記第3絶縁膜の構造は、単層構造であってもよく、積層構造であってもよい。また、第2絶縁膜の下層部の形態としては、（1）第3絶縁膜の中層部の構造を有する形態、（2）第3絶縁膜の下層部の構造を有する形態、（3）第3絶縁膜の上層部の構造を有する形態、（4）第3絶縁膜の全体の構造を有する形態が挙げられるが、第3絶縁膜の形成する際のパターンニング工程等の削減を図る観点からは、（2）及び（3）の形態が好ましく、（4）の形態がより好ましい。

## 【 0 0 5 5 】

上記第 2 絶縁膜の下層部は、最上層が窒化シリコンからなることが好ましい。

上記第 2 絶縁膜の下層部は、最上層が酸化シリコンからなることが好ましい。

上記第 1 絶縁膜及び第 2 絶縁膜は、最上層が酸化シリコンからなることが好ましい。

上記第 1 絶縁膜、及び、第 2 絶縁膜の上層部は、窒化シリコン層及び酸化シリコン層がこの順に積層された構造を有し、上記第 2 絶縁膜の下層部は、窒化シリコン層であることが好ましい。

上記第 1 絶縁膜、及び、第 2 絶縁膜の上層部は、窒化シリコン層及び酸化シリコン層がこの順に積層された構造を有し、上記第 2 絶縁膜の下層部は、酸化シリコン層であることが好ましい。

上記第 3 半導体装置は、第 1 回路素子及び第 2 回路素子が薄膜トランジスタであることが好ましい。

上記第 1 回路素子は、駆動回路部の薄膜トランジスタであり、上記第 2 回路素子は、画素回路部の薄膜トランジスタであることが好ましい。

上記第 3 半導体装置は、第 1 回路素子が薄膜トランジスタであり、第 2 回路素子が保持容量素子であることが好ましい。

上記第 1 回路素子は、駆動回路部の薄膜トランジスタであり、上記第 2 回路素子は、画素回路部の保持容量素子であることが好ましい。

これらによれば、本発明の第 1 半導体装置と同様の作用効果を得ることができる。

## 【 0 0 5 6 】

本発明はまた、上記第 3 半導体装置の製造方法であって、上記製造方法は、第 1 絶縁膜と、第 2 絶縁膜の上層部とを同一の工程で形成する半導体装置の製造方法でもある。

本発明は更に、上記第 3 半導体装置の製造方法であって、上記製造方法は、第 3 絶縁膜の少なくとも一部と第 2 絶縁膜の下層部とを同一の工程で形成する半導体装置の製造方法でもある。これらによれば、本発明の第 1 半導体装置の製造方法と同様の作用効果を得ることができる。

## 【 0 0 5 7 】

次に、本発明の第 4 半導体装置について詳述する。

本発明の第 4 半導体装置は、第 1 導電層、第 1 絶縁膜及び第 1 半導体層がこの順に積層された構造を有する第 1 回路素子と、第 2 導電層、第 1 絶縁膜よりも膜厚が大きい第 2 絶縁膜、及び、第 2 半導体層がこの順に積層された構造を有する第 2 回路素子とを基板上に有する半導体装置であって、上記第 2 絶縁膜は、第 1 絶縁膜の構造を有する下層部と、最下層が窒化シリコンからなる上層部とから構成される半導体装置である（例えば、図 4（a）参照。）。

本発明の第 4 半導体装置は、第 2 絶縁膜の上層部の最下層が  $\text{SiN}_x$  からなる点で、上記第 3 半導体装置と共通する（例えば、図 3 及び 4（a）参照。）。したがって、本発明の第 4 半導体装置によれば、上記第 2 回路素子に関し、第 3 半導体装置と同様の作用効果を得ることができる。

なお、上記第 4 半導体装置内の T F T としては、ボトムゲート構造の T F T、デュアルゲート構造の T F T 等が挙げられ、ボトムゲート構造の T F T が好適である。

## 【 0 0 5 8 】

上記第 1 絶縁膜の構造、及び、第 2 絶縁膜の下層部は、単層構造であってもよいが、積層構造であることが好ましい。上記第 1 絶縁膜が積層構造を有することにより、後述するように第 1 絶縁膜内に  $\text{SiN}_x$  層を設ける必要がある場合にも、第 1 絶縁膜の最上層を構成する材料として、第 1 半導体層と良質な界面を形成する  $\text{SiO}_2$  等を選択することができる結果、第 1 回路素子について良好なトランスファ特性等を確保することができる。また、上記第 2 絶縁膜の下層部が積層構造を有することにより、前述したように第 1 絶縁膜の最上層すなわち第 2 絶縁膜の下層部の最上層を構成する材料として  $\text{SiO}_2$  等を選択する必要がある場合にも、第 2 絶縁膜の下層部の最下層を構成する材料として  $\text{SiN}_x$  を選択することができる結果、積層膜中の  $\text{SiN}_x$  がガラス基板等からなる基板からの Na 等の

10

20

30

40

50

可動イオンの拡散を防止し、TFT等の第2回路素子の信頼性を確保することができる。

【0059】

上記第2絶縁膜の上層部の構造は、単層構造であってもよいが、積層構造であることが好ましい。上記第2絶縁膜の上層部が積層構造を有することにより、第2絶縁膜（の上層部）の最上層を構成する材料として、最下層を構成する材料（ $\text{SiN}_x$ ）とは別個独立に、第2半導体層と良質な界面を形成する $\text{SiO}_2$ 等を選択することができる結果、第2回路素子についても良好なトランスファ特性等を確保することができる。

なお、上記第1導電層と第2導電層とは、同一の工程で形成されることが好ましい。

【0060】

本発明の第4半導体装置における好ましい形態としては、本発明の第1半導体装置における好ましい形態と同様である。以下、上記第4半導体装置における好ましい形態を列挙するが、その詳細な説明については、本発明の第1半導体装置における好ましい形態と重複することから、省略する。

【0061】

上記第1回路素子は、第1半導体層上に、第3絶縁膜を有し、上記第2絶縁膜の上層部は、第1半導体層上の第3絶縁膜の構造を含むことが好ましい（例えば、図4（b）参照）。これによれば、上記第2絶縁膜の上層部を形成する際のパターニング工程等を削減することにより、製造工程の簡略化を図ることができる。

なお、上記第3絶縁膜の構造は、単層構造であってもよく、積層構造であってもよい。また、上記第2絶縁膜の上層部の形態としては、（1）第3絶縁膜の中層部の構造を有する形態、（2）第3絶縁膜の下層部の構造を有する形態、（3）第3絶縁膜の上層部の構造を有する形態、（4）第3絶縁膜の全体の構造を有する形態が挙げられるが、第3絶縁膜の形成する際のパターニング工程等の削減を図る観点からは、（2）及び（3）の形態が好ましく、（4）の形態がより好ましい。

【0062】

上記第1絶縁膜、及び、第2絶縁膜の下層部は、最上層が窒化シリコンからなることが好ましい。

上記第1絶縁膜、及び、第2絶縁膜の下層部は、最上層が酸化シリコンからなることが好ましい。

上記第1絶縁膜及び第2絶縁膜は、最上層が酸化シリコンからなることが好ましい。

上記第1絶縁膜、及び、第2絶縁膜の下層部は、窒化シリコン層であり、上記第2絶縁膜の上層部は、窒化シリコン層及び酸化シリコン層がこの順に積層された構造を有することが好ましい。

上記第1絶縁膜、及び、第2絶縁膜の下層部は、酸化シリコン層であり、上記第2絶縁膜の上層部は、窒化シリコン層及び酸化シリコン層がこの順に積層された構造を有することが好ましい。

上記第4半導体装置は、第1回路素子及び第2回路素子が薄膜トランジスタであることが好ましい。

上記第1回路素子は、駆動回路部の薄膜トランジスタであり、上記第2回路素子は、画素回路部の薄膜トランジスタであることが好ましい。

上記第4半導体装置は、第1回路素子が薄膜トランジスタであり、第2回路素子が保持容量素子であることが好ましい。

上記第1回路素子は、駆動回路部の薄膜トランジスタであり、上記第2回路素子は、画素回路部の保持容量素子であることが好ましい。

これらによれば、本発明の第1半導体装置と同様の作用効果を得ることができる。

【0063】

本発明は更に、上記第4半導体装置の製造方法であって、上記製造方法は、第1絶縁膜と第2絶縁膜の下層部とを同一の工程で形成する半導体装置の製造方法でもある。

本発明は更に、上記第4半導体装置の製造方法であって、上記製造方法は、第3絶縁膜の少なくとも一部と第2絶縁膜の上層部とを同一の工程で形成する半導体装置の製造方法で

10

20

30

40

50

もある。

これらによれば、本発明の第1半導体装置の製造方法と同様の作用効果を得ることができる。

#### 【0064】

本発明はそして、上記第1半導体装置、第2半導体装置、第3半導体装置又は第4半導体装置を含んで構成される表示装置でもある。本発明の第1半導体装置、第2半導体装置、第3半導体装置及び第4半導体装置は信頼性に優れていることから、表示装置の不良率の低減や歩留まりの向上が可能となる。また、画素回路部のTFTと周辺回路部のTFTとを同一の基板上に設けることができることから、システムオンガラス表示装置を提供することができ、表示装置の小型化、低消費電力化及び高信頼性を実現することができる。上記表示装置としては、液晶表示装置や有機エレクトロルミネセンス表示装置等が好適である。

10

#### 【発明の効果】

#### 【0065】

本発明の半導体装置によれば、ゲート絶縁膜にプラズマ損傷を与えることなく、また、ゲート絶縁膜や半導体層内に不純物を拡散させることなく、ゲート絶縁膜の膜厚が異なるTFTを同一基板上に形成することができることから、信頼性を十分に確保することができる。とともに、TFT毎に高性能化及び高耐圧化を図ることができる。

#### 【発明を実施するための最良の形態】

#### 【0066】

20

以下に実施形態を掲げ、本発明を更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。

#### 【0067】

##### (実施形態1)

図5は、本発明の実施形態1に係るアクティブマトリクス基板(半導体装置)の構成を示す断面模式図である。

本実施形態に係るアクティブマトリクス基板は、図5に示すように、駆動回路用オフセット構造のトップゲート型NチャネルTFT(第1回路素子)100a及びトップゲート型PチャネルTFT(第1回路素子)100b、並びに、画素スイッチング用LDD(Lightly Doped Drain)構造のトップゲート型NチャネルTFT(第2回路素子)200等をガラス基板10上に有するものである。図5に示すように、TFT100a、100bのゲート絶縁膜(第1絶縁膜)は、酸化シリコン( $\text{SiO}_2$ )膜16及び窒化シリコン( $\text{SiN}_x$ )膜17の2層構造を有する。これに対し、TFT200のゲート絶縁膜(第2絶縁膜)は、 $\text{SiO}_2$ 膜16、 $\text{SiN}_x$ 膜17及び $\text{SiN}_x$ 膜18の3層構造を有する。

30

以下、図6-1(a)~(f)及び6-2(a)~(g)を用いて、本実施形態に係るアクティブマトリクス基板の製造工程を説明する。

#### 【0068】

まず、図6-1(a)に示すように、ガラス基板10上に、 $\text{SiN}_x$ からなる水素バリア及び不純物拡散防止膜11、 $\text{SiO}_2$ からなる緩衝膜12、アモルファスシリコン(a-Si)膜13を形成する。なお、水素バリア及び不純物拡散防止膜11の膜厚は50nmとし、緩衝膜12の膜厚は100nmとし、a-Si膜13の膜厚は50nmとする。

40

#### 【0069】

次に、図6-1(b)に示すように、a-Si膜13にレーザ光1を照射して結晶化することにより、ポリシリコン(p-Si)膜14とする。なお、この結晶化には、(1)固相成長(Solid Phase Crystallization; SPC)法や、(2)SPC法とレーザ照射光とを組み合わせた方法を用いてもよい。

次に、図6-1(c)に示すように、p-Si膜14を各TFTのサイズにパターンニングすることにより、p-Si層(第1半導体層)15a、15b及びp-Si層(第2半導体層)15cを形成する。

50



## 【0070】

次に、不純物及び有機膜を除去するため、紫外線（UV）洗浄、オゾン（ $O_3$ ）洗浄、フッ化水素酸（HF）洗浄、水洗浄又はアルカリ洗浄等を行う。続いて、図6-1（d）に示すように、水素（ $H_2$ ）プラズマ又は $H_2$ ガス2に暴露した後、図6-1（e）に示すように、 $SiO_2$ 膜16及び $SiN_x$ 膜17を形成する。本実施形態では、 $SiO_2$ 膜16及び $SiN_x$ 膜17は、プラズマ化学的気相成長（CVD）法で連続成膜する。なお、 $SiO_2$ 膜16及び $SiN_x$ 膜17の膜厚はともに30nmとする。

## 【0071】

次に、スパッタ法又はCVD法等を用いて、金属膜を堆積した後、エッチングガスを用いてパターニングすることにより、図6-1（f）に示すように、ゲート電極（第1導電層）21a、21bを形成する。なお、ゲート電極21a、21bの材料としては、例えば、アルミニウム（Al）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）等を含んだ化合物又はそれらの金属の積層構造を用いることができる。また、エッチングガスとしては、六フッ化硫黄（ $SF_6$ ）ガス、四フッ化炭素（ $CF_4$ ）ガス又はこれらと酸素（ $O_2$ ）ガスとの混合ガスを用いることができる。

10

## 【0072】

次に、不純物及び有機膜を除去するため、UV洗浄、 $O_3$ 洗浄、HF洗浄、水洗浄又はアルカリ洗浄等を行った後、図6-2（a）に示すように、 $SiN_x$ 膜18を形成する。本実施形態では、 $SiN_x$ 膜18の膜厚は60nmとする。なお、この絶縁膜18の構造としては、本実施形態のような $SiN_x$ 膜のみからなる単層構造、膜厚20nmの $SiN_x$ 膜（下層）及び膜厚20nmの $SiO_2$ 膜（上層）からなる積層構造が好ましいが、 $SiO_2$ のみからなる単層構造、 $SiO_2$ 膜（下層）及び $SiN_x$ 膜（上層）からなる積層構造等も用いることもできる。

20

## 【0073】

次に、図6-2（b）に示すように、ゲート電極（第2導電層）21cを形成する。ゲート電極21cの材料、膜厚及び形成方法は、ゲート電極21a、21bと異なってもよく、例えば、ソース電極と同一であってもよい。

## 【0074】

次に、図6-2（c）に示すように、ゲート電極21cを被覆するようなフォトリジスト層19を形成した後、p-Si層15a～15cに不純物3を注入する。具体的には、p-Si層15a及び15cにはリンイオン（ $P^+$ ）を注入し、p-Si層15bにはホウ素イオン（ $B^+$ ）を注入する。また、フォトリジスト層19を除去した後、p-Si層15cには、更に低濃度のリンイオン（ $P^+$ ）を注入する。これにより、p-Si層15aには、オフセット（offset）領域22及びn型の高濃度不純物領域23aが自己整合的に形成され、p-Si層15bには、オフセット領域22及びp型の高濃度不純物領域24aが自己整合的に形成され、p-Si層15cには、n型の高濃度不純物領域23a及びn型の低濃度不純物領域（LDD領域）23bが形成される。

30

続いて、アニール（活性化アニール）を行うことにより、注入した不純物を活性化させる。

## 【0075】

次に、図6-2（d）に示すように、層間絶縁膜25を形成する。なお、層間絶縁膜25の材料としては、 $SiN_x$ 、 $SiO_2$ 等を用いることができる。本実施形態では、層間絶縁膜25は、 $SiO_2$ 膜の単層構造とするが、例えば $SiN_x$ 膜（下層）及び $SiO_2$ 膜（上層）の積層構造としてもよい。続いて、アニール（水素化アニール）を行うことにより、p-Si層15a～15cを水素化し、ダングリングボンド（未結合手）をターミネート（終端化）させる。

40

## 【0076】

次に、コンタクトエッチングを行う。具体的には、まず、図6-2（e）に示すように、 $SiN_x$ 膜17までドライエッチングした後、図6-2（f）に示すように、p-Si層15a～15cまでウェットエッチングすることにより、コンタクトホール27a～27

50

cを形成する。

【0077】

最後に、図6-2(g)に示すように、ソース電極28a~28cを形成することにより、駆動回路用NチャネルTFT100a、駆動回路用PチャネルTFT100b及び画素スイッチング用NチャネルTFT200が完成する。

【0078】

本実施形態の製造方法によれば、図6-1(f)に示すゲート電極21a、21bを形成する工程において、金属膜をドライエッチング又はアッシングする処理を行う。しかしながら、このとき、高プラズマ耐性を有するSiN<sub>x</sub>膜17が最上層に配置されているため、SiO<sub>2</sub>膜16等はエッチングやアッシングによるダメージを受けない。同様の理由により、図6-2(e)のコンタクトエッチング工程においても、SiO<sub>2</sub>膜16等がプラズマダメージを受けることを低減することができる。また、SiN<sub>x</sub>膜17の形成工程とSiN<sub>x</sub>膜18の形成工程とは分離して行われるため、SiN<sub>x</sub>膜17上には、ホウ素(B)、ナトリウム(Na)、リン(P)、重金属等の不純物が付着する。しかしながら、SiN<sub>x</sub>膜17は不純物の拡散を防止(バリア)する機能を有することから、活性化アニール工程や水素化アニール工程等において、この不純物がSiO<sub>2</sub>膜16内ひいてはp-Si層15a~15c内に拡散することを抑制することができる。

したがって、本実施形態の製造方法によれば、高い信頼性を有するアクティブマトリクス基板を作製することができる。

【0079】

(実施形態2)

図7は、本発明の実施形態2に係るアクティブマトリクス基板(半導体装置)の構成を示す断面模式図である。

本実施形態に係るアクティブマトリクス基板は、駆動回路用TFT100a、100bがセルフアライン構造を有すること以外は、実施形態1に係るアクティブマトリクス基板と同様である。すなわち、本実施形態に係るアクティブマトリクス基板は、図7に示すように、駆動回路用セルフアライン構造のトップゲート型NチャネルTFT(第1回路素子)100a及びトップゲート型PチャネルTFT(第1回路素子)100b、並びに、画素スイッチング用LDD構造のトップゲート型NチャネルTFT(第2回路素子)200等をガラス基板10上に有するものである。図7に示すように、TFT100a、100bのゲート絶縁膜(第1絶縁膜)は、酸化シリコン(SiO<sub>2</sub>)膜16及び窒化シリコン(SiN<sub>x</sub>)膜17の2層構造を有する。これに対し、TFT200のゲート絶縁膜(第2絶縁膜)は、SiO<sub>2</sub>膜16、SiN<sub>x</sub>膜17及びSiN<sub>x</sub>膜18の3層構造を有する。以下、図6-1(a)~(f)及び図8(a)~(h)を用いて、本実施形態に係るアクティブマトリクス基板の製造工程を説明する。

【0080】

まず、実施形態1における図6-1(a)~(f)と同様の工程を行う。

次に、図8(a)に示すように、p-Si層15a、15bに不純物3を注入する。具体的には、p-Si層15aにはリンイオン(P<sup>+</sup>)を注入し、p-Si層15bにはホウ素イオン(B<sup>+</sup>)を注入する。これにより、p-Si層15aには、n型の高濃度不純物領域23aが自己整合的に形成され、p-Si層15bには、p型の高濃度不純物領域24aが自己整合的に形成される。

【0081】

次に、不純物及び有機膜を除去するため、UV洗浄、O<sub>3</sub>洗浄、HF洗浄、水洗浄又はアルカリ洗浄等を行った後、図8(b)に示すように、SiN<sub>x</sub>膜18を形成する。本実施形態では、SiN<sub>x</sub>膜18の膜厚は60nmとする。なお、この絶縁膜18の構造としては、本実施形態のようなSiN<sub>x</sub>膜のみからなる単層構造、膜厚20nmのSiN<sub>x</sub>膜(下層)及び膜厚20nmのSiO<sub>2</sub>膜(上層)からなる積層構造が好ましいが、SiO<sub>2</sub>のみからなる単層構造、SiO<sub>2</sub>膜(下層)及びSiN<sub>x</sub>膜(上層)からなる積層構造等も用いることもできる。

## 【0082】

次に、図8(c)に示すように、ゲート電極(第2導電層)21cを形成する。ゲート電極20cの材料、膜厚及び形成方法は、ゲート電極21a、21bと異なってもよく、例えばソース電極と同一であってもよい。

## 【0083】

次に、図8(d)に示すように、ゲート電極20cを被覆するフォトリソ層19を形成した後、p-Si層15cにリンイオン(P<sup>+</sup>)を注入する。また、フォトリソ層19を除去した後、p-Si層15cには、更に低濃度のP<sup>+</sup>イオンを注入する。これにより、p-Si層15cには、n型の高濃度不純物領域23a及びn型のLDD領域23bが形成される。

10

続いて、アニール(活性化アニール)を行うことにより、注入した不純物を活性化させる。

## 【0084】

次に、図8(e)に示すように、層間絶縁膜25を形成する。なお、層間絶縁膜25の材料としては、SiN<sub>x</sub>、SiO<sub>2</sub>等を用いることができる。本実施形態では、層間絶縁膜25は、SiO<sub>2</sub>膜の単層構造とするが、例えばSiN<sub>x</sub>膜(下層)及びSiO<sub>2</sub>膜(上層)の積層構造としてもよい。

続いて、アニール(水素化アニール)を行うことにより、p-Si層15a~15cを水素化し、ダングリングボンド(未結合手)をターミネート(終端化)させる。

20

## 【0085】

続いて、コンタクトエッチングを行う。具体的には、まず、図8(f)に示すように、SiN<sub>x</sub>膜17までドライエッチングした後、図8(g)に示すように、p-Si層15a~15cまでウェットエッチングすることにより、コンタクトホール27a~27cを形成する。

## 【0086】

最後に、図8(h)に示すように、ソース電極28a~28cを形成することにより、駆動回路用NチャネルTFT100a、PチャネルTFT100b及び画素スイッチング用TFT200が完成する。

本実施形態によっても、SiN<sub>x</sub>膜17により、実施形態1と同様の作用効果を得ることができる。

30

## 【0087】

(実施形態3)

図9は、本発明の実施形態3に係るアクティブマトリクス基板(半導体装置)の構成を示す断面模式図である。

本実施形態に係るアクティブマトリクス基板は、図9に示すように、駆動回路用セルフアライン構造のトップゲート型NチャネルTFT(第1回路素子)100a及びトップゲート型PチャネルTFT(第1回路素子)100b、並びに、トップゲート型NチャネルTFT(第2回路素子)200等をガラス基板10上に有するものである。図9に示すように、TFT100a、100bのゲート絶縁膜(第1絶縁膜)が酸化シリコン(SiO<sub>2</sub>)膜63及び窒化シリコン(SiN<sub>x</sub>)膜64の2層構造を有する。これに対し、TFT200のゲート絶縁膜(第2絶縁膜)は、SiO<sub>2</sub>膜61、SiN<sub>x</sub>膜62、SiO<sub>2</sub>膜63及びSiN<sub>x</sub>膜64の4層構造を有する。

40

以下、図6-1(a)~(e)及び図10(a)~(f)を用いて、本実施形態に係るアクティブマトリクス基板の製造工程を説明する。

## 【0088】

まず、実施形態1における図6-1(a)~(e)と同様の工程を行う。

次に、SiO<sub>2</sub>膜16及びSiN<sub>x</sub>膜17上にフォトリソ層を形成した後、4層構造のゲート絶縁膜とするところ以外をウェットエッチングで除去することにより、図10(a)に示すように、p-Si層15cを被覆するSiO<sub>2</sub>膜61及びSiN<sub>x</sub>膜62を形成する。

50

## 【0089】

次に、不純物及び有機膜を除去するため、紫外線（UV）洗浄、オゾン（ $O_3$ ）洗浄、フッ化水素酸（HF）洗浄、水洗浄又はアルカリ洗浄等を行う。続いて、図10（b）に示すように、 $SiO_2$ 膜63及び $SiN_x$ 膜64を形成する。本実施形態では、 $SiO_2$ 膜63及び $SiN_x$ 膜64は、プラズマ化学的気相成長（CVD）法で連続成膜する。なお、 $SiO_2$ 膜63及び $SiN_x$ 膜64の膜厚はともに20nmとする。なお、本実施形態では、 $SiO_2$ 膜63及び $SiN_x$ 膜64の2層構造としたが、 $SiO_2$ 膜63のみからなる単層構造であってもよい。

## 【0090】

次に、図10（c）に示すように、スパッタ法又はCVD法等を用いて、金属膜を堆積した後、エッチングガスを用いてパターンニングすることにより、図10（c）に示すように、ゲート電極（第1導電層）21a、21b及びゲート電極（第2導電層）21cを形成する。

10

## 【0091】

次に、図10（d）に示すように、p-Si層15a～15cに不純物3を注入する。具体的には、p-Si層15a及び15cにはリンイオン（ $P^+$ ）を注入し、p-Si層15bにはホウ素イオン（ $B^+$ ）を注入する。これにより、p-Si層15a及び15cには、n型の高濃度不純物領域23aが自己整合的に形成され、p-Si層15bには、p型の高濃度不純物領域24aが自己整合的に形成される。なお、このとき、高濃度不純物領域とともに、LDD（Lightly Doped Drain）領域を形成してもよい。

20

続いて、アニール（活性化アニール）を行うことにより、注入した不純物を活性化させる。

## 【0092】

次に、図10（e）に示すように、層間絶縁膜25を形成する。なお、層間絶縁膜25の材料としては、 $SiN_x$ 、 $SiO_2$ 等を用いることができる。本実施形態では、 $SiO_2$ 膜の単層構造としたが、例えば $SiN_x$ 膜（下層）及び $SiO_2$ 膜（上層）の積層構造としてもよい。

続いて、アニール（水素化アニール）を行うことにより、p-Si層15a～15cを水素化し、ダングリングボンド（未結合手）をターミネート（終端化）させる。

30

## 【0093】

最後に、図10（f）に示すように、コンタクトエッチング及びソース電極28a～28cの形成等を行うことにより、駆動回路用のNチャネルTFT100a、PチャネルTFT100b及び画素スイッチング用のNチャネルTFT200が完成する。

## 【0094】

本実施形態の製造方法によれば、図10（c）に示すゲート電極21a～21cを形成する工程において、金属膜をドライエッチング又はアッシングする処理を行う。しかしながら、このとき、高プラズマ耐性を有する $SiN_x$ 膜64が最上層に配置されているため、 $SiO_2$ 膜63等はエッチングやアッシングによるダメージを受けない。また、TFT200において、 $SiN_x$ 膜62の形成工程と $SiO_2$ 膜63の形成工程とは分離して行われるため、 $SiN_x$ 膜62上には、ホウ素（B）、ナトリウム（Na）、リン（P）、重金属等の不純物が付着する。しかしながら、 $SiN_x$ 膜62は不純物の拡散を防止（バリア）する機能を有することから、活性化アニール工程や水素化アニール工程等において、この不純物が $SiO_2$ 膜61内ひいてはp-Si層15c内に拡散することを抑制することができる。

40

したがって、本実施形態の製造方法によれば、高い信頼性を有するアクティブマトリクス基板を作製することができる。

## 【0095】

（実施形態4）

図11は、本発明の実施形態4に係るアクティブマトリクス基板（半導体装置）の構成を

50

示す断面模式図である。

本実施形態に係るアクティブマトリクス基板は、図11に示すように、駆動回路用セルフアライン構造のトップゲート型NチャネルTFT(第1回路素子)100a及びトップゲート型PチャネルTFT(第1回路素子)100b、並びに、保持容量(Cs)素子(第2回路素子)300等をガラス基板10上に有するものである。図11に示すように、TFT100a、100bのゲート絶縁膜(第1絶縁膜)が酸化シリコン(SiO<sub>2</sub>)膜16及び窒化シリコン(SiN<sub>x</sub>)膜17の2層構造を有する。これに対し、Cs素子300の絶縁膜(第2絶縁膜)は、SiO<sub>2</sub>膜16、SiN<sub>x</sub>膜17及びSiN<sub>x</sub>膜18の3層構造を有する。

以下、図6-1(a)~(f)及び図12(a)~(g)を用いて、本実施形態に係るアクティブマトリクス基板の製造工程を説明する。

10

#### 【0096】

まず、実施形態1における図6-1(a)~(f)と同様の工程を行う。

次に、図12(a)に示すように、p-Si層15a~15cに不純物3を注入する。具体的には、p-Si層15a、15cにはリンイオン(P<sup>+</sup>)を注入し、p-Si層15bにはホウ素イオン(B<sup>+</sup>)を注入する。これにより、p-Si層15aには、n型の高濃度不純物領域23aが自己整合的に形成され、p-Si層15bには、p型の高濃度不純物領域24aが自己整合的に形成される。また、p-Si層15cは、全体がn型の高濃度不純物領域23aとなる。

続いて、アニール(活性化アニール)を行うことにより、注入した不純物を活性化させる。

20

#### 【0097】

次に、不純物及び有機膜を除去するため、紫外線(UV)、オゾン洗浄、フッ酸(HF)洗浄、水洗浄又はアルカリ洗浄等を行った後、図12(b)に示すように、SiN<sub>x</sub>膜18を形成する。本実施形態では、SiN<sub>x</sub>膜18の膜厚は60nmとする。なお、この絶縁膜18の構造としては、本実施形態のようなSiN<sub>x</sub>膜のみからなる単層構造、膜厚20nmのSiN<sub>x</sub>膜(下層)及び膜厚20nmのSiO<sub>2</sub>膜(上層)からなる積層構造が好ましいが、SiO<sub>2</sub>のみからなる単層構造、SiO<sub>2</sub>膜(下層)及びSiN<sub>x</sub>膜(上層)からなる積層構造等も用いることもできる。

#### 【0098】

30

次に、スパッタ法又はCVD法等を用いて、金属膜を堆積した後、エッチングガスを用いてパターニングすることにより、図12(c)に示すように、保持容量配線(第2導電層)31を形成する。保持容量配線31の材料、膜厚及び形成方法は、ゲート電極21a、21bと異なってもよく、例えばソース電極と同一であってもよい。

#### 【0099】

次に、図12(d)に示すように、層間絶縁膜25を形成する。なお、層間絶縁膜25の材料としては、SiN<sub>x</sub>、SiO<sub>2</sub>等を用いることができる。本実施形態では、層間絶縁膜25は、SiO<sub>2</sub>膜の単層構造とするが、例えばSiN<sub>x</sub>膜(下層)及びSiO<sub>2</sub>膜(上層)の積層構造としてもよい。

続いて、アニール(水素化アニール)を行うことにより、p-Si層15a~15cを水素化し、ダングリングボンド(未結合手)をターミネート(終端化)させる。

40

#### 【0100】

続いて、コンタクトエッチングを行う。具体的には、まず、図12(e)に示すように、SiN<sub>x</sub>膜17までドライエッチングした後、図12(f)に示すように、p-Si層15a~15cまでウェットエッチングすることにより、コンタクトホール27a及び27bを形成する。

#### 【0101】

最後に、図12(g)に示すように、ソース電極28a及び28bを形成することにより、駆動回路用NチャネルTFT100a、PチャネルTFT100b及びCs素子300が完成する。

50

本実施形態によっても、 $\text{SiN}_x$  膜 17 により、実施形態 1 と同様の作用効果を得ることができる。

#### 【0102】

(実施形態 5)

図 13 は、本発明の実施形態 5 に係るアクティブマトリクス基板 (半導体装置) の構成を示す断面模式図である。

本実施形態に係るアクティブマトリクス基板は、図 13 に示すように、駆動回路用セルフアライン構造のボトムゲート型 N チャンネル TFT (第 1 回路素子) 400a 及びボトムゲート型 N チャンネル TFT (第 1 回路素子) 400b、並びに、画素スイッチング用セルフアライン構造のボトムゲート型 N チャンネル TFT (第 2 回路素子) 500 等をガラス基板 10 上に有するものである。図 13 に示すように、TFT 400a、400b のゲート絶縁膜 (第 1 絶縁膜) は、窒化シリコン ( $\text{SiN}_x$ ) 膜 18、酸化シリコン ( $\text{SiO}_2$ ) 膜 16 の 2 層構造を有するのに対し、TFT 500 のゲート絶縁膜 (第 2 絶縁膜) は、 $\text{SiN}_x$  膜 17、 $\text{SiN}_x$  膜 18 及び  $\text{SiO}_2$  膜 16 の 3 層構造を有する。

以下、図 14 - 1 (a) ~ (h) 及び 14 - 2 (a) ~ (c) を用いて、本実施形態に係るアクティブマトリクス基板の製造工程を説明する。

#### 【0103】

まず、ガラス基板 10 上に、スパッタ法又は CVD 法を用いて、金属膜を堆積した後、エッチングガスを用いてパターニングすることにより、図 14 - 1 (a) に示すように、ゲート電極 (第 2 導電層) 21c を形成する。

#### 【0104】

次に、図 14 - 1 (b) に示すように、プラズマ化学的気相成長 (CVD) 法で、 $\text{SiN}_x$  膜 17 を形成する。本実施形態では、 $\text{SiN}_x$  膜 17 の膜厚は 30 nm とする。

次に、図 14 - 1 (c) に示すように、ゲート電極 (第 1 導電層) 21a、21b を形成する。ゲート電極 21a、21b の材料、膜厚及び形成方法は、ゲート電極 21c と異なってもよい。

#### 【0105】

次に、図 14 - 1 (d) に示すように、 $\text{SiN}_x$  膜 18、 $\text{SiO}_2$  膜 16 及びアモルファスシリコン (a-Si) 膜 13 を形成する。 $\text{SiN}_x$  膜 18、 $\text{SiO}_2$  膜 16、及び a-Si 膜 13 は、プラズマ化学的気相成長 (CVD) 法で連続成膜する。本実施形態では、 $\text{SiN}_x$  膜 18 及び  $\text{SiO}_2$  膜 16 の膜厚はともに 30 nm とし、a-Si 膜 13 の膜厚は、50 nm とする。なお、 $\text{SiN}_x$  膜 18 及び  $\text{SiO}_2$  膜 16 は、例えば、膜厚 45 nm の  $\text{SiO}_2$  膜のみに置き換えてもよい。

#### 【0106】

次に、図 14 - 1 (e) に示すように、a-Si 膜 13 にレーザー光 1 を照射して結晶化することにより、ポリシリコン (p-Si) 膜 14 とする。なお、この結晶化には、(1) 固相成長 (Solid Phase Crystallization; SPC) 法や、(2) SPC 法とレーザー照射光とを組み合わせた方法を用いてもよい。

次に、図 14 - 1 (f) に示すように、p-Si 膜 14 を各 TFT のサイズにパターニングすることにより、p-Si 層 (第 1 半導体層) 15a、15b 及び p-Si 層 (第 2 半導体層) 15c を形成する。

#### 【0107】

次に、不純物及び有機膜を除去するため、紫外線 (UV) 洗浄、オゾン ( $\text{O}_3$ ) 洗浄、フッ化水素酸 (HF) 洗浄、水洗浄又はアルカリ洗浄等を行う。続いて、図 14 - 1 (g) に示すように、水素 ( $\text{H}_2$ ) プラズマ又は  $\text{H}_2$  ガス 2 に暴露した後、図 14 - 1 (h) に示すように、 $\text{SiO}_2$  膜 61 及び  $\text{SiN}_x$  膜 62 を形成する。本実施形態では、 $\text{SiO}_2$  膜 61 及び  $\text{SiN}_x$  膜 62 は、プラズマ化学的気相成長 (CVD) 法で連続成膜する。なお、 $\text{SiO}_2$  膜 61 及び  $\text{SiN}_x$  膜 62 の膜厚はともに 30 nm とする。

なお、 $\text{H}_2$  プラズマ又は  $\text{H}_2$  ガス 2 への暴露は、 $\text{SiO}_2$  膜 61 の形成後に行ってもよい。

10

20

30

40

50

## 【0108】

次に、図14-2(a)に示すように、 $\text{SiN}_x$ 膜62上にフォトリソ層68を形成した後、p-Si層15a~15cに不純物3を注入する。具体的には、p-Si層15a、15cにはリンイオン( $\text{P}^+$ )を注入し、p-Si層15bにはホウ素イオン( $\text{B}^+$ )を注入する。これにより、p-Si層15a、15cには、n型の高濃度不純物領域23aが自己整合的に形成され、p-Si層15bには、p型の高濃度不純物領域24aが自己整合的に形成される。

続いて、アニール(活性化アニール)を行うことにより、注入した不純物を活性化させる。

## 【0109】

次に、図14-2(b)に示すように、 $\text{SiO}_2$ からなる層間絶縁膜25を形成する。続いて、アニール(水素化アニール)を行うことにより、p-Si層15a~15cを水素化し、ダングリングボンド(未結合手)をターミネート(終端化)させる。

## 【0110】

最後に、図14-2(c)に示すように、コンタクトエッチング及びソース電極28a~28cの形成等を行うことにより、駆動回路用のNチャネルTFT400a、PチャネルTFT400b及び画素スイッチング用のNチャネルTFT500が完成する。

## 【0111】

本実施形態の製造方法によれば、 $\text{SiN}_x$ 膜17の形成工程と $\text{SiN}_x$ 膜18の形成工程とは分離して行われるため、 $\text{SiN}_x$ 膜17上には、ホウ素(B)、ナトリウム(Na)、リン(P)、重金属等の不純物が付着する。しかしながら、 $\text{SiN}_x$ 膜18は不純物の拡散を防止(バリア)する機能を有することから、活性化アニール工程や水素化アニール工程等において、この不純物が $\text{SiO}_2$ 膜16内ひいてはp-Si層15a~15c内に拡散することを抑制することができる。

したがって、本実施形態の製造方法によれば、高い信頼性を有するアクティブマトリクス基板を作製することができる。

## 【0112】

## (実施形態6)

図15は、本発明の実施形態6に係るアクティブマトリクス基板(半導体装置)の構成を示す断面模式図である。

本実施形態に係るアクティブマトリクス基板は、図15に示すように、駆動回路用セルフアライン構造のNチャネルTFT(第1回路素子)400a、NチャネルTFT(第1回路素子)400b、及び、画素スイッチング用セルフアライン構造のNチャネルTFT(第2回路素子)500が、デュアルゲート型であること以外は、実施形態5に係るアクティブマトリクス基板と同様の構成を有する。すなわち、本実施形態の製造方法は、上層ゲート電極41a~41cを形成する工程を含むこと以外は、実施形態5の製造方法と同様である。したがって、本実施形態の製造方法によっても、高い信頼性を有するアクティブマトリクス基板を作製することができる。

## 【0113】

## (実験)プラズマ耐性比較試験

本実験では、酸化シリコン( $\text{SiO}_2$ )と窒化シリコン( $\text{SiN}_x$ )とのプラズマ耐性を比較する実験を行った。具体的には、膜厚70nmの $\text{SiO}_2$ 層からなるゲート絶縁膜を成膜した後、酸素( $\text{O}_2$ )プラズマ処理(誘導結合プラズマ(ICP)条件: Bias 400W)を施したTFTについて、BTS(bias temperature stress)試験(BTS条件: 150、+20V、30分間)前後の閾値電圧( $V_{th}$ )特性の変化を調べた。一方、膜厚50nmの $\text{SiO}_2$ 層(下層)及び膜厚40nmの $\text{SiN}_x$ 層(上層)の2層構造からなるゲート絶縁膜(EOT 70nm)を有するTFTについても、同様の試験を行った。その結果を図16及び17に示す。

## 【0114】

$\text{O}_2$ プラズマ処理を施さなかったTFTについては、図16(a)及び17(a)に示す

10

20

30

40

50

ように、ゲート絶縁膜が $\text{SiO}_2$ 層からなるもの、並びに、 $\text{SiO}_2$ 層及び $\text{SiN}_x$ 層の2層構造からなるものともに、BTS試験の前後で $V_{th}$ の変化は見られなかった。しかしながら、 $\text{O}_2$ プラズマ処理を施したTFTについては、ゲート絶縁膜が $\text{SiO}_2$ 層からなるものは、図16(b)に示すように、 $V_{th}$ がBTS試験の前後で負方向にシフトしていた。これは、 $\text{SiO}_2$ はBiasを掛けた $\text{O}_2$ プラズマに弱く、ゲート絶縁膜が $\text{O}_2$ プラズマ処理工程でプラズマ損傷を受けて劣化したためであると考えられる。一方、 $\text{SiO}_2$ 層及び $\text{SiN}_x$ 層の2層構造からなるものは、図17(b)に示すように、 $V_{th}$ がBTS試験の前後で変化していなかった。これは、上層の $\text{SiN}_x$ 層がゲート絶縁膜の全体を $\text{O}_2$ プラズマによる損傷から防御したためと考えられる。なお、本実験では、 $\text{SiN}_x$ 層の膜厚は40nmであったが、10nmや20nmである場合(ゲート絶縁膜の $\text{EOT}$  70nm)にも、同様の結果が得られた。

10

以上により、 $\text{SiN}_x$ は、 $\text{SiO}_2$ よりも高い $\text{O}_2$ プラズマ耐性を有することが分かった。

#### 【0115】

なお、本願は、2006年1月12日に出願された日本国特許出願2006-005402号を基礎として、パリ条約ないし移行する国における法規に基づく優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

#### 【0116】

本願明細書における「以上」、「以下」は、当該数値を含むものである。すなわち、「以上」とは、不少(当該数値及び当該数値以上)を意味するものである。

20

#### 【図面の簡単な説明】

#### 【0117】

【図1】本発明に係る第1半導体装置の構成の一例を示す断面模式図である。

【図2】(a)及び(b)は、本発明に係る第2半導体装置の構成の一例を示す断面模式図である。

【図3】(a)及び(b)は、本発明に係る第3半導体装置の構成の一例を示す断面模式図である。

【図4】(a)及び(b)は、本発明に係る第4半導体装置の構成の一例を示す断面模式図である。

【図5】本発明の実施形態1に係るアクティブマトリクス基板の構成を示す断面模式図である。

30

【図6-1】(a)～(f)は、本発明の実施形態1に係るアクティブマトリクス基板の製造工程の前半を示す断面模式図である。

【図6-2】(a)～(g)は、本発明の実施形態1に係るアクティブマトリクス基板の製造工程の後半を示す断面模式図である。

【図7】本発明の実施形態2に係るアクティブマトリクス基板の構成を示す断面模式図である。

【図8】(a)～(h)は、本発明の実施形態2に係るアクティブマトリクス基板の製造工程を示す断面模式図である。

【図9】本発明の実施形態3に係るアクティブマトリクス基板の構成を示す断面模式図である。

40

【図10】(a)～(f)は、本発明の実施形態3に係るアクティブマトリクス基板の製造工程を示す断面模式図である。

【図11】本発明の実施形態4に係るアクティブマトリクス基板の構成を示す断面模式図である。

【図12】(a)～(g)は、本発明の実施形態4に係るアクティブマトリクス基板の製造工程を示す断面模式図である。

【図13】本発明の実施形態5に係るアクティブマトリクス基板の構成を示す断面模式図である。

【図14-1】(a)～(h)は、本発明の実施形態5に係るアクティブマトリクス基板

50



の製造工程の前半を示す断面模式図である。

【図14-2】(a)～(c)は、本発明の実施形態5に係るアクティブマトリクス基板の製造工程の後半を示す断面模式図である。

【図15】本発明の実施形態6に係るアクティブマトリクス基板の構成を示す断面模式図である。

【図16】(a)は、 $\text{SiO}_2$ 層からなるTFTのBTS試験前後の閾値電圧( $V_{th}$ )特性の変化を示す図であり、(b)は、 $\text{O}_2$ プラズマ処理を施した該TFTについて、BTS試験前後の $V_{th}$ 特性の変化を示す図である。なお、図中の実線は、BTS試験前の $V_{th}$ 特性を示し、破線は、BTS試験後の $V_{th}$ 特性を示す。

【図17】(a)は、 $\text{SiO}_2$ 層(下層)及び $\text{SiN}_x$ 層(上層)の2層構造からなるTFTのBTS試験前後の $V_{th}$ 特性の変化を示す図である。(b)は、 $\text{O}_2$ プラズマ処理を施したTFTについて、BTS試験前後の $V_{th}$ 特性の変化を示す図である。なお、図中の実線は、BTS試験前の $V_{th}$ 特性を示し、破線は、BTS試験後の $V_{th}$ 特性を示す。

【図18】(a)～(d)は、従来の半導体装置の製造方法を示す断面模式図である。

【図19】(a)～(d)は、本発明に係る半導体装置の製造方法の一例を示す断面模式図である。

#### 【符号の説明】

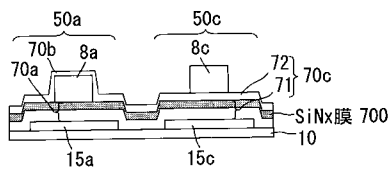
#### 【0118】

- 1：レーザ光
- 2：水素( $\text{H}_2$ )プラズマ又は $\text{H}_2$ ガス
- 3：不純物
- 4a：第1ゲート絶縁膜(第1絶縁膜)
- 4c：第2ゲート絶縁膜(第2絶縁膜)の下層部
- 5：第1ゲート電極(第1導電層)
- 6a：第3絶縁膜(その下層部、中層部、上層部又は全体)
- 6c：第2ゲート絶縁膜(第2絶縁膜)の上層部
- 7a：第1ゲート絶縁膜(第1絶縁膜)の最下層
- 7c：第2ゲート絶縁膜(第2絶縁膜)の下層部の最下層
- 8：第2ゲート電極(第2導電層)
- 8a：第1ゲート電極(第1導電層)
- 8c：第2ゲート電極(第2導電層)
- 9：第2ゲート絶縁膜(第2絶縁膜)
- 10：ガラス基板(基板)
- 11：水素バリア及び不純物拡散防止膜
- 12：緩衝膜
- 13：アモルファスシリコン(a-Si)膜
- 14：ポリシリコン(p-Si)膜
- 15a、15b：p-Si層(第1半導体層)
- 15c：p-Si層(第2半導体層)
- 16、61、63：酸化シリコン( $\text{SiO}_2$ )膜
- 17、18、62、64：窒化シリコン( $\text{SiN}_x$ )膜
- 19、68：フォトレジスト層
- 21a、21b：ゲート電極(第1導電層)
- 21c：ゲート電極(第2導電層)
- 22：オフセット(offset)領域
- 23a：n型の高濃度不純物領域
- 23b：n型の低濃度不純物領域(LDD領域)
- 24a：p型の高濃度不純物領域
- 25：層間絶縁膜

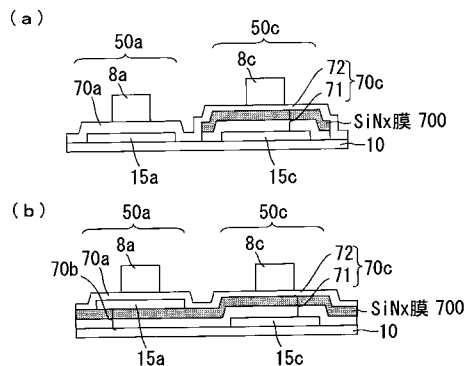
- 27a ~ 27c : コンタクトホール  
 28a ~ 28c : ソース電極  
 31 : 保持容量配線 (第2導電層)  
 35 : 金属膜  
 41a ~ 41c : 上層ゲート電極  
 50a : 第1TFT (第1回路素子)  
 50c : 第2TFT (第2回路素子)  
 70a : 第1ゲート絶縁膜 (第1絶縁膜)  
 70b : 第3絶縁膜 (その下層部、中層部、上層部又は全体)  
 70c : 第2ゲート絶縁膜 (第2絶縁膜)  
 71 : 第2ゲート絶縁膜 (第2絶縁膜) の下層部  
 72 : 第2ゲート絶縁膜 (第2絶縁膜) の上層部  
 100a、400a : 駆動回路用NチャンネルTFT (第1回路素子)  
 100b、400b : 駆動回路用PチャンネルTFT (第1回路素子)  
 200、500 : 画素スイッチング用TFT (第2回路素子)  
 300 : 保持容量素子 (第2回路素子)  
 700 : SiN<sub>x</sub>膜  
 900 : SiO<sub>2</sub>膜

10

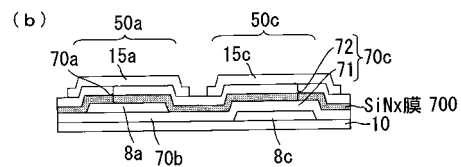
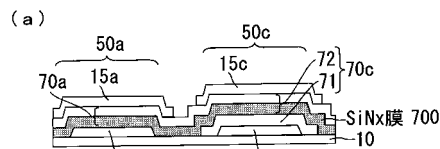
【図1】



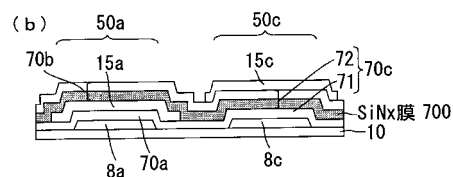
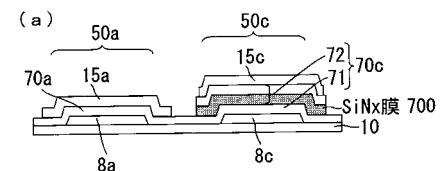
【図2】



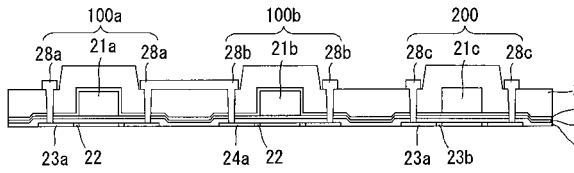
【図3】



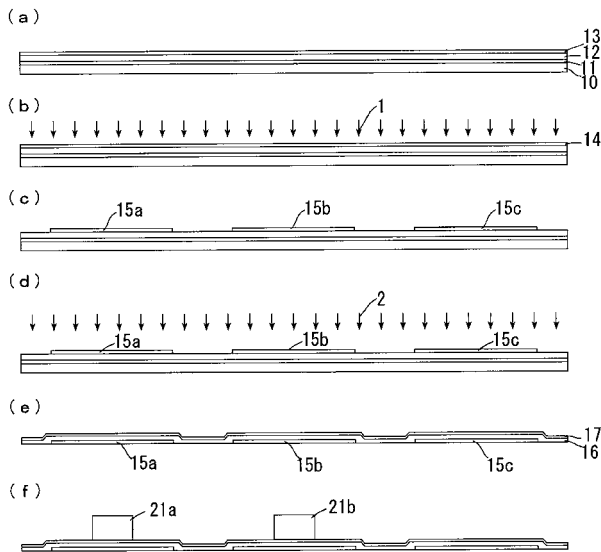
【図4】



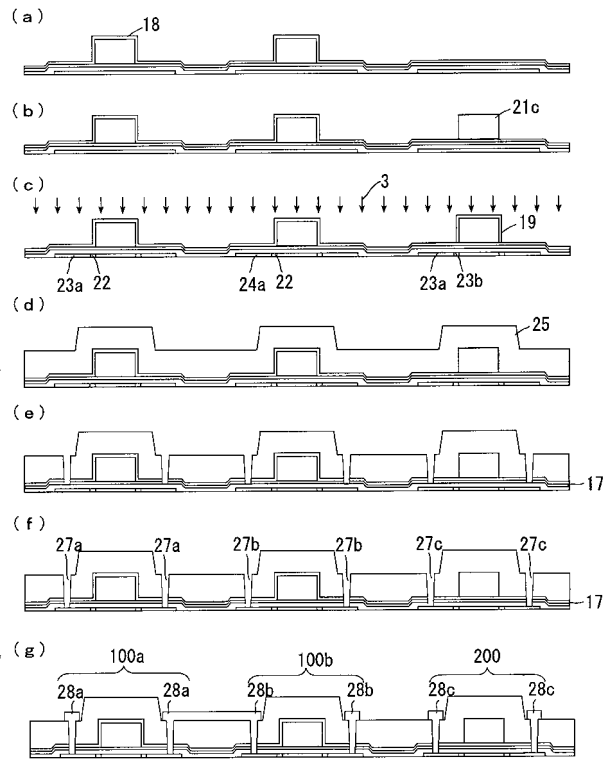
【図 5】



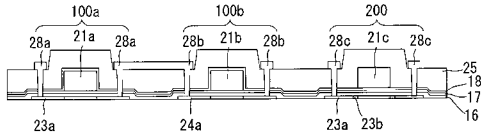
【図 6 - 1】



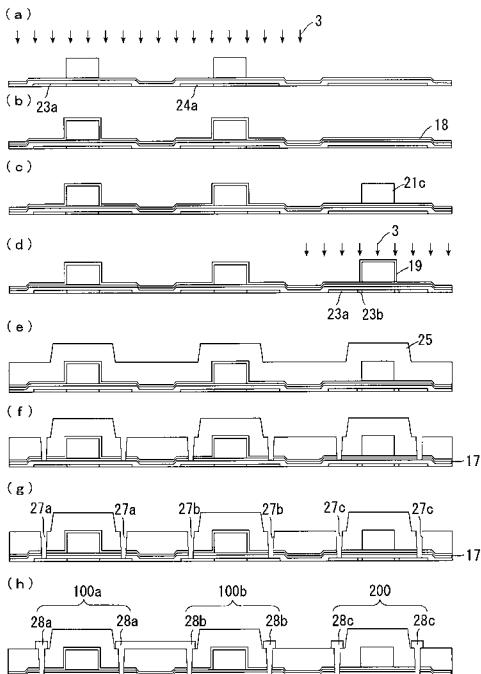
【図 6 - 2】



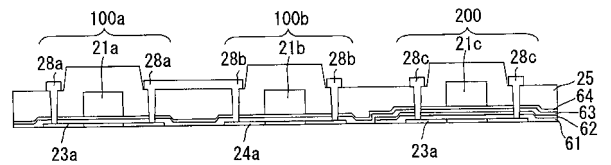
【図 7】



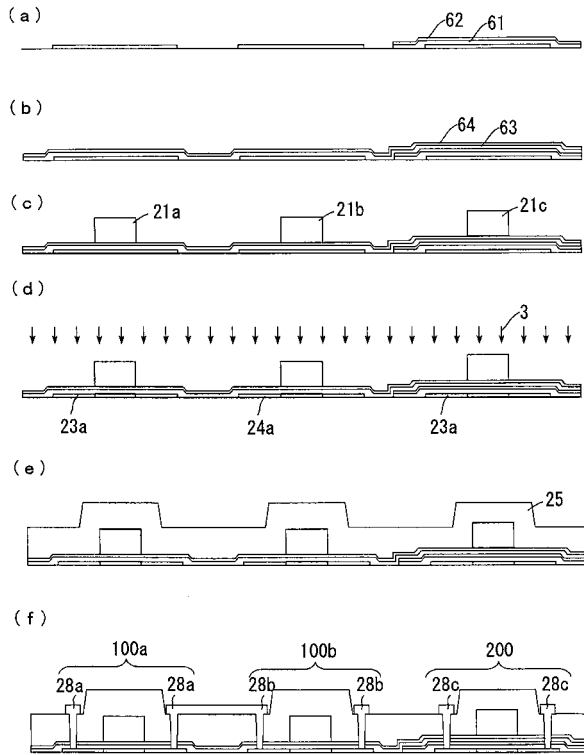
【図 8】



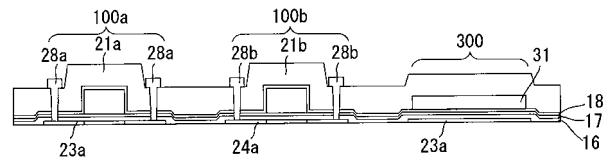
【図 9】



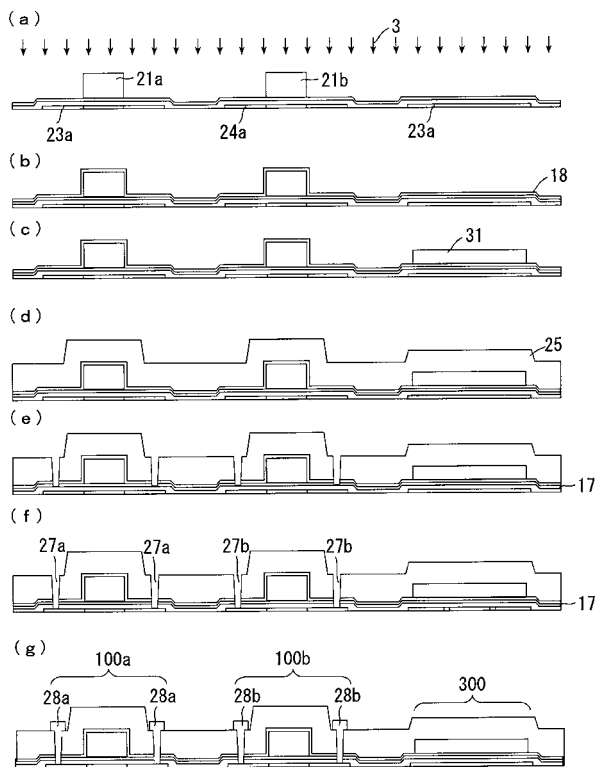
## 【図 10】



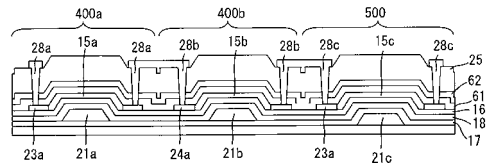
## 【図 11】



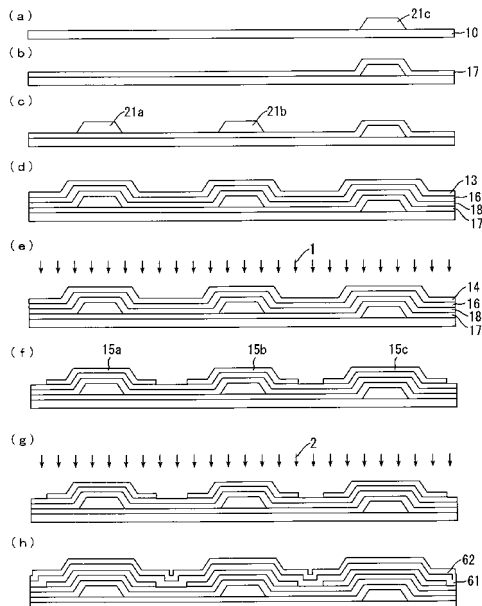
## 【図 12】



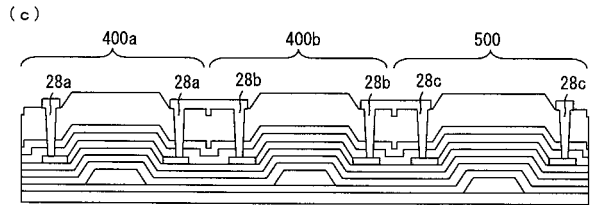
## 【図 13】



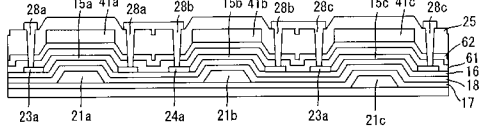
## 【図 14 - 1】



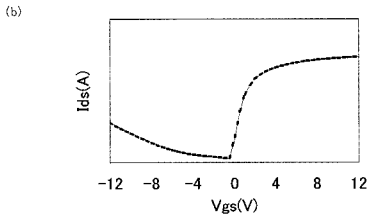
【 図 1 4 - 2 】



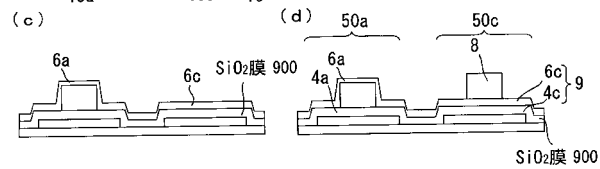
【 図 1 5 】



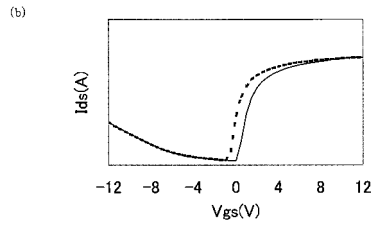
【 圖 1 7 】



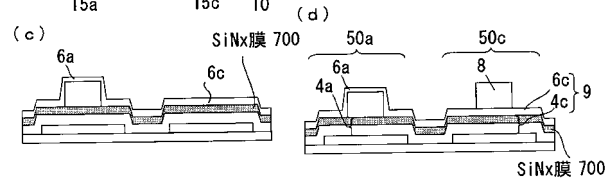
【 圖 1 8 】



【 図 1 6 】



【 図 1 9 】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 27/08 1 0 2 J

(56)参考文献 特開平 5 - 1 5 2 5 6 9 ( J P , A )  
特開平 7 - 1 3 0 6 6 8 ( J P , A )  
特開平 1 1 - 1 6 8 2 1 5 ( J P , A )  
特開 2 0 0 5 - 2 6 0 1 6 8 ( J P , A )  
特開 2 0 0 5 - 1 2 0 0 3 ( J P , A )  
特開平 1 1 - 2 8 1 9 4 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L29/786

H01L21/336

G02F1/1333

G02F1/1368