

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. <i>H04N 9/00</i> (2006.01)	(45) 공고일자 2006년11월10일
	(11) 등록번호 10-0619454
	(24) 등록일자 2006년08월28일

(21) 출원번호 (22) 출원일자	10-1998-0035802 1998년09월01일	(65) 공개번호 (43) 공개일자	10-1999-0029398 1999년04월26일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장	08/921,965	1997년09월02일	미국(US)
------------	------------	-------------	--------

(73) 특허권자	프리스캐일 세미컨덕터, 인크. 미합중국 텍사스 (우편번호 78735) 오스틴 월리암 캐논 드라이브 웨스트 6501
-----------	--

(72) 발명자	도메르, 스티븐 엠. 미국, 아리조나 85215, 메사, 이스트 트라일릿지 드라이브 룸# 83 6446
----------	--

시총스키, 로베르트 씨. 미국, 아리조나 85226, 찬들러, 웨스트 페어뷰 레인 3608

(74) 대리인	이병호 이범래 정상구 신현문
----------	--------------------------

심사관 : 신재철

(54) 색밸런싱회로 및 방법

요약

본 발명은 영상 캡처링 시스템(image capturing system; 10)에서 동작 중 픽셀 신호들(V_{PIXEL})을 색 밸런싱하는 회로 및 방법에 관한 것이다. 픽셀 신호들은 이득이 고정된 커패시터(310, 311)에 대한 프로그램 가능한 커패시터(320, 330)의 비에 의해 설정되는 프로그램 가능한 이득 증폭기(204)에서 증폭된다. 제어 데이터(CONTROL)는 2진 가중 커패시터들(binary weighted capacitors; 321-322, 331-332)을 인에이블하는 스위치들(323-324, 333-334)을 인에이블함으로써 프로그램 가능한 커패시터의 용량을 설정한다. 제어 데이터는 각각의 픽셀 신호가 인가됨에 따라 프로그램 가능한 증폭기의 이득을 조정하여, 모든 기본 색들의 픽셀 신호들이 동일 프로그램 가능한 이득 증폭기에서 증폭되게 한다.

내포도

도 1

색인어

영상 캡처링 시스템, 픽셀 신호, 이득, 커패시터, 증폭기

명세서

도면의 간단한 설명

도 1은 영상 캡처링 시스템의 등폭도(isometric view).

도 2는 신호 처리 회로의 블록도.

도 3은 프로그램 가능한 이득 증폭기의 개략도.

도 4는 프로그램 가능한 이득 증폭기의 타이밍도.

* 도면의 주요부분에 대한 부호의 설명 *

10 : 영상 캡처링 시스템 22 : 출력 장치

212 : 메모리 회로 214 : 타이밍 발생기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

본 발명은 일반적으로 집적 회로들에 관한 것으로, 특히, 영상 신호들을 처리하기 위한 색 밸런싱 회로에 관한 것이다.

고해상도 영상 캡처링 시스템들은 통상적으로 영상으로부터의 광을, 전하 결합 장치들, p-i-n 다이오드들 또는 포토트랜지스터들(phototransistors)과 같은 반도체 광 활성 감지 장치 어레이들(array of semiconductor photoactive sensing devices)로 투사함으로써 영상을 캡처링한다. 이러한 어레이들은 저전력으로 동작하고 반도체 다이(semiconductor die) 상에 용이하게 집적되어, 디지털 카메라들 및 스캐너들과 같은 휴대 장비에서 사용하기에 이상적이다. 각각의 광 활성 감지 장치는 광을 픽셀 신호로 변환한다. 시스템 출력은 디스플레이 장치에 의해 디스플레이 가능한 포맷으로 각각의 픽셀 신호에 대한 세기 및 색 정보를 포함하는 영상 데이터를 제공한다.

영상 색들은 실질적으로 한 개의 기본 색의 광이 각각의 광 활성 장치에 도달하도록 영상과 감지 어레이 사이에 광학 색 필터들의 매트릭스를 삽입시킴으로써 3 내지 4개 성분의 기본 색들로 분리된다. 예를 들어, 적색, 녹색, 및 청색의 기본 색들에 근거한 시스템은 일반적으로 적색, 녹색, 및 청색 필터들의 매트릭스를 사용하는 RGB 시스템으로서 알려져 있다. 따라서 각각의 광 활성 장치는 광의 세기뿐만 아니라 기본 색을 나타내는 픽셀 신호를 발생하기 위해 한 개의 기본 색의 광을 감지한다. 기본 색은 영상의 다른 색들을 재생하기 위해 디스플레이 장치에 의해 혼합된다. 여기서, 디스플레이 장치가 고해상도 텔레비전인 경우, 픽셀 신호들은 최소한 27.0 메가헤르츠의 레이트(rate)로 발생된다.

발명이 이루고자 하는 기술적 과제

대부분의 시스템들에서, 각각의 기본 색들에 대한 광 활성 장치들의 응답은 색 필터들로 인해 종종 언밸런싱된다. 예를 들어, 적색 광을 감지하는 장치들은 동일 세기의 청색 광을 감지하는 장치들보다 큰 진폭의 픽셀 신호들을 발생할 수 있다. 색 임밸런스(color imbalance)가 보정되지 않는다면, 영상은 정확한 색들로 디스플레이되지 않는다.

색감도(color sensitivity)의 차이들을 보정하기 위해, 상이한 기본 색들의 픽셀 신호들은 색 밸런싱하기 위해 상이한 이득들에 의해 증폭된다. 종래의 시스템들은 적절한 보상 이득으로 설정된 상이한 증폭기에서 각각의 기본 색의 픽셀 신호들을 증폭함으로써 이러한 색 밸런싱을 수행한다. 예를 들어, 적색 광에 의해 발생되고, 동일 세기의 청색 광에 의해 발생된 청색 픽셀 신호의 2배의 진폭을 갖는 적색 픽셀 신호를 색 밸런싱하기 위해, 청색 픽셀 신호는 적색 신호를 증폭

하는 다른 증폭기처럼 2 배의 이득을 갖는 하나의 증폭기에서 증폭된다. 이러한 다수의 증폭기 색 밸런싱은 증폭기들 간의 부정합(mismatch)으로 인한 고정된 패턴 잡음과 같은 영상 디스플레이 아티팩트들(artifacts)의 문제가 있다. 이러한 아티팩트들은 식별 및 보정하기가 어렵거나 불가능하다.

따라서 광 활성 감지 장치들의 색 응답의 차이들을 보상하기 위해 픽셀 신호들을 색 밸런싱하는 개선된 회로 및 방법이 요구된다.

발명의 구성 및 작용

상세한 설명

도 1은 영상 캡처링 장치(20) 및 출력 장치(22)를 포함하는 영상 캡처링 시스템(10)의 부분 분해된 등폭도이다. 영상 캡처링 시스템(10)은 후술된 바와 같이, 출력 장치(22)에 의해 디스플레이하기 위해 인식 가능한 포맷으로 디지털 데이터로 변환하기 위한 영상(12)을 캡처링한다.

영상 집적 회로(26)를 수용하기 위한 패키지(24)는, 광 감지 어레이를 포함하는 집적 회로(26)의 영역(32)으로 영상(12)을 투사하기 위한 투명부(30)를 구비한 리드(lid; 28)에 의해 둘러싸인다. 투명부는 집속 렌즈(focusing lens)로서 동작하도록 제조되거나, 대안적으로, 영상(12)과 영역(32) 사이에 삽입된 외부 렌즈에 의해 집속이 실현된다. 광 감지 어레이에는, 전하 결합 장치들, 포토트랜지스터들 또는 픽셀 센서로서 기능하는 p-i-n 다이오드들 등의 광 활성 반도체 장치들의 매트릭스로서 구성된다. 광은, 각각의 광 활성 장치가 투사광의 세기 및 색을 나타내는 아날로그 픽셀 신호를 발생하도록 색 필터들(도시되지 않음)의 매트릭스를 통해 투사된다. 영역(32)은, 출력 도체(36) 상에 아날로그 픽셀 신호들의 스트림을 발생하도록 미리 정의된 순서로 픽셀들을 선택하는 회로를 더 포함한다.

집적 회로(26)의 영역(34)은 신호 처리 회로를 포함하며, 상기 신호 처리 회로는 상기 픽셀 스트림을 처리하여 디지털 출력 데이터를 생성하고, 상기 디지털 출력 데이터는 패키지(20)의 와이어 본드(wire bond; 37) 및 리드(lead; 39)를 통해 출력 장치(22)에 결합된다. 도 1에서 도면의 간략화를 위해 출력 신호가 단일 리드 상에 제공된 것으로 도시되지만, 대부분의 응용들에서 출력 데이터는 버스를 통해 패키지(20)의 다수의 리드들에 제공된다. 클록 및 어드레스 신호들과 같은 제어 신호들은 영역(32)의 감지 어레이의 전기적 동작을 제어하기 위해 영역(34)의 회로에 의해 도체 또는 버스(38)를 통해 제공된다.

출력 장치(22)로는 모니터가 도시되어 있지만, 프린터와 같은 장치, 디스크 드라이브와 같은 저장 장치 등의 다른 형태의 장치일 수 있다. 페이저(pager) 또는 휴대 전화와 같은 무선 통신 장치에서, 영상 캡처링 시스템(10)은 영상(12)을 수신기에 방송하기 위해 변조 신호를 제공한다. 여기서, 출력 장치(22)는 캐리어 신호(carrier signal)를 제공하기 위한 무선 주파수 발진기(radio frequency oscillator), 캐리어 신호를 출력 데이터로 변조하기 위한 변조기 및 변조된 캐리어 신호를 송신하기 위한 안테나를 포함할 수 있다.

도 2는, CDS(Correlation Double Sampling) 회로(202), 프로그램 가능한 이득 증폭기(PGA; 204), 아날로그-디지털 변환기(ADC; 208), 디지털 신호 처리기(DSP; 210), 메모리 회로(212) 및 타이밍 발생기(214)를 구비한 영역(34)의 신호 처리 회로의 블록도이다. 도면들에서, 동일한 도면 부호들을 갖는 요소들은 동일한 기능들을 제공한다. 27.0 메가헤르츠에서 동작하는 픽셀 스트림 V_{PIXEL} 은 도체(36) 상에서 수신된다. V_{PIXEL} 은 아날로그 픽셀 신호들을 포함하며, 이들 신호들의 진폭들은 광 감지 어레이 내의 광 활성 감지 장치들로 투사된 광량을 나타낸다.

색 필터 매트릭스의 구조가 알려져 있기 때문에, 광 활성 장치들은 장치 제조동안 그 각각의 기본 색들로 맵핑될 수 있으며, 맵핑 데이터는 메모리(212) 내의 색 룩업 테이블(lookup table) 등에 저장된다. 룩업 테이블은 관련된 색 정보와 함께 각각의 광 활성 장치의 어드레스를 포함한다. 더 복잡한 시스템들에서, 어레이내의 각각의 광 활성 장치의 물리적 위치도 또한 룩업 테이블 내에 맵핑 및 저장된다. DSP(210)는 V_{PIXEL} 가 픽셀 신호의 색 인터리브된(color-interleaved) 스트림으로서 발생하도록 룩업 테이블을 통해 광 활성 장치에 대한 액세스를 제어한다.

CDS 회로(202)는 각각의 픽셀 신호를 두 번 감지하기 위해 표준 상관 이중 샘플링 기술을 사용하는 스위칭 커패시터 샘플-앤파-홀드 회로(sample-and-hold circuit)로서 동작하여, 1 회에는 기준 전압을 설정하고, 2 회에는 픽셀 전압을 발생한다. 기준 전압과 픽셀 전압들은 비례 차분 출력 신호(proportional differential output signal) $V_{PP}-V_{PN}$ 를 발생하도록 감산된다. 이러한 차분 신호들은 시스템의 동적 범위(dynamic range) 및 잡음 내성(noise immunity)을 증가시키는데, 이

것은 낮은 배터리 공급 전압으로 동작하는 휴대 장비에 특히 중요하다. CDS 회로(202)는 통상적으로 주어진 공급 전압의 동적 범위를 최대화하기 위해 전압 이득을 제공한다. 예를 들어, 배터리 공급 전압 $V_{DD} = 2.8$ 볼트로 동작하는 휴대 통신 장치에서 사용된 일실시예에서, CDS 회로(202)는 약 1.5의 전압 이득을 제공한다.

타이밍 발생기(214)는 13.5 메가헤르츠에서 동작하는 기준 클럭 신호 REFCLK를 수신하여 영상 캡처링 회로의 동작들을 동기하기 위해 버스(206) 상에 제공된 클록 신호들을 유도한다. 예를 들어, 한 클록 신호는 V_{PIXEL} 가 CDS 회로(202)에 의해 샘플링되는 타임 슬롯들을 설정하기 위해 216.0 메가헤르츠로 동작하도록 전압 제어 발진기를 사용하여 주파수 합성될 수 있다. 27.0 메가헤르츠로 동작하는 픽셀 클록 신호 V_{PCLK} 는 광 감지 어레이의 픽셀 레이트를 제어하기 위해 도체(38) 상에 제공된다.

PGA(204)는 광 활성 장치들의 다른 색 감도들을 보상하기 위해 V_{PIXEL} 의 픽셀 신호들의 색 밸런싱을 조정하기 위해 디지털적으로 프로그램 가능한 이득을 제공한다. 색 밸런싱은 흔히 백색광이 동일한 세기로 모든 색들의 광을 포함하기 때문에 백색 밸런싱으로서 언급된다. 따라서 캡처링 백색 영상의 픽셀 신호들이 색 밸런싱될 때, 픽셀 신호들은 기본 색들에 무관하게 동일 진폭들을 가지며 백색 영상은 정확하게 디스플레이된다. 픽셀 신호들이 색 밸런싱되지 않을 때, 영상은 정확한 색들로 디스플레이되지 않아, 백색 영상은 백색이 아닌 다른 색으로서 디스플레이된다.

종래 기술의 색 밸런싱 회로들은 다수의 병렬 증폭기들을 통해 라우팅(route)함으로써 그 기본 색들에 의해 픽셀 신호들을 분리한다. 그러나 이러한 증폭기들은 고정패턴 잡음 등의 영상 디스플레이 아티팩트들을 방지하는데 필요한 정도로 정합시키는 것이 어렵다. 본 발명은 화상 신호들의 기본 색들이 신호 증폭기를 통해 직렬로 증폭하기 위해 인터리브되는 픽셀 신호들의 단일 스트림으로서 V_{PIXEL} 를 발생시킴으로써 이러한 문제점을 회피한다. 색 밸런싱은 메모리(212)의 루업 테이블 내에 저장되고 각각의 픽셀 신호에 맵핑 제어 데이터로 PGA(204)의 이득을 조정함으로써 실현된다. DSP 회로(210)는 제어 데이터를 대응 픽셀 신호에 동기하고 PGA(204)의 제어 입력에 도달하는 버스(22) 상에서 제어 데이터를 발생한다. 따라서 이득은 픽셀 신호의 색들이 변화함에 따라 색 임밸런스를 보상하도록 동작중에 조정된다.

ADC(208)는 PGA(204)로부터 아날로그 출력 신호를 버스(209) 상의 대표적인 영상 신호로 변환하는 스위칭 커페시터 파이프라인 ADC이다. 적어도 ADC(208)에 의해 형성된 디지털 데이터에 있는 비트 수만큼의 도체들을 구비하도록 버스(209)를 구성함으로써 충분히 높은 데이터 레이트가 보장된다. 따라서 8 비트 디지털 데이터에 대해, 버스(209)는 최소한 8개의 도체들을 구비한다.

DSP(210)는 ADC(208)로부터 영상 데이터를 출력 장치(22) 상에서 판독 및/또는 디스플레이될 수 있는 소정의 포맷으로 출력 데이터로 변환하기 위해 지원 회로 또는 유사한 소프트웨어 실행 가능한 논리 회로들을 구비한 마이크로프로세서를 포함한다. DSP(210)는 또한 감마 보정(gamma correction), 영상 잡음 필터링, 픽셀 클러스터 평균화(pixel cluster averaging), 색 심화(color deepening), 콘드라스트 강화(contrast enhancing), 및 데이터 압축과 같은 다른 화상 처리 동작들을 실행할 수 있다. DSP(210)를 동작시키는 소프트웨어 명령들은 판독 전용(read-only) 또는 랜덤 액세스 메모리로서 동작하는 메모리(212)의 영역에 저장된다.

DSP(210)는 광 감지 어레이의 어드레싱을 제어하고 픽셀 신호 처리의 각각의 스테이지를 통해 V_{PIXEL} 의 기본 색들을 추적하기 위해 메모리(212) 내의 루업 테이블을 사용한다. 각각의 처리 스테이지에서의 각각의 픽셀 신호에 대해, DSP(210)는 어레이 내에서 발생하는 광 활성 장치의 물리적 위치 및 색상을 안다. DSP(210)는 픽셀 신호가 PGA(204)에 인가될 때 루업 테이블을 통해 광 활성 장치를 어드레싱하고 그 대응 제어 데이터를 공급함으로써 색 밸런싱을 제어한다. 물리적 위치 정보의 장점을 이용함으로써, DSP(210)는 PGA(204)의 이득에 대해 다른 형태의 보상 조정들을 위해 더욱 정밀한 제어 데이터를 계산할 수 있다. 예를 들어, DSP(210)는 주변에 위치된 광 활성 장치에 의해 발생된 픽셀 신호들의 이득을 증가시킴으로써 감지 어레이의 주변에서 감소된 광 노출 등의 광 결함 등을 보상할 수 있다. 다른 실시예에서, DSP(210)는 약한 채광 조건들(dim lighting conditions)을 보상하기 위해 PGA(204)의 전체 이득을 조정하도록 영상 데이터로부터 광 레벨을 계산하도록 프로그래밍될 수 있으며, 그것에 의해 전자적 노출 제어를 제공한다. 이러한 계산은 통상적으로 V_{PIXEL} 의 각각의 사이클에서 실행되기에 매우 복잡하여, 그 결과는, 픽셀 레이트로 제어 데이터를 제공하기 위해 루업 테이블에 연결된 메모리(212) 내의 버퍼 레지스터에서 간접된다.

메모리(212)는 루업 테이블, 버퍼 레지스터, DSP(210)에 의해 사용된 소프트웨어 명령 및 데이터를 저장하는 판독 전용 또는 랜덤 액세스 어레이의 저장 장치들로서 구현된다. 메모리가 V_{PIXEL} 의 27.0 메가헤르츠 주파수로 액세스되지만, 출력

장치(22) 상에 영상의 외관(appearance)을 강화하기 위해 상술된 바와 같이 DSP(210)가 계산을 완료하도록 더욱 낮은 레이트로 갱신될 수 있다. 일부 시스템들에서, 사용자 제공 색 벨런싱 또는 다른 데이터는 메모리(212) 또는 DSP(210) 중의 어느 한 외부 입력(도시되지 않음)을 통해 메모리(212) 내에 저장된다.

도 3은 PGA(204), 스위칭 커패시터, 파이프라인 프로그램 가능한 이득 단의 개략도로서, 증폭기(302), 고정 커패시터들(310-311), 프로그램 가능한 커패시터들(320, 330), 및 스위치(314, 315, 316, 317, 323-324, 333-334)를 포함한다. PGA(204)는 ADC(208)에 입력에 인가되는 색 벨런스 영상 신호 V_{OUT} 를 발생하기 위해 V_{PIXEL} 의 픽셀 신호의 스트림을 증폭한다. 통상적으로, 커패시터(310, 311)는 정합 커패시터들이고, 프로그램 가능한 커패시터들(320, 330)는 정합 커패시터들이다. PGA(204)의 이득은 프로그램 가능한 커패시터(320) 및 커패시터(310)의 용량들의 비에 의해 설정된다. 커패시터들은 증폭기들보다 더욱 정확하게 정합될 수 있어서, 본 발명의 단일의 증폭기의 접근법은 고정 패턴 잡음, 및 종래 기술의 다수의 색 벨런싱 증폭기들을 특징짓는 다른 디스플레이 아티팩트들을 도입하지 않고 픽셀 신호들을 색 벨런싱한다. 더욱이, 단일의 증폭기 구성은 종래 기술의 시스템들의 다수의 증폭기들보다 더욱 적은 전력 및 다이 면적(die area)을 사용한다.

정합 커패시터들 외의 다른 실시예들이 본 발명의 범위를 벗어나지 않고 대안적으로 사용될 수 있다. 예를 들어, 연속 모드 연산 증폭기는 제어 데이터로 이득을 설정하기 위해 프로그램 가능한 저항들을 사용할 수 있다.

프로그램 가능한 커패시터(320)는 제어 데이터(CONTROL)에 응답하여 닫는 관련 스위치들에 의해 제어된 이진 가중 커패시터들의 어레이를 구비한다. 설명의 간략화를 위해, 커패시터들(321-322) 및 관련 스위치(323-324)가 도시되어 있다. 유사하게, 프로그램 가능한 커패시터(330)는 제어 데이터(CONTROL)에 응답하여 인에이블되는 관련 스위치들에 의해 제어 2진 가중 커패시터들의 어레이를 포함하지만, 커패시터들(331-332) 및 관련 스위치들(333-334)만이 도시되어 있다. 대부분의 시스템들은 픽셀 신호들을 정확하게 색 벨런싱하는 최소한 8 비트의 프로그램 가능한 능력을 요구하기 때문에, 프로그램 가능한 커패시터들(320, 330)는 통상적으로 8 비트의 제어 데이터에 응답하여 인에이블되는 8 개의 스위치에 관련된 8 개의 2진 가중 커패시터들을 구비한다. 일반적으로, N 비트의 정확도(accuracy)가 요구된다면, 여기서 N은 정수이고, 프로그램 가능한 커패시터들(320, 330)는 N비트의 제어 데이터(CONTROL)에 의해 인에이블 스위치들 및 N 개의 2 진 가중 커패시터들을 포함한다. 제어 데이터(CONTROL)가 원하는 이득의 2진 표현으로서 구현되지 않는 경우, 디코더 회로(도시되지 않음)는 스위치들(323-324 및 333-334)을 제어하기 위해 제어 데이터(CONTROL)를 2진 가중 형태로 변환하기 위해 사용된다. 프로그램 가능한 커패시터(320, 330)의 용량은 그 관련 스위치들(323-324 및 333-334)이 인에이블되는 커패시터들(321-322 및 331-332)의 조합에 의해 설정된다. 프로그램 가능한 커패시터들(320, 330)은 또한 고정 커패시터들(312, 313)을 포함하는데, 이 커패시터들은 증폭기(302)의 출력에서 고장을 일으키고 안정도를 감소시키는 과도한 이득 변화들을 방지하기 위해 증폭기(302)의 입력에 최소 용량을 설정한다.

PGA(204)의 동작은 도 4의 타이밍도에 관련하여 설명되며, V_{PIXEL} 의 두 연속 사이클들(두 연속 픽셀 신호로부터)에 걸친 입력 신호 $V_{PP}-V_{PN}$ 및 그 결과로서 생긴 색 벨런스 영상 신호 V_{OUT} 를 나타낸다. $V_{PP}-V_{PN}$ 의 제 1 사이클은 시간 주기 T_1 , T_2 를 포함하고, 제 2 사이클은 시간 주기 T_3 , T_4 를 포함한다. V_{OUT} 의 제 1 사이클은 시간 주기 T_2 , T_3 을 포함하고, 제 2 사이클은 시간 주기 T_4 , T_5 를 포함한다. 연속하는 픽셀 신호들은, 도시된 대로 제 1 기본 색상을 나타내고 제 2 기본 색을 나타내는 제 2 픽셀 신호(T_3 동안에 도시된 $V_{PP}-V_{PN}$)보다 큰 진폭을 갖는 제 1 픽셀 신호(T_1 동안에 도시된 $V_{PP}-V_{PN}$)와 백색광의 세기를 동일하게 함으로써 발생되는 것으로 가정하자.

T_1 동안, 프로그램 가능한 커패시터들(320, 330)의 스위치들은 프로그램 가능한 커패시터들(320, 330)의 값들을 설정하기 위해 메모리(212) 내의 루프 테이블로부터 제 1 제어 데이터에 의해 인에이블된다. 스위치들(316, 317)는 각각 프로그램 가능한 커패시터들(320, 330)을 레벨 V_{PP} , V_{PN} 까지 충전하도록 닫힌다. 스위치들(314, 315)은 출력 신호가 제공되지 않는 동안에 증폭기(302)를 오토제로 모드(autozero mode)로 두기 위해 열린다. 일 실시예에서, 커패시터들(310, 311)은 추가의 스위치들(도시되지 않음)을 사용하여 두 전극을 접지로 단락시킴으로써 이 주기 동안 방전된다.

T_2 동안, CDS 회로(202)는 오토제로 모드로 되며 스위치들(316-317)은 프로그램 가능한 커패시터(320, 330)가 CDS 회로(202)에 의해 방전되는 것을 방지하기 위해 열린다. 스위치(314-315)는 V_{OUT} 가 유효한 동안, 이득 모드(gain mode)에서 PGA 회로(204)를 동작시키기 위해 닫힌다.

T_3 동안, 메모리(212)의 톱업 테이블로부터의 제 2 제어 데이터는, 더욱 낮은 용량으로 프로그램 가능한 커패시터들(320, 330)을 설정하도록 스위치들의 다른 조합을 가능하게 하여 픽셀 신호들을 색 밸런싱하기 위해 PGA(204)의 이득을 증가시킨다. 스위치들(316, 317)은 각각 프로그램 가능한 커패시터들(320, 330)을 레벨 V_{PP} , V_{PN} 까지 충전하기 위해 닫히는 반면에, 스위치들(314, 315)은 증폭기(302)를 오토제로 모드로 동작시키기 위해 열린다.

T_4 동안, CDS 회로(202)는 오토제로 모드이며, 스위치(316-317)는 프로그램 가능한 커패시터(320, 330)의 방전을 방지하기 위해 열리며, 스위치(314-315)는 V_{OUT} 가 유효한 동안 PGA(204)를 이득 모드로 동작하도록 닫힌다. PGA(204)의 증가 이득은 진폭이 제 1 V_{OUT} 신호의 진폭과 동일한 제 2 V_{OUT} 신호(T_4 동안)를 발생하며, 그것에 의해 픽셀 신호의 색 밸런싱을 보상한다.

발명의 효과

이상의 설명으로부터, 본 발명은 영상 캡처링 시스템에서 픽셀 신호를 색 밸런싱하는 회로 및 방법을 제공한다. 기본 색들에 응답하는 픽셀 신호는 신호 스트림에서 인터레이스되고(interlaced) 단일의 프로그램 가능한 증폭기에서 증폭된다. 증폭기의 이득은 증폭기의 고정된 용량에 대한 프로그램 가능한 용량의 비를 조정하는 제어 데이터로 설정된다. 제어 데이터는 증폭될 신호들의 기본 색이 변화할 때 변경되고, 그것에 의해 픽셀 신호들을 색 밸런싱하기 위해 증폭기의 이득을 변경한다. 커패시터들의 증폭기보다 더욱 정확하게 정합되기 때문에, 단일의 증폭기 구성은 더욱 정확한 영상의 색들을 이루기 위해 색 밸런싱을 개선한다. 또한 고정 패턴 잡음 및 다른 영상 아티팩트들은 종래의 시스템들에 비해 감소되는 반면에, 전력 소모 및 다이 면적을 감소시킨다.

(57) 청구의 범위

청구항 1.

영상 회로에 있어서:

제어 데이터를 저장하는 저장 장치(212);

증폭기로서, 기본 색들에 의해 분리되지 않은 픽셀 신호들(V_{PIXEL})을 수신하기 위해 결합된 제 1 입력(V_{PP})과, 영상 신호를 제공하기 위한 제 1 출력(V_{OUT-})과, 상기 증폭기의 이득을 프로그래밍하기 위한 상기 제어 데이터를 수신하기 위해 상기 저장 장치의 출력에 결합된 제어 입력(CONTROL)을 가지며, 상기 제어 데이터의 제 1 값은 제 1 픽셀 신호에 대한 상기 증폭기의 이득을 설정하고 상기 제어 데이터의 제 2 값은 제 2 픽셀 신호에 대한 이득을 설정하여 상기 제 1 및 제 2 픽셀 신호들을 색 밸런싱(color balance)하는, 상기 증폭기;

상기 증폭기의 제 1 입력(V_{PP})과 제 1 출력(V_{OUT-}) 사이에 결합된 제 1 커패시터(310); 및

상기 증폭기의 제 1 입력에서 상기 제 1 및 제 2 픽셀 신호들을 샘플링하기 위해 결합되고, 상기 제 1 픽셀 신호가 수신될 때 상기 제어 데이터의 제 1 값에 의해 그리고 상기 제 2 픽셀 신호가 수신될 때 상기 제어 데이터의 제 2 값에 의해 설정되는 용량을 가진 제 1 프로그램 가능한 커패시터(320)를 포함하는, 영상 회로.

청구항 2.

제 1 항에 있어서,

영상의 제 1 및 제 2 색들에 응답하여 광 감지 어레이(optical sensing array)의 출력에서, 각각 제 1 및 제 2 픽셀 신호들을 발생시키기 위한 제 1 및 제 2 광 활성 장치들(photoactive devices)을 포함하는 광 감지 어레이(32)를 더 포함하는, 영상 회로.

청구항 3.

제 2 항에 있어서,

상기 광 감지 어레이(32)는 상기 영상의 제 3 색에 응답하여 상기 광 감지 어레이의 출력에서 제 3 픽셀 신호를 발생시키기 위한 제 3 광 활성 장치를 더 포함하고, 상기 제 1, 제 2 및 제 3 픽셀 신호들은 상기 증폭기의 제 1 입력에 연속적으로 인가되고, 상기 제어 데이터(CONTROL)의 제 3 값은 상기 제 3 픽셀 신호에 대한 상기 증폭기의 이득을 설정하여 상기 제 1, 제 2 및 제 3 픽셀 신호들을 색 밸런싱하는, 영상 회로.

청구항 4.

제 1 항에 있어서,

상기 증폭기의 제 2 입력(V_{PN})과 제 2 출력(V_{OUT+}) 사이에 결합된 제 2 커패시터(311); 및

상기 증폭기의 제 2 입력에 결합되고, 상기 제 1 픽셀 신호가 수신될 때 상기 제어 데이터(CONTROL)의 제 1 값에 의해 그리고 상기 제 2 픽셀 신호가 수신될 때 상기 제어 데이터의 제 2 값에 의해 설정되는 용량을 가진 제 2 프로그램 가능한 커퍼시터(330)로서, 상기 영상 신호(V_{OUT})는 상기 증폭기의 제 1 및 제 2 출력들에 걸쳐 제공되는, 상기 제 2 프로그램 가능한 커퍼시터(330)를 더 포함하는, 영상 회로.

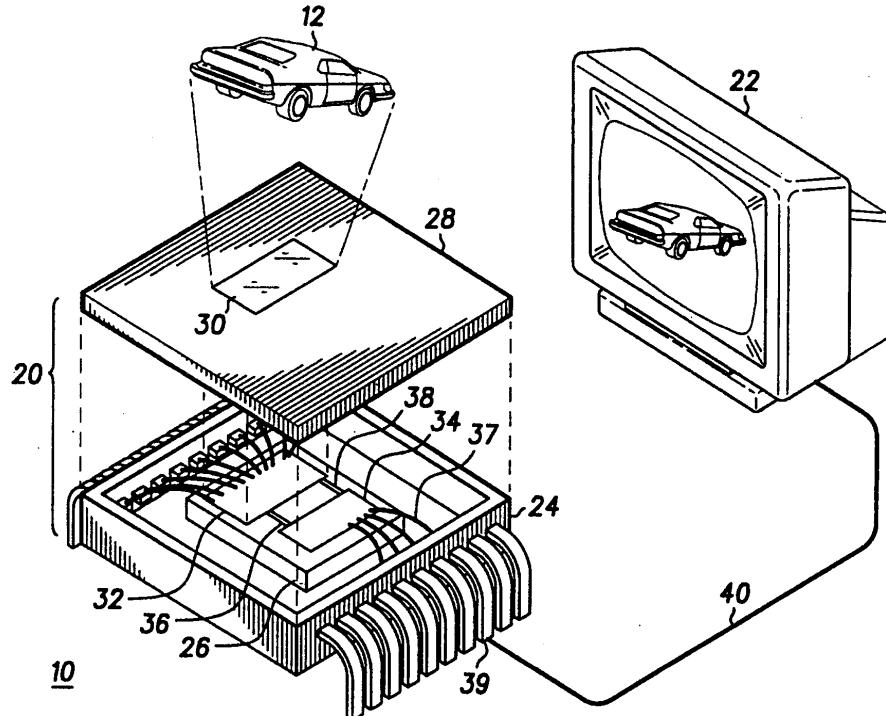
청구항 5.

제 4 항에 있어서,

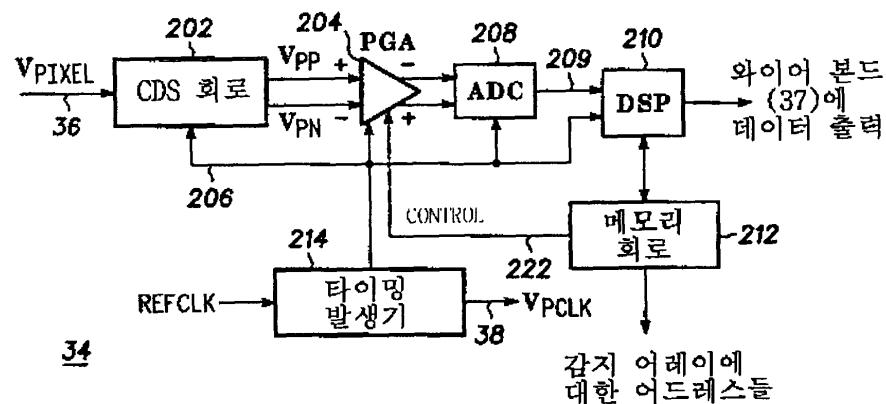
상기 증폭기의 이득은 제 1 커패시터(310)의 값에 대한 상기 제 1 프로그램 가능한 커패시터(320)의 값의 비에 의해 결정되는, 영상 회로.

도면

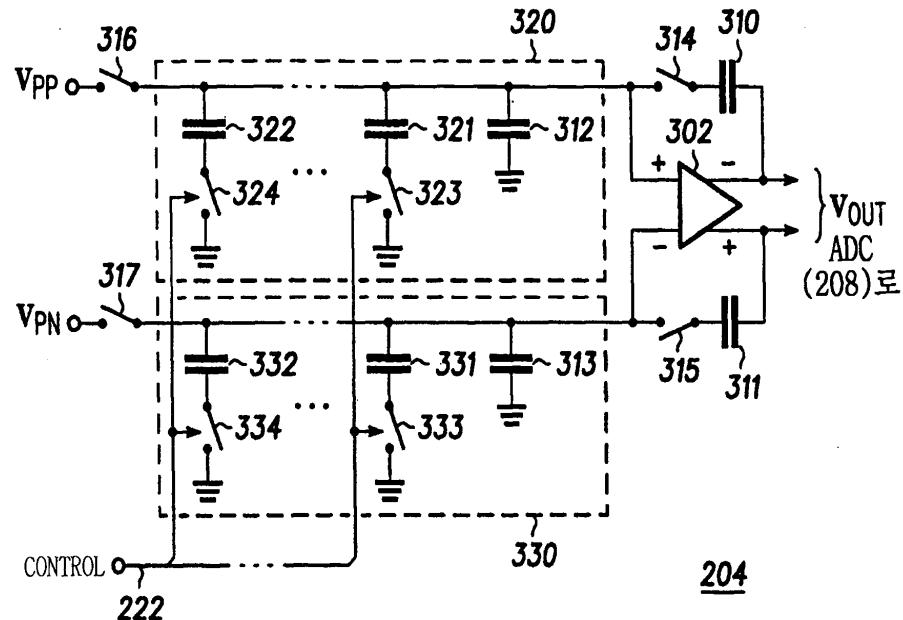
도면1



도면2



도면3



도면4

