

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4080582号  
(P4080582)

(45) 発行日 平成20年4月23日(2008.4.23)

(24) 登録日 平成20年2月15日(2008.2.15)

(51) Int.Cl.		F I		
HO 1 L 23/50	(2006.01)	HO 1 L 23/50		X
HO 1 L 21/822	(2006.01)	HO 1 L 27/04		A
HO 1 L 27/04	(2006.01)			

請求項の数 3 (全 13 頁)

(21) 出願番号	特願平9-352756	(73) 特許権者	000003078
(22) 出願日	平成9年12月22日(1997.12.22)		株式会社東芝
(65) 公開番号	特開平11-186486		東京都港区芝浦一丁目1番1号
(43) 公開日	平成11年7月9日(1999.7.9)	(74) 代理人	100092820
審査請求日	平成16年4月14日(2004.4.14)		弁理士 伊丹 勝
		(72) 発明者	加来 真理子
			神奈川県川崎市幸区堀川町580番1号
			株式会社東芝 半導体システム技術センタ ー内
		(72) 発明者	米谷 和英
			神奈川県川崎市幸区堀川町580番1号
			株式会社東芝 半導体システム技術センタ ー内
		審査官	今井 拓也

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板に複数の素子とこれらを接続する信号配線が形成され、必要な信号配線を外部ピンに接続するための複数のパッドが配列形成された半導体集積回路装置において、

少なくとも一つのパッドに対して、そのパッドに接続され、且つそのパッドの周囲を取り囲むように配設されたインピーダンス調整用導体パターンであるキャパシタ用導体と、このキャパシタ用導体とこれが接続されたパッドとの間のスペースに挿入されキャパシタ用導体及びパッドとの間で容量結合する電源線導体とを有し、

前記キャパシタ用導体と電源線導体の組み合わせパターンが各層で互いに反転パターンとなるように絶縁層を挟んで多層に配設され、各層のキャパシタ用導体同士及び電源線導体同士が相互接続されて、キャパシタ用導体は水平方向及び垂直方向に隣接する電源線導体と容量結合する

ことを特徴とする半導体集積回路装置。

【請求項2】

半導体基板に半導体素子、この半導体素子に接続される信号配線及びこの信号配線に接続されるパッドが形成された半導体集積回路装置において、

前記パッドが形成された最上層に形成されて、前記パッドを取り囲み前記パッドに接続されたキャパシタ用導体と、

前記最上層に形成されて前記パッドとキャパシタ用導体との間のスペースに挿入されキャパシタ用導体及びパッドとそれぞれ容量結合する第1の電源線導体と、

前記最上層のキャパシタ用導体の外側に形成されて前記キャパシタ用導体と容量結合し、前記第 1 の電源線導体と接続された第 2 の電源線導体とを備え、  
前記第 1 の電源線導体、キャパシタ用導体及び第 2 の電源線導体は、前記パッドを、この順に内周側から外周側へ取り囲み

前記第 1 の電源線導体は、第 1 の切欠部及び第 2 の切欠部を有し、

前記キャパシタ用導体は、第 3 の切欠部を有し、

前記第 2 の電源線導体は、第 4 の切欠部を有し、

前記第 2 の切欠部、第 3 の切欠部及び第 4 の切欠部は、直線上に配置され、

前記パッドと前記キャパシタ用導体とは第 1 の切欠部を通る導体によって相互に接続され、

10

第 2、第 3 及び第 4 の切欠部を通して前記パッドから外側に延びる導体が形成され、

前記第 1 の電源線導体の第 2 の切欠部の一端と前記第 2 の電源線導体の第 4 の切欠部の一端とが前記第 3 の切欠部を通して相互に接続され、

前記第 1 の電源線導体の第 2 の切欠部の他端と前記第 2 の電源線導体の第 4 の切欠部の他端とが前記第 3 の切欠部を通して相互に接続されている

ことを特徴とする半導体集積回路装置。

### 【請求項 3】

半導体基板に複数の素子とこれらを接続する信号配線が形成され、必要な信号配線を 1 つ以上の外部ピンに接続するための複数のパッドが配列形成された半導体集積回路装置において、

20

少なくとも一つのパッドに対して、そのパッドに接続され、且つそのパッドの周囲を取り囲むように配設されたキャパシタ用導体であるインピーダンス調整用導体パターンと、

このインピーダンス調整用導体パターンとこれが接続されたパッドとの間のスペースに挿入されインピーダンス調整用導体パターン及びパッドとの間で容量結合する第 1 の電源線導体と、

前記インピーダンス調整用導体パターンの外側に形成されて前記インピーダンス調整用導体パターンと容量結合し、前記第 1 の電源線導体と接続された第 2 の電源線導体とを備え、

前記インピーダンス調整用導体パターンは、絶縁層を挟んで多層に配設されて、各層のインピーダンス調整用パターンとの間のコンタクト孔の有無によりインピーダンス調整量が

30

選択される

ことを特徴とする半導体集積回路装置。

### 【発明の詳細な説明】

#### 【0001】

#### 【発明の属する技術分野】

この発明は、半導体集積回路装置（LSI）に係り、特に LSI チップ上の信号配線を外部ピンに接続するためのパッドのインピーダンス調整方式に関する。

#### 【0002】

#### 【従来の技術】

LSI の入出力ピンのインピーダンスは、パッケージ外部の配線、リードフレーム、金ボンディング、LSI チップ上のパッド、及びこのパッドに接続される信号配線の容量及び抵抗により決まり、このインピーダンスにより入力信号の速度やノイズ、波形歪み等が決まる。信号速度の点では、容量や抵抗は小さい方がよいが、ノイズ対策上からはある程度の容量及び抵抗を持たせることが必要となる。従って、これらの点を考慮した上で、ユーザーが要求する入出力特性を実現するように、入出力ピンの容量及び抵抗が設計される。この入出力ピンの容量及び抵抗の調整にとって自由度が高いのは、LSI チップ上のパッド及びこれに接続される信号配線の部分である。しかし、LSI が大規模化され、素子及び配線が微細化、高密度化された場合、LSI チップ上のパッド及び信号配線部でのインピーダンス調整は容易ではなくなっている。

40

#### 【0003】

50

その事情を、以下に具体的に説明する。図13は、DRAMチップの一例のレイアウトである。DRAMチップ1は、例えば図示のように4分割されたメモリセルブロック2が配置され、各メモリセルブロック2の各端部にカラムデコーダ3及びロウデコーダ4が配置され、左右のメモリセルブロックの間には周辺回路7が配置される。上下のメモリセルブロック2の間は周辺回路5が配置される領域であり、ここには更に、図14に拡大図を示したように、アドレスバスやデータバス等のバス線8が配設され、各信号線を外部に取り出すためのパッド6が配置される。

#### 【0004】

この様に、パッド6の配列に隣接して余分なスペースのない状態でバス線8が配置されると、あるパッド6のインピーダンスを、他のパッドにつながる信号配線に影響を与えずに調整することは難しい。

10

#### 【0005】

例えば、注目するパッド6に容量を付加したい場合に、図15に示すようにパッド6につながる信号線8aに接続されるキャパシタ9を配置したとする。キャパシタ9は例えば、隣接する信号線8a, 8bの通過を妨げないように、信号線8a~8cの下に絶縁膜により分離された状態で埋め込み形成したとしても、隣接する信号線8b, 8cとキャパシタ9の間には容量結合が生じるため、これらの信号線8b, 8cの容量が増大する。

#### 【0006】

また、パッド6とこれにつながる信号線8aの間に抵抗を挿入すべく、例えば図16に示すように折れ曲がった抵抗用導体10を配置したとすると、やはりその近くに配設された他の信号線8b, 8cとの間に無用な容量結合を生じる。また前述のように、高密度化されたLSIでは、この様な抵抗導体10を配設するスペースがないのが通常であり、更にこの様な抵抗導体10を配置するとその部分には同じ層の他の信号配線を通すことができないことになる。即ち、図16のような調整方式は、基本的な素子及び配線のレイアウトの変更を伴わないと実行できない。

20

#### 【0007】

##### 【発明が解決しようとする課題】

以上のように、高密度化されたLSIチップでは、他のパッドや信号線のインピーダンスや配置に影響を与えることなく、また基本レイアウトの設計変更を伴うことなく、あるパッドのインピーダンス調整を行うことが難しいという問題があった。

30

#### 【0008】

この発明は、上記事情を考慮してなされたもので、他のパッドや信号配線の特性や配置に影響を与えることなく、また基本レイアウトの設計変更を伴うことなく、あるパッドのインピーダンス調整を行うことを可能とした半導体集積回路装置を提供することを目的としている。

#### 【0009】

##### 【発明を解決するための手段】

本発明は、半導体基板に複数の素子とこれらを接続する信号配線が形成され、必要な信号配線を外部ピンに接続するための複数のパッドが配列形成された半導体集積回路装置において、少なくとも一つのパッドに対して、そのパッドに接続され、且つそのパッドの周囲を取り囲むように配設されたインピーダンス調整用導体パターンであるキャパシタ用導体と、このキャパシタ用導体とこれが接続されたパッドとの間のスペースに挿入されキャパシタ用導体及びパッドとの間で容量結合する電源線導体とを有し、前記キャパシタ用導体と電源線導体の組み合わせパターンが各層で互いに反転パターンとなるように絶縁層を挟んで多層に配設され、各層のキャパシタ用導体同士及び電源線導体同士が相互接続されて、キャパシタ用導体は水平方向及び垂直方向に隣接する電源線導体と容量結合することを特徴とする。

40

#### 【0010】

本発明は、また、半導体基板に半導体素子、この半導体素子に接続される信号配線及びこの信号配線に接続されるパッドが形成された半導体集積回路装置において、前記パッド

50

が形成された最上層に形成されて、前記パッドを取り囲み前記パッドに接続されたキャパシタ用導体と、前記最上層に形成されて前記パッドとキャパシタ用導体との間のスペースに挿入されキャパシタ用導体及びパッドとそれぞれ容量結合する第1の電源線導体と、前記最上層のキャパシタ用導体の外側に形成されて前記キャパシタ用導体と容量結合し、前記第1の電源線導体と接続された第2の電源線導体とを備え、前記第1の電源線導体、キャパシタ用導体及び第2の電源線導体は、前記パッドを、この順に内周側から外周側へ取り囲み、前記第1の電源線導体は、第1の切欠部及び第2の切欠部を有し、前記キャパシタ用導体は、第3の切欠部を有し、前記第2の電源線導体は、第4の切欠部を有し、前記第2の切欠部、第3の切欠部及び第4の切欠部は、直線上に配置され、前記パッドと前記キャパシタ用導体とは第1の切欠部を通る導体によって相互に接続され、第2、第3及び第4の切欠部を通して前記パッドから外側に延びる導体が形成され、前記第1の電源線導体の第2の切欠部の一端と前記第2の電源線導体の第4の切欠部の一端とが前記第3の切欠部を通して相互に接続され、前記第1の電源線導体の第2の切欠部の他端と前記第2の電源線導体の第4の切欠部の他端とが前記第3の切欠部を通して相互に接続されていることを特徴とする。

10

## 【0011】

本発明は、更に、半導体基板に複数の素子とこれらを接続する信号配線が形成され、必要な信号配線を1つ以上の外部ピンに接続するための複数のパッドが配列形成された半導体集積回路装置において、少なくとも一つのパッドに対して、そのパッドに接続され、且つそのパッドの周囲を取り囲むように配設されたインピーダンス調整用導体パターンと、このインピーダンス調整用導体パターンとこれが接続されたパッドとの間のスペースに挿入されインピーダンス調整用導体パターン及びパッドとの間で容量結合する第1の電源線導体と、前記インピーダンス調整用導体パターンの外側に形成されて前記インピーダンス調整用導体パターンと容量結合し、前記第1の電源線導体と接続された第2の電源線導体とを備え、前記インピーダンス調整用導体パターンは、絶縁層を挟んで多層に配設されて、各層のインピーダンス調整用パターンの間のコンタクト孔の有無によりインピーダンス調整量が選択されることを特徴とする。

20

## 【0014】

更にまたこの発明において、前記インピーダンス調整用導体パターンが、デザインルール上から配線レイアウトが禁止されるパッド周囲の禁止領域内を含んで配設されてもよい。

30

## 【0015】

この発明によると、注目するパッドの周囲を取り囲むように、キャパシタ用導体、抵抗用導体等のインピーダンス調整用導体パターンを配設することにより、パッド配列に隣接して配置されるバス線のインピーダンスに影響を与えることなく、またレイアウト変更を伴うことなく、その注目するパッドのインピーダンスを調整することができる。

## 【0016】

インピーダンス調整用導体パターンがキャパシタ用導体である場合には、このキャパシタ用導体とこれが接続されたパッドとの間のスペースに、キャパシタ用導体及びパッドとの間で容量結合する電源線導体（VSS導体又はVCC導体）を挿入することにより、パッドの容量を大きいものとすることができる。

40

## 【0017】

また、インピーダンス用パターンが、パッドとこれが接続される信号線との間に挿入される抵抗用導体である場合には、これをパッドの周囲に渦巻き状に配設することにより、バス線の領域で長く導体パターンを引き回すことなく、パッドの抵抗を挿入することができる。

## 【0018】

更に、この発明において、インピーダンス用導体パターンを多層に配設することにより、より大きなインピーダンス調整量を得ることができる。特にキャパシタ用導体とVSS導体の組み合わせパターンを多層化する場合、絶縁層を挟んで互いに略反転パターンとなるように多層に配設して、各層のキャパシタ用導体同士及び電源線導体同士を相互接続すべ

50

ば、キャパシタ用導体は水平方向及び垂直方向に隣接する電源線導体と容量結合するから、パッドに対して大きな容量を入れることができる。

【0019】

更にまた、この発明において、インピーダンス調整用導体が絶縁層を挟んで多層に配設され、各層のインピーダンス調整用パターン間のコンタクト孔の有無によりインピーダンス調整がなされるようにすれば、コンタクト孔の設計変更のみでインピーダンス調整量の簡単な変更が可能となる。

【0020】

また、パッドの周囲には通常、パッド間の短絡事故等を防止するために、デザインルール上から配線レイアウトを禁止する所定幅の禁止領域が設定されているが、この発明におけるインピーダンス調整用導体パターンはそのパッドとの短絡は問題にならないから、禁止領域を含んでインピーダンス調整用導体パターンを配置することにより、バス線領域に影響を与えず、より小さい面積でインピーダンス調整を行うことができる。

【0021】

【発明の実施の形態】

以下、図面を参照して、この発明をDRAMに適用した実施例を説明する。

図1は、この発明の一実施例によるDRAMチップのパッド部のレイアウトであり、図2は図1のA-A断面図である。シリコン基板11には、図示しないが多数の素子及び配線が形成され、表面が絶縁膜12で覆われて、この上にパッド13が配置されている。図では、インピーダンス調整を行う注目するパッド13aとこれに隣接するパッド13bの部分のみを示している。

【0022】

パッド13aは、図1に示すようにバス線領域17の信号配線17aに接続されるが、この実施例ではパッド13aの容量調整のために、パッド13aをほぼ3/4周にわたって取り囲むように、パッド13aと連続するキャパシタ用導体14が配設されている。パッド13aとキャパシタ用導体14の間のスペースには、VCC線及びVSS線の二つの電源線の一方（この例ではVSS線）につながるVSS導体15が挿入されている。この実施例の場合、VSS導体15は、パッド13aとキャパシタ用導体14の間のスペースから更に、キャパシタ用導体14の外側に連続してキャパシタ用導体14を取り囲むように配設されている。

【0023】

この実施例によると、パッド13aとこれにつながる信号配線17aの間或いは信号配線17aの下にキャパシタを配置する従来方式と異なり、パッド13aの周囲のスペースでの配線間容量を利用して、パッド容量を増加させることができる。従ってこの実施例によれば、バス線領域17に配設される他の信号配線17b等に殆ど影響を与えない。また通常使用されていないパッドの周囲を利用するため、基本レイアウトの設計変更も必要がない。

【0024】

図1では、一点鎖線で示す範囲内がデザインルール上で配線レイアウトを禁止されている禁止領域18であるが、この実施例ではキャパシタ用導体14及びVSS導体15をこの禁止領域18の外に配置している。従ってデザインルールの変更も要しない。

【0025】

図3は、上記実施例の容量調整を多層構造に拡張した実施例の第1層及び第2層目のレイアウトを示している。図3(a)に示す第2層目は、上記実施例とほぼ同様のパターンで、パッド13aの周囲にキャパシタ用導体14とVSS導体15が配置されている。図3(b)に示す第1層目は、層間絶縁膜を介して第1層目のレイアウトに重なる形で埋め込まれるもので、第1層目とはほぼ反転パターンとなるように、キャパシタ用導体14bとVSS導体15aが配設されている。言い換えれば、第2層目のキャパシタ用導体14は、第1層目のVSS導体15に層間絶縁膜を介してほぼ全面的に対向し、同様に第2層目のVSS導体15は、第1層目のキャパシタ用導体14bに層間絶縁膜を介してほぼ全面的に対向

10

20

30

40

50

するように、各層の導体パターンが形成されている。

【0026】

そして、各層のキャパシタ導体14と14bの間、VSS導体15と15bの間は、それぞれコンタクト孔19, 20を介して相互接続される。

この実施例によると、各層のキャパシタ導体14, 14bは、VSS導体15, 15bに対して水平方向及び垂直方向に容量結合することになる。従って先の実施例に比べて、パッド13aにより大きな容量を付加することができる。

【0027】

図4は、図3の実施例を更に拡張して、3層の導体パターンにより容量調整を行うようにした実施例である。即ちこの実施例の場合、先の実施例の上部パターンであるキャパシタ用導体14及びVSS導体15が第3層であり、その下のキャパシタ用導体14b及びVSS導体15bが第2層であり、更にその下に第1層目のキャパシタ用導体14c及びVSS導体15cが配設されている。図3の実施例と同様に、第3層目のキャパシタ用導体14及びVSS導体15に対して、第2層目のキャパシタ用導体14b及びVSS導体15bは略反転パターンとしており、第1層目のキャパシタ用導体14c及びVSS導体15cは、第3層目のキャパシタ用導体14及びVSS導体15と略同じパターンとしている。各層の間は層間絶縁膜20, 21により分離されて、コンタクト孔19により接続されている。図の断面では、他のコンタクト孔が見えないが、各層の間で対応する導体が同様にコンタクト孔により接続される。

【0028】

この実施例によると、パッド13aに対して更に大きな容量を付加することが可能である。

なお、図3及び図4の実施例においては、各層間を接続するコンタクト孔を開けるか開けないかという選択を行うことにより、パッド13aに付加する容量値を複数の値から選択することができる。コンタクト孔を設けない場合、下層のキャパシタ用導体は使用されない捨てパターンとなる(但し、下層のVSS導体は容量増加に寄与する)が、コンタクト孔の設計変更のみでパッド容量を変更できるという点で有効である。

【0029】

図5は、この発明の別の実施例であり、注目するパッド13aとこれが接続される信号配線17aの間に抵抗を挿入する場合のレイアウトである。この実施例の場合、パッド13aを取り囲むように配設した渦巻き状の抵抗用導体31を介してパッド13aと信号配線17aの間が接続される。

【0030】

この実施例によれば、バス線領域17に配設される他の信号配線17b等に殆ど影響を与えることがなく、また通常使用されていないパッドの周囲を利用するため、基本レイアウトの設計変更も行うことなく、パッド13aに抵抗を挿入することができる。

【0031】

図5においては、禁止領域18内に一部含まれるように、抵抗用導体31を配設した例を示しているが、これは抵抗用導体31がパッド13aと短絡したとしても本質的欠陥とならないために許容される。但しこの場合にはデザインルールの変更が必要となる。パッド間及びパッド列とバス線領域の間に抵抗用導体31を配置する十分なスペースがある場合には、禁止領域18の外側にのみ抵抗用導体31を配置することが、デザインルール変更を要しないため好ましい。

【0032】

図6は、図5の実施例におけるパッド13aと抵抗用導体31とを、層の異なる導体とした実施例である。即ちパッド13aを最上層導体とし、その下に層間絶縁膜で分離された形で抵抗用導体31が配設されている。この場合、抵抗用導体31はパッド13aで覆われる範囲内にまで渦巻き状のパターンとしている。そしてこの抵抗用導体の渦巻きの中心部でコンタクト孔32を介してパッド13aと抵抗用導体31が接続されている。

【0033】

10

20

30

40

50

この実施例によると、パッド13aの面積領域内をも利用することにより、図5の実施例に比べてより小さいスペース内で大きな抵抗をパッドに挿入することが可能になる。

【0034】

更に、渦巻き状の抵抗用導体31を多層構造とすることもできる。図7は、3層構造とした実施例を示している。最上層(第3層目)の抵抗用導体31、第2層目の抵抗用導体31b及び第1層目の抵抗用導体31cはいずれも、先の実施例で説明した渦巻き状パターンを持つものとし、これらが層間絶縁膜20, 21を介して積層されている。各層の抵抗用導体31, 31b, 31cの間は、コンタクト孔33を介して順次直列接続されて、パッドと信号配線の間には挿入される。

【0035】

図8は、図7の実施例での3層の抵抗用導体31, 31b, 31cのパターンと相互接続状態を模式的な分解斜視図で示している。

この実施例によれば、先の実施例に比べて更に大きな抵抗をパッドに挿入することができる。

【0036】

なお、多層に抵抗用導体を積層する場合に、キャパシタ用導体の実施例と同様に、コンタクト孔の設計変更で挿入する抵抗値を変更することが可能となる。例えば、図8に破線で示したように、コンタクト孔33を各層絶縁膜に開けると、抵抗用導体31, 31b, 31cを直列接続してパッド13aと対応する信号配線17aの間に挿入することができる。これに対して、コンタクト孔33を設けず、第3層目の抵抗用導体31を別のコンタクト孔34により信号配線17aに直接接続すれば、より小さい抵抗値を挿入できる。この場合も、抵抗用導体31a, 31cは捨てパターンとなる。この実施例も、コンタクト孔の設計変更のみでパッドに挿入する抵抗値を適宜変更することができるという点で効果的である。

【0037】

図9は、パッド部以外の面積を殆ど使用することなく、パッド容量を増大させることを可能とする実施例の要部構造を示す模式的な分解斜視図である。注目するパッド13aの直下の基板11の表面にはVSSに設定されるp+型拡散層41が形成され、この上に層間絶縁膜を介してキャパシタ用導体42が、更にこの上に層間絶縁膜を介してVSS導体43が積層され、更にその上に層間絶縁膜を介してパッド13aが配置される。p+型拡散層41とVSS導体43は、互いに共通接続され、パッド13aとキャパシタ用導体42の間も互いに共通接続される。図ではこれらの相互接続を簡単な模式的配線で示しているが、実際にはパッド13aの領域の外で図示しないコンタクト孔により接続される。p+型拡散層41、キャパシタ用導体42及びVSS導体43はいずれも、パッド13aとほぼ同じ面積をもって形成されている。

【0038】

この実施例によると、キャパシタ用導体42は上下のVSS導体43及びp+型拡散層41と容量結合し、パッド13aはその下のVSS導体43に容量結合するから、パッド13aには大きな容量が挿入されることになる。しかも、面積増大が殆ど要らないため、パッド列の間のスペースが極めて小さい場合にも適用することができる。

【0039】

図1の実施例では、キャパシタ用導体14は、VSS導体15を通過させるスペースを確保するために、パッド13aを完全には1周せず、 $(3/4) +$ 周するようにパターン形成したが、付加する容量がより小さいものでよければ、より短いパターンとすることができる。しかし、あまり短いものでは実用上十分な容量を付加することが難しいから、好ましくはパッド13aを少なくとも半周するようにキャパシタ用導体をパターン形成すればよい。

【0040】

図5以下の実施例で示した抵抗用導体31についても、ほぼ同様のことが言える。例えば図5では、抵抗用導体31を、パッド13aを2周する渦巻き状としているが、図10に

10

20

30

40

50

示すように、1周のみでもよく、更に図11に示すように少なくともパッド13aを半周させれば、微小な抵抗値付加が可能である。

【0041】

更にこの発明は、抵抗と容量を同時に付加する場合にも適用することができる。例えば、図12は、図10のレイアウトを基本として、抵抗用導体31とパッド13aとの間のスペースに、図1の実施例と同様にVSS導体15を配設した実施例である。この様にすれば、パッド13aに対して抵抗と同時に容量を付加することが可能である。

【0042】

また、実施例では一つのパッドに着目してこれに容量或いは抵抗を付加する場合を説明したが、他のパッドについても同様のインピーダンス調整用パターンを予めレイアウトしておくことにより、各信号配線の遅延によるスキュー対策が容易になる。

この発明は、DRAMに限らず、他の各種LSIにも同様に適用することができる。

【0043】

【発明の効果】

以上述べたようにこの発明によれば、注目するパッドの周囲を取り囲むように、キャパシタ用導体、抵抗用導体等のインピーダンス調整用導体パターンを配設することにより、パッド配列に隣接して配置されるバス線のインピーダンスに影響を与えることなく、またレイアウト変更を伴うことなく、その注目するパッドのインピーダンスを調整を可能としたLSIを得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例によるDRAMチップのパッド回りの導体パターンを示す図である。

【図2】図1のA-A断面図である。

【図3】この発明の他の実施例によるDRAMチップのパッド回りの第1層及び第2層導体パターンを示す図である。

【図4】この発明の更に他の実施例によるDRAMチップの断面構造を示す図である。

【図5】この発明の更に他の実施例によるDRAMチップのパッド回りの導体パターンを示す図である。

【図6】この発明の更に他の実施例によるDRAMチップのパッド回りの導体パターンを示す図である。

【図7】この発明の更に他の実施例によるDRAMチップの断面構造を示す図である。

【図8】図7の実施例の層間接続関係を示す模式的分解斜視図である。

【図9】この発明の更に他の実施例によるDRAMチップの模式的分解斜視図である。

【図10】図5の実施例を変形した実施例のレイアウトを示す図である。

【図11】図5の実施例を変形した実施例のレイアウトを示す図である。

【図12】図10の実施例を変形した実施例のレイアウトを示す図である。

【図13】従来のDRAMチップの概略レイアウトを示す図である。

【図14】図13におけるパッド列及びこれに隣接するバス線領域のレイアウトを示す図である。

【図15】従来のLSIにおけるパッドの容量調整法の一つを示す図である。

【図16】従来のLSIにおけるパッドの抵抗調整法の一つを示す図である。

【符号の説明】

11 ... シリコン基板

12 ... 絶縁膜

13 ... パッド

14 ... キャパシタ用導体

15 ... VSS導体

17 ... バス線領域

17a, 17b ... 信号配線

18 ... 禁止領域

10

20

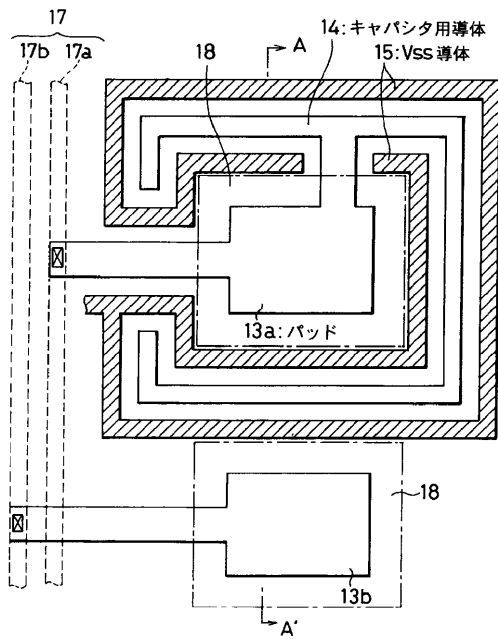
30

40

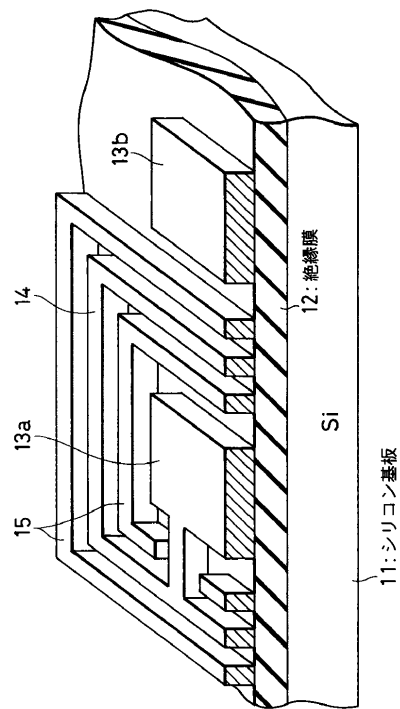
50

19、20...コンタクト孔、  
31...抵抗用導体

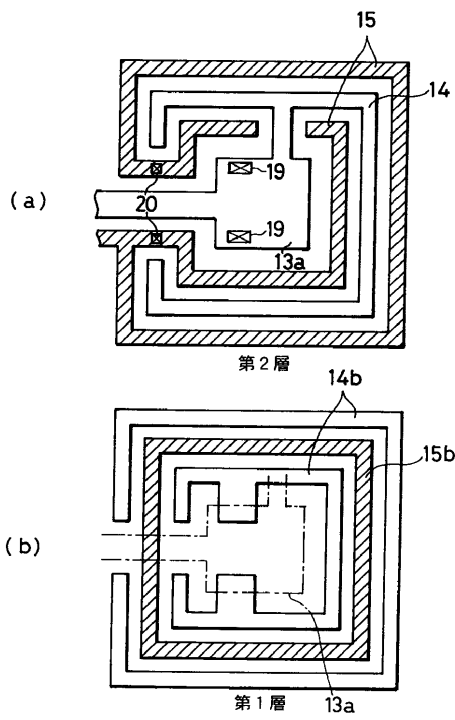
【図1】



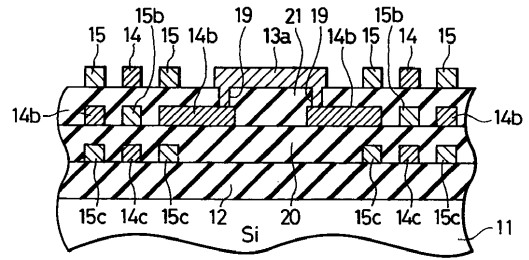
【図2】



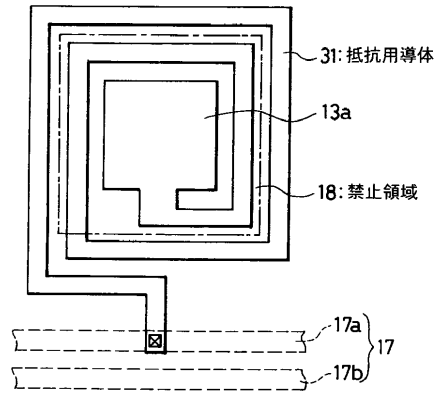
【 図 3 】



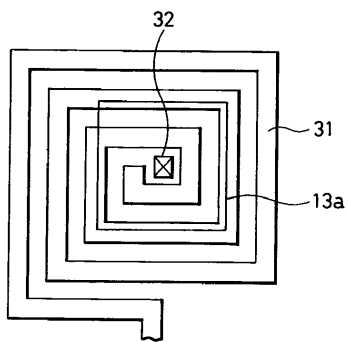
【 図 4 】



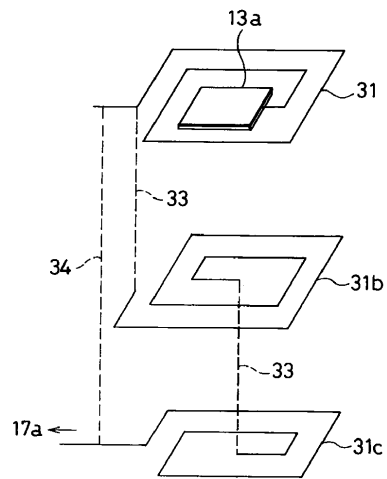
【 図 5 】



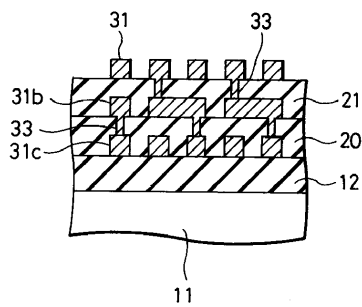
【 図 6 】



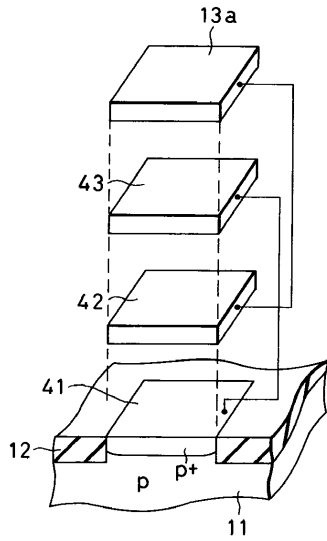
【 図 8 】



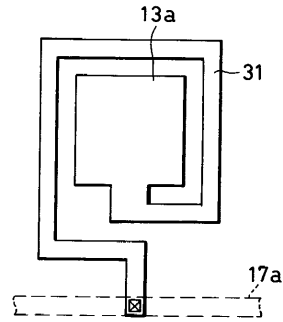
【 図 7 】



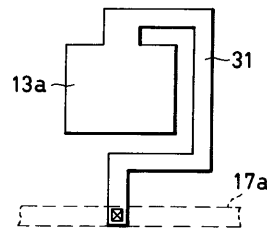
【図 9】



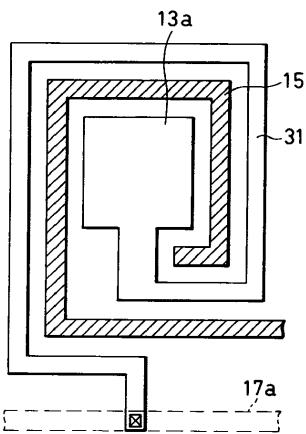
【図 10】



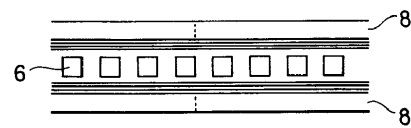
【図 11】



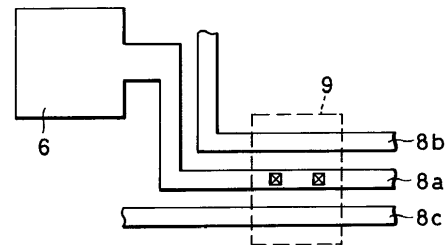
【図 12】



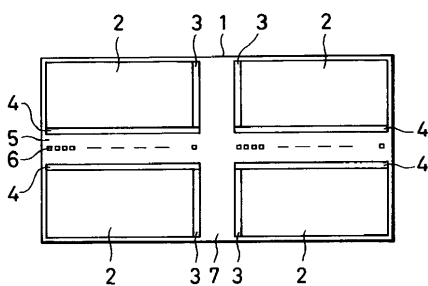
【図 14】




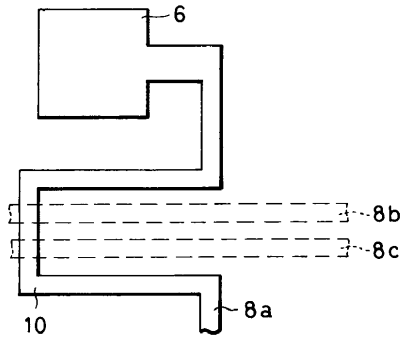
【図 15】



【図 13】



【 16】



## フロントページの続き

- (56)参考文献 特開平07-106514(JP,A)  
特開平06-275780(JP,A)  
特開昭55-015228(JP,A)  
特開昭61-265857(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H01L 23/50

H01L 21/822

H01L 27/04