(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5756041号
(P5756041)

(45)発行日　平成27年7月29日(2015.7.29)　(24)登録日　平成27年6月5日(2015.6.5)

(51)Int.Cl.		F I		
H01L 29/861	(2006.01)	H01L	29/91	L
H01L 29/868	(2006.01)	H01L	29/91	B
H01L 21/329	(2006.01)	H01L	29/91	D
H01L 29/06	(2006.01)	H01L	29/91	E
		H01L	29/06	301F

請求項の数 5　(全 12 頁)　最終頁に続く

(21)出願番号　特願2012-49256(P2012-49256)
(22)出願日　平成24年3月6日(2012.3.6)
(65)公開番号　特開2013-187240(P2013-187240A)
(43)公開日　平成25年9月19日(2013.9.19)
審査請求日　平成26年5月19日(2014.5.19)

(73)特許権者　000003609
株式会社豊田中央研究所
愛知県長久手市横道41番地の1
(73)特許権者　000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74)代理人　110000110
特許業務法人快友国際特許事務所
(72)発明者　鈴木　隆司
愛知県長久手市横道41番地の1　株式会社豊田中央研究所内
(72)発明者　高橋　茂樹
愛知県刈谷市昭和町1丁目1番地　株式会社デンソー内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項1】
モノリシックＩＣに組み込まれるダイオードであって、
溝部が設けられている半導体層と、第１絶縁層と、抵抗性フィールドプレートと、を備えており、
前記半導体層は、上面部に設けられているカソード領域と、上面部に設けられているとともに前記カソード領域から離れて設けられているアノード領域と、前記カソード領域と前記アノード領域との間に設けられているドリフト領域と、を有しており、
前記第１絶縁層は、前記半導体層の上面に設けられており、
前記抵抗性フィールドプレートは、前記第１絶縁層の上面に設けられており、一端が前記カソード領域に電気的に接続されており、他端が前記アノード領域に電気的に接続されており、
前記ドリフト領域は、前記半導体層のうちの前記溝部に対応する範囲に配置されており、
前記第１絶縁層と前記抵抗性フィールドプレートは、前記溝部の内部に設けられている、ダイオード。
【請求項2】
前記半導体層の下面に接して設けられている第２絶縁層をさらに備え、
前記第２絶縁層と前記ドリフト領域と前記第１絶縁層とがこの順に積層している、請求項１に記載のダイオード。

【請求項３】
前記カソード領域と前記アノード領域を通る断面で前記半導体層を断面視したときに、前記カソード領域と前記アノード領域の間に前記溝部が複数存在しているとともに、各溝部に１つの前記抵抗性フィールドプレートが存在しており、
前記溝部と前記溝部の間に前記ドリフト領域の一部が存在する、請求項１または２に記載のダイオード。
【請求項４】
前記カソード領域と前記アノード領域を通る断面で前記半導体層を断面視したときに、前記カソード領域と前記アノード領域の間に前記溝部が１つ存在しているとともに、前記抵抗性フィールドプレートが複数存在している、請求項１または２に記載のダイオード。
【請求項５】
請求項１に記載のダイオードの製造方法であって、
前記半導体層に前記溝部を形成する工程と、
前記溝部の内面に前記第１絶縁層を形成する工程と、
前記第１絶縁層の上面であって前記溝部の内部に、前記抵抗性フィールドプレートを形成する工程と、を備える、ダイオードの製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本明細書に開示されている技術は、モノリシックＩＣに組み込まれる半導体装置に関する。
【背景技術】
【０００２】
１つの半導体層に異なる種類の半導体装置を組み込んだモノリシックＩＣが様々な用途で必要とされている。この種のモノリシックＩＣに組み込まれる半導体装置の一例にダイオードが知られている。ダイオードは、半導体層の上面部に設けられているカソード領域と、半導体層の上面部に設けられているアノード領域と、カソード領域とアノード領域の間に設けられているドリフト領域を備えている。アノード領域は、カソード領域の周囲を一巡して配置されていることが多い。
【０００３】
ダイオードはさらに、ＬＯＣＯＳ（Local Oxidation of Silicon）膜と抵抗性フィールドプレートを備えている。ＬＯＣＯＳ膜は、半導体層の上面に設けられている。抵抗性フィールドプレートは、ＬＯＣＯＳ膜の上面に設けられており、一端がカソード領域に電気的に接続されており、他端がアノード領域に電気的に接続されている。抵抗性フィールドプレートには微小電流が流れており、これにより、カソード領域とアノード領域の間に存在する半導体層の上面部の電位分布が均一化され、半導体層の表面電界を緩和することができる。この種のダイオードの一例が特許文献１に開示されている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２０００－２２１７５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
ダイオードは、順バイアスが与えられているオン状態から、逆バイアスが与えられてオフ状態に移行する場合に、ドリフト領域に蓄積されたキャリアによって逆流電流が流れる。この逆流電流が流れる時間は、リカバリ時間（逆回復時間）と呼ばれている。リカバリ時間が長いと、損失が大きくなるなどの弊害が発生する場合があるため、リカバリ時間のさらなる短縮化が望まれている。なお、ダイオード以外の半導体装置においても、リカバリ時間の短縮化が望まれている。

【０００６】
本明細書で開示される技術は、リカバリ特性に優れた半導体装置を提供することを目的としている。
【課題を解決するための手段】
【０００７】
本明細書で開示される技術は、モノリシックＩＣに組み込まれる半導体装置に具現化される。半導体装置は、溝部が設けられている半導体層と、第１絶縁層と、抵抗性フィールドプレートと、を備えている。半導体層は、上面部に設けられている第１半導体領域と、上面部に設けられているとともに第１半導体領域から離れて設けられている第２半導体領域と、第１半導体領域と第２半導体領域との間に設けられている第３半導体領域と、を有している。第１絶縁層は、第３半導体領域の上面に設けられている。抵抗性フィールドプレートは、第１絶縁層の上面に設けられており、一端が第１半導体領域に電気的に接続されており、他端が第２半導体領域に電気的に接続されている。第３半導体領域は、半導体層のうちの溝部に対応する範囲に配置されている。第１半導体領域と第２半導体領域は、半導体層のうちの溝部に対応する範囲に配置されていてもよく、半導体装置のうちの溝部以外に対応する範囲に配置されていてもよい。第１絶縁層と抵抗性フィールドプレートは、溝部の内部に設けられている。
【０００８】
半導体装置と他の装置（例：ＩＧＢＴ等）とが同一基板に形成されている、いわゆるモノリシックＩＣを製造する場合には、半導体層の厚さが他の装置によって規定されてしまう場合がある。上記態様の半導体装置によると、溝部に対応する範囲の半導体層の厚さは、他の装置が形成されている半導体層の厚さよりも薄くすることができる。また、半導体層の厚さが薄くなった範囲に対応して第３半導体領域が配置されている。これにより、第３半導体領域の体積を減少させることができるため、順方向バイアス時におけるキャリアの注入量を減少させることができる。その結果、リカバリ時の蓄積電荷を少なくできるため、リカバリ時間を短縮化することが可能となる。さらに、溝部の内部に第１絶縁層と抵抗性フィールドプレートが設けられているので、溝部に対応する範囲の半導体層の表面電界を緩和することが可能である。上記態様の半導体装置では、リカバリ時間の短縮化と高耐圧化の双方が実現されている。
【発明の効果】
【０００９】
本明細書で開示される技術によると、リカバリ特性に優れた半導体装置を提供することができる。
【図面の簡単な説明】
【００１０】
【図１】ダイオードの概略平面図を模式的に示す（明瞭化を目的として、ＳＯＩ基板上の電極等を除去した状態で図示されている）。
【図２】図１のII-II線に対応した断面図を模式的に示す（実施例１）。
【図３】図１のII-II線に対応した断面図を模式的に示す（実施例２）。
【図４】図１のII-II線に対応した断面図を模式的に示す（実施例３）。
【発明を実施するための形態】
【００１１】
以下、本明細書で開示する実施例の技術的特徴の幾つかを記す。なお、以下に記す事項は、各々単独で技術的な有用性を有している。
【００１２】
（特徴１）モノリシックＩＣに組み込まれる半導体装置は、溝部が設けられている半導体層と、第１絶縁層と、抵抗性フィールドプレートと、を備えていてもよい。半導体層は、上面部に設けられている第１半導体領域と、上面部に設けられているとともに第１半導体領域から離れて設けられている第２半導体領域と、第１半導体領域と第２半導体領域との間に設けられている第３半導体領域と、を有していてもよい。第１絶縁層は、第３半導

体領域の上面に設けられていてもよい。抵抗性フィールドプレートは、第１絶縁層の上面に設けられており、一端が第１半導体領域に電気的に接続されており、他端が第２半導体領域に電気的に接続されていてもよい。第３半導体領域は、半導体層のうちの溝部に対応する範囲に配置されていてもよい。第１半導体領域と第２半導体領域は、半導体層のうちの溝部に対応する範囲に配置されていてもよく、半導体装置のうちの溝部以外に対応する範囲に配置されていてもよい。第１絶縁層と抵抗性フィールドプレートは、溝部の内部に設けられていてもよい。

【００１３】

（特徴２）半導体層の下面に接して配置されている第２絶縁層をさらに備えていてもよい。第２絶縁層と第３半導体と第１絶縁層とがこの順に積層していてもよい。この態様半導体装置は、いわゆるＳＯＩ（Silicon on Insulator）基板を用いて実現される。

【００１４】

（特徴３）第１半導体領域と第２半導体領域を通る断面で半導体層を断面視したときに、第１半導体領域と第２半導体領域の間に溝部が複数存在しているとともに、各溝部に１つの抵抗性フィールドプレートが存在してもよい。溝部と溝部の間に第３半導体領域の一部が存在していてもよい。抵抗性フィールドプレートは、第１絶縁層を介して接している第３半導体領域の表面の電位分布を均一化することで、半導体層の表面電界を緩和することができる。本明細書に開示されている半導体装置では、溝部と溝部の間に第３半導体領域の一部が存在している。よって、溝部の底面に配置されている抵抗性フィールドプレートに加えて、溝部の両側面に配置されている抵抗性フィールドプレートが、第１絶縁層を介して第３半導体領域に接している状態とすることができる。すなわち、第３半導体領域の上面に抵抗性フィールドプレートが配置されている場合に比して、抵抗性フィールドプレートと第３半導体領域とが第１絶縁層を介して接している面積を増加させることができる。これにより、第３半導体領域の電位分布を均一化する効果をより高めることが可能となる。

【００１５】

（特徴４）第１半導体領域と第２半導体領域を通る断面で半導体層を断面視したときに、第１半導体領域と第２半導体領域の間に溝部が１つ存在しているとともに、抵抗性フィールドプレートが複数存在していてもよい。これにより、第１絶縁層と抵抗性フィールドプレートが、半導体層に形成された溝部の内部に設けられている領域では、その部分における半導体層の厚さを、他の装置が形成されている半導体層の厚さよりも薄くすることができる。

【００１６】

（特徴５）本明細書で開示される技術は、本明細書で開示される半導体装置の製造方法に具現化される。製造方法は、半導体層に溝部を形成する工程を備えている。溝部の底面および側壁面に第１絶縁層を成膜する工程を備えている。第１絶縁層の表面上であって溝部の内部に、抵抗性フィールドプレートを形成する工程を備えている。これにより、第１半導体領域と第２半導体領域との間に設けられている半導体領域の体積を減少させることができるため、順方向バイアス時におけるキャリアの注入量を減少させることができる。その結果、リカバリ時間を短縮化することが可能となる。

【００１７】

（特徴６）半導体装置は、第１半導体領域と第２半導体領域との間で整流作用を有する装置であってもよい。半導体装置は、整流作用以外の作用を有する他の装置と同一の基板上に一体に形成されていてもよい。

【実施例１】

【００１８】

図１および図２に示されるように、横型のダイオード１は、ｎ型又はｐ型の支持層１２と埋込み絶縁層１４とｎ⁻型の活性層１６が積層したＳＯＩ基板１０に形成されている。図１に示されるように、ダイオード１は、絶縁分離トレンチ１８で囲まれた活性層１６の島領域内に形成されている。絶縁分離トレンチ１８は、活性層１６の表面から活性層１６

を貫通して埋込み絶縁層１４まで達しており、平面視したときに活性層１６の一部を一巡している。一例では、支持層１２と活性層１６の材料には単結晶シリコンが用いられており、埋込み絶縁層１４の材料には酸化シリコンが用いられている。

【００１９】

ダイオード１は、ｎ型のカソード領域２８とｐ型のアノード領域２３とｎ$^-$型のドリフト領域２６を備えている。カソード領域２８とアノード領域２３とドリフト領域２６はダイオード構造を構成しており、活性層１６を横方向に流れる電流を制御する。具体的には、カソード領域２８とアノード領域２３の間に順バイアスが印加されたときに（アノード領域２３が高圧側に接続されたときに）、カソード領域２８とアノード領域２３の間に電流を導通させる。一方、カソード領域２８とアノード領域２３の間に逆バイアスが印加されたときに（カソード領域２８が高圧側に接続されたときに）、カソード領域２８とアノード領域２３の間を非導通とする。

【００２０】

図１に示されるように、カソード領域２８は、島領域の中央部に配置されており、紙面左右方向に長く伸びて形成されている。カソード領域２８は、例えばイオン注入技術を利用して、活性層１６の表面部にリンイオンを注入して形成することができる。なお、この例ではカソード領域２８が１つの拡散領域で形成されているが、この例に代えて、カソード領域２８が紙面左右方向に分散した状態で形成されていてもよい。また、カソード領域２８に接するように、ｐ$^+$型の領域を部分的に形成してもよい。

【００２１】

アノード領域２３は、島領域の周辺部に配置されており、絶縁分離トレンチ１８に接しながらカソード領域２８の周囲を一巡して形成されている。アノード領域２３は、高濃度アノード領域２２と低濃度アノード領域２４を有している。低濃度アノード領域２４は、高濃度アノード領域２２よりも深く形成されており、高濃度アノード領域２２を取り囲んでいる。なお、高濃度アノード領域２２と低濃度アノード領域２４の形態はこの例に限られない。例えば、高濃度アノード領域２２の面積がより小さく形成され、低濃度アノード領域２４の一部がアノード電極３２と接するような形態でもよい。また、低濃度アノード領域２４の深さを部分的に変えたような形態でもよい。アノード領域２３は、例えばイオン注入技術を利用して、活性層１６の表面部にボロンイオンを注入して形成することができる。

【００２２】

ドリフト領域２６は、カソード領域２８とアノード領域２３の間に形成されている。ドリフト領域２６は、活性層１６にカソード領域２８とアノード領域２３を形成した残部である。またドリフト領域２６は、溝部４３～４５に対応する範囲に配置されている。ドリフト領域２６には、必要に応じて、高耐圧化のための半導体領域（例えば、リサーフ領域）が形成されていてもよい。

【００２３】

ダイオード１はさらに、溝部４３～４５、絶縁層４１、抵抗性フィールドプレート３０、パッシベーション膜４６、アノード電極３２、カソード電極３６を備えている。図１に示すように、内周側の溝部４５は、島状領域の中央部を一巡するように配置されている。外周側の溝部４３は、島状領域の周辺部を一巡するように配置されている。中間の溝部４４は、内周側の溝部４５と外周側の溝部４３との間を接続するように形成されている。中間の溝部４４は、溝部が互いに交わらないような、一筆書きの渦巻き形状を有している。図１および図２の例では、中間の溝部４４が、内周側の溝部４５と外周側の溝部４３との間を４周している。また図２に示すように、カソード領域２８およびアノード領域２３を通る断面でダイオード１を断面視したときに、溝部４３～４５が複数存在している。

【００２４】

絶縁層４１は、溝部４３～４５の底面および側壁面に設けられている。また絶縁層４１は、溝部４３～４５が形成されていないドリフト領域２６の上面に設けられている。絶縁層４１が設けられている領域では、埋込み絶縁層１４とドリフト領域２６と絶縁層４１と

が、この順に積層している構造を有している。絶縁層４１の材料には、例えば酸化シリコンが用いられている。

【００２５】

抵抗性フィールドプレート３０は、絶縁層４１の表面上であって、溝部４３～４５の内部に配置されている。抵抗性フィールドプレート３０は、内周側の抵抗性フィールドプレート部３５と、中間の抵抗性フィールドプレート部３４と、外周側の抵抗性フィールドプレート部３３を有している。内周側の抵抗性フィールドプレート部３５は、島状領域の中央部を一巡するように配置されており、カソード電極３６を介してカソード領域２８に電気的に接続されている。外周側の抵抗性フィールドプレート部３３は、島状領域の周辺部を一巡するように配置されており、アノード電極３２を介してアノード領域２３に接続されている。中間の抵抗性フィールドプレート部３４は、内周側の抵抗性フィールドプレート部３５と外周側の抵抗性フィールドプレート部３３の双方に接続されている。抵抗性フィールドプレート３０の材料には、例えばポリシリコンやＣｒＳｉ（クロムシリコン）などの金属抵抗が用いられている。なお、抵抗性フィールドプレートの配置パターンは渦巻きパターンに限られず、例えば、折り返し抵抗パターンを用いてもよい。また、抵抗性フィールドプレートの形状は一筆書きの形状に限られず、例えば、分割された複数のフィールドプレートを備える形状であってもよい。

【００２６】

パッシベーション膜４６は、抵抗性フィールドプレート３０およびドリフト領域２６の上面に設けられている。パッシベーション膜４６は、抵抗性フィールドプレート３０およびドリフト領域２６を保護する機能を有する。パッシベーション膜４６の材料には、例えば酸化シリコンが用いられている。

【００２７】

カソード電極３６は、島領域の中央部に配置されている。カソード電極３６は、カソード領域２８に直接的に接触しているとともに、パッシベーション膜４６に形成されているビア４７を介して内周側の抵抗性フィールドプレート部３５に接触している。アノード電極３２は、島領域の周辺部に配置されている。アノード電極３２は、アノード領域２３に直接的に接触しているとともに、パッシベーション膜４６に形成されているビア４８を介して外周側の抵抗性フィールドプレート部３３に接触している。

【００２８】

また、ＳＯＩ基板１０には、ダイオード１以外の他の装置（不図示）が形成されている。他の装置の例としては、ＩＧＢＴ（Insulated Gate Bipolar Transistor）が挙げられる。これによって、ダイオード１と他の装置とが同一基板に形成されている、いわゆるモノリシックＩＣが構成されている。

【００２９】

＜実施例１の効果＞

モノリシックＩＣでは、複数種類の装置を同一基板上に形成するため、活性層１６の厚さを、複数種類の装置の間で統一する必要がある。すると例えば、ＩＧＢＴなどの他の装置によって活性層１６の厚さが規定されてしまう場合がある。この場合、他の装置にとっては活性層１６の厚さが適切であるが、ダイオード１にとっては活性層１６の厚さが厚すぎる場合がある。実施例１で開示されているダイオード１によると、絶縁層４１および抵抗性フィールドプレート部３３～３５が溝部４３～４５の内部に設けられている領域では、その部分におけるドリフト領域２６の実効的な厚さＤ２（図２）を、活性層１６の厚さＤ１よりも薄くすることができる。これにより、活性層１６の厚さＤ１が他の装置によって規定されてしまう場合においても、カソード領域２８とアノード領域２３との間に設けられているドリフト領域２６の厚さを薄くすることで、ドリフト領域２６の体積を減少させることができる。よって、ダイオード１に順方向バイアスが印加されている場合における、キャリアの注入量を減少させることができる。その結果、リカバリ時の蓄積電荷を少なくできるため、ダイオード１のリカバリ時間を短縮化することが可能となる。

【００３０】

抵抗性フィールドプレート３０は、絶縁層を介して接しているドリフト領域２６の表面の電位分布を均一化し、ドリフト領域２６の表面電界を緩和することによって、ダイオードの耐圧を向上させる機能を有している。実施例１に開示されているダイオード１では、溝部４３～４５の底面に配置されている抵抗性フィールドプレート３０に加えて、溝部４３～４５の両側面に配置されている抵抗性フィールドプレート３０も、絶縁層４１を介してドリフト領域２６に接している状態とすることができる。すなわち、抵抗性フィールドプレート３０を埋め込み型とすることで、抵抗性フィールドプレート３０の側面部も、ドリフト領域２６の電位分布を均一化するために用いることができる。よって、ドリフト領域２６に溝部を形成せずにドリフト領域２６の上面に抵抗性フィールドプレート３０が配置されている場合に比して、抵抗性フィールドプレート３０とドリフト領域２６とが絶縁層４１を介して接している面積を増加させることができる。これにより、ドリフト領域２６の電位分布を均一化する効果をより高めることができるため、ダイオード１の耐圧をより向上させることが可能となる。

【００３１】

ドリフト領域２６の表面電位分布の均一性を向上させるためには、抵抗性フィールドプレート３０の配線幅を狭くするとともに、抵抗性フィールドプレート３０間のピッチを狭める必要がある。この場合、抵抗性フィールドプレート３０の抵抗値の上昇を防ぐために、抵抗性フィールドプレート３０の高さを高くして、抵抗性フィールドプレート３０の断面積を確保する必要がある。実施例１に開示されているダイオード１では、溝部４３～４５に導電層を埋め込むことで、抵抗性フィールドプレート３０を形成している。よって、抵抗性フィールドプレート３０の高さを高くするには、溝部４３～４５の深さを深くすればよいため、抵抗性フィールドプレート３０がドリフト領域２６の上面から突出することがない。これにより、抵抗性フィールドプレート３０の上面を覆うパッシベーション膜４６の平坦性が確保され、パッシベーション膜４６の信頼性を確保することができる。

【００３２】

実施例１に開示されているダイオード１では、埋込み絶縁層１４と絶縁層４１との間に、ドリフト領域２６が挟まれている形状を実現することができる。よって、ドリフト領域２６に形成されている溝部４３～４５の深さを深く形成するほど、その部分における埋込み絶縁層１４と絶縁層４１との間の距離を小さくすることができ、その部分におけるドリフト領域２６の厚さを薄くすることが可能となる。

【００３３】

＜ダイオード１の製造方法＞

ダイオード１の製造プロセスを説明する。支持層１２、埋込み絶縁層１４、ｎ⁻型の活性層１６が積層したＳＯＩ基板１０を用意する。次に、不純物拡散技術により、活性層１６にアノード領域２３およびカソード領域２８を形成する。なお、不純物拡散技術とは、フォトリソグラフィからイオン打ち込み等までの一連の処理を意味する。不純物拡散技術では従来公知の方法を用いることができるため、ここでは詳細な説明を省略する。

【００３４】

活性層１６の表面に、ＣＶＤ（Chemical Vapor Deposition）法によって酸化膜層（不図示）を形成し、酸化膜層の上面にレジスト層（不図示）を形成する。そしてフォトエッチング技術により、溝部４３～４５に対応した開口部（不図示）を酸化膜層に形成する。なお、フォトエッチング技術とは、フォトリソグラフィからＲＩＥ（Reactive Ion Etching）等のエッチングまでの一連の処理を意味する。フォトエッチング技術では従来公知の方法を用いることができるため、ここでは詳細な説明を省略する。次に、酸化膜層をマスクとして、ドリフト領域２６に対するドライエッチングを行う。これにより、ドリフト領域２６の表面から下方側に向かって、溝部４３～４５（図２）が形成される。

【００３５】

熱酸化工程が行なわれることで、溝部４３～４５の底部および側壁に絶縁層４１が形成される。次に、ＳＯＩ基板１０の表面にポリシリコンが堆積される。ポリシリコンの堆積厚さは、溝部４３の幅の半分以上、または、溝部４５の半分以上とされる。そして、フォ

トエッチング技術により、溝部４３～４５の内部以外の部分のポリシリコンが除去される。これにより、溝部４３～４５の内部に、埋込み型の抵抗性フィールドプレート部３３～３５が形成される。なお、溝部４３～４５の内部以外の部分のポリシリコンは、ＣＭＰ（Chemical Mechanical Polishing）技術によって除去しても良い。

【００３６】

ＳＯＩ基板１０の表面に、パッシベーション膜４６が堆積される。フォトエッチング技術により、カソード領域２８およびアノード領域２３の表面のパッシベーション膜４６を選択的に除去するとともに、ビア４７および４８を形成する。最後に、カソード電極３６およびアノード電極３２を形成することにより、図１および図２に示したダイオード１が完成される。

【実施例２】

【００３７】

＜ダイオード１ａの構造＞

実施例２におけるダイオード１ａ（図３）の、実施例１におけるダイオード１（図２）との相違点は、カソード領域２８およびアノード領域２３を通る断面でダイオード１ａを断面視したときに、溝部４０の内部に絶縁層４１ａが充填されているとともに、絶縁層４１ａに形成されている溝部４３ａ～４５ａの各々の内部に抵抗性フィールドプレート部３３ａ～３５ａが形成されている点である。

【００３８】

図３に示すように、溝部４０は、島状領域の中央部と島状領域の周辺部とを接続するように形成されている。絶縁層４１ａは、溝部４０の底面および側壁面に設けられている。また絶縁層４１ａは、隣接する抵抗性フィールドプレート部３３～３５の間に設けられている。図１に示すように、内周側の溝部４５ａは、島状領域の中央部を一巡するように配置されている。外周側の溝部４３ａは、島状領域の周辺部を一巡するように配置されている。中間の溝部４４ａは、内周側の溝部４５と外周側の溝部４３との間を接続するように形成されている。抵抗性フィールドプレート３０ａは、絶縁層４１の表面上であって、溝部４３ａ～４５ａの内部に配置されている。

【００３９】

なお、実施例２のダイオード１ａ（図３）のその他の構成要素であって、実施例１のダイオード１（図２）と同様の構成要素には、同一の符号を付している。これらの構成要素については、説明を省略する。また、実施例２に係るダイオード１ａにより得られる効果は、実施例１に係るダイオード１により得られる効果と同様であるため、説明を省略する。

【００４０】

＜ダイオード１ａの製造方法＞

ダイオード１ａの製造プロセスを説明する。支持層１２、埋込み絶縁層１４、n^-型の活性層１６が積層したＳＯＩ基板１０を用意する。次に、不純物拡散技術により、活性層１６にアノード領域２３およびカソード領域２８を形成する。活性層１６の表面に、ＣＶＤ法によって酸化膜層（不図示）を形成し、酸化膜層の上面にレジスト層（不図示）を形成する。そしてフォトエッチング技術により、溝部４０に対応した開口部（不図示）を酸化膜層に形成する。次に、酸化膜層をマスクとして、ドリフト領域２６に対するドライエッチングを行う。これにより、溝部４０（図３）が形成される。

【００４１】

ＣＶＤ法によって、ＳＯＩ基板１０の表面に酸化膜が堆積される。そして、フォトエッチング技術またはＣＭＰ技術により、溝部４０の内部以外の部分の酸化膜が除去される。これにより、溝部４０の内部に充填された、絶縁層４１ａが形成される。

【００４２】

活性層１６の表面に、ＣＶＤ法によって酸化膜層（不図示）を形成し、酸化膜層の上面にレジスト層（不図示）を形成する。そしてフォトエッチング技術により、溝部４３ａ～４５ａに対応した開口部（不図示）を酸化膜層に形成する。次に、酸化膜層をマスクとし

て、絶縁層４１ａに対するドライエッチングを行う。これにより、絶縁層４１ａの表面から下方側に向かって、溝部４３ａ～４５ａ（図３）が形成される。次に、ＳＯＩ基板１０の表面にポリシリコンが堆積される。そして、フォトエッチング技術またはＣＭＰ技術により、溝部４３ａ～４５ａの内部以外の部分のポリシリコンが除去される。これにより、溝部４３ａ～４５ａの内部に、埋込み型の抵抗性フィールドプレート部３３ａ～３５ａが形成される。以後のプロセスは、実施例１で説明したダイオード１の製造プロセスと同様であるため、説明を省略する。

【実施例３】

【００４３】

＜ダイオード１ｂの構造＞

実施例３におけるダイオード１ｂ（図４）の、実施例１におけるダイオード１（図２）との相違点は、カソード領域２８およびアノード領域２３を通る断面でダイオード１ａを断面視したときに、溝部４０ｂが１つ存在している点である。また、抵抗性フィールドプレート部３３ｂ～３５ｂが、溝部４０ｂの上面に複数存在している点である。

【００４４】

図４に示すように、溝部４０ｂは、島状領域の中央部と島状領域の周辺部とを接続するように形成されている。絶縁層４１ｂは、溝部４０ｂの底面および側壁面に設けられている。抵抗性フィールドプレート３０ｂは、絶縁層４１ｂの表面上に配置されている。抵抗性フィールドプレート３０ｂは、内周側の抵抗性フィールドプレート部３５ｂと、中間の抵抗性フィールドプレート部３４ｂと、外周側の抵抗性フィールドプレート部３３ｂを有している。またパッシベーション膜４６ｂは、抵抗性フィールドプレート部３３ｂ～３５ｂの上面に設けられるとともに、隣接する抵抗性フィールドプレート部３３ｂ～３５ｂの間に設けられている。

【００４５】

なお、実施例３のダイオード１ｂ（図４）のその他の構成要素であって、実施例１のダイオード１（図２）と同様の構成要素には、同一の符号を付している。これらの構成要素については、説明を省略する。また、実施例３に係るダイオード１ｂにより得られる効果は、実施例１に係るダイオード１により得られる効果と同様であるため、説明を省略する。

【００４６】

＜ダイオード１ｂの製造方法＞

ダイオード１ｂの製造プロセスを説明する。溝部４０ｂを形成するまでのプロセスは、実施例２で説明した溝部４０の製造プロセスと同様であるため、説明を省略する。溝部４０ｂの形成後に熱酸化工程が行なわれることで、溝部４０ｂの底部および側壁に絶縁層４１ｂが形成される。　次に、ＳＯＩ基板１０の表面にポリシリコンが堆積される。そして、フォトエッチング技術により、抵抗性フィールドプレート部３３ｂ～３５ｂ以外の部分のポリシリコンが除去される。これにより、溝部４０ｂの内部に、抵抗性フィールドプレート部３３ｂ～３５ｂが形成される（図４）。以後のプロセスは、実施例１で説明したダイオード１の製造プロセスと同様であるため、説明を省略する。

【００４７】

以上、本明細書に開示されている技術の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

【００４８】

＜変形例＞

実施例３において、溝部４０ｂはドリフト領域２６に形成されるとしたが、この形態に限られない。アノード領域２３およびカソード領域２８を含むように溝部４０ｂが形成される場合においても、ドリフト領域２６の体積を減少させることができるため、リカバリ時間を短縮化することができる。

【００４９】

上記実施例では半導体材料にシリコンを用いたものを例示したが、この例に代えて、ワイドギャップ半導体を用いてもよい。

【００５０】

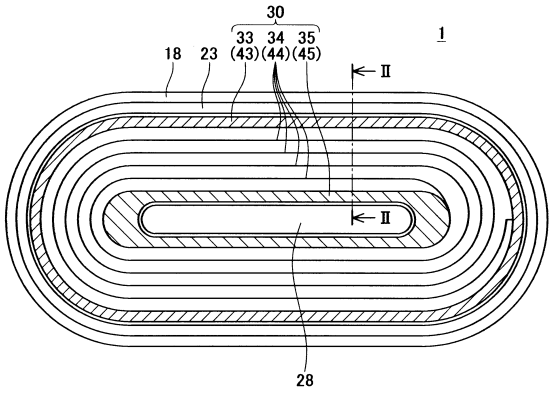
また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【符号の説明】

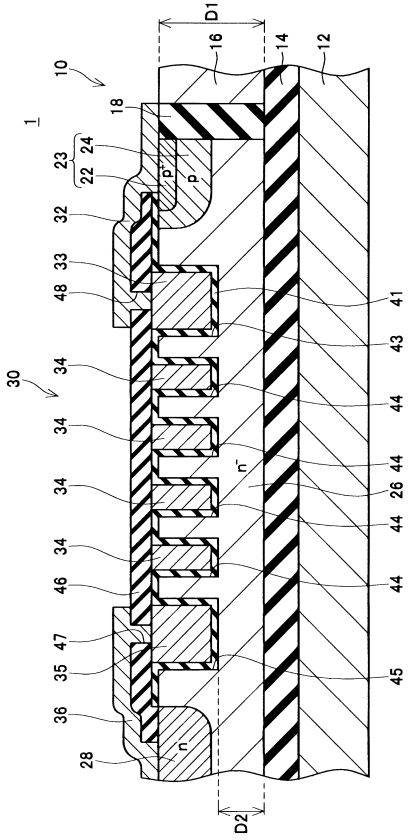
【００５１】

１：ダイオード
１０：ＳＯＩ基板
１２：支持層
１４：埋込み絶縁層
１６：活性層（半導体層の一例）
２３：アノード領域（第２半導体領域の一例）
２６：ドリフト領域
２８：カソード領域（第１半導体領域の一例）
３０：抵抗性フィールドプレート
３３：外周側の抵抗性フィールドプレート部
３４：中間の抵抗性フィールドプレート部
３５：内周側の抵抗性フィールドプレート部
４１：絶縁層（第１絶縁層の一例）
４３～４５：溝部

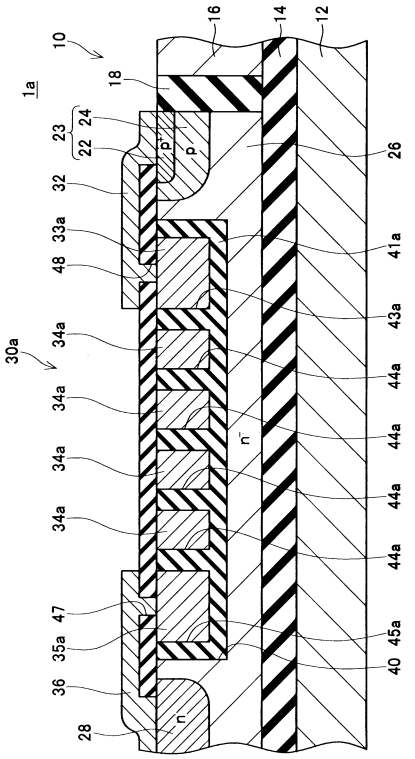
【図１】



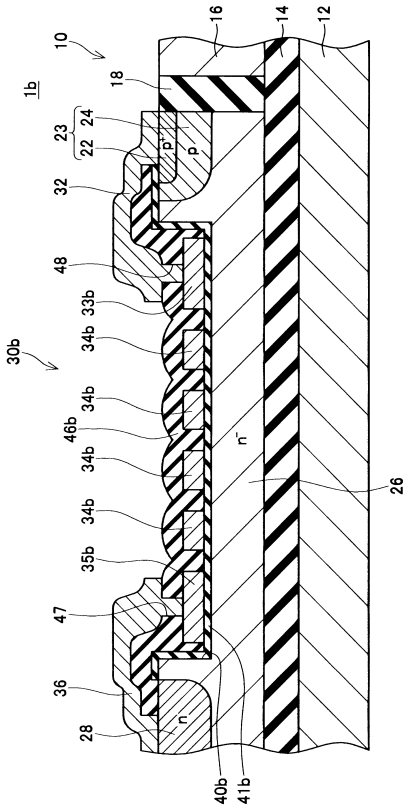
【図２】



【図３】


1a
10
16
14
12
18
23
24
22
p+
p
26
32
33a
41a
48
43a
30a
34a
44a
n-
47
35a
45a
40
36
28
n

【図４】


1b
10
16
14
12
18
23
24
22
p+
p
32
48
33b
34b
30b
46b
n-
26
35b
47
36
28
n
40b
41b

フロントページの続き

(51)Int.Cl. F I
H01L 29/06 301M

(72)発明者 山田 明
愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内
(72)発明者 白木 聡
愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内
(72)発明者 芦田 洋一
愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内

審査官 早川 朋一

(56)参考文献 特開２００５－００５４４３（ＪＰ，Ａ）
特開２０１１－０８２２９７（ＪＰ，Ａ）
特開２００８－２２７４７４（ＪＰ，Ａ）
特開平１０－３２１８７７（ＪＰ，Ａ）
特開２０１０－１１４２４８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２９／８６１－２９／８８５
Ｈ０１Ｌ ２１／３２９
Ｈ０１Ｌ ２７／０６－２７／０７
Ｈ０１Ｌ ２９／０６－２９／１０