

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7635301号
(P7635301)

(45)発行日 令和7年2月25日(2025.2.25)

(24)登録日 令和7年2月14日(2025.2.14)

(51)国際特許分類	F I
H 1 0 D 30/67 (2025.01)	H 1 0 D 30/67 1 0 1 T
H 0 1 L 21/768 (2006.01)	H 0 1 L 21/90 B
H 0 1 L 23/522 (2006.01)	H 1 0 D 86/40 1 0 1 B
H 1 0 D 86/40 (2025.01)	H 1 0 D 64/20
H 1 0 D 64/20 (2025.01)	H 1 0 D 64/23 M

請求項の数 2 (全100頁) 最終頁に続く

(21)出願番号	特願2023-101689(P2023-101689)	(73)特許権者	000153878
(22)出願日	令和5年6月21日(2023.6.21)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2022-45298(P2022-45298)の分割		神奈川県厚木市長谷398番地
原出願日	平成30年1月24日(2018.1.24)	(72)発明者	佐藤 優一
(65)公開番号	特開2023-130375(P2023-130375 A)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(43)公開日	令和5年9月20日(2023.9.20)	(72)発明者	方堂 涼太
審査請求日	令和5年7月4日(2023.7.4)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31)優先権主張番号	特願2017-13142(P2017-13142)	(72)発明者	飯田 裕太
(32)優先日	平成29年1月27日(2017.1.27)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	森若 智昭
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

半導体層と、

前記半導体層上の凹部を有する第1の絶縁層と、

前記半導体層と電気的に接続され、前記第1の絶縁層を貫通する第1の導電層と、

前記第1の絶縁層上に位置し、開口を有する第2の絶縁層と、

前記開口の内壁と接する領域と、前記凹部と接する領域と、前記第1の導電層の上面と接する領域と、前記第1の導電層の上面と接しない領域と、を有する第2の導電層と、を有し、

前記開口は、前記凹部と重なる領域と、前記第1の導電層と重なる領域と、を有し、

前記第1の導電層の上面に前記第2の導電層が接する領域において、前記第1の導電層は曲面部を有し、

前記第1の導電層の上面に前記第2の導電層が接しない領域において、前記第1の導電層は、曲面部を有さず、

前記曲面部は、前記第1の絶縁層の上面より上の部分に位置している半導体装置。

【請求項2】

請求項1において、

前記第2の絶縁層は、第3の絶縁層と、前記第3の絶縁層の上に配置された第4の絶縁層と、を有し、

前記第3の絶縁層及び前記第4の絶縁層の一方は、圧縮応力を有し、

前記第3の絶縁層及び前記第4の絶縁層の他方は、引っ張り応力を有する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、容量素子、半導体装置、記憶装置ならびにこれらの作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有すると言える場合がある。

10

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【背景技術】

【0004】

近年、半導体装置の開発が進められ、LSIやCPUやメモリが主に用いられている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

20

【0005】

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

30

【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。また、例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが、開示されている（特許文献2参照。）。

【先行技術文献】

【特許文献】

40

【0008】

【文献】特開2012-257187号公報

【文献】特開2011-151383号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一態様は、微細化または高集積化が可能な容量素子または半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い容量素子または半導体装置を提供することを課題の一つとする。本発明の一態様は、静電容量の大きい容量素子を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置

50

を提供することを課題の一つとする。本発明の一態様は、良好な信頼性を有する半導体装置を提供することを課題の一つとする。

【0010】

本発明の一態様は、長期間においてデータの保持が可能な半導体装置または記憶装置を提供することを課題の一つとする。本発明の一態様は、情報の書き込み速度が速い半導体装置または記憶装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置または記憶装置を提供することを課題の一つとする。本発明の一態様は、単位面積当たりの記憶容量が大きい半導体装置または記憶装置を提供することを課題の一とする。本発明の一態様は、新規な半導体装置または記憶装置を提供することを課題の一つとする。

10

【0011】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0012】

金属酸化物を有するトランジスタの上に、少なくとも一部が該トランジスタと重なるように容量素子を設けることにより、半導体装置の占有面積を低減し、微細化または高集積化を図ることができる。さらに、トランジスタの上に絶縁体を配置し、該絶縁体に形成された開口に埋め込むように容量素子を設けることにより、半導体装置の占有面積を低減し、且つ容量素子の静電容量を大きくすることができる。

20

【0013】

さらに、トランジスタと容量素子との間に、水または水素などの不純物の透過を抑制する機能を有する絶縁体を設けることにより、容量素子などに起因する不純物がトランジスタに混入することを抑制できるので、電気特性および信頼性の良好なトランジスタを提供することができる。

【0014】

また、不純物の透過を抑制する機能を有する絶縁体を貫通して、トランジスタと容量素子を電気的に接続する導電体が設けられる。該導電体の上部を、湾曲面を有する形状にすることで、該導電体と容量素子の下部電極の接触抵抗を低減し、半導体装置に良好な電気特性を与えることができる。

30

【0015】

本発明の一態様は、第1の絶縁体と、第1の絶縁体を貫通するように配置された、第1の導電体と、第1の絶縁体の上に配置され、第1の絶縁体および第1の導電体に達する開口が形成された、第2の絶縁体と、開口の内壁、第1の絶縁体、および第1の導電体に接して配置された第2の導電体と、第2の導電体の上に配置された、第3の絶縁体と、第3の絶縁体の上に配置された、第4の導電体と、を有し、第1の絶縁体の第2の導電体と接する領域の膜厚は、第1の絶縁体の該領域以外の膜厚より薄く、第1の導電体は、第1の絶縁体の、第2の導電体と接する領域の上面より上の部分において、湾曲面を有する、容量素子である。

40

【0016】

また、本発明の他の一態様は、トランジスタと、容量素子と、を有し、トランジスタは、金属酸化物と、金属酸化物と電気的に接続された、第1の導電体と、を有し、容量素子は、金属酸化物の上に配置され、第1の導電体が貫通している第1の絶縁体と、第1の絶縁体の上に配置され、第1の絶縁体および第1の導電体に達する開口が形成された、第2の絶縁体と、開口の内壁、第1の絶縁体、および第1の導電体に接して配置された第2の導電体と、第2の導電体の上に配置された、第3の絶縁体と、第3の絶縁体の上に配置された、第4の導電体と、を有し、第1の絶縁体は、第2の絶縁体より、水素の透過を抑制する機能が高い、半導体装置である。

50

【0017】

上記において、第1の導電体は、第1の絶縁体の、第2の導電体と接する領域の上面より上の部分において、湾曲面を有する、ことが好ましい。また、上記において、第1の導電体は、第1の絶縁体の、第2の導電体と接する領域の上面より下の部分において、底面と側面のなす角が90°以上である、ことが好ましい。また、上記において、第1の絶縁体の第2の導電体と接する領域の膜厚は、第1の絶縁体の該領域以外の膜厚より薄くなつてもよい。

【0018】

また、上記において、第1の絶縁体は、アルミニウムおよび酸素を含む、ことが好ましい。また、上記において、第2の絶縁体は、第5の絶縁体と、該第5の絶縁体の上に配置された第6の絶縁体と、を有し、第5の絶縁体および第6の絶縁体の一方は、圧縮応力を有し、第5の絶縁体および第6の絶縁体の他方は、引っ張り応力を有する、ことが好ましい。また、上記において、第4の導電体は、開口を埋め込むように形成され、第4の導電体は、第2の絶縁体と重なる領域を有し、第4の導電体の当該領域の上面の平均面粗さが2nm以下である、ことが好ましい。また、上記において、金属酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を含む、ことが好ましい。

10

【0019】

また、本発明の他の一態様は、金属酸化物を有するトランジスタの上に第1の絶縁体を形成する工程と、第1の絶縁体の上に第2の絶縁体を形成する工程と、第1の絶縁体および第2の絶縁体に、トランジスタのソースおよびドレインの一方に達する第1の開口と、トランジスタのソースおよびドレインの他方に達する第2の開口を形成する工程と、第1の開口に第1の導電体を埋め込み、第2の開口に第2の導電体を埋め込む工程と、第2の絶縁体、第1の導電体、および第2の導電体の上に第3の絶縁体を形成する工程と、ドライエッチング処理を行い、第1の絶縁体および第1の導電体に達する第3の開口を形成する工程と、第3の開口の内壁、第1の絶縁体、および第1の導電体に接して、第3の導電体を形成する工程と、第3の導電体の上に第4の絶縁体を形成する工程と、第4の絶縁体の上に第4の導電体を形成する工程と、を有し、第1の絶縁体として、第2の絶縁体よりも、水素の透過を抑制する機能が高い絶縁体を用い、ドライエッチング処理において、少なくとも第1の導電体の上面が露出した段階で、エッチングガスに、炭素とフッ素を含み、かつ該炭素の原子数比が該フッ素の原子数比の50%以上であるガスを含む、半導体装置の作製方法である。

20

【0020】

また、上記において、第3の絶縁体を形成する工程において、PECVD法を用いて第1の酸化シリコンを成膜し、第1の酸化シリコンの上に、APCVD法を用いて第2の酸化シリコンを成膜する、ことが好ましい。また、上記において、第4の導電体を形成する工程において、第4の導電体を成膜し、第4の導電体の上に第5の絶縁体を成膜し、第4の導電体が露出するようにCMP処理を行うことが好ましい。また、上記のドライエッチング処理において、エッチングガスにアルゴンを含み、アルゴンの流量が、エッチングガス全体の流量の90%以上である、ことが好ましい。

30

【0021】

また、上記において、第1の絶縁体は、アルミニウムを含むターゲットを用いて、酸素を含む雰囲気でスパッタリング法で成膜する、ことが好ましい。また、上記において、金属酸化物は、Inと、元素M(MはAl、Ga、Y、またはSn)と、Znと、を含むターゲットを用いてスパッタリング法で成膜する、ことが好ましい。

40

【発明の効果】

【0022】

本発明の一態様により、微細化または高集積化が可能な容量素子または半導体装置を提供することができる。本発明の一態様により、生産性の高い容量素子または半導体装置を提供することができる。本発明の一態様により、静電容量の大きい容量素子を提供することができる。本発明の一態様により、良好な電気特性を有する半導体装置を提供すること

50

ができる。本発明の一態様により、良好な信頼性を有する半導体装置を提供することができる。

【0023】

本発明の一態様により、長期間においてデータの保持が可能な半導体装置または記憶装置を提供することができる。本発明の一態様により、情報の書き込み速度が速い半導体装置または記憶装置を提供することができる。本発明の一態様により、消費電力を抑えることができる半導体装置または記憶装置を提供することができる。本発明の一態様により、単位面積当たりの記憶容量が大きい半導体装置または記憶装置を提供することができる。本発明の一態様により、新規な半導体装置または記憶装置を提供することができる。

【0024】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0025】

【図1】本発明の一態様に係る半導体装置の断面図。

【図2】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図3】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図4】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図5】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図6】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図7】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図8】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図9】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図10】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図11】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図12】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図13】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図14】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図15】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図16】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図17】本発明の一態様に係る半導体装置の断面図。

【図18】本発明の一態様に係る半導体装置の断面図。

【図19】本発明の一態様に係る半導体装置の断面図。

【図20】本発明の一態様に係る半導体装置の上面図および断面図。

【図21】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図22】本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図23】本発明の一態様に係る半導体装置の上面図および断面図。

【図24】本発明の一態様に係る半導体装置の上面図および断面図。

【図25】本発明の一態様に係る半導体装置の上面図および断面図。

【図26】本発明の一態様に係る金属酸化物の原子数比の範囲を説明する図。

【図27】本発明の一態様に係る記憶装置の構成を示す断面図。

【図28】本発明の一態様に係る記憶装置の構成を示す断面図。

【図29】本発明の一態様に係る記憶装置の構成を示す断面図。

【図30】本発明の一態様に係る記憶装置の構成例を示すブロック図。

【図31】本発明の一態様に係る記憶装置の構成例を示すブロック図、および回路図。

【図32】本発明の一態様に係る半導体装置の構成例を示すブロック図。

【図33】本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。

10

20

30

40

50

【図34】本発明の一態様に係る半導体装置の構成例を示すブロック図。

【図35】本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。

【図36】本発明の一態様に係る半導体装置を示すブロック図。

【図37】本発明の一態様に係る半導体装置を示す回路図。

【図38】本発明の一態様に係る半導体ウエハの上面図。

【図39】電子部品の作製工程例を説明するフローチャートおよび電子部品の斜視模式図。

【図40】本発明の一態様に係る電子機器を示す図。

【図41】本発明の実施例に係るAFM画像。

【図42】本発明の実施例に係る断面SEM像。

【図43】本発明の実施例に係る断面SEM像。

【発明を実施するための形態】

【0026】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0027】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0028】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

【0029】

また、本明細書などにおいて、第1、第2等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第1の」を「第2の」又は「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0030】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

【0031】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0032】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、

10

20

30

40

50

層、など)であるとする。

【0033】

XとYとが直接的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に接続されていない場合であり、XとYとの電気的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)を介さずに、XとYとが、接続されている場合である。

【0034】

XとYとが電気的に接続されている場合の一例としては、XとYとの電気的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態(オン状態)、または、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電気的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

10

【0035】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフタ回路など)、電圧源、電流源、切り替え回路、增幅回路(信号振幅または電流量などを大きく出来る回路、オペアンプ、差動增幅回路、ソースフォロワ回路、パッファ回路など)、信号生成回路、記憶回路、制御回路など)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電気的に接続されている場合とを含むものとする。

20

【0036】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン(ドレイン端子、ドレン領域またはドレン電極)とソース(ソース端子、ソース領域またはソース電極)の間にチャネル形成領域を有しており、チャネル形成領域を介して、ソースとドレインの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

30

【0037】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

40

【0038】

なお、チャネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレン領域またはドレン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル長は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

50

【0039】

チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャネル幅は、チャネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0040】

なお、トランジスタの構造によっては、実際にチャネルの形成される領域におけるチャネル幅（以下、「実効的なチャネル幅」ともいう。）と、トランジスタの上面図において示されるチャネル幅（以下、「見かけ上のチャネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャネル幅が、見かけ上のチャネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャネル幅よりも、実効的なチャネル幅の方が大きくなる。

10

【0041】

このような場合、実効的なチャネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャネル幅を正確に測定することは困難である。

20

【0042】

そこで、本明細書では、見かけ上のチャネル幅を、「囲い込みチャネル幅（S C W : S u r r o u n d e d C h a n n e l W i d t h ）」と呼ぶ場合がある。また、本明細書では、単にチャネル幅と記載した場合には、囲い込みチャネル幅または見かけ上のチャネル幅を指す場合がある。または、本明細書では、単にチャネル幅と記載した場合には、実効的なチャネル幅を指す場合がある。なお、チャネル長、チャネル幅、実効的なチャネル幅、見かけ上のチャネル幅、囲い込みチャネル幅などは、断面T E M像などを解析することなどによって、値を決定することができる。

30

【0043】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のD O S (D e n s i t y o f S t a t e s) が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

40

【0044】

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものと定義する。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度

50

範囲で含まれるものという。

【0045】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0046】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

10

【0047】

また、本明細書等に示すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。また、本明細書等に示すトランジスタは、明示されている場合を除き、nチャネル型のトランジスタとする。よって、そのしきい値電圧（「 V_{th} 」ともいう。）は、明示されている場合を除き、0Vよりも大きいものとする。

【0048】

また、本明細書等において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。したがって、-5°以上5°以下の場合も含まれる。また、「略平行」とは、二つの直線が-30°以上30°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。したがって、85°以上95°以下の場合も含まれる。また、「略垂直」とは、二つの直線が60°以上120°以下の角度で配置されている状態をいう。

20

【0049】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0050】

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

30

【0051】

本明細書等において、金属酸化物（metal oxide）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（oxide Semiconductorまたは単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FETと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0052】

（実施の形態1）

<半導体装置の構成例>

40

以下では、本発明の一態様に係るトランジスタ400および容量素子100を有する半導体装置の一例について説明する。

【0053】

図1は、トランジスタ400および容量素子100を有する半導体装置の断面図である。容量素子100は、水または水素などの不純物の透過を抑制する機能を有する絶縁体420を間に挟んで、トランジスタ400の上に配置される。容量素子100とトランジスタ400は、絶縁体420を貫通して配置される導電体108bによって電気的に接続される。このように、絶縁体420および導電体108bは、容量素子100とトランジスタ400の間に配置されるので、トランジスタ400が絶縁体420および導電体108bを有しているともいえるし、容量素子100が絶縁体420および導電体108bを有

50

しているということもできる。

【0054】

トランジスタ400は、酸化物406を有しており、酸化物406の少なくとも一部はトランジスタ400のチャネル形成領域として機能する。酸化物406は、基板(図示せず。)の上に設けられた絶縁体402の上に配置されることが好ましい。また、トランジスタ400は、酸化物406の上に導電体404を有し、酸化物406と導電体404の間に絶縁体412を有する。ここで、導電体404はトランジスタ400のゲートとして機能し、絶縁体412は導電体404に対応するゲート絶縁体として機能する。例えば、酸化物406の導電体404と重なる領域がトランジスタ400のチャネル形成領域として機能し、酸化物406の導電体404と重ならない領域の一部がトランジスタ400のソース領域およびドレイン領域の一方として機能し、酸化物406の導電体404と重ならない領域の他の一部がトランジスタ400のソース領域およびドレイン領域の他方として機能する。

【0055】

酸化物406のソース領域およびドレイン領域の一方として機能する領域と電気的に接続されるように導電体108aが配置され、酸化物406のソース領域およびドレイン領域の他方として機能する領域と電気的に接続されるように導電体108bが配置される。よって、導電体108aは、トランジスタ400のソース電極およびドレイン電極の一方として機能し、導電体108bは、トランジスタ400のソース電極およびドレイン電極の他方として機能する、ということができる。また、酸化物406、絶縁体412および導電体404を覆って絶縁体410が配置されることが好ましい。導電体108aおよび導電体108bは絶縁体410に形成された開口を埋め込むように形成されることが好ましい。

【0056】

トランジスタ400の酸化物406のチャネル形成領域において、酸素欠損を低減し、水素または水などの不純物を低減することで、トランジスタ400に良好な電気特性を与え、信頼性を向上させることができる。なお、トランジスタ400の構成の詳細な例については、後述する。

【0057】

<容量素子の構成例>

容量素子100は、酸化物406、絶縁体412、導電体404、および絶縁体410の上に配置される。絶縁体422、絶縁体112、絶縁体114、および絶縁体116に形成された開口115の内壁、絶縁体420、および導電体108bに接して配置された導電体110と、導電体110の上に配置された絶縁体130と、絶縁体130の上に配置された導電体120aおよび導電体120bを有する。なお、以下において、導電体120aおよび導電体120bをまとめて導電体120という場合がある。

【0058】

ここで、導電体110は容量素子100の下部電極として機能し、導電体120は容量素子100の上部電極として機能し、絶縁体130は、容量素子100の誘電体として機能する。容量素子100は、開口115において、底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。そして、開口115の深さを深くするほど、容量素子100の静電容量を大きくすることができる。このように容量素子100の単位面積当たりの静電容量を大きくすることにより、半導体装置の微細化または高集積化を推し進めることができる。

【0059】

絶縁体420は、上層、例えば容量素子100などから水または水素などの不純物がトランジスタ400などに混入するのを防ぐバリア絶縁膜として機能できる。絶縁体420は、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、水素、

水などの不純物が絶縁体420より下層に拡散するのを抑制することができる。なお、絶縁体420は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の少なくとも一の透過を抑制する機能を有することが好ましい。また、以下において、不純物の透過を抑制する機能を有する絶縁性材料について記載する場合も同様である。例えば、絶縁体420は、絶縁体422、絶縁体112、および絶縁体114のいずれかより、水、または水素の透過を抑制する機能が高いことが好ましい。

【0060】

ここで、絶縁体420は、スパッタリング法を用いて成膜された酸化物絶縁体を用いることが好ましく、例えば酸化アルミニウムを用いることが好ましい。このような絶縁体420を用いることにより、絶縁体410の絶縁体420と接する面を介して絶縁体410に酸素を供給し、絶縁体410を酸素過剰な状態にできる。これにより、絶縁体410を介して絶縁体412および酸化物406に酸素を供給することができる。

10

【0061】

さらに、絶縁体420は、酸素(例えば、酸素原子または酸素分子など)の透過を抑制する機能を有する絶縁性材料、例えば酸化アルミニウムを用いることが好ましい。これにより、絶縁体410、酸化物406などに含まれる酸素が上方拡散するのを抑制することができる。これにより、酸化物406に効果的に酸素を供給することができる。

【0062】

このように絶縁体420を設け、トランジスタ400の酸化物406のチャネル形成領域において、酸素欠損を低減し、水素または水などの不純物を低減することで、トランジスタ400に良好な電気特性を与え、信頼性を向上させることができる。

20

【0063】

また、絶縁体420は、絶縁体422、絶縁体112、および絶縁体114に開口115を形成する際に、エッチングストップとして機能することが好ましい。よって、絶縁体420は、絶縁体422、絶縁体112、および絶縁体114の少なくともいずれかと、構成元素、組成などが異なることが好ましく、例えば、酸化アルミニウムを用いることが好ましい。このように、絶縁体420がエッチングストップとして機能することにより、容量素子100が絶縁体410に接して形成され、容量素子100の絶縁体410に接した部分から、容量素子100に含まれる不純物が絶縁体410を介してトランジスタ400に拡散することを防ぐことができる。

30

【0064】

このとき、絶縁体420および導電体108bは、開口115の底部となる。言い換えると、開口115は、絶縁体420および導電体108bに達する開口ということができる。また、図1に示すように、絶縁体420の開口115と重なる領域、言い換えると、絶縁体420の導電体110と接する領域の膜厚は、絶縁体420の当該領域以外の膜厚より薄くなる場合がある。つまり、絶縁体420の当該領域は凹んだ形状になる場合がある。

【0065】

なお、絶縁体420に積層して、絶縁体420と同様の元素を有する絶縁体を、ALD法を用いて成膜してもよい。このように、絶縁体420にALD法で成膜された絶縁体を積層することにより、段切れ、クラック、ピンホールなどが形成されることなく、トランジスタ400を覆うことができる。これにより、水素、水などの不純物に対する絶縁体420のバリア性をより顕著に向上させることができる。

40

【0066】

絶縁体420の上に絶縁体422が配置されることが好ましい。絶縁体422としては、例えば酸化窒化シリコンなどを用いればよい。導電体108aおよび導電体108bは、絶縁体410、絶縁体420、および絶縁体422に形成された開口に埋め込まれるよう形成すればよい。このため、導電体108aまたは導電体108bの上面の一部と、絶縁体422の上面の高さが略一致する場合がある。

50

【0067】

ここで、絶縁体422を設けておくことで、導電体108aおよび導電体108bを形成するための研磨処理（例えば、化学的機械研磨（Chemical Mechanical Polishing: CMP）処理など）を容易に行うことができる。なお、絶縁体422は、導電体108aおよび導電体108bを形成できるならば、必ずしも設ける必要はない。

【0068】

絶縁体410および絶縁体420に設けられる開口、および当該開口に埋め込まれる導電体108bの断面形状は、絶縁体420の、導電体110と接する領域の上面より下の部分において、逆テーパー形状となる場合がある。つまり、当該部分において、導電体108bは、側面のテーパー角度が90°以上である場合がある。また、当該部分において、導電体108bは、底面と側面のなす角が90°以上である場合があるということもできる。なお、当該部分において、導電体108bの側面が絶縁体402の上面に対して略垂直であってもよい。

10

【0069】

また、導電体108bは、絶縁体420の、導電体110と接する領域の上面より上の部分において、湾曲面を有することが好ましい。例えば、導電体108bの当該部分において、導電体108bの側面と、導電体108bの上面との間に、湾曲面を有することが好ましい。つまり、導電体108bの当該部分において、側面の端部と上面の端部は、湾曲して連続していることが好ましい。

20

【0070】

このように、導電体108bは、絶縁体420より上の部分と、下の部分で形状が異なることが好ましい。特に、導電体108bの上の部分の湾曲面で導電体110と接することにより、導電体108bと導電体110の接触抵抗を低減することができる。これにより、トランジスタ400のソースまたはドレインのいずれかと、容量素子100の下部電極との電気的接続を良好にできる。よって、容量素子100とトランジスタ400を有する半導体装置に良好な電気特性を与えることができる。

30

【0071】

絶縁体422の上に絶縁体112が配置され、絶縁体112の上に絶縁体114が配置される。上記の通り、開口115の深さ、すなわち絶縁体112と絶縁体114の膜厚の合計を大きくすることにより、容量素子100の静電容量を大きくすることができます。しかしながら、絶縁体112と絶縁体114の膜厚を大きくすることにより、これらの絶縁体の内部応力も大きくなり、基板の反りなどが発生する場合がある。そこで、本実施の形態に示す容量素子100においては、絶縁体112および絶縁体114の一方は圧縮応力を有し、絶縁体112および絶縁体114の他方は引っ張り応力を有することが好ましい。つまり、絶縁体112および絶縁体114は、積層することで互いの内部応力を相殺し、積層された絶縁体全体の内部応力を低減することが好ましい。

【0072】

絶縁体112および絶縁体114は、同種の元素を用いる構成としてもよく、例えば、有機シランガス（例えば、TEOS（Tetra-Ethyl-Ortho-Silicic acid）など）を用いて成膜した酸化シリコンを用いればよい。この場合、絶縁体112の組成と絶縁体114の組成を異なるものとし、互いの内部応力の向きを異ならせることができが好ましい。例えば、絶縁体112と絶縁体114を同じ種類の有機シランガス（例えば、TEOSなど）を用いて、異なる種類の化学気相成長（CVD: Chemical Vapour Deposition）法を用いて成膜してもよい。

40

【0073】

なお、基板の反りが発生しない程度に、内部応力が低減されているなら、絶縁体112および絶縁体114のいずれか一方のみの構成にしてもよい。

【0074】

絶縁体114の上に絶縁体116が配置されることが好ましい。絶縁体116は、開口

50

115内でエッティングを行うときに、導電体110とともにエッティングストップとして機能することが好ましい。よって、絶縁体116は、絶縁体114と構成元素、組成などが異なることが好ましく、例えば、絶縁体116として、窒化シリコンを用いることができる。また、絶縁体116の上面と導電体110の最上面（導電体110の開口115の縁に接する部分と言い換えてよい。）が略一致することが好ましい。絶縁体116と導電体110によって、絶縁体114、絶縁体112、絶縁体422、および絶縁体420が覆われていることが好ましい。なお、絶縁体116は、必ずしも設ける必要はない。

【0075】

絶縁体422、絶縁体112、絶縁体114、および絶縁体116に開口115が形成されている。ここで、絶縁体422の側面、絶縁体112の側面、絶縁体114の側面、および絶縁体116の側面は、開口115の内壁といいうことができる。また、導電体108bの上部、および絶縁体420の開口115と重なる部分は開口115の底部といいうことができる。

10

【0076】

図1に示すように、開口115の断面形状は深い位置ほど、内径が小さくなる形状にすることができる。また、開口115の内壁が絶縁体402の上面に対して略垂直な断面形状にしてもよい。また、開口115を上面から見た形状は、四角形としてもよいし、四角形以外の多角形状としてもよいし、多角形状において角部を湾曲させた形状としてもよいし、橢円を含む円形状としてもよい。ここで、開口115とトランジスタ400の重なる面積が多い方が好ましい。このような構成にすることにより、容量素子100とトランジスタ400を有する半導体装置の占有面積を増やすことなく、静電容量を大きくすることができます。

20

【0077】

開口115の内壁および底面に接して、導電体110が配置される。導電体110は容量素子100の下部電極として機能し、例えば窒化チタンなどを用いることができる。例えば、ALD法またはCVD法などを用いて導電体110となる導電膜を成膜することにより、開口115のアスペクト比が大きくても被覆性良く導電体110を形成することができる。ここで、上記のように導電体108bの上部が湾曲面を有し、当該湾曲面に接して導電体110が形成されることにより、導電体110と導電体108bの接触抵抗を低減することができる。

30

【0078】

導電体110および絶縁体116を覆って絶縁体130が配置される。絶縁体130は容量素子100の誘電体として機能し、例えば、酸化ハフニウム、ハフニウムシリケート（ $HfSi_xO_y$ ($x > 0$, $y > 0$)）、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yN_z$ ($x > 0$, $y > 0$, $z > 0$)）、窒素が添加されたハフニウムアルミニート（ $HfAl_xO_yN_z$ ($x > 0$, $y > 0$, $z > 0$)）、または酸化イットリウムなどのhig h-k材料を用いることが好ましい。このようなhig h-k材料を用いることで、絶縁体130を厚くしても容量素子100の静電容量を十分確保することができる。絶縁体130を厚くすることにより、導電体110と導電体120の間に生じるリーク電流を抑制することができる。

40

【0079】

また、例えば、ALD法またはCVD法などを用いて絶縁体130となる絶縁膜を成膜することにより、開口115のアスペクト比が大きくても被覆性良く絶縁体130を形成することができる。また、絶縁体130は、導電体120と重なる領域の膜厚が、該領域以外の膜厚より厚い場合がある。

【0080】

また、導電体110の最上面が絶縁体116の上面と略一致する、言い換えると導電体110が開口115からはみ出さないことで、絶縁体130でより確実に導電体110を覆うことができるので、導電体110と導電体120が短絡することを抑制することができる。

50

【0081】

開口115を覆って、絶縁体130の上に導電体120が配置される。図1に示すように、導電体120は、導電体120aと、導電体120aの上に配置された導電体120bの積層膜にすることが好ましい。導電体120は容量素子100の上部電極として機能し、例えば導電体120aとして窒化チタンなどを、導電体120bとしてタンゲステンなどを用いることができる。例えば、ALD法またはCVD法などを用いて導電体120aとなる導電膜、および導電体120bとなる導電膜を成膜することにより、開口115のアスペクト比が大きくて被覆性良く導電体120aおよび導電体120bを形成することができる。

【0082】

また、導電体120は、開口115からはみ出して絶縁体116と重なる領域を有することが好ましい。当該領域を有するには、フォトリソグラフィ法などを用いて導電体120aおよび導電体120bを形成すればよい。このとき、導電体120bの絶縁体116と重なる領域の上面の平均面粗さ(R_a)は、4nm以下、好ましくは2nm以下、より好ましくは1nm以下とすればよい。このように、導電体120bの上面が、開口115の縁の近傍と重なる領域において、良好な平坦性を有していることで、フォトリソグラフィの露光工程において、当該領域で乱反射が起こることを抑制できる。特に、露光に電子ビームを用いる場合、金属膜の上面の凹凸による乱反射の影響がより顕著になるので、これを防ぐため、当該領域の平坦性を向上させることが好ましい。このように、当該領域の平坦性を向上させることで、フォトリソグラフィをより精密に行うことができる。

10

【0083】

なお、本明細書等において、平均面粗さ(R_a)とは、JIS B 0601:2001(ISO 4287:1997)で定義されている算術平均粗さを、曲面に対して適用できるよう三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現される。

【0084】

平均面粗さ(R_a)は、指定面を $Z = F(X, Y)$ で表すとき、基準面から指定面までの偏差の絶対値を平均した値で表現され、次の式で与えられる。

【0085】

【数1】

30

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dX dY$$

【0086】

ここで、指定面とは、粗さ計測の対象となる面であり、座標($X_1, Y_1, F(X_1, Y_1)$), ($X_1, Y_2, F(X_1, Y_2)$), ($X_2, Y_1, F(X_2, Y_1)$), ($X_2, Y_2, F(X_2, Y_2)$)の4点で表される四角形の領域とする。

【0087】

また、指定面をXY平面に投影した長方形の面積を S_0 、基準面の高さ(指定面の平均の高さ)を Z_0 とする。平均面粗さ(R_a)は原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

40

【0088】

なお、導電体120は、必ずしも積層膜にしなくてもよく、例えば、導電体120aおよび導電体120bのいずれか一方を用いる構成にしてもよい。

【0089】

導電体120および絶縁体130を覆って絶縁体150が配置されることが好ましい。絶縁体150は、絶縁体410に用いることができる絶縁体を用いればよい。

【0090】

また、上記において、導電体108b上に形成される容量素子100の構成について説

50

明したが、導電体 108a 上にも接続部 160 が形成されることが好ましい。接続部 160 が設けられることで、トランジスタ 400 の導電体 108a と、各種回路素子または配線などと、を容易に接続させることができる。

【0091】

接続部 160 は、絶縁体 422、絶縁体 112、絶縁体 114、絶縁体 116、絶縁体 130、および絶縁体 150 に形成された開口 117 に埋め込まれるように形成される。接続部 160 は、開口 117 の内壁、絶縁体 420、および導電体 108a に接して配置された導電体 162a と、導電体 162a の内側に形成された導電体 162b と、を有する。なお、以下において、導電体 162a および導電体 162b をまとめて導電体 162 という場合がある。

10

【0092】

ここで、絶縁体 420 および導電体 108a は、開口 117 の底部となる。言い換えると、開口 117 は、絶縁体 420 および導電体 108a に達する開口ということができる。また、図 1 に示すように、絶縁体 420 の開口 117 と重なる領域、言い換えると、絶縁体 420 の導電体 162a と接する領域の膜厚は、絶縁体 420 の当該領域以外の膜厚より薄くなる場合がある。つまり、絶縁体 420 の当該領域は凹んだ形状になる場合がある。

【0093】

導電体 108a は導電体 108b と同様の構成を有する。よって、絶縁体 410 および絶縁体 420 に設けられる開口、および当該開口に埋め込まれる導電体 108a の断面形状は、絶縁体 420 の、導電体 162a と接する領域の上面より下の部分において、逆テーパー形状となる場合がある。つまり、当該部分において、導電体 108a の側面のテーパー角度が 90° 以上である場合がある。また、当該部分において、導電体 108a の側面と絶縁体 402 の上面とのなす角が 90° 以上である場合があるといふこともできる。なお、当該部分において、導電体 108a の側面が絶縁体 402 の上面に対して略垂直であってもよい。

20

【0094】

また、導電体 108a は、絶縁体 420 の、導電体 162a と接する領域の上面より上の部分において、湾曲面を有することが好ましい。例えば、導電体 108a の当該部分において、導電体 108a の側面と、導電体 108a の上面との間に、湾曲面を有することが好ましい。つまり、導電体 108a の当該部分において、側面の端部と上面の端部は、湾曲して連続していることが好ましい。なお、図 1 に示すように、導電体 108a の当該部分において、導電体 162a と接しない、言い換えると開口 117 と重ならない領域については、湾曲面が形成されない。

30

【0095】

このように、導電体 108a は、絶縁体 420 より上の部分と、下の部分で形状が異なることが好ましい。特に、導電体 108a の上の部分の湾曲面で導電体 162a と接することにより、導電体 108a と導電体 162a の接触抵抗を低減することができる。これにより、トランジスタ 400 のソースまたはドレインのいずれかと、接続部 160 との電気的接続を良好にすることができます。

40

【0096】

導電体 162 は、導電体 120 と同様の構成を用いることができる。よって、導電体 162a は導電体 120a と、導電体 162b は導電体 120b と同様の構成を用いることが好ましい。なお、導電体 162 は、必ずしも積層膜にしなくてもよく、例えば、導電体 162a および導電体 162b のいずれか一方を用いる構成にしてもよい。

【0097】

次に、トランジスタ 400、容量素子 100 および接続部 160 などの構成材料について説明する。

【0098】

[基板]

50

容量素子 100 およびトランジスタ 400 を有する半導体装置を形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0099】

また、基板として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、5 μm 以上 700 μm 以下、好ましくは 10 μm 以上 500 μm 以下、さらに好ましくは 15 μm 以上 300 μm 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

【0100】

可とう性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3} / K$ 以下、 $5 \times 10^{-5} / K$ 以下、または $1 \times 10^{-5} / K$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板として好適である。

【0101】

〔絶縁体〕

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0102】

トランジスタを、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。例えば、絶縁体 420 として、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0103】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオ

ジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0104】

例えば、絶縁体420としては、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

【0105】

絶縁体402、絶縁体412、絶縁体410、絶縁体422、絶縁体112、絶縁体114、絶縁体116および絶縁体150としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体402、絶縁体412、絶縁体410、絶縁体422、絶縁体112、絶縁体114、絶縁体116および絶縁体150としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは、窒化シリコンを有することが好ましい。

10

【0106】

絶縁体412および絶縁体130は、比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁体412および絶縁体130は、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを有することが好ましい。または、絶縁体412および絶縁体130は、酸化シリコンまたは酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができます。例えば、絶縁体412および絶縁体130において、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムを酸化物406と接する構造とすることで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、酸化物406に混入することを抑制することができる。また、例えば、絶縁体412および絶縁体130において、酸化シリコンまたは酸化窒化シリコンを酸化物406と接する構造とすることで、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

20

【0107】

絶縁体410、絶縁体422、絶縁体112、絶縁体114、および絶縁体150は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体410、絶縁体422、絶縁体112、絶縁体114、および絶縁体150は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体410、絶縁体422、絶縁体112、絶縁体114、および絶縁体150は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができます。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネートまたはアクリルなどがある。

30

【0108】

[導電体]

導電体404、導電体108a、導電体108b、導電体120b、および導電体16

40

50

2 b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タンクスチール、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0109】

また、上記導電体、特に導電体110、導電体120a、および導電体162aとして、酸化物406に適用可能な金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いてもよい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タンクスチールを含むインジウム酸化物、酸化タンクスチールを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、酸化物406に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

10

【0110】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

20

【0111】

<容量素子の作製方法>

次に、本発明に係るトランジスタ400および容量素子100を有する半導体装置の作製方法を、図2から図16を用いて説明する。

【0112】

半導体装置の作製方法は、酸化物406を有するトランジスタ400上に絶縁体420を形成する工程と、絶縁体420の上に絶縁体422を形成する工程と、絶縁体420および絶縁体422に、トランジスタ400のソースおよびドレインの一方に達する第1の開口と、トランジスタ400のソースおよびドレインの他方に達する第2の開口を形成する工程と、第1の開口に導電体108aを埋め込み、第2の開口に導電体108bを埋め込む工程と、絶縁体422、導電体108b、および導電体108aの上に絶縁体112、絶縁体114などを形成する工程と、ドライエッチング処理を行い、絶縁体420および導電体108bに達する開口115を形成する工程と、開口115の内壁、絶縁体420、および導電体108bに接して、導電体110を形成する工程と、導電体110の上に絶縁体130を形成する工程と、絶縁体130の上に導電体120を形成する工程と、を有する。

30

【0113】

以下では、主に、トランジスタ400の上に容量素子100を作製する方法の詳細について説明する。なお、トランジスタ400の作製方法例、つまり、絶縁体422を形成し、導電体108aおよび導電体108bを開口に埋め込むまでの工程については、後述する。

40

【0114】

以下、本実施の形態に係る半導体装置などに用いる、導電体（導電体膜、導電体層など）ということもできる。）、絶縁体（絶縁体膜、絶縁体層など）ということもできる。）、半導体（半導体膜、半導体層など）ということもできる。）、酸化物（酸化膜、酸化層など）ということもできる。）の成膜は、スパッタリング法、CVD法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD

50

: P u l s e d L a s e r D e p o s i t i o n) 法または A L D 法などを用いて行うことができる。

【 0 1 1 5 】

なお、 C V D 法は、 プラズマを利用する プラズマ C V D (P E C V D : P l a s m a E n h a n c e d C V D) 法、 熱を利用する 熱 C V D (T C V D : T h e r m a l C V D) 法、 光を利用する 光 C V D (P h o t o C V D) 法などに分類できる。さらに用いる原料ガスによって 金属 C V D (M C V D : M e t a l C V D) 法、 有機金属 C V D (M O C V D : M e t a l O r g a n i c C V D) 法に分けることができる。また、 成膜チャンバーの圧力によって、 大気圧下で成膜を行なう 常圧 C V D (A P C V D : A t m o s p h e r i c P r e s s u r e C V D) 法、 大気圧より低い 減圧状態で成膜を行う 減圧 C V D (L P C V D : L o w P r e s s u r e C V D) 法、 などに分けることができる。

10

【 0 1 1 6 】

プラズマ C V D 法は、 比較的低温で高品質の膜が得られる。また、 熱 C V D 法は、 プラズマを用いないため、 被処理物への プラズマダメージを小さくすることが可能な成膜方法である。 例えば、 半導体装置に含まれる 配線、 電極、 素子 (トランジスタ、 容量素子など) などは、 プラズマから電荷を受け取ることで チャージアップする場合がある。 このとき、 蓄積した電荷によって、 半導体装置に含まれる 配線、 電極、 素子などが 破壊される場合がある。 一方、 プラズマを用いない 熱 C V D 法の場合、 こういった プラズマダメージが生じないため、 半導体装置の歩留まりを高くすることができる。 また、 熱 C V D 法では、 成膜中の プラズマダメージが生じないため、 欠陥の少ない膜が得られる。

20

【 0 1 1 7 】

また、 A L D 法も、 被処理物への プラズマダメージを小さくすることが可能な成膜方法である。 また、 A L D 法も、 成膜中の プラズマダメージが生じないため、 欠陥の少ない膜が得られる。

【 0 1 1 8 】

C V D 法および A L D 法は、 ターゲットなどから放出される粒子が 堆積する 成膜方法とは異なり、 被処理物の表面における 反応により 膜が形成される 成膜方法である。 したがって、 被処理物の 形状の影響を受けにくく、 良好な 段差被覆性を有する 成膜方法である。 特に、 A L D 法は、 優れた 段差被覆性と、 優れた 厚さの 均一性を有するため、 アスペクト比の高い 開口の表面を被覆する場合などに 好適である。 ただし、 A L D 法は、 比較的 成膜速度が遅いため、 成膜速度の速い C V D 法などの他の成膜方法と組み合わせて用いることが 好ましい場合もある。

30

【 0 1 1 9 】

C V D 法および A L D 法は、 原料ガスの 流量比によって、 得られる膜の組成を 制御することができる。 例えば、 C V D 法および A L D 法では、 原料ガスの 流量比によって、 任意の組成の膜を 成膜することができる。 また、 例えば、 C V D 法および A L D 法では、 成膜しながら 原料ガスの 流量比を 变化させることによって、 組成が 連続的に 变化した膜を 成膜することができる。 原料ガスの 流量比を 变化させながら 成膜する場合、 複数の 成膜室を 用いて 成膜する場合と 比べて、 搬送や 圧力調整に 掛かる時間の分、 成膜に 掛かる時間を 短くすることができる。 したがって、 半導体装置の 生産性を 高めることができる場合がある。

40

【 0 1 2 0 】

また、 スパッタリング法としては、 スパッタ用電源に 直流電源を用いる D C (D i r e c t C u r r e n t) スパッタリング法、 さらに パルス的に バイアスを 与える パルス D C スパッタ法、 スパッタ用電源に 高周波電源を用いる R F (R a d i o F r e q u e n c y) スパッタリング法を 用いて もよい。 また、 チャンバー内部に 磁石機構を 備えた マグネットロンスパッタリング法、 成膜中に 基板にも 電圧を かける バイアススパッタリング法、 反応性ガス 霧 囲気で 行う 反応性スパッタリング法などを 用いて もよい。 また、 平行平板型スパッタリング装置を 用いた 成膜法である、 P E S P (p a r a l l e l e l l e c t r o d e s p u t t e r i n g) 、 又は 対向ターゲット式スパッタリング装置を 用いた 成

50

膜法である、V D S P (v a p o r d e p o s i t i o n s p u t t e r i n g) を用いてもよい。

【 0 1 2 1 】

また、上記の方法で成膜された膜の加工は、リソグラフィー法などを用いて行えばよい。リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、K r F エキシマレーザ光、A r F エキシマレーザ光、E U V (E x t r e m e U l t r a v i o l e t) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体(例えば水)を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

【 0 1 2 2 】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、加工される膜(以下、被加工膜という。)の上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。被加工膜のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することができる。上記被加工膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

【 0 1 2 3 】

上記のマスクを形成したのち、被加工膜の加工は、ドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【 0 1 2 4 】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ(C C P : C a p a c i t i v e l y C o u p l e d P l a s m a)エッチング装置を用いることができる。以下、当該エッチング装置を平行平板型ドライエッチング装置またはC C Pエッチング装置と呼ぶ場合がある。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なる高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ(I C P : I n d u c t i v e l y C o u p l e d P l a s m a)エッチング装置などを用いることができる。

【 0 1 2 5 】

まず、導電体108a、導電体108b、および絶縁体422の上に絶縁体112を成膜し、絶縁体112の上に絶縁体114を成膜する(図2参照。)。絶縁体112および絶縁体114の膜厚を調整することにより、容量素子100の静電容量を選択することができる。容量素子100に求められる静電容量に合わせて絶縁体112および絶縁体114の膜厚を適宜設定すればよい。

【 0 1 2 6 】

上述のように、絶縁体112と絶縁体114は互いの内部応力を相殺するように、一方

10

20

30

40

50

が圧縮応力を有し、他方が引っ張り応力を有することが好ましい。よって、絶縁体112と絶縁体114は、異なる成膜方法を用いることなどで、互いの組成を異なるものにすることが好ましい。

【0127】

本実施の形態では、例えば、絶縁体112として酸化シリコンを、成膜ガスにTEOSを用いたPECVD法によって成膜し、絶縁体114として酸化シリコンを、成膜ガスにTEOSを用いたAPCVD法によって成膜する。

【0128】

このようにして、絶縁体112と絶縁体114の積層膜の内部応力を低減し、基板の反りを低減することにより、後述する開口115を形成する際に、当該工程に用いるマスクの露光をより精密に行うことができる。

10

【0129】

また、絶縁体112は、導電体108aおよび導電体108bの上面に接するので、絶縁体112は絶縁体114より、導電体108aおよび導電体108bを酸化させる能力が低いことが好ましい。

【0130】

なお、本実施の形態では、絶縁体112と絶縁体114の2層構造にしているが、これに限られるものではない。基板の反りが発生しない程度に、内部応力が低減されているなら、絶縁体を3層以上の構造にしてもよいし、絶縁体112および絶縁体114のいずれか一方のみの単層構造としてもよい。

20

【0131】

次に、絶縁体114の上に絶縁体116を成膜する。絶縁体116は、開口115内でエッチングを行うときに、導電体110とともにエッチングストップとして機能することが好ましい。また、絶縁体116は、後の工程でCMP処理を行う際に、当該CMP処理のストッパーとして機能することが好ましい。よって、絶縁体116は、絶縁体114および後述する絶縁体118と構成元素、組成などが異なることが好ましい。例えば、絶縁体114および絶縁体118として酸化窒化シリコンを用いる場合、絶縁体116として窒化シリコンを用いればよい。本実施の形態では、例えば、絶縁体116を、PECVD法を用いて成膜する。なお、絶縁体116は必ずしも設ける必要はない。

【0132】

30

次に、絶縁体116の上に絶縁体118を成膜する（図3参照。）。絶縁体118は、後の工程でCMP処理を行う際に、当該CMP処理のストッパーとして機能することが好ましい。絶縁体118としては、絶縁体422に用いることができる絶縁体を用いればよい。例えば、導電体122Aとしてタンゲステンを用いる場合、絶縁体118として酸化窒化シリコンを用いればよい。本実施の形態では、例えば、絶縁体118を、PECVD法を用いて成膜する。なお、絶縁体118は必ずしも設ける必要はない。

【0133】

次に、絶縁体118の上に、ハードマスクとなる導電体122A、およびハードマスクとなる絶縁体124Aを成膜する（図4参照。）。導電体122Aおよび絶縁体124Aは、後の工程で開口115を形成するときのハードマスクとして機能する。本実施の形態では、例えば、導電体122Aとしてタンゲステンを、スパッタリング法を用いて成膜し、絶縁体124Aとして窒化シリコンを、スパッタリング法を用いて成膜する。なお、導電体122Aと絶縁体124Aも内部応力を調整して、基板の反りを低減することが好ましい。

40

【0134】

次に、絶縁体124Aの上にレジストマスクを形成し、当該レジストマスクを用いて導電体122Aおよび絶縁体124Aをエッチングして、ハードマスク122およびハードマスク124を形成する（図5参照。）。ハードマスク122およびハードマスク124は開口115を形成するためのハードマスクであり、導電体108bと重なる領域に、絶縁体118に達する開口を有する。また、絶縁体124Aの上に有機塗布膜を成膜しても

50

よい。有機塗布膜を絶縁体 124A とレジストマスクの間に形成することで、密着性を向上させることができる場合がある。

【0135】

なお、エッティングには、ドライエッティングを用いることが好ましい。当該ドライエッティングには、例えば、C₄F₆ガス、C₅F₆ガス、C₄F₈ガス、CF₄ガス、SF₆ガス、CHF₃ガス、C₁₂ガス、BC₁₃ガスまたはSiC₁₄ガスなどを単独または2以上以上のガスを混合して用いることができる。または、上記ガスに酸素ガス、ヘリウムガス、アルゴンガスまたは水素ガスなどを適宜添加することができる。これらのエッティングガスは、エッティングする対象（ハードマスク122、ハードマスク124および有機塗布膜）に合わせて適宜切り替えて用いることができる。ドライエッティング装置としては上記の装置を用いることができるが、対向する電極それぞれに周波数の異なる高周波電源を接続する構成の平行平板型ドライエッティング装置の使用が好ましい。

10

【0136】

ここで、上記のように、基板の反りを低減しておくことで、当該開口を精密に形成することができる。

【0137】

次に、ハードマスク122およびハードマスク124を用いてエッティングし、絶縁体422、絶縁体112、絶縁体114、絶縁体116、および絶縁体118に開口115を形成する（図6参照。）。開口115は、少なくとも一部が導電体108bと重なるように形成され、導電体108bおよび絶縁体420に達する開口である。上記の通り開口115はアスペクト比が大きいので、異方性エッティングを行うことが好ましい。なお、本工程のエッティング処理は、図5に示すハードマスク122およびハードマスク124の形成から外気に曝さず連続して行うことが好ましい。

20

【0138】

アスペクト比が大きい開口115を形成する異方性エッティングには、ドライエッティングを用いることが好ましい。当該ドライエッティングには、例えば、C₄F₆ガス、C₅F₆ガス、C₄F₈ガス、CF₄ガス、SF₆ガス、CHF₃ガス、C₁₂ガス、BC₁₃ガスまたはSiC₁₄ガスなどを単独または2以上以上のガスを混合して用いることができる。または、上記ガスに酸素ガス、ヘリウムガス、アルゴンガスまたは水素ガスなどを適宜添加することができる。これらのエッティングガスは、エッティングする対象（絶縁体118、絶縁体116、絶縁体114、絶縁体112、および絶縁体422）に合わせて適宜切り替えて用いることができる。

30

【0139】

ドライエッティング装置としては上記の装置を用いることができるが、対向する電極それぞれに周波数の異なる高周波電源を接続する構成の平行平板型ドライエッティング装置は、比較的容易に異方性エッティングを行うことができるので、当該ドライエッティング装置を用いることが好ましい。

【0140】

開口115を形成する際に、上記のように導電体108bの上部に湾曲面を形成することが好ましい。導電体108bの上部に湾曲面を形成するには、本ドライエッティング処理において、少なくとも導電体108bの上面が露出した段階で、イオン化したエッティングガスを導電体108bの上面に衝突させることが好ましい。これにより、導電体108bの上部の角を削り、湾曲面を形成することができる。

40

【0141】

平行平板型ドライエッティング装置などでは、基板を設置した側の電極で陰極降下を形成し、セルフバイアスを生じさせることができる。このとき、チャンバー中のプラズマ化したエッティングガスに含まれる陽イオンは、セルフバイアスに引き寄せられて、基板側に衝突する。よって、セルフバイアスを大きくすることにより、導電体108bの上面により強くイオンを衝突させて、導電体108bの上部に湾曲面を比較的容易に形成することができる。セルフバイアスを大きくするには、例えば、基板を設置した側の電極に大きい電

50

力（例えば、当該電極に対向する電極に印加した電力より大きい電力）を印加すればよい。ここで、上記のように、対向する電極それぞれに周波数の異なる高周波電源を接続する構成の平行平板型ドライエッティング装置を用いることで、プラズマ放電を行うための高周波電源と、セルフバイアスをかけるための高周波電源と、をそれぞれ独立して制御することができます。

【0142】

また、チャンバー中の陽イオンの平均自由行程を長くすることにより、当該陽イオンを基板面に垂直に近い角度で入射させることができる。これにより、開口115の深い位置でも当該陽イオンを開口115の底面に衝突させることができる。チャンバー中の陽イオンの平均自由行程を長くするには、例えば、プラズマの密度が小さくなり過ぎない程度にチャンバー内の圧力を低くすることが好ましい。

10

【0143】

また、チャンバー中の陽イオンの量を増やすことにより、導電体108bの上部の湾曲面を比較的容易に形成することができる。チャンバー中の陽イオンの量を増やすには、例えば、エッティングガスとして、陽イオン化しやすく、反応性の低いアルゴンガスを含ませればよい。このとき、アルゴンガスの流量は、エッティングガス全体の流量の50%以上、好ましくは70%以上、より好ましくは90%以上とすればよい。

【0144】

このように、少なくとも導電体108bの上面が露出した段階で、イオン化したエッティングガスを導電体108bの上面に衝突させることにより、導電体108bの上部の角を削り取り、湾曲面を形成することができる。このとき、導電体108bの上部だけでなく、絶縁体420の上面もイオンの衝突に曝されるため、絶縁体420の開口115と重なる領域は、絶縁体420の他の領域より膜厚が小さくなる場合がある。つまり、絶縁体420の当該領域は凹んだ形状になる場合がある。

20

【0145】

また、上記エッティング工程において、少なくとも導電体108bの上面が露出した段階で、エッティングガスに、炭素を多く含むガスを添加することが好ましい。具体的には、当該炭素を多く含むガスは、炭素とフッ素を含み、かつ炭素の原子数比がフッ素の原子数比の50%以上であることが好ましい。このような炭素を多く含むガスとしては、例えば、C₄F₆ガス、C₅F₆ガス、またはC₄F₈ガスなどを、単独または2以上のガスを混合して用いることができる。または、上記ガスに酸素ガス、ヘリウムガス、アルゴンガスまたは水素ガスなどを適宜添加することができる。

30

【0146】

このような炭素を多く含むガスを添加してエッティングを行うことにより、当該ガスがプラズマで分解され、炭素化合物が開口115の底面に堆積する。つまり、開口115の底面では陽イオンの衝突と、炭素化合物の堆積が並行して生じる。これにより、陽イオンは堆積した炭素分子を介して絶縁体420に衝突するので、絶縁体420の開口115と重なる領域が、過剰にエッティングされて、凹んだ部分が貫通するのを防ぐことができる。特に、陽イオンの衝突により、開口115が絶縁体420を貫通し、絶縁体410に達するのを防ぐことができる。

40

【0147】

また、エッティングガスに、上記のような炭素を多く含むガスを添加する場合、さらに酸素ガスをエッティングガスに添加することが好ましい。炭素を多く含むガスと、酸素ガスが存在している雰囲気でプラズマを生成することで、炭素を多く含むガスに含まれる炭素が、酸素と結合して炭素酸化物となる。これにより、炭素を多く含むガスから生成される、上記炭素化合物の生成量が低減する。つまり、エッティングガス中の炭素を多く含むガスの流量を多くすると炭素化合物の量が多くなり、エッティングガス中の酸素ガスの流量を多くすると炭素化合物の量が少なくなる。よって、エッティングガス中の炭素を多く含むガスと、酸素ガスの流量によって、炭素化合物の堆積量を調整することができる。

【0148】

50

また、上記の炭素化合物は、開口 115 の内壁にも付着する。開口 115 の内壁に付着した炭素化合物は、開口 115 の内壁の保護膜として機能することができる。これにより開口 115 の内壁が過剰にエッティングされ、開口 115 の内径が過剰に拡張されるのを防ぐことができる。よって、上記エッティング工程において、エッティングガスに、上記の炭素を多く含むガスを添加することで、開口 115 のアスペクト比を比較的容易に大きくすることができる。

【0149】

また、開口 115 のエッティングが進行するにつれ、開口 115 のアスペクト比が増大する。開口 115 のアスペクト比が大きくなるにつれ、上記炭素化合物が開口 115 の深い位置に到達しにくくなる。これは、絶縁体 420 の貫通、または開口 115 のボーリング形状などの、形状不良を発生させる要因となりうる。このため、上記エッティング工程において、エッティングの進行に合わせて、エッティングガス（例えば、上記炭素を多く含むガス）の流量を段階的に増やすことが好ましい。これにより、開口 115 の深い位置でも、開口 115 の浅い位置と同程度の炭素化合物の供給を行うことが可能になる。これにより、開口 115 のエッティングを、絶縁体 420 の上面、または絶縁体 420 の膜中で停止させることができる。

10

【0150】

なお、エッティング後に、ハードマスク 124、およびハードマスク 124 上のレジストマスクを除去することが好ましい。当該レジストマスクの除去は、アッシングなどのドライエッティング処理を行う、またはウェットエッティング処理を行う、またはドライエッティング処理後にウェットエッティング処理を行う、またはウェットエッティング処理後にドライエッティング処理を行うことによってできる。また、上記エッティング工程の途中で当該レジストマスクおよびハードマスク 124 が除去されるようにしてもよい。

20

【0151】

次に、開口 115 およびハードマスク 122 を覆って導電体 110A を成膜する（図 7 参照。）。導電体 110A は後の工程で容量素子 100 の下部電極になる。導電体 110A は、アスペクト比の大きい開口 115 の内壁および底面に接して形成されることが好ましい。このため、導電体 110A は、ALD 法または CVD 法などの被覆性の良い成膜方法を用いて成膜することが好ましく、本実施の形態では、例えば、ALD 法を用いて窒化チタンを成膜する。

30

【0152】

また、ALD 法などの成膜方法を用いて導電体 110A を成膜することにより、導電体 108b の上部の湾曲面に対して被覆性良く導電体 110A を成膜することができる。これにより、導電体 110 と導電体 108b の接触抵抗を低減することができる。

【0153】

次に、導電体 110A の上に充填剤 126 を成膜する（図 7 参照。）。充填剤 126 は、この後の工程で行う CMP 处理ができる程度に、開口 115 を埋め込むことができればよい。よって、開口 115 内に空洞などが形成されていてもよい。充填剤 126 は絶縁体を用いてもよいし、導電体を用いてもよい。本実施の形態では、例えば、充填剤 126 として、APCVD 法を用いて酸化シリコンを成膜する。

40

【0154】

次に、CMP 处理を行って、絶縁体 116 より上の層を除去し、導電体 110 を形成する。（図 8 参照。）。上記のように、絶縁体 118 および絶縁体 116 は CMP 处理に対するストッパーとして機能するので、CMP 处理を段階的に行うことができる。例えば、1 段階目で絶縁体 118 より上に位置する、充填剤 126、導電体 110A、およびハードマスク 122 を除去し、2 段階目で絶縁体 116 より上に位置する、充填剤 126、導電体 110A、および絶縁体 118 を除去すればよい。

【0155】

これにより、開口 115 の縁において、導電体 110 と絶縁体 116 が接するように形成されるので、絶縁体 116 と導電体 110 によって、絶縁体 114、絶縁体 112、絶

50

縁体 422、および絶縁体 420 を覆うことができる。

【0156】

次に、エッティング処理を行って、開口 115 内の充填剤 126 を除去する（図 9 参照）。エッティング処理としては、ウェットエッティング法およびドライエッティング法のいずれを用いてもよいが、開口 115 内の充填剤 126 を除去するにあたって、ウェットエッティング法を用いた方が容易な場合がある。ウェットエッティングを用いる場合、エッチャントとしてフッ酸系の溶液などを用いればよい。

【0157】

ここで、上記のように、絶縁体 114、絶縁体 112、絶縁体 422、および絶縁体 420 は、絶縁体 116 および導電体 110 によって覆われているので、エッティングされるのを防ぐことができる。

10

【0158】

次に、導電体 110 および絶縁体 116 の上に絶縁体 130 を成膜する（図 10 参照）。絶縁体 130 は後の工程で容量素子 100 の誘電体になる。絶縁体 130 は、アスペクト比の大きい開口 115 の内側に設けられた導電体 110 に接して形成されることが好ましい。このため、絶縁体 130 は、ALD 法または CVD 法などの被覆性の良い成膜方法を用いて成膜することが好ましく、本実施の形態では、例えば、ALD 法を用いて酸化ハフニウムを成膜する。

【0159】

また、ALD 法などの成膜方法を用いて絶縁体 130 を成膜し、被覆性良く導電体 110 を覆うことで、容量素子 100 の上部電極と下部電極が短絡することを防ぐことができる。

20

【0160】

また、絶縁体 130 として上記の Higaki 材料、特にハフニウムを含む酸化物を用いる場合は、結晶構造を有せしめ、比誘電率を増加させるために、加熱処理を行うことができる。

【0161】

次に、絶縁体 130 の上に導電体 120aA を成膜し、導電体 120aA の上に導電体 120bA を成膜する（図 10 参照。）。導電体 120aA および導電体 120bA は後の工程で容量素子 100 の上部電極になる。少なくとも導電体 120aA は、アスペクト比の大きい開口 115 の内側に設けられた絶縁体 130 に接して形成されることが好ましい。このため、導電体 120aA は、ALD 法または CVD 法などの被覆性の良い成膜方法を用いて成膜することが好ましく、本実施の形態では、例えば、ALD 法を用いて窒化チタンを成膜する。また、導電体 120bA は、CVD 法などの埋め込み性の良い成膜方法を用いて成膜することが好ましく、本実施の形態では、例えば、金属 CVD 法を用いてタンゲステンを成膜する。

30

【0162】

なお、金属 CVD 法を用いて導電体 120bA を成膜した場合、図 10 に示すように、導電体 120bA の上面の平均面粗さが大きくなることがある。また、上面視における、導電体 120bA の、開口 115 の中央部近傍と重なる領域が、開口 115 に合わせて凹む場合がある。

40

【0163】

このように、導電体 120aA および導電体 120bA を成膜することで、開口 115 中に埋め込み性良く、容量素子 100 の上部電極を設けることができるので、容量素子 100 の静電容量を大きくすることができる。

【0164】

なお、本実施の形態では、導電体 120aA と導電体 120bA の 2 層構造にしているが、これに限られるものではない。開口 115 中に埋め込み性良く、容量素子 100 の上部電極を設けられるなら、導電体を 3 層以上の構造にしてもよいし、導電体 120aA と導電体 120bA のいずれか一方のみの単層構造としてもよい。

50

【0165】

次に、導電体120bAの上に膜128を成膜することが好ましい(図11参照。)。膜128は、この後の工程で行うCMP処理ができる程度の膜厚を有することが好ましい。膜128は絶縁体を用いてもよいし、導電体を用いてもよい。本実施の形態では、例えば、膜128として、PECVD法を用いて酸化窒化シリコンを成膜する。

【0166】

次に、CMP処理を行って、膜128を除去し、導電体120bAの上面を露出させる。(図12参照。)。このとき、導電体120bAの上面もCMP処理が行われ、上面の平坦性が向上した導電体120bBが形成される。このように、導電体120bAの上に膜128を積層してCMP処理を行うことにより、少なくとも導電体120bBの絶縁体116と重なる領域の、上面の平均面粗さ(Ra)を4nm以下、好ましくは2nm以下、より好ましくは1nm以下にすることができる。このように、導電体120bBの上面の平均面粗さを小さくすることにより、後の工程で行う導電体120aAおよび導電体120bBのフォトリソグラフィをより精密に行うことができる。なお、上記のように、上面視における、導電体120bAの、開口115の中央部近傍と重なる領域が凹んでいる場合、当該領域の平坦性が向上されない場合がある。

10

【0167】

なお、導電体120bBの上面の平坦性が十分に得られるならば、膜128を成膜せずに、導電体120bAに直接CMP処理を行ってもよい。

【0168】

次に、導電体120bBの上に、ハードマスクとなる絶縁体132Aを成膜する(図12参照。)。絶縁体132Aは、後の工程で導電体120aおよび導電体120bを形成するときのハードマスクとして機能する。本実施の形態では、例えば、絶縁体132Aとして酸化窒化シリコンを、PECVD法を用いて成膜する。

20

【0169】

次に、絶縁体132Aの上にレジストマスクを形成し、当該レジストマスクを用いて絶縁体132Aをエッティングして、ハードマスク132を形成する(図13参照。)。上記の通り、導電体120bBの上面の平均面粗さを低減しておくことで、フォトリソグラフィ法を用いて比較的容易にレジストマスクを形成することができる。ハードマスク132は、導電体120aおよび導電体120bを形成するためのハードマスクであり、開口115を覆うように形成される。ここで、ハードマスク132は、開口115からはみ出して絶縁体116と重なる領域を有することが好ましい。なお、エッティングには、ドライエッティングを用いることができる。

30

【0170】

次に、ハードマスク132を用いて、導電体120aAおよび導電体120bBをエッティングして、導電体120aおよび導電体120bを形成する(図13参照。)。エッティングとしては、ウェットエッティング処理またはドライエッティング処理を行うことができる。本実施の形態では、ドライエッティング処理を行う。このようにして、導電体110、絶縁体130、および導電体120を有する容量素子100が形成される。

40

【0171】

次に、エッティング処理を行って、ハードマスク132を除去する(図14参照。)。エッティングとしては、ウェットエッティング処理またはドライエッティング処理などを行うことができる。本実施の形態では、ウェットエッティング処理を行う。このとき、絶縁体130の導電体120と重ならない領域の上部が当該ウェットエッティング処理によって除去される場合がある。これにより、絶縁体130の導電体120と重なる領域の膜厚が、それ以外の領域より厚くなる場合がある。

【0172】

次に、導電体120および絶縁体130の上に絶縁体150を成膜することが好ましい(図15参照。)。ここで絶縁体150は層間絶縁膜として機能する。本実施の形態では、例えば、絶縁体150として酸化窒化シリコンを、PECVD法によって成膜する。

50

【0173】

次に、絶縁体422、絶縁体112、絶縁体114、絶縁体116、絶縁体130、および絶縁体150に開口117を形成する(図16参照。)。開口117は、少なくとも一部が導電体108aと重なるように形成され、導電体108aおよび絶縁体420に達する開口である。上記の通り開口117はアスペクト比が大きいので、異方性エッチングを行うことが好ましい。

【0174】

開口117は、開口115と同様の方法を用いてエッチングすればよい。これにより、アスペクト比の大きい開口117を形成することができる。また、開口117と重なる領域において、上記の導電体108bと同様に、導電体108aの上部に湾曲面を形成することができる。

10

【0175】

次に、開口117に埋め込むように、導電体162aおよび導電体162bを形成する(図16参照。)。導電体162aの形成は、導電体120aについての記載を参照することができる。また、導電体162bの形成は、導電体120bについての記載を参照することができる。このようにして、導電体108aと電気的に接続される接続部160を形成することができる。

【0176】

以上により、トランジスタ400および容量素子100を有する半導体装置を作製することができる(図16参照。)。図2乃至図16に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ400の上に容量素子100の少なくとも一部が重なるように形成できるので、半導体装置の占有面積を増やすことなく、静電容量を大きくすることができます。また、上記の容量素子、および半導体装置を生産性良く作製することができる。

20

【0177】

<半導体装置の変形例>

本実施の形態に示す半導体装置は図1に示すものに限られるものではない。以下では、図17から図19を用いて、本実施の形態に示す半導体装置の変形例について説明する。

【0178】

まず、図17(A)から図17(D)を用いて、導電体108b近傍の構造が、図1と異なる半導体装置について説明する。

30

【0179】

図17(A)に示す半導体装置は、導電体108bが導電体108baと導電体108bbの積層構造になっている点において、図1に示す半導体装置と異なる。ここで、導電体108bbは、タンゲステン、銅、またはアルミニウムを主成分とする、比較的電気伝導性の高い導電性材料を用いてもよい。また、導電体108baは、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。該導電性材料を用いることで、絶縁体410などから水素、水などの不純物が、導電体108baおよび導電体108bbを通じて酸化物406に混入するのを抑制することができる。また、導電体108baは、例えばALD法またはCVD法などを用いて成膜することで被覆性良く成膜することができる。

40

【0180】

図17(B)に示す半導体装置は、導電体108bが埋め込まれた絶縁体410および絶縁体420の開口の内壁を、絶縁体109bが覆っている点において、図1に示す半導体装置と異なる。ここで、絶縁体109bは、絶縁体420に用いることができる絶縁体を用いることが好ましい。絶縁体109bとしては、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、絶縁体410などから水素、水などの不純物が

50

、導電体 108b を通じて酸化物 406 に混入するのを抑制することができる。また、絶縁体 109b は、例えば A L D 法または C V D 法などを用いて成膜することで被覆性良く成膜することができる。

【 0181 】

図 17 (C) に示す半導体装置は、導電体 108b の一部が開口 115 と重なっていない点において、図 1 に示す半導体装置と異なる。このように、本実施の形態に示す半導体装置は、少なくとも開口 115 、言い換えると容量素子 100 が導電体 108b の一部に重なる構成にすればよい。図 17 (C) に示すように、導電体 108b の上部の開口 115 と重なる領域には湾曲面が形成されるが、導電体 108b の上部の開口 115 と重ならない領域には湾曲面が形成されず、導電体 108b の上部の角が残っている。

10

【 0182 】

図 17 (D) に示す半導体装置は、導電体 108b の上部に角が残っている点において、図 1 に示す半導体装置と異なる。導電体 110 と導電体 108b の接触抵抗を十分低減できる場合、導電体 108b の上部に角を有する形状にしてもよい。このように、導電体 108b の上部に角を残したままにするには、例えば、図 6 に示す開口 115 を形成する工程において、セルフバイアスを小さくして、導電体 108b の上面に衝突するイオンの衝撃を弱くすればよい。

【 0183 】

次に、図 18 (A) から図 18 (E) を用いて、導電体 108a 近傍の構造が、図 1 と異なる半導体装置について説明する。

20

【 0184 】

図 18 (A) に示す半導体装置は、導電体 108a が導電体 108aa と導電体 108ab の積層構造になっている点において、図 1 に示す半導体装置と異なる。ここで、導電体 108aa は、タンゲステン、銅、またはアルミニウムを主成分とする、比較的電気伝導性の高い導電性材料を用いてもよい。また、導電体 108aa は、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。該導電性材料を用いることで、絶縁体 410 などから水素、水などの不純物が、導電体 108aa および導電体 108ab を通じて酸化物 406 に混入するのを抑制することができる。また、導電体 108aa は、例えば A L D 法または C V D 法などを用いて成膜することで被覆性良く成膜することができる。

30

【 0185 】

図 18 (B) に示す半導体装置は、導電体 108a が埋め込まれた絶縁体 410 および絶縁体 420 の開口の内壁を、絶縁体 109a が覆っている点において、図 1 に示す半導体装置と異なる。ここで、絶縁体 109a は、絶縁体 420 に用いることができる絶縁体を用いることが好ましい。絶縁体 109a としては、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、絶縁体 410 などから水素、水などの不純物が、導電体 108a を通じて酸化物 406 に混入するのを抑制することができる。また、絶縁体 109a は、例えば A L D 法または C V D 法などを用いて成膜することで被覆性良く成膜することができる。

40

【 0186 】

図 18 (C) に示す半導体装置は、開口 117 が導電体 108a の全体と重なる点において、図 1 に示す半導体装置と異なる。図 18 (C) に示すように、導電体 108a の上部全体と開口 117 が重なっているので、導電体 108a の上部に角は残存せず、湾曲面が形成されている。

【 0187 】

図 18 (D) に示す半導体装置は、開口 117 が導電体 108a の上面の端部と重なっていない点において、図 1 に示す半導体装置と異なる。図 18 (D) に示すように、導電

50

体 108a の上面の端部に開口 117 が重なっていないので、導電体 108a の上部に角が形成されている。また、図 18 (D) に示すように、導電体 108a の上面の中央部が凹んだ形状になる場合がある。

【0188】

図 18 (E) に示す半導体装置は、導電体 108a の上部に角が残っている点において、図 1 に示す半導体装置と異なる。導電体 162a と導電体 108a の接触抵抗を十分低減できる場合、導電体 108a の上部に角を有する形状にしてもよい。このように、導電体 108a の上部に角を残したままにするには、例えば、開口 117 を形成する工程において、セルフバイアスを小さくして、導電体 108a の上面に衝突するイオンの衝撃を弱くすればよい。

10

【0189】

また、図 1 に示す半導体装置は、トランジスタと容量素子と、を一つずつ有する構成としたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図 19 に示すように、トランジスタ 400a および容量素子 100a と、トランジスタ 400b および容量素子 100b と、を有する構成にしてもよい。ここで、トランジスタ 400a とトランジスタ 400b が導電体 108a および接続部 160 を共有する構成にしてもよい。図 19 に示すトランジスタ 400a およびトランジスタ 400b はトランジスタ 400 の記載を参照することができ、容量素子 100a および容量素子 100b は容量素子 100 の記載を参照することができる。

【0190】

20

図 19 に示す半導体装置は、例えば、後述する記憶装置のメモリセルなどに用いることができる。トランジスタ 400a とトランジスタ 400b が導電体 108a および接続部 160 を共有する構成にすることにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、半導体装置をさらに高集積化させることができる。よって、当該半導体装置を用いた記憶装置の単位面積当たりの記憶容量を増加させることができる。

【0191】

<トランジスタの構成例>

次に、上記のトランジスタ 400 の構成例について、図 20 から図 26 を用いて説明する。図 20 (A) は、本発明の一態様に係るトランジスタ 400a の上面図である。また、図 20 (B) は、図 20 (A) に A1 - A2 の一点鎖線で示す部位の断面図である。つまりトランジスタ 400a のチャネル長方向の断面図を示す。図 20 (C) は、図 20 (A) に A3 - A4 の一点鎖線で示す部位の断面図である。つまりトランジスタ 400a のチャネル幅方向の断面図を示す。図 20 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、トランジスタのチャネル長方向とは、基板と水平な面内において、ソース (ソース領域またはソース電極) 及びドレイン (ドレイン領域またはドレイン電極) 間において、キャリアが移動する方向を意味し、チャネル幅方向は、基板と水平な面内において、チャネル長方向に対して垂直の方向を意味する。

30

【0192】

図 20 (A) (B) (C) に示すように、トランジスタ 400a は、導電体 310 (導電体 310a 及び導電体 310b) と、導電体 310 の上に配置された絶縁体 302、絶縁体 303 及び絶縁体 402 と、絶縁体 302、絶縁体 303 及び絶縁体 402 の上に配置された酸化物 406a と、酸化物 406a の上に配置された酸化物 406b と、酸化物 406b の上に、離間して配置された導電体 416a1 及び導電体 416a2 と、酸化物 406b、導電体 416a1 及び導電体 416a2 の上に配置された酸化物 406c と、酸化物 406c の上に配置された絶縁体 412 と、少なくとも一部が酸化物 406b と重なるように、絶縁体 412 の上に配置された導電体 404 (導電体 404a、導電体 404b 及び導電体 404c) と、を有する。

40

【0193】

また、上記のように、絶縁体 402、酸化物 406a、酸化物 406b、酸化物 406

50

c、導電体416a1、導電体416a2、絶縁体412、および導電体404などの上に絶縁体410が配置される。また、絶縁体410、バリア膜417a1、およびバリア膜417a2に形成された開口に導電体108aおよび導電体108bが形成される。また、図20には図示していないが、上記のように絶縁体410の上に絶縁体420が配置される。

【0194】

導電体310は、絶縁体301に形成された開口に設けられている。絶縁体301の開口の内壁に接して導電体310aが形成され、さらに内側に導電体310bが形成されている。ここで、導電体310aおよび導電体310bの上面の高さと、絶縁体301の上面の高さは同程度にできる。導電体310は、ゲート電極の一方として機能できる。

10

【0195】

ここで、導電体310aは、水または水素などの不純物が透過しにくい導電性材料を用いることが好ましい。また、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。これにより、絶縁体401より下層から水素、水などの不純物が導電体310を通じて上層に拡散するのを抑制することができる。なお、導電体310aは、水素原子、水素分子、水分子、酸素原子、酸素分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、または銅原子などの不純物の少なくとも一が透過しにくいことが好ましい。また、以下において、不純物が透過しにくい導電性材料について記載する場合も同様である。導電体310aが酸素の透過を抑制する機能を持つことにより、導電体310bが酸化により導電率が低下することを防ぐことができる。

20

【0196】

絶縁体301は、基板(図示せず)の上に設けられた絶縁体401の上に配置されている。絶縁体401は、下層から水または水素などの不純物がトランジスタに混入するのを防ぐバリア絶縁膜として機能できる。絶縁体401は、水または水素などの不純物が透過しにくい絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体401より上層に拡散するのを抑制することができる。なお、絶縁体401は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の少なくとも一が透過しにくいことが好ましい。また、以下において、不純物が透過しにくい絶縁性材料について記載する場合も同様である。

30

【0197】

また、絶縁体401は、酸素(例えば、酸素原子または酸素分子など)が透過しにくい絶縁性材料を用いることが好ましい。これにより、絶縁体402などに含まれる酸素が下方拡散するのを抑制することができる。これにより、酸化物406bに効果的に酸素を供給することができる。

【0198】

また、絶縁体303は、水または水素などの不純物、および酸素が透過しにくい絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体303より下層から水素、水などの不純物が絶縁体303より上層に拡散するのを抑制することができる。さらに、絶縁体402などに含まれる酸素が下方拡散するのを抑制することができる。

40

【0199】

絶縁体402は、加熱により酸素が放出される絶縁体を用いて形成することができる。具体的には、昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))にて、酸素原子に換算した酸素の脱離量が $1.0 \times 10^{-18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{-20} \text{ atoms/cm}^3$ 以上である絶縁体を用いることが好ましい。なお、加熱により放出される酸素を「過剰酸素」ともいう。このような絶縁体402を酸化物406aに接して設けることにより、酸化物406bに効果的に酸素を供給することができる。なお、上記TDS分析時における膜の表面温

50

度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。

【0200】

また、絶縁体 402 中の水、水素または窒素酸化物などの不純物濃度が低減されていることが好ましい。例えば、絶縁体 402 の水素の脱離量は、TDSにおいて、50 から 500 の範囲において、水素分子に換算した脱離量が、絶縁体 402 の面積当たりに換算して、 $2 \times 10^{15} \text{ molecules/cm}^2$ 以下、好ましくは $1 \times 10^{15} \text{ molecules/cm}^2$ 以下、より好ましくは $5 \times 10^{14} \text{ molecules/cm}^2$ 以下であればよい。

【0201】

絶縁体 302、絶縁体 303、および絶縁体 402 は、ゲート絶縁膜として機能できる。なお、トランジスタ 400a では、ゲート絶縁膜として絶縁体 302、絶縁体 303、および絶縁体 402 が積層された絶縁膜を用いているが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、ゲート絶縁膜として、絶縁体 302、絶縁体 303、および絶縁体 402 のいずれか 2 層または 1 層を用いてもよい。

【0202】

次に、酸化物 406a、酸化物 406b 及び酸化物 406c に用いることができる、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）について説明する。なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxy nitride）と呼称してもよい。

【0203】

酸化物 406a、酸化物 406b 及び酸化物 406c として用いる金属酸化物は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、元素 M（元素 M は、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、またはマグネシウムなどから選ばれた一種、または複数種）が含まれていることが好ましい。

【0204】

また、上記金属酸化物は、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上である。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0205】

ここで、金属酸化物が、インジウム、元素 M 及び亜鉛を有する場合を考える。なお、金属酸化物が有するインジウム、元素 M、及び亜鉛の原子数比のそれぞれの項を [In]、[M]、および [Zn] とする。

【0206】

以下に、図 26 (A)、図 26 (B)、および図 26 (C) を用いて、酸化物 406a、酸化物 406b 及び酸化物 406c に用いることができる金属酸化物が有するインジウム、元素 M および亜鉛の原子数比の好ましい範囲について説明する。なお、図 26 (A)、図 26 (B)、および図 26 (C) には、酸素の原子数比については記載しない。

【0207】

図 26 (A)、図 26 (B)、および図 26 (C) において、破線は、 $[In] : [M] : [Zn] = (1 + \dots) : (1 - \dots) : 1$ の原子数比 (-1 1) となるライン、 $[In] : [M] : [Zn] = (1 + \dots) : (1 - \dots) : 2$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \dots) : (1 - \dots) : 3$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \dots) : (1 - \dots) : 4$ の原子数比となるライン、および $[In] : [M] : [Zn] = (1 + \dots) : (1 - \dots) : 5$ の原子数比となるラインを表す。

10

20

30

40

50

【0208】

また、一点鎖線は、 $[In] : [M] : [Zn] = 5 : 1 : 0$ の原子数比となるライン、 $[In] : [M] : [Zn] = 2 : 1 : 0$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 1 : 0$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 2 : 0$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 3 : 0$ の原子数比となるライン、および $[In] : [M] : [Zn] = 1 : 4 : 0$ の原子数比となるラインを表す。

【0209】

また、図26(A)、図26(B)、および図26(C)に示す、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比、およびその近傍値の金属酸化物は、スピネル型の結晶構造をとりやすい。

10

【0210】

また、金属酸化物中に複数の相が共存する場合がある(二相共存、三相共存など)。例えば、原子数比が $[In] : [M] : [Zn] = 0 : 2 : 1$ の近傍値である場合、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、原子数比が $[In] : [M] : [Zn] = 1 : 0 : 0$ の近傍値である場合、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。金属酸化物中に複数の相が共存する場合、異なる結晶構造の間ににおいて、結晶粒界が形成される場合がある。

【0211】

図26(A)に示す領域Aは、金属酸化物が有する、インジウム、元素M、および亜鉛の原子数比の好ましい範囲の一例について示している。

20

【0212】

金属酸化物は、インジウムの含有率を高くすることで、金属酸化物のキャリア移動度(電子移動度)を高くすることができます。従って、インジウムの含有率が高い金属酸化物はインジウムの含有率が低い金属酸化物と比較してキャリア移動度が高くなる。

【0213】

一方、金属酸化物中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、原子数比が $[In] : [M] : [Zn] = 0 : 1 : 0$ 、およびその近傍値である場合(例えば図26(C)に示す領域C)は、絶縁性が高くなる。

【0214】

例えば、酸化物406bに用いる金属酸化物は、キャリア移動度が高い、図26(A)の領域Aで示される原子数比を有することが好ましい。一方、酸化物406a及び酸化物406cに用いる金属酸化物は、絶縁性が比較的高い、図26(C)の領域Cで示される原子数比を有することが好ましい。

30

【0215】

特に、図26(B)に示す領域Bでは、領域Aの中でも、キャリア移動度が高く、信頼性が高い優れた金属酸化物が得られる。

【0216】

なお、領域Bは、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から $4 : 1$ 、およびその近傍値を含む。近傍値には、例えば、 $[In] : [M] : [Zn] = 5 : 3 : 4$ が含まれる。また、領域Bは、 $[In] : [M] : [Zn] = 5 : 1 : 6$ 、およびその近傍値、および $[In] : [M] : [Zn] = 5 : 1 : 7$ 、およびその近傍値を含む。

40

【0217】

また、金属酸化物として、In-M-Zn酸化物を用いる場合、スパッタリングターゲットとしては、多結晶のIn-M-Zn酸化物を含むターゲットを用いると好ましい。なお、成膜される金属酸化物の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。例えば、金属酸化物の成膜に用いるスパッタリングターゲットの組成が $In : Ga : Zn = 4 : 2 : 4 : 1$ [原子数比]の場合、成膜される金属酸化物の組成は、 $In : Ga : Zn = 4 : 2 : 3$ [原子数比]の近傍となる場合がある。また、金属酸化物の成膜に用いるスパッタリングターゲットの組

50

成が $In : Ga : Zn = 5 : 1 : 7$ [原子数比] の場合、成膜される金属酸化物の組成は、 $In : Ga : Zn = 5 : 1 : 6$ [原子数比] の近傍となる場合がある。

【0218】

なお、金属酸化物が有する性質は、原子数比によって一義的に定まらない。同じ原子数比であっても、形成条件により、金属酸化物の性質が異なる場合がある。例えば、金属酸化物をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。また、成膜時の基板温度によっては、ターゲットの [Zn] よりも、膜の [Zn] が小さくなる場合がある。従って、図示する領域は、金属酸化物が特定の特性を有する傾向がある原子数比を示す領域であり、領域 A 乃至領域 C の境界は厳密ではない。

10

【0219】

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア密度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。例えば、酸化物 406b におけるキャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。高純度真性または実質的に高純度真性である金属酸化物は、キャリア発生源が少ないため、キャリア密度を低くすることができる。

【0220】

また、高純度真性または実質的に高純度真性である金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

20

【0221】

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0222】

従って、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、アルカリ金属、アルカリ土類金属、シリコン等がある。

30

【0223】

ここで、金属酸化物における各不純物の影響について説明する。

【0224】

金属酸化物において、第 14 族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の二次イオン質量分析法 (SIMS : Secondary Ion Mass Spectrometry) により得られる濃度を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

40

【0225】

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMS により得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下とする。

【0226】

50

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損 (V_o) を形成する場合がある。該酸素欠損 (V_o) に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することができる。従って、水素が含まれている金属酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、S I M S により得られる水素濃度を、 1×10^{20} atoms / cm³ 未満、好ましくは 1×10^{19} atoms / cm³ 未満、より好ましくは 5×10^{18} atoms / cm³ 未満、さらに好ましくは 1×10^{18} atoms / cm³ 未満とする。

【0227】

なお、金属酸化物中の酸素欠損 (V_o) は、酸素を金属酸化物に導入することで、低減することができる。つまり、金属酸化物中の酸素欠損 (V_o) に、酸素が補填されることで、酸素欠損 (V_o) は消失する。従って、金属酸化物中に、酸素を拡散させることで、トランジスタの酸素欠損 (V_o) を低減し、信頼性を向上させることができる。

【0228】

なお、酸素を金属酸化物に導入する方法として、例えば、金属酸化物に接して、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を設けることができる。つまり、酸化物には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。特に、トランジスタに金属酸化物を用いる場合、トランジスタ近傍の下地膜や、層間膜などに、過剰酸素領域を有する酸化物を設けることで、トランジスタの酸素欠損を低減し、信頼性を向上させることができる。

【0229】

不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域などに用いることで、安定した電気特性を付与することができる。

【0230】

また、酸化物 406b に用いられる金属酸化物は、C A C (C l o u d - A l i g n e d C o m p o s i t e) 構成を有することが好ましい。以下では、本発明の一態様で開示されるトランジスタに用いることができる C A C (C l o u d - A l i g n e d C o m p o s i t e) - O S の構成について説明する。

【0231】

C A C - O S または C A C - m e t a l o x i d e とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、C A C - O S または C A C - m e t a l o x i d e を、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（On / Off させる機能）を C A C - O S または C A C - m e t a l o x i d e に付与することができる。C A C - O S または C A C - m e t a l o x i d e において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0232】

また、C A C - O S または C A C - m e t a l o x i d e は、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0233】

また、C A C - O S または C A C - m e t a l o x i d e において、導電性領域と、絶縁性領域とは、それぞれ 0.5 nm 以上 10 nm 以下、好ましくは 0.5 nm 以上 3 nm 以下のサイズで材料中に分散している場合がある。

10

20

30

40

50

【0234】

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

10

【0235】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

【0236】

また、上記金属酸化物は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

20

【0237】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

【0238】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

30

【0239】

また、CAAC-OSは、インジウム、および酸素を有する層(以下、In層)と、元素M、亜鉛、および酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

40

【0240】

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。

50

【0241】

n c - O S は、微小な領域（例えば、1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。

【0242】

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a - l i k e O S は、鬆または低密度領域を有する。即ち、a - l i k e O S は、n c - O S および C A A C - O S と比べて、結晶性が低い。

10

【0243】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a - l i k e O S 、n c - O S 、C A A C - O S のうち、二種以上を有していてもよい。

【0244】

酸化物 406a および酸化物 406c に用いる金属酸化物は、元素 M（元素 M は、Al、Ga、Si、B、Y、Ti、Fe、Ni、Ge、Zr、Mo、La、Ce、Nd、Hf、Ta、W、Mg、V、Be、または Cu のいずれか一つ、または複数）を含む酸化物である。酸化物 406a および酸化物 406c は、例えば、In - Ga - Zn 酸化物、酸化ガリウム、酸化ホウ素などを用いることができる。

20

【0245】

ここで、酸化物 406a および酸化物 406c に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 406b に用いる金属酸化物における、構成元素中の元素 M の原子数比より大きいことが好ましい。また、酸化物 406a および酸化物 406c に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 406b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。

【0246】

また、酸化物 406a および酸化物 406c に用いる金属酸化物は、非単結晶構造であると好ましい。非単結晶構造は、例えば、C A A C - O S 、多結晶構造、微結晶構造、または非晶質構造を含む。酸化物 406a および酸化物 406c に用いる金属酸化物は、C A A C 構造を有していてもよい。よって、酸化物 406a および酸化物 406c に用いる金属酸化物は、複数の I G Z O のナノ結晶が c 軸配向を有し、かつ a - b 面においては配向せずに連結した層状の結晶構造を有していてもよい。

30

【0247】

また、酸化物 406a および酸化物 406c に用いる金属酸化物は、酸化物 406b に用いる金属酸化物より高い結晶性を有していてもよい。ここで、酸化物 406a および酸化物 406c に用いる金属酸化物は、例えば、酸素を含む雰囲気下で成膜した酸化物とすればよい。これにより、酸化物 406a および酸化物 406c に高い結晶性を有せしめることができる。また、酸化物 406a および酸化物 406c の形状の安定を図ることができる。

40

【0248】

以上のような金属酸化物を酸化物 406c として用いて、酸化物 406c の伝導帯下端のエネルギーが、酸化物 406b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 406c の電子親和力が、酸化物 406b の電子親和力より小さいことが好ましい。ここで、電子親和力とは、真空準位と伝導帯下端のエネルギー準位の差を指す。

【0249】

また同様に、以上のような金属酸化物を酸化物 406a として用いて、酸化物 406a の伝導帯下端のエネルギーが、酸化物 406b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 406a の電子親和力が、酸化物 406b の

50

電子親和力より小さいことが好ましい。

【0250】

ここで、酸化物406a、酸化物406b及び酸化物406cにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようにするために、酸化物406aと酸化物406bとの界面、または酸化物406bと酸化物406cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0251】

具体的には、酸化物406aと酸化物406b、酸化物406bと酸化物406cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物406bがIn-Ga-Zn酸化物の場合、酸化物406a、酸化物406cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

10

【0252】

このとき、キャリアの主たる経路は酸化物406bおよびその近傍となる。酸化物406aと酸化物406bとの界面、および酸化物406bと酸化物406cとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0253】

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物406a、酸化物406cを設けることにより、トラップ準位を酸化物406bより遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

20

【0254】

なお、本実施の形態ではトランジスタに用いる金属酸化物を上述の3層構造としているが、本発明の一態様はこれに限定されない。例えば、酸化物406aまたは酸化物406cの一方がない2層構造としても構わない。または、酸化物406aの上もしくは下、または酸化物406cの上もしくは下に、前述した半導体のいずれか一を有する4層構造としても構わない。または、酸化物406aの上、酸化物406aの下、酸化物406cの上、酸化物406cの下のいずれか二箇所以上に、酸化物406a、酸化物406bおよび酸化物406cとして例示した半導体のいずれか一を有するn層構造（nは5以上の整数）としても構わない。

30

【0255】

本実施の形態に示すトランジスタは、以上に示す酸化物406a、酸化物406b及び酸化物406cを有することが好ましい。

【0256】

酸化物406aは、絶縁体402の上面に接して配置されることが好ましい。酸化物406bは酸化物406aの上面に接して配置されることが好ましい。

【0257】

また、酸化物406bは、第1の領域、第2の領域、および第3の領域を有する。第3の領域は、上面図において第1の領域と第2の領域に挟まれる。本実施の形態に示すトランジスタは、酸化物406bの第1の領域上に接して導電体416a1を有する。また、酸化物406bの第2の領域上に接して導電体416a2を有する。酸化物406bの第1の領域または第2の領域の一方は、ソース領域として機能でき、他方はドレイン領域として機能できる。また、酸化物406bの第3の領域はチャネル形成領域として機能できる。

40

【0258】

酸化物406cは、酸化物406bの第3の領域に接して、酸化物406a、酸化物406b、導電体416a1、416a2、及びバリア膜417a1、417a2の上に配

50

置されることが好ましい。また、酸化物 406c が、酸化物 406a 及び酸化物 406b の側面を覆う構成にしてもよい。図 20 (C) に示すように、酸化物 406a 及び酸化物 406b のチャネル幅方向の側面が酸化物 406c に接することが好ましい。さらに、第 1 のゲート電極としての機能を有する導電体 404 は、第 1 のゲート絶縁体としての機能を有する絶縁体 412 を介して酸化物 406b の第 3 の領域の全体を覆うように配置される。

【0259】

また、酸化物 406c は、酸化物 406a および酸化物 406b の全体を覆うように配置してもよい。例えば、酸化物 406a 及び酸化物 406b のチャネル長方向の側面が酸化物 406c に接する構成にしてもよい。

10

【0260】

導電体 416a1 及び導電体 416a2 は、離間して配置され、酸化物 406b の上面に接して配置されることが好ましい。ここで、導電体 416a1 は、ソース電極またはドレイン電極の一方として機能でき、導電体 416a2 は、ソース電極またはドレイン電極の他方として機能できる。

【0261】

また、図 20 (A) (B) に示すように、導電体 416a1 の一方の側端部は、酸化物 406a の一方の側端部及び酸化物 406b の一方の側端部と略一致することが好ましい。また、同様に、導電体 416a2 の一方の側端部は、酸化物 406a の他方の側端部及び酸化物 406b の他方の側端部と略一致することが好ましい。このような構成により、酸化物 406a 及び酸化物 406b の側面が導電体 416a1 及び導電体 416a2 に接しないので、酸化物 406a 及び酸化物 406b の側面において、酸素が引き抜かれて酸素欠損が形成されることを防ぐことができる。また、酸化物 406a 及び酸化物 406b の側面が導電体 416a1 及び導電体 416a2 に接しないので、酸化物 406a 及び酸化物 406b の側面から導電体 416a1 及び導電体 416a2 に起因する不純物が浸入することを防ぐことができる。

20

【0262】

ここで、互いに向かい合う導電体 416a1 の側端部と導電体 416a2 の側端部との距離、即ちトランジスタのチャネル長は、10 nm 以上 300 nm 以下、代表的には 20 nm 以上 180 nm 以下とする。

30

【0263】

また、導電体 416a1 及び導電体 416a2 の互いに向かい合う側面と底面のなす角が 90° 未満のテーオー角を有することが好ましい。導電体 416a1 及び導電体 416a2 の互いに向かい合う側面と底面のなす角が 45° 以上 75° 以下であることが好ましい。このように導電体 416a1 及び導電体 416a2 を形成することにより、酸化物 406c を導電体 416a1 及び導電体 416a2 が形成する段差部にも被覆性良く成膜することができる。これにより、酸化物 406c が段切れなどを起こして、酸化物 406b と絶縁体 412 などが接するのを防ぐことができる。

【0264】

また、導電体 416a1 の上面に接してバリア膜 417a1 が配置され、導電体 416a2 の上面に接してバリア膜 417a2 が設けられることが好ましい。バリア膜 417a1 及びバリア膜 417a2 は、水素や水などの不純物および酸素の透過を抑制する機能を有する。バリア膜 417a1 及びバリア膜 417a2 として、例えば、酸化アルミニウムなどを用いることができる。これにより、導電体 416a1 及び導電体 416a2 の酸化に周囲の過剰酸素が用いられることを防ぐことができる。また、導電体 416a1 および導電体 416a2 の酸化による電気抵抗値の増加を防ぐことができる。なお、導電体の電気抵抗値の測定は、2 端子法などを用いて測定することができる。なお、バリア膜 417a1、417a2 を設けない構成としてもよい。

40

【0265】

また、導電体 404 と導電体 416a1 の間に、絶縁体 412、酸化物 406c に加え

50

て、バリア膜 417a1 を有しているので、導電体 404 と導電体 416a1 の間の寄生容量を小さくすることができる。同様に、導電体 404 と導電体 416a2 の間に、絶縁体 412、酸化物 406c に加えて、バリア膜 417a2 を有しているので、導電体 404 と導電体 416a2 の間の寄生容量を小さくすることができる。よって、本実施の形態に示すトランジスタは、周波数特性に優れたトランジスタとなる。

【0266】

絶縁体 412 はゲート絶縁膜として機能でき、酸化物 406c の上面に接して配置されることが好ましい。絶縁体 412 は、絶縁体 402 と同様に、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。このような絶縁体 412 を酸化物 406c の上面に接して設けることにより、酸化物 406b に効果的に酸素を供給することができる。また、絶縁体 402 と同様に、絶縁体 412 中の水または水素などの不純物濃度が低減されていることが好ましい。

10

【0267】

導電体 404 は、導電体 404a、導電体 404b 及び導電体 404c が積層された構成とすることが好ましい。絶縁体 412 上に導電体 404a が配置され、導電体 404a 上に導電体 404b が配置され、導電体 404b 上に導電体 404c が配置される。絶縁体 412 および導電体 404 は、酸化物 406b と重なる領域を有する。また、導電体 404a、導電体 404b および導電体 404c の側端部は概略一致する。ここで、導電体 404 はゲート電極の他方として機能する。また、ゲート電極としての機能を有する導電体 404 のチャネル長方向の幅は、10 nm 以上 300 nm 以下、好ましくは、20 nm 以上 180 nm 以下とする。

20

【0268】

言い換えると、導電体 310 及び導電体 404 の一方はゲート電極として機能でき、他方はバックゲート電極として機能できる。ゲート電極とバックゲート電極で半導体のチャネル形成領域を挟むように配置される。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

【0269】

導電体 404a は、酸化物で導電性を有するものが好ましい。例えば、酸化物 406a、酸化物 406b または酸化物 406c として用いることができる金属酸化物を用いることができる。特に、In - Ga - Zn 系酸化物のうち、導電性が高い、金属の原子数比が [In] : [Ga] : [Zn] = 4 : 2 : 3 から 4.1、およびその近傍値のものを用いることが好ましい。このような導電体 404a を設けることで、導電体 404b 及び導電体 404c への酸素の透過を抑制し、導電体 404b 及び導電体 404c が酸化によって電気抵抗値が増加することを防ぐことができる。また、酸化物 406b に過剰酸素を供給することができる。

30

【0270】

導電体 404b は、導電体 404a に窒素などの不純物を添加して導電体 404a の導電性を向上できる導電体が好ましい。例えば導電体 404b は、窒化チタンなどを用いることが好ましい。

40

【0271】

ここで、ゲート電極の機能を有する導電体 404 が、絶縁体 412 及び酸化物 406c を介して、酸化物 406b の第 3 の領域近傍の上面及びチャネル幅方向の側面を覆うように設けられる。従って、ゲート電極としての機能を有する導電体 404 の電界によって、酸化物 406b の第 3 の領域近傍の上面及びチャネル幅方向の側面を電気的に取り囲むことができる。導電体 404 の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造とよぶ。そのため、酸化物 406b の第 3 の領域近傍の上面及びチャネル幅方向の側面にチャネルを形成することができるので、ソース - ドレイン間に大電流を流すことができ、導

50

通時の電流（オン電流）を大きくすることができる。また、酸化物 406b の第 3 の領域近傍の上面及びチャネル幅方向の側面が、導電体 404 の電界によって取り囲まれていることから、非導通時の電流（オフ電流）を小さくすることができる。

【0272】

また、導電体 404 上にバリア膜 418 が設けられていることが好ましい。ここで、バリア膜 418 は、酸素が透過しにくい材料を用いることが好ましく、例えば酸化アルミニウムなどを用いることができる。これにより、導電体 404 の酸化に周囲の過剰酸素が用いられるのを防ぐことができる。このように、バリア膜 418 はゲートを保護するゲートキャップとしての機能を有する。なお、バリア膜 418 を設けない構成としてもよい。

【0273】

[絶縁体]

トランジスタを、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。例えば絶縁体 401、及び絶縁体 420 として、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。また、絶縁体 303 に水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いてもよい。絶縁体 401、絶縁体 303、及び絶縁体 420 は、絶縁体 402 などより、水または水素などの不純物が透過しにくい絶縁性材料を用いて形成することが好ましい。

【0274】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコン、窒化シリコンまたは窒化アルミニウムなどを単層で、または積層で用いればよい。

【0275】

絶縁体 401 および絶縁体 420 が酸化アルミニウムを有することで、酸化物 406a、酸化物 406b および酸化物 406c に水素などの不純物が混入することを抑制することができる。また、例えば、絶縁体 401 および絶縁体 420 が酸化アルミニウムを有することで、上述の酸化物 406a、酸化物 406b および酸化物 406c へ添加された過剰酸素の外方拡散を低減することができる。

【0276】

絶縁体 301、絶縁体 302、絶縁体 303、絶縁体 402 および絶縁体 412 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 301、絶縁体 302、絶縁体 303、絶縁体 402 および絶縁体 412 としては、酸化シリコンまたは酸化窒化シリコンを有することが好ましい。

【0277】

また、絶縁体 302、絶縁体 303、絶縁体 402 および絶縁体 412 は、ゲート絶縁膜として機能するので比誘電率の高い絶縁体を有することが好ましい。例えば、絶縁体 302、絶縁体 303、絶縁体 402 および絶縁体 412 は、酸化ガリウム、酸化ハフニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、またはシリコンおよびハフニウムを有する酸化窒化物などを有することが好ましい。または、絶縁体 302、絶縁体 303、絶縁体 402 および絶縁体 412 は、酸化シリコンまたは酸化窒化シリコンと、比誘電率の高い絶縁体と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができます。例えば、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムを酸化物 406c 側に有することで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコンが、酸化物 406b に混入することを抑制す

10

20

30

40

50

ることができる。また、例えば、酸化シリコンまたは酸化窒化シリコンを酸化物 406c 側に有することで、酸化アルミニウム、酸化ガリウムまたは酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンとの界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

【0278】

絶縁体 410 は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体 410 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体 410 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂との積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができます。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【0279】

バリア膜 417a1 およびバリア膜 417a2 としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いてもよい。バリア膜 417a1 およびバリア膜 417a2 によって、酸化物 406c 及び絶縁体 412 中の過剰酸素が、導電体 416a1 および導電体 416a2 へと拡散することを防止することができる。

【0280】

バリア膜 417a1 およびバリア膜 417a2 としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

【0281】

[導電体]

導電体 404、導電体 310、導電体 416a1、導電体 416a2、導電体 108a、導電体 108b としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タンクステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0282】

また、前述した金属元素および酸素を含む導電性材料を用いてもよい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物 (ITO : I_ndium T_in O_xide)、酸化タンクステンを含むインジウム酸化物、酸化タンクステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。

【0283】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒

10

20

30

40

50

素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0284】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合は、ゲート電極として前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0285】

例えば、導電体310bとしては、タングステン、ポリシリコン等の導電性材料を用いればよい。また、絶縁体401と接する導電体310aとしては、例えば、チタン、窒化チタン、または窒化タンタルなどのバリア層（拡散防止層）を積層または単層で用いることができる。

10

【0286】

絶縁体401に不純物が透過しにくい絶縁性材料を用い、絶縁体401と接する、導電体310aに不純物が透過しにくい導電性材料を用いることで、トランジスタへの不純物の拡散をさらに抑制することができる。よって、トランジスタの信頼性をさらに高めることができる。

【0287】

また、バリア膜417a1、417a2、およびバリア膜418として上記の不純物が透過しにくい導電性材料を用いてもよい。バリア膜417a1、417a2、およびバリア膜418に導電性材料を用いる場合は、酸素が放出されにくい、および／または吸収されにくい導電性材料を用いることが好ましい。

20

【0288】

<トランジスタの作製方法>

以下では、本発明の一態様に係る図20に示すトランジスタの作製方法を図21および図22を用いて説明する。図21および図22では、図20（B）に示す一点鎖線A1-A2の断面に対応する断面図と、図20（C）に示す一点鎖線A3-A4の断面に対応する断面図と、を示している。

【0289】

なお、以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、酸化物半導体として機能する酸化物などは、スパッタリング法、スピンドル法、CVD法、ALD法、MBE法、または、PLD法などを適宜用いて形成することができる。

30

【0290】

まず、基板（図示せず）の上に絶縁体401、絶縁体301を順に成膜する。本実施の形態では、基板として単結晶シリコン基板（p型の半導体基板、またはn型の半導体基板を含む）を用いる。また、本実施の形態では、絶縁体401として、スパッタリング法を用いて酸化アルミニウム膜を成膜し、絶縁体301としてCVD法を用いて酸化窒化シリコン膜を成膜する。

【0291】

また、例えば、絶縁体401の上または下に積層して、ALD法を用いて酸化アルミニウム膜を成膜してもよい。

40

【0292】

次に、絶縁体301に絶縁体401に達する開口（溝、トレンチまたは穴などを含む。）を形成する。当該開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体401は、絶縁体301をエッチングして開口を形成する際のエッティングストップ膜として機能する絶縁体を選択することが好ましい。例えば、開口を形成する絶縁体301に酸化シリコンまたは酸化窒化シリコンを用いた場合は、絶縁体401は窒化シリコン、酸化アルミニウム、酸化ハフニウムなどを用いるとよい。このとき、絶縁体401の、絶縁体301の開口と重なる部分がエッ

50

チングによって凹状に形成される場合がある。

【0293】

次に、導電体310aとなる導電膜、および導電体310bとなる導電膜を成膜する。本実施の形態では、導電体310aとなる導電膜としてスパッタリング法で成膜した窒化タンタルとALD法で成膜した窒化チタンの積層膜を用いる。また、導電体310bとなる導電膜としてCVD法で成膜したタンゲステン膜を用いる。

【0294】

次に、CMP処理を行うことで、絶縁体301上の、導電体310aとなる導電膜、及び導電体310bとなる導電膜を除去する(図21(A)(B)参照)。その結果、開口のみに、導電体310a及び導電体310bが残存することで上面が平坦な導電体310を形成することができる。

10

【0295】

次に、絶縁体301上および導電体310上に絶縁体302を成膜する。本実施の形態では、絶縁体302として、CVD法を用いて酸化窒化シリコン膜を成膜する。

【0296】

次に、絶縁体302上に絶縁体303を成膜する。本実施の形態では、絶縁体303として、ALD法を用いて酸化ハフニウム膜を成膜する。

【0297】

次に、絶縁体303上に絶縁体402を成膜する。本実施の形態では、絶縁体402として、CVD法を用いて酸化窒化シリコン膜を成膜する。

20

【0298】

次に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250以上650以下、好ましくは300以上500以下で行えばよい。また、本実施の形態に示すトランジスタの下層に銅を含んで形成された配線などを設ける場合、第1の加熱処理の温度を410以下にすることが好ましい。第1の加熱処理は、不活性ガス雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。第1の加熱処理によって、絶縁体402に含まれる水素や水などの不純物を除去することなどができる。本実施の形態では、第1の加熱処理として窒素ガス雰囲気で温度を400として加熱処理を行う。

【0299】

次に、絶縁体402の上に酸化物406aとなる酸化膜406Aを成膜し、酸化膜406Aの上に酸化物406bとなる酸化膜406Bを成膜する(図21(C)(D)参照)。

30

【0300】

酸化膜406A、及び酸化膜406Bは、スパッタリング法を用いて成膜することが好ましい。スパッタリング法で成膜することで酸化膜406A、及び酸化膜406Bの密度を高められるため、好適である。スパッタリングガスには、希ガス(代表的にはアルゴン)、酸素、または、希ガスおよび酸素の混合ガスを適宜用いればよい。また、スパッタリングガスに窒素を含めてもよい。また、基板を加熱しながら成膜を行ってもよい。

【0301】

スパッタリングガスは高純度化することが好ましい。例えば、スパッタリングガスとして用いる酸素ガスやアルゴンガスは、露点が-40以下、好ましくは-80以下、より好ましくは-100以下、より好ましくは-120以下にまで高純度化したガスを用いることで酸化膜406A、及び酸化膜406Bに水分等が取り込まれることを可能な限り防ぐことができる。

40

【0302】

また、スパッタリング装置におけるチャンバーは、酸化膜406A、及び酸化膜406Bにとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空(5×10^{-7} Paから 1×10^{-4} Pa程度まで)排気することができる。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体、特に炭素または水素を含む気体が逆流しないようにしておくこ

50

とが好ましい。

【0303】

また、スパッタリング装置の電源には、DC電源、AC電源、またはRF電源を用いればよい。

【0304】

また、スパッタリング装置において、ターゲットまたはマグネットを回転または移動させても構わない。例えば、成膜中にマグネットユニットを上下または/及び左右に揺動させながら酸化膜を形成することができる。例えば、ターゲットを、0.1 Hz以上1 kHz以下のピート(リズム、拍子、パルス、周波、周期またはサイクルなどと言い換てもよい。)で回転または揺動させればよい。または、マグネットユニットを、0.1 Hz以上1 kHz以下のピートで揺動させればよい。

10

【0305】

酸化膜406Aの成膜においては、成膜時の基板温度を、室温以上400以下とすることが好ましい。例えば、水の気化温度(例えば、100)以上、かつ装置のメンテナビリティー、スループットの良い温度を可能な範囲で適宜選択すればよい。

【0306】

また、酸化膜406Aの成膜において、スパッタリングガスは、希ガス(代表的にはアルゴン)、酸素、希ガス及び酸素の混合ガスを適宜用いる。混合ガスの場合、成膜ガス全体に占める酸素ガスの割合が、70%以上が好ましく、80%以上がさらに好ましく、100%がより好ましい。酸化膜406Aに過剰酸素を含む酸化物を用いることで、後の加熱処理によって酸化膜406Bに酸素を供給することができる。

20

【0307】

また、酸化膜406Aの成膜のターゲットとして、上記のIn-M-Zn酸化物ターゲットを用いることができる。ここで、酸化膜406AのIn-M-Zn酸化物ターゲットは、元素Mに対するInの原子数比が、酸化膜406BのIn-M-Zn酸化物ターゲットにおける、元素Mに対するInの原子数比より小さいことが好ましい。例えば、[In] : [M] : [Zn] = 1 : 3 : 4 [原子数比]、またはその近傍値の原子数比である金属酸化物ターゲットを用いることが好ましい。

【0308】

本実施の形態では、酸化膜406Aの成膜において、酸素ガス100%程の雰囲気とし、基板温度を200とし、[In] : [Ga] : [Zn] = 1 : 3 : 4 [原子数比]のIn-Ga-Zn酸化物ターゲットを用いて成膜を行う。

30

【0309】

酸化膜406Bの成膜においては、成膜時の基板温度を、100以上140未満とすることが好ましい。例えば、水の気化温度(例えば、100)以上、かつ装置のメンテナビリティー、スループットの良い温度を可能な範囲で適宜選択すればよい。

【0310】

また、酸化膜406Bの成膜において、スパッタリングガスは、希ガス(代表的にはアルゴン)、酸素、希ガス及び酸素の混合ガスを適宜用いる。混合ガスの場合、成膜ガス全体に占める酸素ガスの割合が、0%以上30%以下、好ましくは5%以上20%以下とする。

40

【0311】

また、酸化膜406Bの成膜のターゲットとして、上記のIn-M-Zn酸化物ターゲットを用いることができる。ここで、酸化膜406BのIn-M-Zn酸化物ターゲットは、元素Mに対するInの原子数比が、酸化膜406AのIn-M-Zn酸化物ターゲットにおける、元素Mに対するInの原子数比より大きいことが好ましい。例えば、[In] : [M] : [Zn] = 4 : 2 : 4 . 1 [原子数比]、または[In] : [M] : [Zn] = 5 : 1 : 7 [原子数比]、またはその近傍値の原子数比である金属酸化物ターゲットを用いることが好ましい。

【0312】

50

本実施の形態では、酸化膜406Bの成膜において、酸素のガス比が10%程度の希ガス、および酸素の混合ガスを用い、基板温度を130°とし、[In] : [Ga] : [Zn] = 4 : 2 : 4.1 [原子数比] のIn-Ga-Zn酸化物ターゲットを用いて成膜を行う。

【0313】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、250°以上650°以下、好ましくは300°以上500°以下で行えばよい。第2の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第2の加熱処理は減圧状態で行ってもよい。または、第2の加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。第2の加熱処理によって、酸化膜406Bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400°の温度で1時間の処理を行なった後に、連続して酸素雰囲気にて400°の温度で1時間の処理を行う。

【0314】

次に、酸化膜406Bの上に導電体416a1、416a2となる導電膜を成膜する。本実施の形態では、導電体416a1、416a2となる導電膜として、窒化タンタル膜をスパッタリング法で形成する。窒化タンタルは、耐酸化性が高いため、後の工程において加熱処理を行う場合に好ましい。

【0315】

次に、導電体416a1、416a2となる導電膜の上にバリア膜417a1、417a2となる膜を成膜する。本実施の形態では、バリア膜417a1、417a2となる膜として、ALD法を用いて酸化アルミニウム膜を成膜する。ALD法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、薄く均一な厚さを備える膜を形成することができる。

【0316】

次に、フォトリソグラフィ法を用いて、バリア膜417a1、417a2となる膜に、導電体416a1、416a2となる導電膜に達する開口を形成する。

【0317】

次に、フォトリソグラフィ法を用いて、導電体416a1、416a2となる導電膜、バリア膜417a1、417a2となる膜の一部を選択的に除去し、島状に加工する。このようにして、導電体416a1、416a2となる導電膜から島状の導電膜が、バリア膜417a1、417a2となる膜から、バリア膜417a1、417a2が形成される。

【0318】

続いて、島状の導電膜をマスクとして酸化膜406A、および酸化膜406Bの一部を選択的に除去する。このとき、同時に絶縁体402の一部も除去される場合がある。このようにして、島状の酸化物406a、および島状の酸化物406bを形成することができる。

【0319】

なお、酸化膜406Aおよび酸化膜406Bの一部の除去は、ドライエッティング法や、ウェットエッティング法などを用いて行なうことができる。ドライエッティング法とウェットエッティング法の両方を用いてもよい。

【0320】

続いて、バリア膜417a1、417a2をマスクとして、ドライエッティング法を用いることで、島状の導電膜の一部を選択的に除去する。該エッティング工程により、島状の導電膜を導電体416a1と導電体416a2に分離する（図21（E）（F）参照）。

【0321】

ドライエッティングに使用するガスは、例えば、C₄F₆ガス、C₂F₆ガス、C₄F₈ガス、C₂F₄ガス、S₂F₆ガスまたはCH₂F₃ガスなどを単独または2以上のガスを混合

10

20

30

40

50

して用いることができる。または、上記ガスに酸素ガス、ヘリウムガス、アルゴンガスまたは水素ガスなどを適宜添加することができる。特に、プラズマによって有機物を生成することができるガスを用いることが好ましい。例えば、C₄F₆ガス、C₄F₈ガス、またはC₂H₂F₃ガスのいずれか一に、ヘリウムガス、アルゴンガスまたは水素ガスなどを適宜添加したものを使用することが好ましい。

【0322】

また、ドライエッチング法により導電体416a1と導電体416a2を形成した場合は、露出した酸化物406bにエッチングガスの残留成分などの不純物元素が付着する場合がある。例えば、エッチングガスとして塩素系ガスを用いると、塩素などが付着する場合がある。また、エッチングガスとして炭化水素系ガスを用いると、炭素や水素などが付着する場合がある。このため、酸化物406bの露出した表面に付着した不純物元素を低減することが好ましい。当該不純物元素の低減は、例えば、フッ化水素酸を純水で希釀した水溶液（希釀フッ酸液）を用いた洗浄処理、オゾンなどを用いた洗浄処理、または紫外線などを用いた洗浄処理で行なえばよい。なお、複数の洗浄処理を組み合わせてもよい。

10

【0323】

また、酸化性ガスを用いたプラズマ処理を行ってもよい。例えば、亜酸化窒素ガスを用いたプラズマ処理を行う。当該プラズマ処理を行うことで、酸化物406b中のフッ素濃度を低減することができる。また、試料表面の有機物を除去する効果も得られる。

【0324】

また、露出した酸化物406bに対して、酸素ドープ処理を行ってもよい。また、後述する加熱処理を行ってもよい。

20

【0325】

次に、第3の加熱処理を行ってもよい。第3の加熱処理は、第2の加熱処理と同様の条件で行うことができる。第3の加熱処理によって、酸化物406bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400の温度で30分間の処理を行なった後に、連続して酸素雰囲気にて400の温度で30分間の処理を行う。

【0326】

次に、絶縁体402、酸化物406a、酸化物406b、導電体416a1、416a2、バリア膜417a1、417a2の上に、酸化物406cとなる酸化膜406cを成膜する。

30

【0327】

酸化膜406cの成膜は、酸化膜406aと同様にスパッタリング法を用いて成膜することが好ましい。

【0328】

酸化膜406cの成膜においては、成膜時の基板温度を、室温以上200未満とすることが好ましい。例えば、成膜時の基板温度は室温にすればよく、成膜時に基板温度が室温より上昇しないように基板ホルダを冷却しながら成膜することが好ましい。

【0329】

また、酸化膜406cの成膜において、スパッタリングガスは、希ガス（代表的にはアルゴン）、酸素、希ガス及び酸素の混合ガスを適宜用いる。混合ガスの場合、成膜ガス全体に占める酸素ガスの割合が、70%以上が好ましく、80%以上がさらに好ましく、100%がより好ましい。酸化膜406cに過剰酸素を含む酸化物を用いることで、後の加熱処理によって酸化物406bに酸素を供給することができる。

40

【0330】

また、酸化膜406cの成膜のターゲットとして、上記のIn-M-Zn酸化物ターゲットを用いることができる。ここで、酸化膜406cのIn-M-Zn酸化物ターゲットは、酸化膜406bのIn-M-Zn酸化物ターゲットと同じターゲットを用いてもよい。例えば、[In] : [M] : [Zn] = 4 : 2 : 4.1 [原子数比]、または[In] : [M] : [Zn] = 5 : 1 : 7 [原子数比]、またはその近傍値の原子数比である金属

50

酸化物ターゲットを用いてもよい。また、酸化膜 406C の In - M - Zn 酸化物ターゲットは、元素 M に対する In の原子数比が、酸化膜 406B の In - M - Zn 酸化物ターゲットにおける、元素 M に対する In の原子数比より小さいターゲットを用いてもよい。例えば、[In] : [M] : [Zn] = 1 : 1 : 1 [原子数比]、またはその近傍値の原子数比である金属酸化物ターゲットを用いてもよい。

【0331】

本実施の形態では、酸化膜 406C の成膜において、酸素ガス 100% 程の雰囲気とし、基板温度を室温とし、[In] : [Ga] : [Zn] = 4 : 2 : 4 . 1 [原子数比] の In - Ga - Zn 酸化物ターゲットを用いて成膜を行う。

【0332】

次に、酸化膜 406C の上に絶縁膜 412A を成膜する。本実施の形態では、絶縁膜 412A として CVD 法により酸化窒化シリコン膜を形成する。

【0333】

次に、第 4 の加熱処理を行ってもよい。第 4 の加熱処理は、第 1 の加熱処理と同様の条件で行うことができる。第 4 の加熱処理によって、絶縁膜 412A に含まれる水素や水などの不純物を除去することができる。本実施の形態では、第 4 の加熱処理として窒素ガス雰囲気で温度を 400 として加熱処理を行う。

【0334】

次に、導電体 404a となる導電膜、導電体 404b となる導電膜、導電体 404c となる導電膜、を順に成膜する。本実施の形態では、導電体 404a となる導電膜としてスパッタリング法で成膜した金属酸化物を用い、導電体 404b となる導電膜として窒化チタンを用い、導電体 404c となる導電膜としてタンクスチタンを用いる。導電体 404a となる導電膜を、スパッタリング法を用いて成膜することにより、絶縁膜 412A に酸素を添加して、酸素過剰な状態にできる。特に、導電体 404a となる導電膜は酸化物 406b のチャネル形成領域となる第 3 の領域の上に設けられるので、絶縁膜 412A の第 3 の領域に近い部分に酸素を添加できる。これにより、絶縁体 412 から酸化物 406b に効果的に酸素を供給することができる。

【0335】

次に、第 5 の加熱処理を行ってもよい。第 5 の加熱処理は、第 1 の加熱処理と同様の条件で行うことができる。第 5 の加熱処理によって、導電体 404a となる導電膜のスパッタリング成膜で絶縁膜 412A に添加された酸素を拡散させることができる。これにより、酸化物 406a、酸化物 406b および酸化物 406c の酸素欠損を低減することができる。

【0336】

次に、フォトリソグラフィ法を用いて、導電体 404a となる導電膜、導電体 404b となる導電膜、および導電体 404c となる導電膜の一部を選択的に除去して、導電体 404a、導電体 404b 及び導電体 404c を有し、ゲートとして機能する導電体 404 を形成する（図 21 (G) (H) 参照）。

【0337】

次に、絶縁膜 412A 及び導電体 404 の上に、後の工程でバリア膜 418 となる膜を成膜する。バリア膜 418 となる膜は、ゲートキャップとして機能し、本実施の形態では ALD 法で成膜した酸化アルミニウムを用いる。

【0338】

次に、フォトリソグラフィ法を用いて、バリア膜 418 となる膜、絶縁膜 412A、および酸化膜 406C の一部を選択的に除去して、バリア膜 418、絶縁体 412、および酸化物 406c を形成する（図 22 (A) (B) 参照）。ここで、導電体 404 を覆ってバリア膜 418 を形成することにより、導電体 404 の酸化に周囲の過剰酸素が用いられるこれを防ぐことができる。なお、図 22 (A) (B) に示すトランジスタでは、バリア膜 418、絶縁体 412、および酸化物 406c が上面視において重なるように形成したが、これに限られるものではない。例えば、酸化物 406c が、酸化物 406a 及び酸化

10

20

30

40

50

物 4 0 6 b の側面と絶縁体 4 0 2 の上面に接するように、酸化物 4 0 6 c を形成してもよい。

【 0 3 3 9 】

次に、バリア膜 4 1 8 などの上に絶縁体 4 1 0 を成膜する。絶縁体 4 1 0 の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。または、スピンドル法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーティング法またはカーテンコーティング法などを用いて行うことができる。

【 0 3 4 0 】

絶縁体 4 1 0 の成膜は、好ましくは CVD 法を用いる。より好ましくはプラズマ CVD 法を用いて成膜する。

10

【 0 3 4 1 】

絶縁体 4 1 0 は、上面が平坦性を有するように形成してもよい。例えば、絶縁体 4 1 0 は、成膜直後に上面が平坦性を有していてもよい。または、例えば、絶縁体 4 1 0 は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP処理、ドライエッティング処理などがある。ただし、絶縁体 4 1 0 の上面が平坦性を有さなくても構わない。

【 0 3 4 2 】

次に、絶縁体 4 1 0 の上に、スパッタリング法を用いて絶縁体 4 2 0 を成膜する。

20

【 0 3 4 3 】

絶縁体 4 2 0 は、酸素を含む雰囲気でスパッタリング法を用いて成膜することが好ましい。本実施の形態では、絶縁体 4 2 0 として、酸素を含む雰囲気でスパッタリング法を用いて酸化アルミニウム膜を成膜する。これにより、絶縁体 4 2 0 と接する絶縁体 4 1 0 に酸素を添加することができる。ここで、酸素は、例えば、酸素ラジカルとして添加されるが、酸素が添加されるときの状態はこれに限定されない。酸素は、酸素原子、又は酸素イオンなどの状態で添加されてもよい。後の工程の熱処理などによって、酸素を拡散させて酸化物 4 0 6 b に効果的に酸素を供給することができる。

【 0 3 4 4 】

なお、絶縁体 4 2 0 を成膜する際に、基板加熱を行うことが好ましい。基板加熱は、100 よりも高く、300 以下であることが好ましい。基板温度を、100 よりも高くすることで、酸化物 4 0 6 b 中の水を除去することができる。また、形成した膜上に、表面吸着水が付着することを防止することができる。また、このように基板加熱を行いながら絶縁体 4 2 0 を成膜することにより、成膜しながら酸素を酸化物 4 0 6 b に拡散させることができる。

30

【 0 3 4 5 】

また、絶縁体 4 2 0 は積層膜にしてもよく、例えば、さらに ALD 法を用いて酸化アルミニウムを成膜してもよい。

【 0 3 4 6 】

次に、第 6 の加熱処理を行ってもよい。第 6 の加熱処理は、第 2 の加熱処理と同様の条件で行うことができる。第 6 の加熱処理によって、絶縁体 4 2 0 のスパッタリング成膜で添加された酸素を拡散させることができる。これにより、酸化物 4 0 6 a、酸化物 4 0 6 b および酸化物 4 0 6 c の酸素欠損を低減することができる。ここで、絶縁体 4 2 0 および絶縁体 4 0 1 によって、酸素がトランジスタの上方及び下方に拡散することを防ぐことができ、酸化物 4 0 6 b に効果的に酸素を供給することができる。また、第 6 の加熱処理によって、絶縁体 4 1 0 に含まれる水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて 400 の温度で 1 時間の処理を行なった後に、連続して酸素雰囲気にて 400 の温度で 1 時間の処理を行う。

40

【 0 3 4 7 】

次に、絶縁体 4 2 0 の上に絶縁体 4 2 2 を成膜する（図 22 (C) (D) 参照）。絶縁

50

体 4 2 2 は、絶縁体 4 1 0 と同様の絶縁体を設けることができる。

【 0 3 4 8 】

次に、絶縁体 4 2 2 、絶縁体 4 2 0 、絶縁体 4 1 0 、バリア膜 4 1 7 a 1 、およびバリア膜 4 1 7 a 2 に、導電体 4 1 6 a 1 および導電体 4 1 6 a 2 に達する開口を形成する。当該開口の形成はドライエッティングを用いることが好ましい。

【 0 3 4 9 】

次に、上記開口を埋め込むように、導電体 1 0 8 a および導電体 1 0 8 b となる導電膜を成膜する。本実施の形態では、導電体 1 0 8 a および導電体 1 0 8 b となる導電膜として、A L D 法で成膜した窒化チタンと、C V D 法で成膜したタンゲステンの積層膜を用いる。

10

【 0 3 5 0 】

次に、C M P 处理を行うことで、絶縁体 4 2 2 上の、導電体 1 0 8 a および導電体 1 0 8 b となる導電膜を除去する（図 2 2 (E) (F) 参照）。その結果、開口のみに、導電体 1 0 8 a および導電体 1 0 8 b が残存することで、上面が平坦な導電体 1 0 8 a および導電体 1 0 8 b を形成することができる。

【 0 3 5 1 】

以上により、図 2 0 に示すトランジスタ 4 0 0 a を作製することができる（図 2 2 (E) (F) 参照。）。

【 0 3 5 2 】

以下、上記の図 2 以降に示す工程に従って、容量素子 1 0 0 を形成することで図 1 に示す半導体装置を作製することができる。

20

【 0 3 5 3 】

<トランジスタの変形例>

本実施の形態に示すトランジスタは図 2 0 に示すものに限られるものではない。以下では、図 2 3 から図 2 5 を用いて、本実施の形態に示すトランジスタの変形例について説明する。図 2 3 から図 2 5 は、図 2 0 と同様に、(A) が本発明の一態様に係るトランジスタの上面図である。また、(B) は、(A) に A 1 - A 2 の一点鎖線で示す部位の断面図である。また、(C) は、(A) に A 3 - A 4 の一点鎖線で示す部位の断面図である。(A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、以下において、トランジスタ 4 0 0 a と同一の符号を付した構成については、トランジスタ 4 0 0 a の対応する記載を参照することができる。

30

【 0 3 5 4 】

図 2 3 (A) (B) (C) に示すトランジスタ 4 0 0 b は、絶縁体 4 0 2 、バリア膜 4 1 7 a 1 、バリア膜 4 1 7 a 2 、及び導電体 4 0 4 などの上に絶縁体 4 0 8 a および絶縁体 4 0 8 b が配置されている点において、トランジスタ 4 0 0 a と異なる。

【 0 3 5 5 】

絶縁体 4 0 8 a は、酸化物 4 0 6 a 、酸化物 4 0 6 b 、酸化物 4 0 6 c 、導電体 4 1 6 a 1 、4 1 6 a 2 、バリア膜 4 1 7 a 1 、4 1 7 a 2 、絶縁体 4 1 2 、導電体 4 0 4 、およびバリア膜 4 1 8 を覆って設けられている。また、絶縁体 4 0 8 a の一部が、絶縁体 4 0 2 の上面に接していることが好ましい。例えば、絶縁体 4 0 8 a の一部が、絶縁体 4 0 2 の酸化物 4 0 6 a と重なる領域の外側において、絶縁体 4 0 2 の上面に接することが好ましい。さらに、絶縁体 4 0 8 a の上に絶縁体 4 0 8 b が設けられている。絶縁体 4 0 8 a 及び絶縁体 4 0 8 b は、絶縁体 4 2 0 などと同様に、上層から水または水素などの不純物がトランジスタなどに混入するのを防ぐバリア絶縁膜として機能できる。

40

【 0 3 5 6 】

ここで、絶縁体 4 0 8 a は、スパッタリング法を用いて成膜された酸化物絶縁体を用いることが好ましく、例えば酸化アルミニウムを用いることが好ましい。このような絶縁体 4 0 8 a を用いることにより、絶縁体 4 0 2 の絶縁体 4 0 8 a と接する面を介して絶縁体 4 0 2 に酸素を供給し、絶縁体 4 0 2 を酸素過剰な状態にできる。これにより、酸化物 4 0 6 a 、酸化物 4 0 6 b 及び酸化物 4 0 6 c に効果的に酸素を供給することができる。

50

【0357】

さらに、絶縁体408aとして酸化アルミニウムなどの酸素が透過しにくい絶縁性材料を用いることにより、絶縁体402に添加した酸素が、成膜中に上方拡散するのを抑制することができる。これにより、さらに効率よく絶縁体402に酸素を添加することができる。

【0358】

さらに、絶縁体408bはALD法を用いて成膜された酸化物絶縁体を用いることが好ましく、例えば酸化アルミニウムを用いることが好ましい。ALD法を用いて成膜された絶縁体408bは、良好な被覆性を有し、クラックやピンホールなどの形成が抑制された膜となる。絶縁体408a及び絶縁体408bは凹凸を有する形状の上に設けられるが、ALD法で成膜された絶縁体408bを用いることにより、段切れ、クラック、ピンホールなどが形成されることなく、トランジスタを絶縁体408bで覆うことができる。これにより、絶縁体408aに段切れなどが発生しても、絶縁体408bで覆うことができるるので、絶縁体408aと絶縁体408bの積層膜の、水素、水などの不純物に対するバリア性をより顕著に向上させることができる。

10

【0359】

このように、トランジスタが、絶縁体408a及び絶縁体408bと、絶縁体401と、に挟まれる構造とすることによって、酸素を外方拡散させず、絶縁体402、酸化物406a、酸化物406b、および酸化物406c中に多くの酸素を含有させることができる。さらに、絶縁体408bの上方および絶縁体401の下方から水素、または水などの不純物が混入するのを防ぎ、絶縁体402、酸化物406a、酸化物406b、および酸化物406c中の不純物濃度を低減させることができる。

20

【0360】

次に、図24(A)(B)(C)に示すトランジスタ400cについて説明する。トランジスタ400cは、基板(図示せず)の上に配置された絶縁体401および絶縁体301と、絶縁体401および絶縁体301に形成された開口に埋め込まれるように配置された導電体310と、絶縁体301と導電体310の上に配置された絶縁体302と、絶縁体302の上に配置された絶縁体303と、絶縁体303の上に配置された絶縁体402と、絶縁体402の上に配置された酸化物406aと、酸化物406aの上面の少なくとも一部に接して配置された酸化物406bと、酸化物406bの上に配置された酸化物406cと、酸化物406cの上に配置された絶縁体412と、絶縁体412の上に配置された導電体404と、導電体404の上に配置された絶縁体419aと、絶縁体412、導電体404、および絶縁体419aの側面に接して配置された絶縁体419bと、酸化物406cの上面に接し、かつ絶縁体419bの側面に接して配置された絶縁体409と、を有する。ここで、図24(B)に示すように、絶縁体419bの上面は、絶縁体419aの上面と略一致することが好ましい。また、絶縁体409は、絶縁体419a、導電体404、絶縁体419b、酸化物406a、酸化物406b、および酸化物406cを覆って設けられることが好ましい。

30

【0361】

トランジスタ400cは、導電体416a1および導電体416a2を有しない点、バリア膜418を有せず絶縁体419aおよび絶縁体419bを有する点、絶縁体409を有する点、および酸化物406a、406b、406cに領域426a、426b、426cが形成されている点において、トランジスタ400aと異なる。

40

【0362】

図24(B)に示すように、領域426aは、領域426bと領域426cに挟まれる。領域426bおよび領域426cは、絶縁体409の成膜により低抵抗化された領域であり、領域426aより導電性が高い領域となる。領域426bおよび領域426cは、絶縁体409の成膜雰囲気に含まれる、水素または窒素などの不純物元素が添加される。これにより、酸化物406の絶縁体409と接する領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリ

50

ア密度が高くなり、低抵抗化される。

【0363】

よって、領域426bおよび領域426cは、領域426aより、水素および窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、SIMSなどを用いて測定すればよい。

【0364】

なお、領域426bおよび領域426cは、酸素欠損を形成する元素、または酸素欠損に捕獲される元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域426bおよび領域426cは、上記元素の一つまたは複数を含む構成にすればよい。

10

【0365】

図24(B)に示すように、領域426bおよび領域426cは、酸化物406a、406b、406cの少なくとも絶縁体409と重なる領域に形成される。ここで、酸化物406bの領域426bはソース領域およびドレイン領域の一方として機能でき、酸化物406bの領域426cは、ソース領域およびドレイン領域の他方として機能できる。また、酸化物406bの領域426aはチャネル形成領域として機能できる。

20

【0366】

トランジスタ400cでは、図24(B)に示すように、領域426bおよび領域426cが、酸化物406の絶縁体409と接する領域と、絶縁体419b、および絶縁体412の両端部近傍と重なる領域に形成されることが好ましい。このとき、領域426bおよび領域426cの導電体404と重なる部分は、所謂オーバーラップ領域(LoV領域ともいう)として機能する。LoV領域を有する構造とすることで、酸化物406のチャネル形成領域と、ソース領域およびドレイン領域との間に高抵抗領域が形成されないため、トランジスタのオン電流および移動度を大きくすることができる。

20

【0367】

また、上面から、基板に対して垂直に見た際の絶縁体412の側面の位置は、絶縁体419a、導電体404の側面の位置と、略一致することが好ましい。絶縁体419aは、ALD法を用いて成膜することが好ましい。これにより、絶縁体419aの膜厚を1nm以上20nm以下程度、好ましくは5nm以上10nm以下程度で成膜することができる。ここで、絶縁体419aは、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。

30

【0368】

絶縁体419bは、絶縁体412、導電体404、および絶縁体419aの側面に接して設けられる。また、絶縁体419bの上面は、絶縁体419aの上面に略一致することが好ましい。絶縁体419bは、ALD法を用いて成膜することが好ましい。これにより、絶縁体419bの膜厚を1nm以上20nm以下程度、好ましくは1nm以上3nm以下程度、例えば1nmで成膜することができる。

40

【0369】

ここで、絶縁体419bは、絶縁体419aと同様に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体412中の酸素が外部に拡散することを防ぐことができる。また、絶縁体412の端部などから酸化物406に水素、水などの不純物が浸入するのを抑制することができる。

【0370】

このように、絶縁体419bおよび絶縁体419aを設けることにより、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で導電体404の上面と側面および絶縁体412の側面を覆うことができる。これにより、導電体404および絶

50

縁体 412 を介して、水または水素などの不純物が酸化物 406 に混入することを防ぐことができる。このように、絶縁体 419b は、ゲート電極およびゲート絶縁膜の側面を保護するサイドバリアとして、絶縁体 419a は、ゲート電極の上面を保護するトップバリアとして、機能する。

【0371】

絶縁体 419b は、ALD 法を用いて絶縁膜を成膜してから、異方性エッチングを行つて、当該絶縁膜のうち、絶縁体 412、導電体 404、および絶縁体 419a の側面に接する部分を残存させて形成することが好ましい。これにより、上記のように膜厚の薄い絶縁体 419b を容易に形成することができる。また、このとき、導電体 404 の上に、絶縁体 419a を設けておくことで、当該異方性エッチングで絶縁体 419a が一部除去されても、絶縁体 419b の絶縁体 412 および導電体 404 に接する部分を十分残存させることができる。

10

【0372】

絶縁体 409 は、絶縁体 419a、絶縁体 419b、酸化物 406a、酸化物 406b、酸化物 406c、および絶縁体 402 を覆って設けられる。ここで、絶縁体 409 は、絶縁体 419a および絶縁体 419b の上面に接し、かつ絶縁体 419b の側面に接して設けられる。また、絶縁体 409 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体 409 として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。このような絶縁体 409 を形成することで、絶縁体 409 を透過して酸素が浸入し、領域 426b および領域 426c の酸素欠損に酸素を供給して、キャリア密度が低下するのを防ぐことができる。また、絶縁体 409 を透過して水または水素などの不純物が浸入し、領域 426b および領域 426c が過剰に領域 426a 側に拡張するのを防ぐことができる。

20

【0373】

なお、図 24(A)(B)(C) に示すように、トランジスタ 400c では、上面から、基板に対して垂直に見た際の、酸化物 406a、酸化物 406b、および酸化物 406c の側面が略一致しているが、本実施の形態はこれに限られるものではない。例えば、酸化物 406c が酸化物 406a および酸化物 406b の側面を覆うようにしてもよい。このとき、酸化物 406a 及び酸化物 406b のチャネル幅方向の側面が酸化物 406c に接することが好ましい。さらに、酸化物 406a 及び酸化物 406b のチャネル長方向の側面が酸化物 406c に接する構成にしてもよい。

30

【0374】

次に、図 25(A)(B)(C) に示すトランジスタ 400d について説明する。トランジスタ 400d は、上記のトランジスタ 400a などと並行して作製することができるトランジスタである。トランジスタ 400a と並行してトランジスタ 400d を作製する場合、余計な工程を増やすことなく、トランジスタ 400d を作製することができる。

30

【0375】

トランジスタ 400d は、絶縁体 402 の上に互いに離間して配置された酸化物 406a1 および酸化物 406a2 と、酸化物 406a1 の上面に接して配置された酸化物 406b1 と、酸化物 406a2 の上面に接して配置された酸化物 406b2 と、を有し、酸化物 406c が、絶縁体 402 の上面、酸化物 406a1 および酸化物 406a2 の側面、並びに酸化物 406b1 および酸化物 406b2 の側面と上面に接して配置されている点において、トランジスタ 400a と異なる。

40

【0376】

酸化物 406a1 および酸化物 406a2、ならびに酸化物 406b1 および酸化物 406b2 は、それぞれ、トランジスタ 400a の酸化物 406a、および酸化物 406b と同様の材料を用いて形成することができる。酸化物 406a1 および酸化物 406b1 と、酸化物 406a2 および酸化物 406b2 は、導電体 310、酸化物 406c、絶縁体 412、および導電体 404 を挟んで対向して形成される。

50

【0377】

また、導電体416a1は、酸化物406a1および酸化物406b1と重なるように形成することができ、導電体416a2は、酸化物406a2および酸化物406b2と重なるように形成することができる。酸化物406a1および酸化物406b1、または酸化物406a2および酸化物406b2は、トランジスタ400dのソース領域またはドレイン領域のいずれかとして機能できる。

【0378】

トランジスタ400dの酸化物406cは、トランジスタ400aの酸化物406cと同様の材料を用いて形成することができる。酸化物406cの、酸化物406a1および酸化物406a2と、酸化物406b1および酸化物406b2に挟まれる領域は、チャネル形成領域として機能する。

10

【0379】

トランジスタ400dの活性層として機能する酸化物406cは、トランジスタ400aの酸化物406cなどと同様に、酸素欠損が低減され、水素または水などの不純物が低減されている。これにより、トランジスタ400dのしきい値電圧を0Vより大きくし、オフ電流を低減し、 I_{cut} を非常に小さくすることができる。ここで、 I_{cut} とは、トランジスタのスイッチング動作を制御するゲートの電圧が0Vのときのドレイン電流のことを指す。また、トランジスタ400dの導電体416a1と導電体416a2の距離を、トランジスタ400aの導電体416a1と導電体416a2の距離より大きくすることにより、トランジスタ400aよりトランジスタ400dのしきい値電圧を大きくし、オフ電流を低減し、 I_{cut} を小さくすることができる。

20

【0380】

トランジスタ400dは、トランジスタ400aなどのバックゲート電圧を制御することができる。例えば、トランジスタ400dのトップゲート及びバックゲートをソースとダイオード接続し、トランジスタ400dのソースとトランジスタ400aのバックゲートを接続する構成とする。この構成でトランジスタ400aのバックゲートの負電位を保持するとき、トランジスタ400dのトップゲート-ソース間の電圧、およびバックゲート-ソース間の電圧は、0Vになる。トランジスタ400dの I_{cut} は非常に小さいので、この構成とすることにより、トランジスタ400aおよびトランジスタ400dに電源供給をしなくてもトランジスタ400aのバックゲートの負電位を長時間維持することができる。

30

【0381】

以上のようにして、本発明の一態様により、微細化または高集積化が可能な容量素子または半導体装置を提供することができる。または、本発明の一態様により、生産性の高い容量素子または半導体装置を提供することができる。または、本発明の一態様により、静電容量の大きい容量素子を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、良好な信頼性を有する半導体装置を提供することができる。

【0382】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

40

【0383】

(実施の形態2)

本実施の形態では、半導体装置の一形態として、記憶装置として機能する半導体装置について、図27乃至図29を用いて説明する。

【0384】

[記憶装置]

図27に示す半導体装置は、トランジスタ300と、トランジスタ200、トランジスタ345および容量素子360を有している。ここで、トランジスタ200および容量素子360として、上記実施の形態に示すトランジスタ400(トランジスタ400a、ト

50

ランジスタ 400b、およびトランジスタ 400c なども含む)と、容量素子 100 を用いることができる。また、トランジスタ 345 としてトランジスタ 400d などを用いることができる。

【0385】

トランジスタ 200 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ 200 の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

10

【0386】

容量素子 360 は、開口の底面だけでなく、側面においても上部電極と下部電極とが誘電体を挟んで対向する構成となっており、単位面積当たりの静電容量を大きくすることができる。そして、容量素子 360 の高さを高くするほど、容量素子 360 の静電容量を大きくすることができます。このように容量素子 360 の単位面積当たりの静電容量を大きくすることにより、これを記憶装置に用いる場合、容量素子の占有面積を抑えつつ、長期にわたり記憶内容を保持することが可能である。よって、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ない記憶装置において、単位面積当たりの記憶容量を増大させることができる。これにより、記憶装置の微細化または高集積化をはかることができる。

20

【0387】

図 27において、配線 3001 はトランジスタ 300 のソースと電気的に接続され、配線 3002 はトランジスタ 300 のドレインと電気的に接続されている。また、配線 3003 はトランジスタ 200 のソースおよびドレインの一方と電気的に接続され、配線 3004 はトランジスタ 200 のゲートと電気的に接続され、配線 3006 はトランジスタ 200 のバックゲートと電気的に接続されている。そして、トランジスタ 300 のゲート、およびトランジスタ 200 のソースおよびドレインの他方は、容量素子 360 の電極の一方と電気的に接続され、配線 3005 は容量素子 360 の電極の他方と電気的に接続されている。配線 3007 はトランジスタ 345 のソースと電気的に接続され、配線 3008 はトランジスタ 345 のゲートと電気的に接続され、配線 3009 はトランジスタ 345 のバックゲートと電気的に接続され、配線 3010 はトランジスタ 345 のドレインと電気的に接続されている。ここで、配線 3006、配線 3007、配線 3008、及び配線 3009 が電気的に接続されている。

30

【0388】

このように、トランジスタ 200 とトランジスタ 345 を接続することにより、上記実施の形態に示すように、トランジスタ 345 はトランジスタ 200 のバックゲート電圧を制御することができる。さらに、トランジスタ 200 およびトランジスタ 345 に電源供給をしなくてもトランジスタ 200 のバックゲートの負電位を長時間維持することができる。

40

【0389】

図 27 に示す半導体装置は、トランジスタ 300 のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0390】

また、図 27 に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、1 個のトランジスタ 345 は、複数のトランジスタ 200 のバックゲート電圧を制御することができる。そのため、トランジスタ 345 は、トランジスタ 200 よりも、少ない個数とすることが出来る。

50

【0391】

情報の書き込みおよび保持について説明する。まず、配線3004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、配線3003の電位が、トランジスタ300のゲート、および容量素子360の電極の一方と電気的に接続するノードFGに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、配線3004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

10

【0392】

トランジスタ200のオフ電流が小さい場合、ノードFGの電荷は長期間にわたって保持される。

【0393】

次に情報の読み出しについて説明する。配線3001に所定の電位（定電位）を与えた状態で、配線3005に適切な電位（読み出し電位）を与えると、配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な配線3005の電位をいうものとする。したがって、配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ300は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ300は「非導通状態」のままである。このため、配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

20

【0394】

30

<記憶装置の構造>

本発明の一態様の半導体装置は、図27に示すようにトランジスタ300、トランジスタ200、トランジスタ345および容量素子360を有する。トランジスタ200およびトランジスタ345はトランジスタ300の上方に設けられ、容量素子360はトランジスタ300、トランジスタ200およびトランジスタ345の上方に設けられている。

【0395】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

【0396】

40

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0397】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transi

50

s t o r) としてもよい。

【 0 3 9 8 】

低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b は、半導体領域 3 1 3 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

【 0 3 9 9 】

ゲート電極として機能する導電体 3 1 6 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【 0 4 0 0 】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタンクスチンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタンクスチンを用いることが耐熱性の点で好ましい。

【 0 4 0 1 】

なお、図 2 7 に示すトランジスタ 3 0 0 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【 0 4 0 2 】

トランジスタ 3 0 0 を覆って、絶縁体 3 2 0 、絶縁体 3 2 2 、絶縁体 3 2 4 、および絶縁体 3 2 6 が順に積層して設けられている。

【 0 4 0 3 】

絶縁体 3 2 0 、絶縁体 3 2 2 、絶縁体 3 2 4 、および絶縁体 3 2 6 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【 0 4 0 4 】

絶縁体 3 2 2 は、その下方に設けられるトランジスタ 3 0 0 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (C M P) 法等を用いた平坦化処理により平坦化されてもよい。

【 0 4 0 5 】

また、絶縁体 3 2 4 には、基板 3 1 1 、またはトランジスタ 3 0 0 などから、トランジスタ 2 0 0 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【 0 4 0 6 】

水素に対するバリア性を有する膜の一例として、例えば、 C V D 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 2 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 3 0 0 と、トランジスタ 2 0 0 およびトランジスタ 3 4 5 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【 0 4 0 7 】

水素の脱離量は、例えば、昇温脱離ガス分析法 (T D S) などを用いて分析することができる。例えば、絶縁体 3 2 4 の水素の脱離量は、 T D S 分析において、 5 0 から 5 0 0 の範囲において、水素原子に換算した脱離量が、絶縁体 3 2 4 の面積当たりに換算して、 $1 0 \times 1 0^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 1 0^{15} \text{ atoms/cm}^2$ 以下であればよい。

【 0 4 0 8 】

なお、絶縁体 3 2 6 は、絶縁体 3 2 4 よりも比誘電率が低いことが好ましい。例えば、

10

20

30

40

50

絶縁体 326 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 326 の比誘電率は、絶縁体 324 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。比誘電率が低い材料を層間膜としてすることで、配線間に生じる寄生容量を低減することができる。

【0409】

また、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 にはトランジスタ 200 等と電気的に接続する導電体 328、および導電体 330 等が埋め込まれている。なお、導電体 328、および導電体 330 はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

10

【0410】

各プラグ、および配線（導電体 328、および導電体 330 等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタンゲステンやモリブデンなどの高融点材料を用いることが好ましく、タンゲステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

20

【0411】

絶縁体 326、および導電体 330 上に、配線層を設けてもよい。例えば、図 27 において、絶縁体 350、絶縁体 352、及び絶縁体 354 が順に積層して設けられている。また、絶縁体 350、絶縁体 352、及び絶縁体 354 には、導電体 356 が形成されている。導電体 356 は、プラグ、または配線としての機能を有する。なお導電体 356 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

30

【0412】

なお、例えば、絶縁体 350 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 356 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 350 が有する開口に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 と、トランジスタ 200 およびトランジスタ 345 と、は、バリア層により分離することができ、トランジスタ 300 からトランジスタ 200 およびトランジスタ 345 への水素の拡散を抑制することができる。

【0413】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタンゲステンを積層することで、配線としての導電性を保持したまま、トランジスタ 300 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造であることが好ましい。

40

【0414】

絶縁体 354、および導電体 356 上に、配線層を設けてもよい。例えば、図 27 において、絶縁体 354 上には、絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 が、順に積層して設けられている。絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0415】

例えば、絶縁体 210、および絶縁体 214 には、例えば、基板 311、またはトランジスタ 300 を設ける領域などから、トランジスタ 200 またはトランジスタ 345 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 324 と同様の材料を用いることができる。

50

【0416】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ300と、トランジスタ200およびトランジスタ345との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0417】

また、水素に対するバリア性を有する膜として、例えば、絶縁体210、および絶縁体214には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

10

【0418】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200およびトランジスタ345への混入を防止することができる。また、トランジスタ200およびトランジスタ345を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200およびトランジスタ345に対する保護膜として用いることに適している。

【0419】

また、例えば、絶縁体212、および絶縁体216には、絶縁体320と同様の材料を用いることができる。また、比較的比誘電率が低い材料を層間膜として、配線間に生じる寄生容量を低減することができる。例えば、絶縁体212、および絶縁体216として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

20

【0420】

また、絶縁体210、絶縁体212、絶縁体214、および絶縁体216に形成された開口には、導電体218、及びトランジスタ200を構成する導電体およびトランジスタ345を構成する導電体等が埋め込まれている。なお、導電体218は、トランジスタ300と、容量素子360またはトランジスタ200と、を電気的に接続するプラグ、または配線としての機能を有する。また、トランジスタ200およびトランジスタ345のバックゲートに接続される配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

30

【0421】

特に、導電体218の、絶縁体214と接する層は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300と、トランジスタ200およびトランジスタ345と、は、酸素、水素、および水に対するバリア性を有する層で、完全により分離することができ、トランジスタ300からトランジスタ200およびトランジスタ345への水素の拡散を抑制することができる。

【0422】

絶縁体216の上方には、トランジスタ200およびトランジスタ345が設けられている。なお、トランジスタ200およびトランジスタ345としては、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。例えば、トランジスタ200としては、トランジスタ400a、トランジスタ400b、トランジスタ400cなどを用いることができ、トランジスタ345としては、トランジスタ400dなどを用いることができる。図27では、トランジスタ200としてトランジスタ400aを用い、トランジスタ345としてトランジスタ400dを用いる例を示している。また、図27に示すトランジスタ200およびトランジスタ345は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

40

【0423】

また、絶縁体216上および導電体218上には、絶縁体230および絶縁体232が

50

順に積層して設けられている。絶縁体 230、および絶縁体 232 の少なくとも一方は、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0424】

例えば、絶縁体 230、および絶縁体 232 には、例えば、基板 311、またはトランジスタ 300 を設ける領域などから、トランジスタ 200 またはトランジスタ 345 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 324 と同様の材料を用いることができる。

【0425】

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 200 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 300 と、トランジスタ 200 およびトランジスタ 345 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

10

【0426】

また、絶縁体 230、および絶縁体 232 に形成された開口には、導電体 219 が埋め込まれている。なお、導電体 219 は、トランジスタ 200 のバックゲート電極およびトランジスタ 345 のバックゲート電極としての機能を有する。また、導電体 219 は、トランジスタ 300 と、容量素子 360 またはトランジスタ 200 と、を電気的に接続するプラグ、または配線としての機能を有する。導電体 219 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

20

【0427】

トランジスタ 200 のバックゲート電極およびトランジスタ 345 のバックゲート電極と、トランジスタ 200 のトップゲート電極およびトランジスタ 345 のトップゲート電極と、の間に絶縁体 230 および絶縁体 232 を設けることで、トランジスタ 200 のバックゲート電極とトランジスタ 200 のトップゲート電極の間の寄生容量、およびトランジスタ 345 のバックゲート電極とトランジスタ 345 のトップゲート電極の間の寄生容量を低減することができる。

【0428】

トランジスタ 200 およびトランジスタ 345 の上方には、絶縁体 280 を設ける。絶縁体 280 には、過剰酸素領域が形成されていることが好ましい。特に、トランジスタ 200 およびトランジスタ 345 に酸化物半導体を用いる場合、トランジスタ 200 およびトランジスタ 345 近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ 200 およびトランジスタ 345 が有する酸化物の酸素欠損を低減することで、信頼性を向上させることができる。また、トランジスタ 200 およびトランジスタ 345 を覆う絶縁体 280 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

30

【0429】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 500 以下の範囲が好ましい。

40

【0430】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0431】

50

絶縁体 280 上には、絶縁体 282 が設けられている。絶縁体 282 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体 282 には、絶縁体 214 と同様の材料を用いることができる。例えば、絶縁体 282 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0432】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 200 およびトランジスタ 345 への混入を防止することができる。また、トランジスタ 200 およびトランジスタ 345 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 200 およびトランジスタ 345 に対する保護膜として用いることに適している。

10

【0433】

なお、トランジスタ 200 としてトランジスタ 400a を設ける場合およびトランジスタ 345 としてトランジスタ 400d を設ける場合、絶縁体 230 は絶縁体 401 に、絶縁体 232 は絶縁体 301 に、絶縁体 220 は絶縁体 302 に、絶縁体 222 は絶縁体 303 に、絶縁体 224 は絶縁体 402 に、絶縁体 280 は絶縁体 410 に、絶縁体 282 は絶縁体 420 に対応する。よって、先の実施の形態に示す対応する構成の記載を参照することができる。

20

【0434】

また、絶縁体 282 上には、絶縁体 286 が設けられている。絶縁体 286 は、先の実施の形態に示す絶縁体 422 に対応する。よって、先の実施の形態に示す対応する構成の記載を参照することができる。

20

【0435】

また、絶縁体 220、絶縁体 222、絶縁体 224、絶縁体 280、絶縁体 282、および絶縁体 286 に形成された開口には、導電体 246 および導電体 248 等が埋め込まれている。導電体 246 および導電体 248 は、先の実施の形態に示す導電体 108a または導電体 108b などに対応する。よって、先の実施の形態に示す対応する構成の記載を参照することができる。

30

【0436】

導電体 246 および導電体 248 は、容量素子 360、トランジスタ 200、トランジスタ 345、またはトランジスタ 300 と電気的に接続するプラグ、または配線としての機能を有する。導電体 246、および導電体 248 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

30

【0437】

続いて、トランジスタ 200 の上に容量素子 360 が設けられている。容量素子 360 は、絶縁体 286、絶縁体 288、絶縁体 290、および絶縁体 292 に形成された開口に埋め込まれるように設けられる。ここで、絶縁体 286 は絶縁体 422 に、絶縁体 288 は絶縁体 112 に、絶縁体 290 は絶縁体 114 に、絶縁体 292 は絶縁体 116 に、それぞれ対応する。よって、これらは、先の実施の形態に示す対応する構成の記載を参照することができる。また、そのほかの容量素子 360 の構成についても、先に実施の形態に記載の容量素子 100 の構成を参照することができる。

40

【0438】

容量素子 360 の上に、絶縁体 294 が設けられている。絶縁体 294 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。絶縁体 294 は、先の実施の形態に示す絶縁体 150 に対応する。よって、先の実施の形態に示す対応する構成の記載を参照することができる。

40

【0439】

絶縁体 288、絶縁体 290、絶縁体 292、および絶縁体 294 に形成された開口に埋め込まれるように導電体 296 および導電体 298 が設けられる。導電体 296 および

50

導電体 298 は、トランジスタ 200 またはトランジスタ 345 と電気的に接続するプラグ、または配線としての機能を有する。導電体 296 および導電体 298 は、先の実施の形態に示す導電体 162a および導電体 162b などに対応する。よって、先の実施の形態に示す対応する構成の記載を参照することができる。

【0440】

また、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。例えば、図 27 に示す構造 500 は、ダイシングライン近傍の断面図を示している。

10

【0441】

例えば、構造 500 に示すように、トランジスタ 200、またはトランジスタ 345 を有するメモリセルの外縁に設けられるダイシングラインと重なる領域近傍において、絶縁体 280、絶縁体 224、絶縁体 222、絶縁体 220、絶縁体 232、絶縁体 230 及び絶縁体 216 に開口を設ける。また、絶縁体 280、絶縁体 224、絶縁体 222、絶縁体 220、絶縁体 232、絶縁体 230 及び絶縁体 216 の側面を覆うように、絶縁体 282 を設ける。

【0442】

つまり、該開口において絶縁体 214 と、絶縁体 282 とが接する。このとき、絶縁体 214 と、絶縁体 282 と、を同材料及び同方法を用いて形成することで、密着性を高めることができる。例えば、酸化アルミニウムを用いることができる。

20

【0443】

当該構造により、絶縁体 214 と、絶縁体 282 で、絶縁体 280、トランジスタ 200、およびトランジスタ 345 を包み込むことができる。絶縁体 210、絶縁体 222、絶縁体 282 は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ 200、またはトランジスタ 345 に拡散することを防ぐことができる。

【0444】

また、当該構造により、絶縁体 280 の過剰酸素が絶縁体 282、および絶縁体 222 の外部に拡散することを防ぐことができる。従って、絶縁体 280 の過剰酸素は、効率的にトランジスタ 200、またはトランジスタ 345 におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ 200、またはトランジスタ 345 におけるチャネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ 200、またはトランジスタ 345 におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができます。つまり、トランジスタ 200、またはトランジスタ 345 の電気特性の変動を抑制すると共に、信頼性を向上させることができます。

30

【0445】

なお、図 27 に示す半導体装置においては、トランジスタ 300 のゲートが、導電体 246 および導電体 248 を介して、トランジスタ 200 のソースおよびドレインの他方と電気的に接続される構成にしたが、本実施の形態に示す半導体装置はこれに限られるものではない。例えば、図 28 に示すように、トランジスタ 300 のゲートが、トランジスタ 200 のソースおよびドレインの他方と電気的に接続されず、導電体 246、導電体 248、導電体 296、および導電体 298 を介して、配線 3011 に電気的に接続される構成にしてもよい。

40

【0446】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向

50

上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

【0447】

<メモリセルアレイの構造>

次に、本実施の形態のメモリセルアレイの一例を、図29に示す。図27に示す記憶装置をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、図29には、図27に示すトランジスタ345は省略する。図29は、図27に示す記憶装置を、マトリクス状に配置した場合における、行の一部を抜き出した断面図である。

10

【0448】

また、図29は図27と、トランジスタ300の構成が異なる。図29に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからF1N型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

20

【0449】

図29に示す記憶装置では、メモリセル600aとメモリセル600bが隣接して配置されている。メモリセル600aおよびメモリセル600bは、トランジスタ300、トランジスタ200、および容量素子360を有し、配線3001、配線3002、配線3003、配線3004、配線3005、および配線3006と電気的に接続される。また、メモリセル600aおよびメモリセル600bにおいても、同様にトランジスタ300のゲートと、容量素子360の電極の一方と、が電気的に接続するノードを、ノードFGとする。なお、配線3002は隣接するメモリセル600aとメモリセル600bで共通の配線である。

30

【0450】

メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、メモリセルアレイがNOR型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を非導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードFGに与えられた電荷によらずトランジスタ300が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を、情報を読み出さないメモリセルと接続される配線3005に与えればよい。または、例えば、メモリセルアレイがNAND型の構成の場合、情報を読み出さないメモリセルのトランジスタ300を導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノードFGに与えられた電荷によらずトランジスタ300が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を、情報を読み出さないメモリセルと接続される配線3005に与えればよい。

40

【0451】

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

【0452】

50

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0453】

(実施の形態3)

本実施の形態では、表示コントローラIC、およびソースドライバICなどに用いることができる、本発明の一態様に係る半導体装置を含むフレームメモリについて説明する。

【0454】

フレームメモリには、例えば、1T(トランジスタ)1C(容量)型のメモリセルを備えたDRAM(ダイナミックランダムアクセスメモリ)を適用することができる。また、メモリセルにOSトランジスタが用いられるメモリ装置(以下、「OSメモリ」と呼ぶ。)を用いることができる。ここでは、OSメモリの一例として、1T1C型のメモリセルを有するRAMについて説明する。ここでは、このようなRAMを、「DOSRAM(Dynamic Oxide Semiconductor RAM、ドスラム)」と呼ぶこととする。図30に、DOSRAMの構成例を示す。

10

【0455】

<< D O S R A M 1 4 0 0 >>

DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420(以下、「MC-SAアレイ1420」と呼ぶ。)を有する。

20

【0456】

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セレクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、GBLRを有する。

【0457】

(MC-SAアレイ1420)

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。例えば、図28に示す半導体装置をDOSRAM1400に用いる場合、メモリセルアレイ1422をトランジスタ200および容量素子360を含む層で構成し、センスアンプアレイ1423をトランジスタ300を含む層で構成することができる。

30

【0458】

メモリセルアレイ1422は、N個(Nは2以上の整数)のローカルメモリセルアレイ1425<0> 1425<N-1>を有する。図31(A)にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BLL、BLRを有する。図31(A)の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

40

【0459】

図31(B)にメモリセル1445の回路構成例を示す。メモリセル1445はトランジスタMW1、容量素子CS1、端子B1、B2を有する。トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。トランジスタMW1のゲートはワード線に電気的に接続され、第1端子はビット線に電気的に接続され、第2端子は容量素子CS1の第1端子に電気的に接続されている。容量素子CS1の第2端子は端子B2に電気的に接続されている。端子B2には、定電圧(例えば、低電源電圧)が入力される。例えば、図28に示す半導体装置をDOSRAM1400に用いる場合、トランジスタMW1としてト

50

ランジスタ 200 を用い、容量素子 C S 1 として容量素子 360 を用いることができる。

【 0 4 6 0 】

トランジスタ MW 1 はバックゲートを備えており、バックゲートは端子 B 1 に電気的に接続されている。そのため、端子 B 1 の電圧によって、トランジスタ MW 1 の閾値電圧を変更することができる。例えば、端子 B 1 の電圧は固定電圧（例えば、負の定電圧）であってもよいし、DOSRAM 1400 の動作に応じて、端子 B 1 の電圧を変化させてもよい。

【 0 4 6 1 】

トランジスタ MW 1 のバックゲートをトランジスタ MW 1 のゲート、ソース、またはドレインに電気的に接続してもよい。あるいは、トランジスタ MW 1 にバックゲートを設けなくてもよい。

10

【 0 4 6 2 】

センスアンプアレイ 1423 は、N 個のローカルセンスアンプアレイ 1426 <0> 1426 <N-1> を有する。ローカルセンスアンプアレイ 1426 は、1 のスイッチアレイ 1444、複数のセンスアンプ 1446 を有する。センスアンプ 1446 には、ビット線対が電気的に接続されている。センスアンプ 1446 は、ビット線対をプリチャージする機能、ビット線対の電圧差を増幅する機能、この電圧差を保持する機能を有する。スイッチアレイ 1444 は、ビット線対を選択し、選択したビット線対とグローバルビット線対との間を導通状態にする機能を有する。

【 0 4 6 3 】

ここで、ビット線対とは、センスアンプによって、同時に比較される 2 本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される 2 本のグローバルビット線のことをいう。ビット線対を一対のビット線と呼ぶことができ、グローバルビット線対を一対のグローバルビット線と呼ぶことができる。ここでは、ビット線 B L L とビット線 B L R が 1 組のビット線対を成す。グローバルビット線 G B L L とグローバルビット線 G B L R とが 1 組のグローバルビット線対をなす。以下、ビット線対 (B L L , B L R) 、グローバルビット線対 (G B L L , G B L R) とも表す。

20

【 0 4 6 4 】

(コントローラ 1405)

コントローラ 1405 は、DOSRAM 1400 の動作全般を制御する機能を有する。コントローラ 1405 は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路 1410 、列回路 1415 の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

30

【 0 4 6 5 】

(行回路 1410)

行回路 1410 は、MC-SA アレイ 1420 を駆動する機能を有する。デコーダ 1411 はアドレス信号をデコードする機能を有する。ワード線ドライバ回路 1412 は、アクセス対象行のワード線 W L を選択する選択信号を生成する。

【 0 4 6 6 】

列セレクタ 1413 、センスアンプドライバ回路 1414 はセンスアンプアレイ 1423 を駆動するための回路である。列セレクタ 1413 は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セレクタ 1413 の選択信号によって、各ローカルセンスアンプアレイ 1426 のスイッチアレイ 1444 が制御される。センスアンプドライバ回路 1414 の制御信号によって、複数のローカルセンスアンプアレイ 1426 は独立して駆動される。

40

【 0 4 6 7 】

(列回路 1415)

列回路 1415 は、データ信号 W D A [31 : 0] の入力を制御する機能、データ信号 R D A [31 : 0] の出力を制御する機能を有する。データ信号 W D A [31 : 0] は書

50

き込みデータ信号であり、データ信号 R D A [3 1 : 0] は読み出しデータ信号である。

【 0 4 6 8 】

グローバルセンスアンプ 1 4 4 7 はグローバルビット線対 (G B L L , G B L R) に電気的に接続されている。グローバルセンスアンプ 1 4 4 7 はグローバルビット線対 (G B L L , G B L R) 間の電圧差を増幅する機能、この電圧差を保持する機能を有する。グローバルビット線対 (G B L L , G B L R) へのデータの書き込み、および読み出しが、入出力回路 1 4 1 7 によって行われる。

【 0 4 6 9 】

D O S R A M 1 4 0 0 の書き込み動作の概要を説明する。入出力回路 1 4 1 7 によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ 1 4 1 6 によって保持される。アドレス信号が指定するローカルセンスアンプアレイ 1 4 2 6 のスイッチアレイ 1 4 4 4 によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ 1 4 2 6 は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ 1 4 2 5 において、行回路 1 4 1 0 によって、対象行のワード線 W L が選択され、選択行のメモリセル 1 4 4 5 にローカルセンスアンプアレイ 1 4 2 6 の保持データが書き込まれる。

10

【 0 4 7 0 】

D O S R A M 1 4 0 0 の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ 1 4 2 5 の 1 行が指定される。指定されたローカルメモリセルアレイ 1 4 2 5 において、対象行のワード線 W L が選択状態となり、メモリセル 1 4 4 5 のデータがビット線に書き込まれる。ローカルセンスアンプアレイ 1 4 2 6 によって、各列のビット線対の電圧差がデータとして検出され、かつ保持される。スイッチアレイ 1 4 4 4 によって、ローカルセンスアンプアレイ 1 4 2 6 の保持データの内、アドレス信号が指定する列のデータが、グローバルセンスアンプアレイ 1 4 1 6 は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ 1 4 1 6 の保持データは入出力回路 1 4 1 7 に出力される。以上で、読み出し動作が完了する。

20

【 0 4 7 1 】

容量素子 C S 1 の充放電によってデータを書き換えるため、D O S R A M 1 4 0 0 には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル 1 4 4 5 の回路構成が単純であるため、大容量化が容易である。

30

【 0 4 7 2 】

トランジスタ M W 1 は O S トランジスタである。O S トランジスタはオフ電流が極めて小さいため、容量素子 C S 1 から電荷がリークすることを抑えることができる。したがって、D O S R A M 1 4 0 0 の保持時間は D R A M に比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。そのため、D O S R A M 1 4 0 0 をフレームメモリとして用いることで、表示コントローラ I C 、およびソースドライバ I C の消費電力を削減することができる。

40

【 0 4 7 3 】

M C - S A アレイ 1 4 2 0 が積層構造であることによって、ローカルセンスアンプアレイ 1 4 2 6 の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル 1 4 4 5 の保持容量を低減することができる。また、ローカルセンスアンプアレイ 1 4 2 6 にスイッチアレイ 1 4 4 4 を設けることで、長いビット線の本数を減らすことができる。以上の理由から、D O S R A M 1 4 0 0 のアクセス時に駆動する負荷が低減されるので、表示コントローラ I C 、およびソースドライバ I C の消費エネルギーを低減できる。

【 0 4 7 4 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いること

50

ができる。

【0475】

(実施の形態4)

本実施の形態では、本発明の一態様に係る酸化物を半導体に用いたトランジスタ(OSトランジスタ)が適用されている半導体装置の一例として、FPGA(フィールドプログラマブルゲートアレイ)について説明する。本実施の形態のFPGAは、コンフィギュレーションメモリ、およびレジスタにOSメモリが適用されている。ここでは、このようなFPGAを「OS-FPGA」と呼ぶ。

【0476】

OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有するメモリである。OSトランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

10

【0477】

図32(A)にOS-FPGAの構成例を示す。図32(A)に示すOS-FPGA3110は、マルチコンテキスト構造によるコンテキスト切り替えとPLE毎の細粒度パワーゲーティングを実行するNOFF(ノーマリオフ)コンピューティングが可能である。OS-FPGA3110は、コントローラ3111、ワードドライバ3112、データドライバ3113、プログラマブルエリア3115を有する。

【0478】

プログラマブルエリア3115は、2個の入出力ブロック(LOB)3117、コア3119を有する。LOB3117は複数のプログラマブル入出力回路を有する。コア3119は、複数のロジックアレイブロック(LAB)3120、複数のスイッチアレイブロック(SAB)3130を有する。LAB3120は複数のPLE3121を有する。図32(B)には、LAB3120を5個のPLE3121で構成する例を示す。図32(C)に示すようにSAB3130はアレイ状に配列された複数のスイッチブロック(SB)3131を有する。LAB3120は自身の入力端子と、SAB3130を介して4(上下左右)方向のLAB3120に接続される。

20

【0479】

図33(A)乃至図33(C)を参照して、SB3131について説明する。図33(A)に示すSB3131には、data、datab、信号context[1:0]、信号word[1:0]が入力される。data、databはコンフィギュレーションデータであり、dataとdatabは論理が相補的な関係にある。OS-FPGA3110のコンテキスト数は2であり、信号context[1:0]はコンテキスト選択信号である。信号word[1:0]はワード線選択信号であり、信号word[1:0]が入力される配線がそれぞれワード線である。

30

【0480】

SB3131は、PRS(プログラマブルルーティングスイッチ)3133[0]、3133[1]を有する。PRS3133[0]、3133[1]は、相補データを格納できるコンフィギュレーションメモリ(CM)を有する。なお、PRS3133[0]とPRS3133[1]とを区別しない場合、PRS3133と呼ぶ。他の要素についても同様である。

40

【0481】

図33(B)にPRS3133[0]の回路構成例を示す。PRS3133[0]とPRS3133[1]とは同じ回路構成を有する。PRS3133[0]とPRS3133[1]とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号context[0]、word[0]はPRS3133[0]に入力され、信号context[1]、word[1]はPRS3133[1]に入力される。例えば、SB3131において、信号context[0]が“H”になることで、PRS3133[0]がアクティブになる。

【0482】

50

PRS3133[0]は、CM3135、SiトランジスタM31を有する。SiトランジスタM31は、CM3135により制御されるパストランジスタである。CM3135は、メモリ回路3137、3137Bを有する。メモリ回路3137、3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSトランジスタMO31、MO32を有する。メモリ回路3137Bは、容量素子CB31、OSトランジスタMOB31、MOB32を有する。

【0483】

OSトランジスタMO31、MO32、MOB31、MOB32はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電気的に接続されている。

【0484】

SiトランジスタM31のゲートがノードN31であり、OSトランジスタMO32のゲートがノードN32であり、OSトランジスタMOB32のゲートがノードNB32である。ノードN32、NB32はCM3135の電荷保持ノードである。OSトランジスタMO32はノードN31と信号context[0]用の信号線との間の導通状態を制御する。OSトランジスタMOB32はノードN31と低電位電源線VSSとの間の導通状態を制御する。

【0485】

メモリ回路3137、3137Bが保持するデータの論理は相補的な関係にある。したがって、OSトランジスタMO32またはMOB32の何れか一方が導通する。

【0486】

図33(C)を参照して、PRS3133[0]の動作例を説明する。PRS3133[0]にコンフィギュレーションデータが既に書き込まれてあり、PRS3133[0]のノードN32は“H”であり、ノードNB32は“L”である。

【0487】

信号context[0]が“L”である間はPRS3133[0]は非アクティブである。この期間に、PRS3133[0]の入力端子が“H”に遷移しても、SiトランジスタM31のゲートは“L”が維持され、PRS3133[0]の出力端子も“L”が維持される。

【0488】

信号context[0]が“H”である間はPRS3133[0]はアクティブである。信号context[0]が“H”に遷移すると、CM3135が記憶するコンフィギュレーションデータによって、SiトランジスタM31のゲートは“H”に遷移する。

【0489】

PRS3133[0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3137のOSトランジスタMO32がソースフォロアであるために、ブースティングによってSiトランジスタM31のゲート電圧は上昇する。その結果、メモリ回路3137のOSトランジスタMO32は駆動能力を失い、SiトランジスタM31のゲートは浮遊状態となる。

【0490】

マルチコンテキスト機能を備えるPRS3133において、CM3135はマルチプレクサの機能を併せ持つ。

【0491】

図34にPLE3121の構成例を示す。PLE3121はLUT(ルックアップテーブル)ブロック3123、レジスタブロック3124、セレクタ3125、CM3126を有する。LUTブロック3123は、入力inA-inDに従って内部のデータを選択し、出力する構成である。セレクタ3125は、CM3126が格納するコンフィギュレーションデータに従って、LUTブロック3123の出力またはレジスタブロック3124の出力を選択する。

【0492】

PLE3121は、パワースイッチ3127を介して電圧VDD用の電源線に電気的に

10

20

30

40

50

接続されている。パワースイッチ 3127 のオンオフは、CM3128 が格納するコンフィギュレーションデータによって設定される。各 PLE3121 にパワースイッチ 3127 を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されない PLE3121 をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

【0493】

NOFF コンピューティングを実現するため、レジスタブロック 3124 は、不揮発性レジスタで構成される。PLE3121 内の不揮発性レジスタは OS メモリを備えるフリップフロップ（以下 [OS-FF] と呼ぶ）である。

【0494】

レジスタブロック 3124 は、OS-FF3140[1]、3140[2] を有する。信号 user_res、load、store が OS-FF3140[1]、3140[2] に入力される。クロック信号 CLK1 は OS-FF3140[1] に入力され、クロック信号 CLK2 は OS-FF3140[2] に入力される。図 35 (A) に OS-FF3140 の構成例を示す。

【0495】

OS-FF3140 は、FF3141、シャドウレジスタ 3142 を有する。FF3141 は、ノード CK、R、D、Q、QB を有する。ノード CK にはクロック信号が入力される。ノード R には信号 user_res が入力される。信号 user_res はリセット信号である。ノード D はデータ入力ノードであり、ノード Q はデータ出力ノードである。ノード Q とノード QB とは論理が相補関係にある。

【0496】

シャドウレジスタ 3142 は、FF3141 のバックアップ回路として機能する。シャドウレジスタ 3142 は、信号 store に従いノード Q、QB のデータをそれぞれバックアップし、また、信号 load に従い、バックアップしたデータをノード Q、QB に書き戻す。

【0497】

シャドウレジスタ 3142 は、インバータ回路 3188、3189、Si トランジスタ M37、MB37、メモリ回路 3143、3143B を有する。メモリ回路 3143、3143B は、PRS3133 のメモリ回路 3137 と同じ回路構成である。メモリ回路 3143 は容量素子 C36、OS トランジスタ MO35、OS トランジスタ MO36 を有する。メモリ回路 3143B は容量素子 CB36、OS トランジスタ MOB35、OS トランジスタ MOB36 を有する。ノード N36、NB36 は OS トランジスタ MO36、OS トランジスタ MOB36 のゲートであり、それぞれ電荷保持ノードである。ノード N37、NB37 は、Si トランジスタ M37、MB37 のゲートである。

【0498】

OS トランジスタ MO35、MO36、MOB35、MOB36 はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電気的に接続されている。

【0499】

図 35 (B) を参照して、OS-FF3140 の動作方法例を説明する。

【0500】

(バックアップ)

“H” の信号 store が OS-FF3140 に入力されると、シャドウレジスタ 3142 は FF3141 のデータをバックアップする。ノード N36 は、ノード Q のデータが書き込まれることで、“L” となり、ノード NB36 は、ノード QB のデータが書き込まれることで、“H” となる。しかる後、パワーゲーティングが実行され、パワースイッチ 3127 をオフにする。FF3141 のノード Q、QB のデータは消失するが、電源オフであっても、シャドウレジスタ 3142 はバックアップしたデータを保持する。

【0501】

(リカバリ)

10

20

30

40

50

パワースイッチ 3127 をオンにし、PLE3121 に電源を供給する。しかる後、“H”の信号 10ad が OS - FF3140 に入力されると、シャドウレジスタ 3142 はバックアップしているデータを FF3141 に書き戻す。ノード N36 は “L” であるので、ノード N37 は “L” が維持され、ノード NB36 は “H” であるので、ノード NB37 は “H” となる。よって、ノード Q は “H” になり、ノード QB は “L” になる。つまり、OS - FF3140 はバックアップ動作時の状態に復帰する。

【0502】

細粒度パワーゲーティングと、OS - FF3140 のバックアップ / リカバリ動作とを組み合わせることで、OS - FPGA3110 の消費電力を効果的に低減できる。

【0503】

メモリ回路において発生しうるエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される 線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSトランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS - FPGA3110 を提供することができる。

【0504】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0505】

(実施の形態 5)

本実施の形態においては、上述した記憶装置など、本発明の一態様に係る半導体装置を含むCPUの一例について説明する。

【0506】

<CPUの構成>

図36に示す半導体装置 5400 は、CPUコア 5401、パワーマネジメントユニット 5421 および周辺回路 5422 を有する。パワーマネジメントユニット 5421 は、パワーコントローラ 5402、およびパワースイッチ 5403 を有する。周辺回路 5422 は、キャッシュメモリを有するキャッシュ 5404、バスインターフェース (BUS I/F) 5405、及びデバッグインターフェース (Debug I/F) 5406 を有する。CPUコア 5401 は、データバス 5423、制御装置 5407、PC (プログラムカウンタ) 5408、パイプラインレジスタ 5409、パイプラインレジスタ 5410、ALU (Arithmetic logic unit) 5411、及びレジスタファイル 5412 を有する。CPUコア 5401 と、キャッシュ 5404 等の周辺回路 5422 とのデータのやり取りは、データバス 5423 を介して行われる。

【0507】

半導体装置 (セル) は、パワーコントローラ 5402、制御装置 5407 をはじめ、多くの論理回路に適用することができる。特に、スタンダードセルを用いて構成することができる全ての論理回路に適用することができる。その結果、小型の半導体装置 5400 を提供できる。また、消費電力低減することができる半導体装置 5400 を提供できる。また、動作速度を向上することができる半導体装置 5400 を提供できる。また、電源電圧の変動を低減することができる半導体装置 5400 を提供できる。

【0508】

半導体装置 (セル) に、pチャネル型 Siトランジスタと、先の実施の形態に記載の酸化物半導体 (好ましくは In、Ga、及び Zn を含む酸化物) をチャネル形成領域に含むトランジスタとを用い、該半導体装置 (セル) を半導体装置 5400 に適用することで、小型の半導体装置 5400 を提供できる。また、消費電力低減することができる半導体装置 5400 を提供できる。また、動作速度を向上することができる半導体装置 5400 を提供できる。特に、Siトランジスタは pチャネル型のみとすることで、製造コストを低

10

20

30

40

50

く抑えることができる。

【0509】

制御装置5407は、PC5408、パイプラインレジスタ5409、パイプラインレジスタ5410、ALU5411、レジスタファイル5412、キャッシング5404、バスインターフェース5405、デバッグインターフェース5406、及びパワーコントローラ5402の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。

【0510】

ALU5411は、四則演算、論理演算などの各種演算処理を行う機能を有する。

【0511】

キャッシング5404は、使用頻度の高いデータを一時的に記憶しておく機能を有する。PC5408は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。なお、図36では図示していないが、キャッシング5404には、キャッシングメモリの動作を制御するキャッシングコントローラが設けられている。

10

【0512】

パイプラインレジスタ5409は、命令データを一時的に記憶する機能を有するレジスタである。

【0513】

レジスタファイル5412は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、またはALU5411の演算処理の結果得られたデータ、などを記憶することができる。

20

【0514】

パイプラインレジスタ5410は、ALU5411の演算処理に利用するデータ、またはALU5411の演算処理の結果得られたデータなどを一時的に記憶する機能を有するレジスタである。

【0515】

バスインターフェース5405は、半導体装置5400と半導体装置5400の外部にある各種装置との間におけるデータの経路としての機能を有する。デバッグインターフェース5406は、デバッグの制御を行うための命令を半導体装置5400に入力するための信号の経路としての機能を有する。

30

【0516】

パワースイッチ5403は、半導体装置5400が有する、パワーコントローラ5402以外の各種回路への、電源電圧の供給を制御する機能を有する。上記各種回路は、幾つかのパワードメインにそれぞれ属しており、同一のパワードメインに属する各種回路は、パワースイッチ5403によって電源電圧の供給の有無が制御される。また、パワーコントローラ5402はパワースイッチ5403の動作を制御する機能を有する。

【0517】

上記構成を有する半導体装置5400は、パワーゲーティングを行うことが可能である。パワーゲーティングの動作の流れについて、一例を挙げて説明する。

【0518】

まず、CPUコア5401が、電源電圧の供給を停止するタイミングを、パワーコントローラ5402のレジスタに設定する。次いで、CPUコア5401からパワーコントローラ5402へ、パワーゲーティングを開始する旨の命令を送る。次いで、半導体装置5400内に含まれる各種レジスタとキャッシング5404が、データの退避を開始する。次いで、半導体装置5400が有するパワーコントローラ5402以外の各種回路への電源電圧の供給が、パワースイッチ5403により停止される。次いで、割込み信号がパワーコントローラ5402に入力されることで、半導体装置5400が有する各種回路への電源電圧の供給が開始される。なお、パワーコントローラ5402にカウンタを設けておき、電源電圧の供給が開始されるタイミングを、割込み信号の入力に依らずに、当該カウンタを用いて決めるようにしてもよい。次いで、各種レジスタとキャッシング5404が、デ

40

50

ータの復帰を開始する。次いで、制御装置 5407 における命令の実行が再開される。

【0519】

このようなパワーゲーティングは、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において行うことができる。また、短い時間でも電源の供給を停止することができる。このため、空間的に、あるいは時間的に細かい粒度で消費電力の削減を行うことができる。

【0520】

パワーゲーティングを行う場合、CPUコア 5401 や周辺回路 5422 が保持する情報を短期間に退避できることが好ましい。そうすることで、短期間に電源のオンオフが可能となり、省電力の効果が大きくなる。

10

【0521】

CPUコア 5401 や周辺回路 5422 が保持する情報を短期間に退避するためには、フリップフロップ回路がその回路内でデータ退避できることが好ましい（バックアップ可能なフリップフロップ回路と呼ぶ）。また、SRAMセルがセル内でデータ退避できることが好ましい（バックアップ可能な SRAMセルと呼ぶ）。バックアップ可能なフリップフロップ回路や SRAMセルは、酸化物半導体（好ましくは In、Ga、及び Zn を含む酸化物）をチャネル形成領域に含むトランジスタを有することが好ましい。その結果、トランジスタが低いオフ電流を有することで、バックアップ可能なフリップフロップ回路や SRAMセルは長期間電源供給なしに情報を保持することができる。また、トランジスタが高速なスイッチング速度を有することで、バックアップ可能なフリップフロップ回路や SRAMセルは短期間のデータ退避および復帰が可能となる場合がある。

20

【0522】

バックアップ可能なフリップフロップ回路の例について、図 37 を用いて説明する。

【0523】

図 37 に示す半導体装置 5500 は、バックアップ可能なフリップフロップ回路の一例である。半導体装置 5500 は、第 1 の記憶回路 5501 と、第 2 の記憶回路 5502 と、第 3 の記憶回路 5503 と、読み出し回路 5504 と、を有する。半導体装置 5500 には、電位 V1 と電位 V2 の電位差が、電源電圧として供給される。電位 V1 と電位 V2 は一方がハイレベルであり、他方がローレベルである。以下、電位 V1 がローレベル、電位 V2 がハイレベルの場合を例に挙げて、半導体装置 5500 の構成例について説明するものとする。

30

【0524】

第 1 の記憶回路 5501 は、半導体装置 5500 に電源電圧が供給されている期間において、データを含む信号 D が入力されると、当該データを保持する機能を有する。そして、半導体装置 5500 に電源電圧が供給されている期間において、第 1 の記憶回路 5501 からは、保持されているデータを含む信号 Q が出力される。一方、第 1 の記憶回路 5501 は、半導体装置 5500 に電源電圧が供給されていない期間においては、データを保持することができない。すなわち、第 1 の記憶回路 5501 は、揮発性の記憶回路と呼ぶことができる。

40

【0525】

第 2 の記憶回路 5502 は、第 1 の記憶回路 5501 に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。第 3 の記憶回路 5503 は、第 2 の記憶回路 5502 に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。読み出し回路 5504 は、第 2 の記憶回路 5502 または第 3 の記憶回路 5503 に保持されたデータを読み出して第 1 の記憶回路 5501 に記憶する（あるいは復帰する）機能を有する。

【0526】

特に、第 3 の記憶回路 5503 は、半導体装置 5500 に電源電圧が供給されてない期間においても、第 2 の記憶回路 5502 に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。

50

【 0 5 2 7 】

図37に示すように、第2の記憶回路5502はトランジスタ5512と容量素子5519とを有する。第3の記憶回路5503はトランジスタ5513と、トランジスタ5515と、容量素子5520とを有する。読み出し回路5504はトランジスタ5510と、トランジスタ5518と、トランジスタ5509と、トランジスタ5517と、を有する。

【 0 5 2 8 】

トランジスタ5512は、第1の記憶回路5501に保持されているデータに応じた電荷を、容量素子5519に充放電する機能を有する。トランジスタ5512は、第1の記憶回路5501に保持されているデータに応じた電荷を容量素子5519に対して高速に充放電できることが望ましい。具体的には、トランジスタ5512が、結晶性を有するシリコン（好ましくは多結晶シリコン、更に好ましくは単結晶シリコン）をチャネル形成領域に含むことが望ましい。

10

【 0 5 2 9 】

トランジスタ5513は、容量素子5519に保持されている電荷に従って導通状態または非導通状態が選択される。トランジスタ5515は、トランジスタ5513が導通状態であるときに、配線5544の電位に応じた電荷を容量素子5520に充放電する機能を有する。トランジスタ5515は、オフ電流が著しく小さいことが望ましい。具体的には、トランジスタ5515が、酸化物半導体（好ましくはIn、Ga、及びZnを含む酸化物）をチャネル形成領域に含むことが望ましい。

20

【 0 5 3 0 】

各素子の接続関係を具体的に説明すると、トランジスタ5512のソース及びドレインの一方は、第1の記憶回路5501に接続されている。トランジスタ5512のソース及びドレインの他方は、容量素子5519の一方の電極、トランジスタ5513のゲート、及びトランジスタ5518のゲートに接続されている。容量素子5519の他方の電極は、配線5542に接続されている。トランジスタ5513のソース及びドレインの一方は、配線5544に接続されている。トランジスタ5513のソース及びドレインの他方は、トランジスタ5515のソース及びドレインの一方接続されている。トランジスタ5515のソース及びドレインの他方は、容量素子5520の一方の電極、及びトランジスタ5510のゲートに接続されている。容量素子5520の他方の電極は、配線5543に接続されている。トランジスタ5510のソース及びドレインの一方は、配線5541に接続されている。トランジスタ5510のソース及びドレインの他方は、トランジスタ5518のソース及びドレインの一方に接続されている。トランジスタ5518のソース及びドレインの他方は、トランジスタ5509のソース及びドレインの一方に接続されている。トランジスタ5509のソース及びドレインの他方は、トランジスタ5517のソース及びドレインの一方、及び第1の記憶回路5501に接続されている。トランジスタ5517のソース及びドレインの他方は、配線5540に接続されている。また、図37においては、トランジスタ5509のゲートは、トランジスタ5517のゲートと接続されているが、トランジスタ5509のゲートは、必ずしもトランジスタ5517のゲートと接続されなくてよい。

30

【 0 5 3 1 】

トランジスタ5515に先の実施の形態で例示したトランジスタを適用することができる。トランジスタ5515のオフ電流が小さいために、半導体装置5500は、長期間電源供給なしに情報を保持することができる。トランジスタ5515のスイッチング特性が良好であるために、半導体装置5500は、高速のバックアップとリカバリを行うことができる。

40

【 0 5 3 2 】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【 0 5 3 3 】

50

(実施の形態 6)

本実施の形態では、本発明の一態様に係る半導体装置の一形態を、図 3 8 、および図 3 9 を用いて説明する。

【 0 5 3 4 】

< 半導体ウエハ、チップ >

図 3 8 (A) は、ダイシング処理が行なわれる前の基板 7 1 1 の上面図を示している。基板 7 1 1 としては、例えば、半導体基板 (「半導体ウエハ」ともいう。) を用いることができる。基板 7 1 1 上には、複数の回路領域 7 1 2 が設けられている。回路領域 7 1 2 には、本発明の一態様に係る半導体装置などを設けることができる。

【 0 5 3 5 】

複数の回路領域 7 1 2 は、それぞれが分離領域 7 1 3 に囲まれている。分離領域 7 1 3 と重なる位置に分離線 (「ダイシングライン」ともいう。) 7 1 4 が設定される。分離線 7 1 4 に沿って基板 7 1 1 を切断することで、回路領域 7 1 2 を含むチップ 7 1 5 を基板 7 1 1 から切り出すことができる。図 3 8 (B) にチップ 7 1 5 の拡大図を示す。

【 0 5 3 6 】

また、分離領域 7 1 3 に導電層、半導体層などを設けてもよい。分離領域 7 1 3 に導電層、半導体層などを設けることで、ダイシング工程時に生じうる E S D を緩和し、ダイシング工程に起因する歩留まりの低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に供給しながら行なう。分離領域 7 1 3 に導電層、半導体層などを設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

【 0 5 3 7 】

< 電子部品 >

チップ 7 1 5 を用いた電子部品の一例について、図 3 9 (A) および図 3 9 (B) を用いて説明する。なお、電子部品は、半導体パッケージ、または I C 用パッケージともいう。電子部品は、端子取り出し方向、端子の形状などに応じて、複数の規格、名称などが存在する。

【 0 5 3 8 】

電子部品は、組み立て工程 (後工程) において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

【 0 5 3 9 】

図 3 9 (A) に示すフローチャートを用いて、後工程について説明する。前工程において基板 7 1 1 に本発明の一態様に係る半導体装置などを形成した後、基板 7 1 1 の裏面 (半導体装置などが形成されていない面) を研削する「裏面研削工程」を行なう (ステップ S 7 2 1) 。研削により基板 7 1 1 を薄くすることで、電子部品の小型化を図ることができる。

【 0 5 4 0 】

次に、基板 7 1 1 を複数のチップ 7 1 5 に分離する「ダイシング工程」を行う (ステップ S 7 2 2) 。そして、分離したチップ 7 1 5 を個々のリードフレーム上に接合する「ダイボンディング工程」を行う (ステップ S 7 2 3) 。ダイボンディング工程におけるチップ 7 1 5 とリードフレームとの接合は、樹脂による接合、またはテープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーラ基板上にチップ 7 1 5 を接合してもよい。

【 0 5 4 1 】

次いで、リードフレームのリードとチップ 7 1 5 上の電極とを、金属の細線 (ワイヤー) で電気的に接続する「ワイヤーボンディング工程」を行う (ステップ S 7 2 4) 。金属の細線には、銀線、金線などを用いることができる。また、ワイヤーボンディングは、例えば、ボールボンディング、またはウェッジボンディングを用いることができる。

【 0 5 4 2 】

10

20

30

40

50

ワイヤーボンディングされたチップ 715 は、エポキシ樹脂などで封止される「封止工程（モールド工程）」が施される（ステップ S725）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップ 715 とリードを接続するワイヤーを機械的な外力から保護することができ、また水分、埃などによる特性の劣化（信頼性の低下）を低減することができる。

【0543】

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップ S726）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行なうことができる。次いで、リードを切断および成形加工する「成形工程」を行なう（ステップ S727）。

10

【0544】

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう（ステップ S728）。そして外観形状の良否、動作不良の有無などを調べる「検査工程」（ステップ S729）を経て、電子部品が完成する。

【0545】

また、完成した電子部品の斜視模式図を図 39（B）に示す。図 39（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図 39（B）に示す電子部品 750 は、リード 755 およびチップ 715 を有する。電子部品 750 は、チップ 715 を複数有していてもよい。

【0546】

図 39（B）に示す電子部品 750 は、例えばプリント基板 752 に実装される。このような電子部品 750 が複数組み合わされて、それぞれがプリント基板 752 上で電気的に接続されることで電子部品が実装された基板（実装基板 754）が完成する。完成した実装基板 754 は、電子機器などに用いられる。

20

【0547】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0548】

（実施の形態 7）

<電子機器>

30

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図 40 に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

【0549】

図 40（A）は、自動車の一例を示す外観図である。自動車 2980 は、車体 2981、車輪 2982、ダッシュボード 2983、およびライト 2984 等を有する。また、自動車 2980 は、アンテナ、バッテリなどを備える。

【0550】

図 40（B）に示す情報端末 2910 は、筐体 2911、表示部 2912、マイク 2917、スピーカ部 2914、カメラ 2913、外部接続部 2916、および操作スイッチ 2915 等を有する。表示部 2912 には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末 2910 は、筐体 2911 の内側にアンテナ、バッテリなどを備える。情報端末 2910 は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

40

【0551】

図 40（C）に示すノート型パーソナルコンピュータ 2920 は、筐体 2921、表示部 2922、キーボード 2923、およびポインティングデバイス 2924 等を有する。また、ノート型パーソナルコンピュータ 2920 は、筐体 2921 の内側にアンテナ、バッテリなどを備える。

【0552】

50

図40(D)に示すビデオカメラ2940は、筐体2941、筐体2942、表示部2943、操作スイッチ2944、レンズ2945、および接続部2946等を有する。操作スイッチ2944およびレンズ2945は筐体2941に設けられており、表示部2943は筐体2942に設けられている。また、ビデオカメラ2940は、筐体2941の内側にアンテナ、バッテリなどを備える。そして、筐体2941と筐体2942は、接続部2946により接続されており、筐体2941と筐体2942の間の角度は、接続部2946により変えることが可能な構造となっている。筐体2941に対する筐体2942の角度によって、表示部2943に表示される画像の向きの変更や、画像の表示／非表示の切り替えを行うことができる。

【0553】

10

図40(E)にバンブル型の情報端末の一例を示す。情報端末2950は、筐体2951、および表示部2952等を有する。また、情報端末2950は、筐体2951の内側にアンテナ、バッテリなどを備える。表示部2952は、曲面を有する筐体2951に支持されている。表示部2952には、可撓性基板を用いた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末2950を提供することができる。

【0554】

図40(F)に腕時計型の情報端末の一例を示す。情報端末2960は、筐体2961、表示部2962、バンド2963、バックル2964、操作スイッチ2965、入出力端子2966などを備える。また、情報端末2960は、筐体2961の内側にアンテナ、バッテリなどを備える。情報端末2960は、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

20

【0555】

表示部2962の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部2962はタッチセンサを備え、指やスタイルスなどで画面に触ることで操作することができる。例えば、表示部2962に表示されたアイコン2967に触ることで、アプリケーションを起動することができる。操作スイッチ2965は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行及び解除、省電力モードの実行及び解除など、様々な機能を持たせることができる。例えば、情報端末2960に組み込まれたオペレーティングシステムにより、操作スイッチ2965の機能を設定することもできる。

30

【0556】

また、情報端末2960は、通信規格された近距離無線通信を実行することができる。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末2960は入出力端子2966を備え、他の情報端末とコネクターを介して直接データのやりとりを行うことができる。また入出力端子2966を介して充電を行うこともできる。なお、充電動作は入出力端子2966を介さずに無線給電により行ってもよい。

【0557】

40

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

【0558】

本実施の形態に示す構成は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

【実施例】

【0559】

本実施例では、本発明の一態様に係る半導体装置として、図1に示す、トランジスタ400、容量素子100、および接続部160を有するセルをマトリクス状に複数配置した、半導体装置を作製した。当該半導体装置を、走査透過型電子顕微鏡(STEM:Scanning

50

ning Transmission Electron Microscope)を用いて観察を行った結果について説明する。なお、本実施例で作製した半導体装置のトランジスタは、図20に示すトランジスタ400aと同様の構成とした。

【0560】

なお、容量素子100および接続部160の作製方法については、図2から図16に係る記載を参照することができる。また、トランジスタ400aの作製方法については、図21および図22に係る記載を参照することができる。

【0561】

最初にトランジスタ400aを作製した。まず、基板として、膜厚400nmの熱酸化膜が形成された、シリコン基板を準備した。

10

【0562】

次に、絶縁体401として、RFスパッタリング法を用いて膜厚が40nmの酸化アルミニウムを成膜した。

【0563】

次に、絶縁体301として、PECVD法を用いて膜厚が150nmの酸化窒化シリコンを成膜した。次に、絶縁体301にダマシン法を用いて、導電体310を埋め込むための開口を形成した。

20

【0564】

次に、導電体310aとなる導電膜として、スパッタリング法を用いて膜厚が40nmの窒化タンタルを成膜した。次に、導電体310bとなる導電膜として、膜厚5nmの窒化チタンと、その上に膜厚250nmのタンゲステンを積層した膜を成膜した。窒化チタンはALD法を用いて成膜し、タンゲステンはメタルCVD法を用いて成膜した。それから、上記導電膜にCMP処理を行って、絶縁体301の開口の内部に、導電体310aおよび導電体310bを形成した。

【0565】

次に、絶縁体302として、PECVD法を用いて膜厚が10nmの酸化窒化シリコンを成膜した。次に、絶縁体303として、ALD法を用いて膜厚が20nmの酸化ハフニウムを成膜した。次に、絶縁体402として、PECVD法を用いて膜厚が30nmの酸化窒化シリコンを成膜した。

30

【0566】

次に、酸素雰囲気で400の熱処理を1時間行った。

【0567】

次に、酸化膜406Aとして、DCスパッタリング法を用いて膜厚が5nmのIn-Ga-Zn酸化物を成膜した。なお、酸化膜406Aの成膜には、In:Ga:Zn=1:3:4[原子数比]ターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Pa(キャノンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を200とし、ターゲット-基板間距離を60mmとした。

【0568】

さらに外気に曝さず連続して、酸化膜406Bとして、DCスパッタリング法を用いて膜厚が15nmのIn-Ga-Zn酸化物を成膜した。なお、酸化膜406Bの成膜には、In:Ga:Zn=4:2:4.1[原子数比]ターゲットを用い、成膜ガスとしてアルゴンガス40sccmおよび酸素ガス5sccmを用い、成膜圧力を0.7Pa(キャノンアネルバ製ミニチュアゲージMG-2によって計測した。)とし、成膜電力を500Wとし、基板温度を130とし、ターゲット-基板間距離を60mmとした。

40

【0569】

次に、窒素雰囲気で400 1時間の熱処理を行い、さらに酸素雰囲気下で400 1時間の熱処理を行った。

【0570】

次に、導電体416a1、416a2となる導電膜として、DCスパッタリング法を用

50

いて膜厚が 20 nm の窒化タンタルを成膜した。

【 0 5 7 1 】

次に、バリア膜 417a1、417a2 となる膜として、ALD 法を用いて膜厚が 5 nm の酸化アルミニウムを成膜した。

【 0 5 7 2 】

次に、ハードマスクとして機能する導電体として、DC スパッタリング法を用いて膜厚が 15 nm の窒化タンタルを成膜した。

【 0 5 7 3 】

次に、酸化膜 406A、酸化膜 406B、導電体 416a1、416a2 となる導電膜、およびバリア膜 417a1、417a2 となる膜をドライエッティングして、酸化物 406a、酸化物 406b、導電体 416a1、導電体 416a2、バリア膜 417a1、およびバリア膜 417a2 を形成した。

【 0 5 7 4 】

次に、酸化膜 406C として、DC スパッタリング法を用いて膜厚が 5 nm の In-Ga-Zn 酸化物を成膜した。なお、酸化膜 406C の成膜には、In : Ga : Zn = 1 : 3 : 2 [原子数比] ターゲットを用い、成膜ガスとして酸素ガス 45 sccm を用い、成膜圧力を 0.7 Pa (キヤノンアネルバ製ミニチュアゲージ MG-2 によって計測した。) とし、成膜電力を 500 W とし、基板温度を 130 とし、ターゲット - 基板間距離を 60 mm とした。

【 0 5 7 5 】

次に、絶縁膜 412A として、PECVD 法を用いて膜厚が 10 nm の酸化窒化シリコンを成膜した。

【 0 5 7 6 】

次に、導電体 404b となる導電膜として、DC スパッタリング法を用いて膜厚が 10 nm の窒化チタンを成膜した。さらに、導電体 404c となる導電膜として、DC スパッタリング法を用いて膜厚が 30 nm のタンクステンを成膜した。なお、トランジスタ 400a の導電体 404a に対応する導電体は、本実施例では形成しない。

【 0 5 7 7 】

次に、フォトリソグラフィ法を用いて、導電体 404b となる導電膜、および導電体 404c となる導電膜を加工して導電体 404b および導電体 404c を形成した。

【 0 5 7 8 】

次に、バリア膜 418 となる膜として、ALD 法を用いて膜厚が 7 nm の酸化アルミニウムを成膜した。

【 0 5 7 9 】

次に、フォトリソグラフィ法を用いて、バリア膜 418 となる膜、絶縁膜 412A、および酸化膜 406C を加工してバリア膜 418、絶縁体 412、および導電体 404c を形成した。

【 0 5 8 0 】

次に、絶縁体 410 として、PECVD 法を用いて膜厚が 310 nm の酸化窒化シリコンを成膜した。それから、絶縁体 410 に CMP 处理を行って絶縁体 410 の上面を平坦化した。

【 0 5 8 1 】

次に、絶縁体 420 として、RF スパッタリング法を用いて膜厚が 40 nm の酸化アルミニウムを成膜した。なお、成膜ガスとしてアルゴンガス 25 sccm および酸素ガス 25 sccm を用い、成膜圧力を 0.4 Pa とし、成膜電力を 2500 W とし、基板温度を 250 とし、ターゲット - 基板間距離を 60 mm とした。

【 0 5 8 2 】

次に、酸素雰囲気下で 350 1 時間の加熱処理を行った。

【 0 5 8 3 】

次に、絶縁体 410 として、PECVD 法を用いて膜厚が 100 nm の酸化窒化シリコ

10

20

30

40

50

ンを成膜した。

【0584】

次に、ハードマスクを用いたフォトリソグラフィ法によって、導電体416a1に達する開口と、導電体416a2に達する開口と、を形成した。

【0585】

次に、導電体108a、108bとなる導電膜として、膜厚20nmの窒化チタンと、その上に膜厚150nmのタンゲステンを積層した膜を成膜した。窒化チタンはALD法を用いて成膜し、タンゲステンはメタルCVD法を用いて成膜した。それから、上記導電膜にCMP処理を行って、導電体416a1に達する開口および導電体416a2に達する開口の内部に、導電体108aおよび導電体108bを形成した。

10

【0586】

以上のようにしてトランジスタ400aを形成した。次に、以下のようにして容量素子100を作製した。

【0587】

まず、絶縁体112として、PECVD法を用いて膜厚が250nmの酸化シリコンを成膜した。絶縁体112の成膜は、成膜ガスとしてTEOSガス15sccmおよび酸素ガス750sccmを用い、成膜圧力を100Paとし、成膜電力を300W(27MHz)とし、基板温度を300とし、電極間距離を14mmとした。

【0588】

次に、絶縁体114として、APCVD法を用いて膜厚が500nmの酸化シリコンを成膜した。絶縁体114の成膜は、成膜ガスとしてTEOSガス0.32g/minおよびO₃ガス58g/minを用い、成膜圧力を大気圧からの差圧で-200Paとし、基板温度を350とし、電極間距離を8.5mmとした。

20

【0589】

次に、絶縁体116として、PECVD法を用いて膜厚が50nmの窒化シリコンを成膜した。絶縁体116の成膜は、成膜ガスとしてSiH₄ガス20sccm、NH₃ガス10sccm、およびN₂ガス500sccmを用い、成膜圧力を40Paとし、成膜電力を900W(27MHz)とし、基板温度を350とし、電極間距離を17mmとした。

【0590】

次に、絶縁体118として、PECVD法を用いて膜厚が100nmの酸化シリコンを成膜した。絶縁体118の成膜は、成膜ガスとしてSiH₄ガス5sccm、およびN₂Oガス1000sccmを用い、成膜圧力を133.3Paとし、成膜電力を45W(13.56MHz)とし、基板温度を325とし、電極間距離を20mmとした。

30

【0591】

次に、導電体122Aとして、DCスパッタリング法を用いて膜厚が90nmのタンゲステンを成膜した。導電体122Aの成膜は、成膜ガスとしてアルゴンガス50sccmを用い、成膜圧力を0.4Paとし、成膜電力を1000Wとし、基板温度を130とし、ターゲット-基板間距離を60mmとした。

【0592】

次に、絶縁体124Aとして、DCスパッタリング法を用いて膜厚が130nmの窒化シリコンを成膜した。絶縁体124Aの成膜は、成膜ガスとしてアルゴンガス10sccmおよび窒素ガス10sccmを用い、成膜圧力を0.6Paとし、成膜電力を1000Wとし、基板温度を100とし、ターゲット-基板間距離を60mmとした。

40

【0593】

次に、絶縁体124Aの上に、有機塗布膜を塗布し、さらにその上にレジスト材料を塗布した。当該レジスト材料に、電子ビームを用いたリソグラフィー法を行い、レジストマスクを形成した。当該レジストマスクを用いて、絶縁体124Aおよび導電体122Aにドライエッチングを行い、ハードマスク124およびハードマスク122を形成した。ドライエッチングは、上下の平行平板型電極それぞれに高周波電源を印加することができる

50

CCPエッティング装置を用いて行った。ハードマスク124およびハードマスク122の形成は、CCPエッティング装置の第1のエッティング室で連続して行った。以下にハードマスク124およびハードマスク122の形成のエッティング工程の詳細について示す。

【0594】

まず、有機塗布膜をエッティングした。有機塗布膜のエッティングは、エッティングガスとしてCF₄ガス80sccmを用い、圧力を3.0Paとし、上部電極の高周波電力を500Wとし、下部電極の高周波電力を100Wとし、電極間距離を80mmとし、処理時間を13secとした。

【0595】

次に、絶縁体124Aをエッティングした。絶縁体124Aのエッティングは、エッティングガスとしてCHF₃ガス67sccm、および酸素ガス13sccmを用い、圧力を5.3Paとし、上部電極の高周波電力を550Wとし、下部電極の高周波電力を350Wとし、電極間距離を80mmとし、処理時間を36secとした。

10

【0596】

次に、導電体122Aをエッティングした。導電体122Aのエッティングは、エッティングガスとしてCl₂ガス11sccm、CF₄ガス22sccm、および酸素ガス22scmを用い、圧力を0.6Paとし、上部電極の高周波電力を1000Wとし、下部電極の高周波電力を200Wとし、電極間距離を100mmとし、処理時間を37secとした。

20

【0597】

以上のように形成したハードマスク124およびハードマスク122を用いて、絶縁体118、絶縁体116、絶縁体114、および絶縁体112にドライエッティングを行って、開口115を形成した。開口115の形成は、ハードマスク124およびハードマスク122の形成後、上記CCPエッティング装置から基板を外に出さず、連続して行った。開口115の形成は、CCPエッティング装置の第2のエッティング室で行った。以下に開口115の形成のエッティング工程の詳細について示す。

30

【0598】

まず、絶縁体118をエッティングした。絶縁体118のエッティングは、エッティングガスとしてアルゴンガス800sccm、C₄F₆ガス22sccm、および酸素ガス30sccmを用い、圧力を3.3Paとし、上部電極の高周波電力を1800Wとし、下部電極の高周波電力を2000Wとし、電極間距離を25mmとし、処理時間を14secとした。

30

【0599】

次に、絶縁体116をエッティングした。絶縁体116のエッティングは、エッティングガスとしてCHF₃ガス50sccm、およびアルゴンガス275sccmを用い、圧力を2.6Paとし、上部電極の高周波電力を300Wとし、下部電極の高周波電力を1200Wとし、電極間距離を25mmとし、処理時間を14secとした。

【0600】

次に、絶縁体114、絶縁体112および絶縁体422をエッティングした。絶縁体114、絶縁体112および絶縁体422のエッティングは、エッティングガスとしてC₄F₆ガス、アルゴンガス800sccm、および酸素ガス30sccmを用い、圧力を3.3Paとし、上部電極の高周波電力を1800Wとし、下部電極の高周波電力を2000Wとし、電極間距離を25mmとした。絶縁体114、絶縁体112および絶縁体422のエッティングでは、開口115を掘り進めるにつれて、C₄F₆ガスの流量を増やしながらエッティングをおこなった。まず、C₄F₆ガスの流量を26sccmとして処理時間79秒でエッティングし、次にC₄F₆ガスの流量を28sccmとして処理時間11秒でエッティングし、最後にC₄F₆ガスの流量を30sccmとして処理時間15秒でエッティングした。

40

【0601】

なお、上記のエッティング過程でハードマスク124は消失した。

50

【0602】

次に、導電体110Aとして、ALD法を用いて膜厚が7nmの窒化チタンを成膜した。導電体110Aの成膜は、成膜ガスとしてTiCl₄ガス50sccm、NH₃ガス2700sccmを用い、成膜圧力を667Paとし基板温度を375とした。なお、当該ALD法による成膜は、TiCl₄ガス側のガス管からN₂ガスを流量4500sccmで導入し、NH₃ガス側のガス管からN₂ガスを流量4000sccmで導入しながら行った。

【0603】

次に、充填剤126として、APCVD法を用いて膜厚が300nmの酸化シリコンを成膜した。充填剤126の成膜は、成膜ガスとしてTEOSガス0.32g/minおよびO₃ガス58g/minを用い、成膜圧力を大気圧からの差圧で-200Paとし、基板温度を350とし、電極間距離を8.5mmとした。

10

【0604】

次に、CMP処理を行って、絶縁体116の上面を露出させた。当該CMP処理では、1段階目で絶縁体118の上面が露出するまで研磨を行い、2段階目で絶縁体116の上面が露出するまで研磨を行った。

【0605】

次に、ウェットエッティング処理を行って、開口115に残存した充填剤126を除去した。当該ウェットエッティングは、フッ化水素アンモニウム(NH₄HF₂)を7.13%と、フッ化アンモニウム(NH₄F)を15.4%含む混合溶液(ステラケミファ社製、商品名LAL500)を用いて、処理時間40秒で行った。

20

【0606】

次に、絶縁体130として、ALD法を用いて膜厚が20nmの酸化ハフニウムを成膜した。絶縁体130の成膜は、成膜ガスとしてテトラキスジメチルアミドハフニウム(TDMAH)を含む固体を気化させた原料ガス、H₂Oガス、O₃とO₂の混合ガスを用い、基板温度を200とした。TDMAHを含む固体を気化させた原料ガスを0.5秒導入し、45秒N₂でパージし、H₂Oガスを0.03秒導入し、5秒N₂でパージした。さらにO₃とO₂の混合ガスを0.1秒導入し、5秒N₂でパージし、このO₃とO₂の混合ガスの導入とN₂パージを10回繰り返した。以下、この工程を1サイクルとして、20nmの膜厚が得られるまで当該サイクルを繰り返した。

30

【0607】

次に、導電体120aAとして、ALD法を用いて膜厚が5nmの窒化チタンを成膜した。導電体120aAの成膜は、成膜ガスとしてTiCl₄ガス50sccm、NH₃ガス2700sccmを用い、成膜圧力を667Paとし、基板温度を375とした。なお、当該ALD法による成膜は、TiCl₄ガス側のガス管からN₂ガスを流量4500sccmで導入し、NH₃ガス側のガス管からN₂ガスを流量4000sccmで導入しながら行った。

【0608】

次に、導電体120bAとして、メタルCVD法を用いて膜厚が70nmのタンゲステンを成膜した。導電体120bAの成膜は、成膜ガスとしてWF₆ガス250sccm、H₂ガス2200sccm、Arガス2000sccm、N₂ガス200sccmを用い、成膜圧力10666Pa、基板温度を350とした。

40

【0609】

次に、膜128として、PECVD法を用いて膜厚が100nmの酸化シリコンを成膜した。膜128の成膜は、成膜ガスとしてSiH₄ガス5sccm、およびN₂Oガス1000sccmを用い、成膜圧力を133.3Paとし、成膜電力を45W(13.56MHz)とし、基板温度を325とし、電極間距離を20mmとした。

【0610】

次に、膜128にCMP処理を行って、膜128を除去し、導電体120bAの上面を露出させた。当該CMP処理により、導電体120bAは、上面の平坦性が向上された導

50

電体 120bB になった。

【0611】

ここで、導電体 120aA、導電体 120bA、膜 128 の順番に積層した積層体と同様の構造のサンプルを作製し、膜 128 の上から CMP 处理を行い、導電体 120bA の上面を露出させて、AFM で平均面粗さ (Ra) を測定した結果について説明する。当該サンプルの AFM 画像の上面図および斜視図を、図 41 (A) および図 41 (B) に示す。AFM 測定の結果、導電体 120bA の上面の平均面粗さ (Ra) は 0.93 nm であった。よって、上記のように膜 128 の上から CMP 处理を行うことで、導電体 120bA の上面の平坦性が向上することが示された。

【0612】

次に、絶縁体 132A として、PECVD 法を用いて膜厚が 20 nm の酸化シリコンを成膜した。絶縁体 132A の成膜は、成膜ガスとして SiH₄ ガス 5 sccm、および N₂O ガス 1000 sccm を用い、成膜圧力を 133.3 Pa とし、成膜電力を 45 W (13.56 MHz) とし、基板温度を 325 とし、電極間距離を 20 mm とした。

10

【0613】

次に、フォトリソグラフィ法を用いて、絶縁体 132A の上にレジストマスクを形成した。当該レジストマスクを用いて、絶縁体 132A にドライエッチングを行い、ハードマスク 132 を形成した。ドライエッチングは、上下の対向する電極それぞれに高周波電源を印加することができる CCP エッチング装置を用いて行った。絶縁体 132A のエッチングは、エッチングガスとして CHF₃ ガス 67 sccm、および酸素ガス 13 sccm を用い、圧力を 5.3 Pa とし、上部電極の高周波電力を 550 W とし、下部電極の高周波電力を 350 W とし、電極間距離を 80 mm とし、処理時間を 12 sec とした。

20

【0614】

次に、ハードマスク 132 を用いて、導電体 120aA および導電体 120bB にドライエッチングを行い、導電体 120a および導電体 120b を形成した。ドライエッチングは、ICP エッチング装置を用いて行った。導電体 120aA および導電体 120bB のエッチングは、エッチングガスとして Cl₂ ガス 45 sccm、CF₄ ガス 55 sccm、および酸素ガス 55 sccm を用い、圧力を 0.67 Pa とし、コイル型電極の高周波電力を 3000 W とし、下部電極の高周波電力を 50 W とした。

【0615】

次に、ウェットエッチング処理を行って、ハードマスク 132 を除去した。当該ウェットエッチングは、0.5% のフッ化水素酸を用いて、処理時間 180 秒で行った。

30

【0616】

次に、絶縁体 150 として、PECVD 法を用いて膜厚が 350 nm の酸化シリコンを成膜した。絶縁体 150 の成膜は、成膜ガスとして SiH₄ ガス 5 sccm、および N₂O ガス 1000 sccm を用い、成膜圧力を 133.3 Pa とし、成膜電力を 45 W (13.56 MHz) とし、基板温度を 325 とし、電極間距離を 20 mm とした。

【0617】

以上のようにして容量素子 100 を形成した。次に、以下のようにして接続部 160 を作製した。

40

【0618】

まず、CCP エッチング装置の第 1 のエッチング室で、ハードマスク 124 およびハードマスク 122 と同様の積層ハードマスクを形成した。当該積層ハードマスクを用いて、絶縁体 150、絶縁体 130、絶縁体 116、絶縁体 114、および絶縁体 112 にドライエッチングを行って、開口 117 を形成した。開口 117 の形成は、当該積層ハードマスクの形成後、CCP エッチング装置から基板を外に出さず、連続して行った。開口 117 の形成は、CCP エッチング装置の第 2 のエッチング室で行った。以下に開口 117 の形成のエッチング工程の詳細について示す。

【0619】

まず、絶縁体 150 をエッチングした。絶縁体 150 のエッチングは、処理時間を 28

50

secとして、他の条件は、絶縁体118のエッティングと同様にした。

【0620】

次に、絶縁体130をエッティングした。絶縁体130のエッティングは、エッティングガスとしてCHF₃ガス50sccm、およびアルゴンガス275sccmを用い、圧力を2.6Paとし、上部電極の高周波電力を300Wとし、下部電極の高周波電力を1200Wとし、電極間距離を25mmとし、処理時間を20secとした。

【0621】

次に、絶縁体116をエッティングした。絶縁体116のエッティングは、エッティングガスとしてCF₄ガス20sccm、CHF₃ガス30sccm、酸素ガス10sccmおよびアルゴンガス200sccmを用い、圧力を7.8Paとし、上部電極の高周波電力を1000Wとし、下部電極の高周波電力を150Wとし、電極間距離を25mmとし、処理時間を28secとした。

10

【0622】

次に、絶縁体114および絶縁体112を、開口115の形成と同様の条件でエッティングした。

【0623】

次に、導電体162aとなる導電体を導電体120aAと同様の条件で成膜し、導電体162bとなる導電体を導電体120bAと同様の条件で成膜した。それからCMP処理を行って、導電体162aおよび導電体162bを形成した。

20

【0624】

以上の工程により、トランジスタ400a、容量素子100、および接続部160を有する半導体装置を作製した。

【0625】

作製した半導体装置について、日立製作所製「HD-2700」を用いて、加速電圧を200kVとして、断面SEM像を撮影した。図42は倍率10万倍で撮影した断面SEM像であり、図43は導電体108bと容量素子100の接続部近傍を倍率20万倍で撮影した断面SEM像である。なお、図43に示すトランジスタ400aおよび容量素子100は、図42に示すものとは別のものである。

【0626】

上記の方法を用いて半導体装置を作製することで、図42および図43に示すように、酸化物半導体を有するトランジスタ400aの上に、高アスペクト比の開口115を形成し、開口115中に容量素子100を形成することができた。ここで、開口115は、深さが約923nm、絶縁体420近傍の内径が約234nmであった。また、図42に示すように、開口115の内部に、導電体110、絶縁体130、導電体120a、および導電体120bが被覆性良く成膜されていた。このように、高アスペクト比の開口中に容量素子100を形成することで、容量素子100の単位面積当たりの静電容量を大きくし、半導体装置の微細化高集積化を図ることができる。さらに、容量素子100がトランジスタ400aと重なるように形成されているので、さらに、半導体装置の微細化高集積化を図ることができる。

30

【0627】

また、上記のように膜128を成膜してからCMP処理を行うことで、図42に示すように、導電体120bの絶縁体116、114、112、と重なる領域の上面の平坦性を向上させることができた。

40

【0628】

本実施例においては、絶縁体114、絶縁体112および絶縁体422のエッティングにおいて、開口115の底面にイオン化したエッティングガスが衝突しやすくなるようにした。まず、下部電極に印加する電力を2000Wにして、セルフバイアスを大きくした。さらに、エッティングガス中のアルゴンガスの流量を全体の90%以上にして、チャンバー中の陽イオンの量を多くした。さらに、チャンバーの圧力を3.3Paと低くすることによって、チャンバー中の陽イオンの平均自由行程を長くした。

50

【0629】

さらに、上記のエッティング工程において、エッティングガスとして、炭素を多く含む C₄F₆ガスを用いて、エッティングと並行して炭素化合物が開口 115 の底部に堆積するようとした。また、炭素化合物を開口 115 の底部に供給できるように、開口 115 のエッティングの進行に合わせて、炭素を多く含む C₄F₆ガスの流量を増加させながらエッティングを行った。

【0630】

その結果、イオン化したエッティングガスの衝突により、図 43 に示すように、導電体 108b の絶縁体 420 より上の部分に、湾曲面が形成された。これにより、導電体 110 との接触抵抗を低減し、トランジスタ 400a のソースまたはドレインのいずれかと、容量素子 100 の下部電極との電気的接続を良好にすることができます。なお、図 43 に示すように、導電体 108b の断面形状は、絶縁体 420 の、導電体 110 と接する領域の上面より下の部分において、逆テーパー形状となっていた。また、当該部分において、導電体 108b は、底面と側面とのなす角が 90° 以上となっていた。

10

【0631】

さらに、エッティングと並行して炭素化合物を開口 115 の底部に堆積させることにより、図 43 に示すように、絶縁体 420 の開口 115 と重なる領域が凹んだ形状になったが、当該領域において絶縁体 420 は貫通していなかった。このように、トランジスタ 400a と容量素子 100 の間に、絶縁体 420 が形成されているので、容量素子 100 に含まれる不純物がトランジスタ 400 に拡散することを防ぐことができる。

20

【0632】

以上、本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【0633】

100 容量素子

100a 容量素子

100b 容量素子

108a 導電体

108aa 導電体

108ab 導電体

108b 導電体

108ba 導電体

108bb 導電体

109a 絶縁体

109b 絶縁体

110 導電体

110A 導電体

112 絶縁体

114 絶縁体

115 開口

116 絶縁体

117 開口

118 絶縁体

120 導電体

120a 導電体

120aA 導電体

120b 導電体

120bA 導電体

120bB 導電体

30

40

50

1 2 2	ハードマスク	
1 2 2 A	導電体	
1 2 4	ハードマスク	
1 2 4 A	絶縁体	
1 2 6	充填剤	
1 2 8	膜	
1 3 0	絶縁体	
1 3 2	ハードマスク	
1 3 2 A	絶縁体	10
1 5 0	絶縁体	
1 6 0	接続部	
1 6 2	導電体	
1 6 2 a	導電体	
1 6 2 b	導電体	
2 0 0	トランジスタ	
2 1 0	絶縁体	
2 1 2	絶縁体	
2 1 4	絶縁体	
2 1 6	絶縁体	
2 1 8	導電体	20
2 1 9	導電体	
2 2 0	絶縁体	
2 2 2	絶縁体	
2 2 4	絶縁体	
2 3 0	絶縁体	
2 3 2	絶縁体	
2 4 6	導電体	
2 4 8	導電体	
2 8 0	絶縁体	
2 8 2	絶縁体	30
2 8 6	絶縁体	
2 8 8	絶縁体	
2 9 0	絶縁体	
2 9 2	絶縁体	
2 9 4	絶縁体	
2 9 6	導電体	
2 9 8	導電体	
3 0 0	トランジスタ	
3 0 1	絶縁体	
3 0 2	絶縁体	40
3 0 3	絶縁体	
3 1 0	導電体	
3 1 0 a	導電体	
3 1 0 b	導電体	
3 1 1	基板	
3 1 3	半導体領域	
3 1 4 a	低抵抗領域	
3 1 4 b	低抵抗領域	
3 1 5	絶縁体	
3 1 6	導電体	50

3 2 0	絶縁体	
3 2 2	絶縁体	
3 2 4	絶縁体	
3 2 6	絶縁体	
3 2 8	導電体	
3 3 0	導電体	
3 4 5	トランジスタ	
3 5 0	絶縁体	10
3 5 2	絶縁体	
3 5 4	絶縁体	
3 5 6	導電体	
3 6 0	容量素子	
4 0 0	トランジスタ	
4 0 0 a	トランジスタ	
4 0 0 b	トランジスタ	
4 0 0 c	トランジスタ	
4 0 0 d	トランジスタ	
4 0 1	絶縁体	
4 0 2	絶縁体	
4 0 4	導電体	20
4 0 4 a	導電体	
4 0 4 b	導電体	
4 0 4 c	導電体	
4 0 6	酸化物	
4 0 6 a	酸化物	
4 0 6 a 1	酸化物	
4 0 6 a 2	酸化物	
4 0 6 A	酸化膜	
4 0 6 b	酸化物	
4 0 6 b 1	酸化物	30
4 0 6 b 2	酸化物	
4 0 6 B	酸化膜	
4 0 6 c	酸化物	
4 0 6 C	酸化膜	
4 0 8 a	絶縁体	
4 0 8 b	絶縁体	
4 0 9	絶縁体	
4 1 0	絶縁体	
4 1 2	絶縁体	
4 1 2 A	絶縁膜	40
4 1 6 a 1	導電体	
4 1 6 a 2	導電体	
4 1 7 a 1	バリア膜	
4 1 7 a 2	バリア膜	
4 1 8	バリア膜	
4 1 9 a	絶縁体	
4 1 9 b	絶縁体	
4 2 0	絶縁体	
4 2 2	絶縁体	
4 2 6 a	領域	50

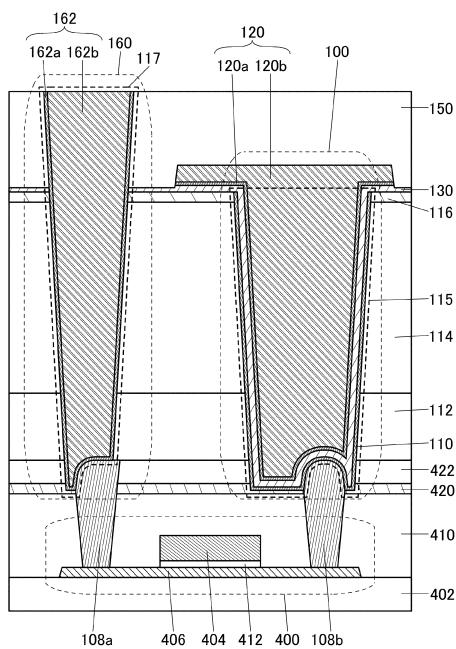
4 2 6 b	領域	
4 2 6 c	領域	
5 0 0	構造	
6 0 0 a	メモリセル	
6 0 0 b	メモリセル	
7 1 1	基板	
7 1 2	回路領域	
7 1 3	分離領域	
7 1 4	分離線	
7 1 5	チップ	10
7 5 0	電子部品	
7 5 2	プリント基板	
7 5 4	実装基板	
7 5 5	リード	
1 4 0 0	D O S R A M	
1 4 0 5	コントローラ	
1 4 1 0	行回路	
1 4 1 1	デコーダ	
1 4 1 2	ワード線ドライバ回路	
1 4 1 3	列セレクタ	20
1 4 1 4	センスアンプドライバ回路	
1 4 1 5	列回路	
1 4 1 6	グローバルセンスアンプアレイ	
1 4 1 7	入出力回路	
1 4 2 0	M C - S A アレイ	
1 4 2 2	メモリセルアレイ	
1 4 2 3	センスアンプアレイ	
1 4 2 5	ローカルメモリセルアレイ	
1 4 2 6	ローカルセンスアンプアレイ	
1 4 4 4	スイッチアレイ	30
1 4 4 5	メモリセル	
1 4 4 6	センスアンプ	
1 4 4 7	グローバルセンスアンプ	
2 9 1 0	情報端末	
2 9 1 1	筐体	
2 9 1 2	表示部	
2 9 1 3	カメラ	
2 9 1 4	スピーカ部	
2 9 1 5	操作スイッチ	
2 9 1 6	外部接続部	40
2 9 1 7	マイク	
2 9 2 0	ノート型パーソナルコンピュータ	
2 9 2 1	筐体	
2 9 2 2	表示部	
2 9 2 3	キーボード	
2 9 2 4	ポインティングデバイス	
2 9 4 0	ビデオカメラ	
2 9 4 1	筐体	
2 9 4 2	筐体	
2 9 4 3	表示部	50

2 9 4 4	操作スイッチ	
2 9 4 5	レンズ	
2 9 4 6	接続部	
2 9 5 0	情報端末	
2 9 5 1	筐体	
2 9 5 2	表示部	
2 9 6 0	情報端末	
2 9 6 1	筐体	
2 9 6 2	表示部	
2 9 6 3	バンド	10
2 9 6 4	バックル	
2 9 6 5	操作スイッチ	
2 9 6 6	入出力端子	
2 9 6 7	アイコン	
2 9 8 0	自動車	
2 9 8 1	車体	
2 9 8 2	車輪	
2 9 8 3	ダッシュボード	
2 9 8 4	ライト	
3 0 0 1	配線	20
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 0 0 6	配線	
3 0 0 7	配線	
3 0 0 8	配線	
3 0 0 9	配線	
3 0 1 0	配線	
3 0 1 1	配線	30
3 1 1 0	O S - F P G A	
3 1 1 1	コントローラ	
3 1 1 2	ワードドライバ	
3 1 1 3	データドライバ	
3 1 1 5	プログラマブルエリア	
3 1 1 7	I O B	
3 1 1 9	コア	
3 1 2 0	L A B	
3 1 2 1	P L E	
3 1 2 3	L U T ブロック	40
3 1 2 4	レジスタブロック	
3 1 2 5	セレクタ	
3 1 2 6	C M	
3 1 2 7	パワースイッチ	
3 1 2 8	C M	
3 1 3 0	S A B	
3 1 3 1	S B	
3 1 3 3	P R S	
3 1 3 5	C M	
3 1 3 7	メモリ回路	50

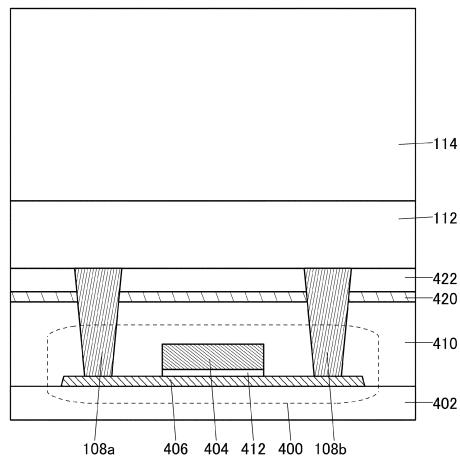
3 1 3 7 B	メモリ回路	
3 1 4 0	O S - F F	
3 1 4 1	F F	
3 1 4 2	シャドウレジスタ	
3 1 4 3	メモリ回路	
3 1 4 3 B	メモリ回路	
3 1 8 8	インバータ回路	
3 1 8 9	インバータ回路	
5 4 0 0	半導体装置	
5 4 0 1	C P U コア	10
5 4 0 2	パワーコントローラ	
5 4 0 3	パワースイッチ	
5 4 0 4	キャッシュ	
5 4 0 5	バスインターフェース	
5 4 0 6	デバッグインターフェース	
5 4 0 7	制御装置	
5 4 0 8	P C	
5 4 0 9	パイプラインレジスタ	
5 4 1 0	パイプラインレジスタ	
5 4 1 1	A L U	20
5 4 1 2	レジスタファイル	
5 4 2 1	パワーマネージメントユニット	
5 4 2 2	周辺回路	
5 4 2 3	データバス	
5 5 0 0	半導体装置	
5 5 0 1	記憶回路	
5 5 0 2	記憶回路	
5 5 0 3	記憶回路	
5 5 0 4	回路	
5 5 0 9	トランジスタ	30
5 5 1 0	トランジスタ	
5 5 1 2	トランジスタ	
5 5 1 3	トランジスタ	
5 5 1 5	トランジスタ	
5 5 1 7	トランジスタ	
5 5 1 8	トランジスタ	
5 5 1 9	容量素子	
5 5 2 0	容量素子	
5 5 4 0	配線	
5 5 4 1	配線	40
5 5 4 2	配線	
5 5 4 3	配線	
5 5 4 4	配線	

【図面】

【図 1】



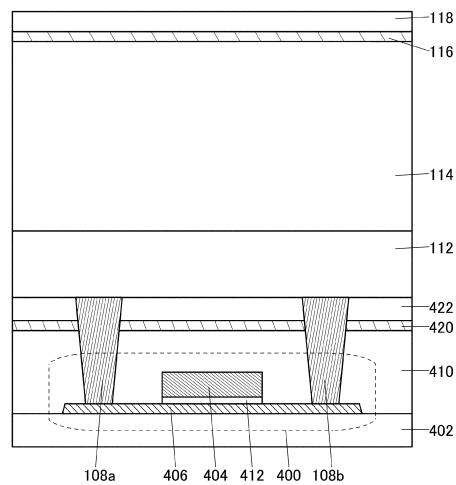
【図 2】



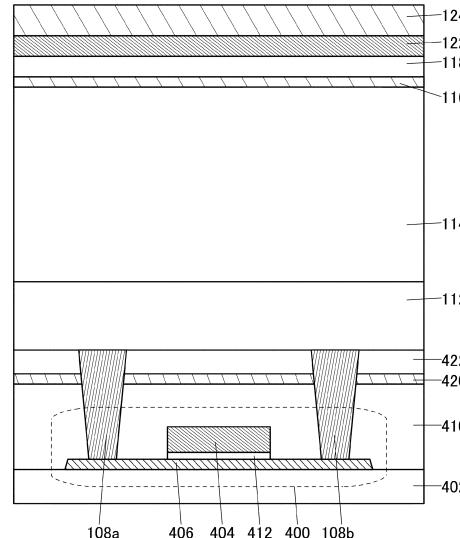
10

20

【図 3】



【図 4】

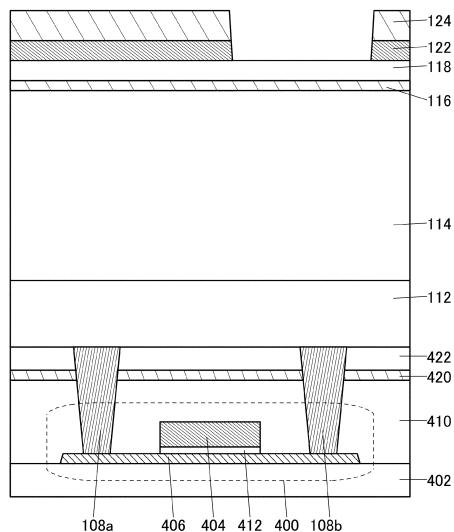


30

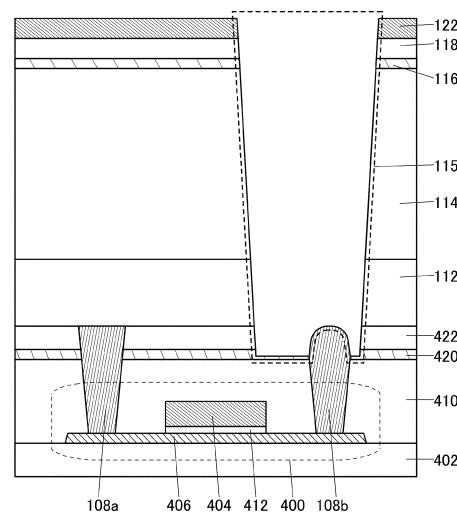
40

50

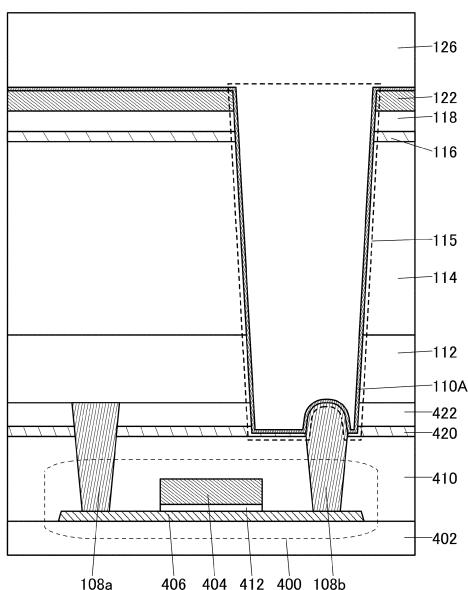
【図 5】



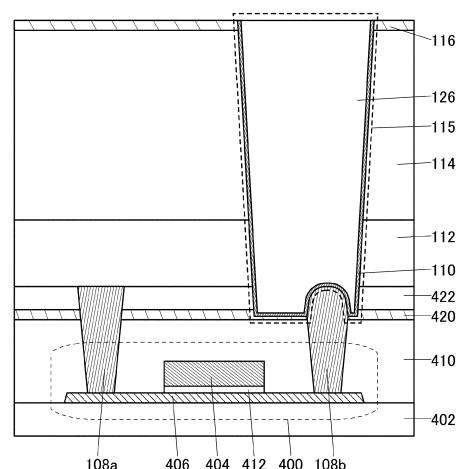
【図 6】



【図 7】



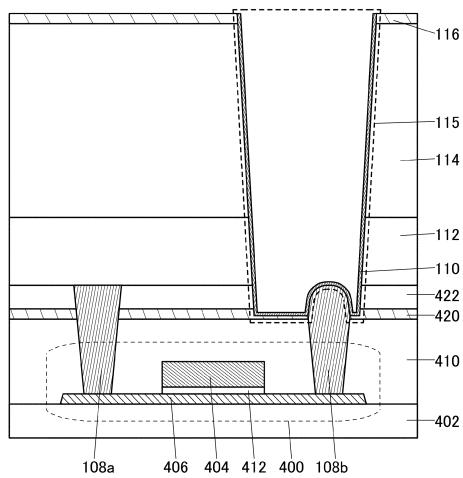
【図 8】



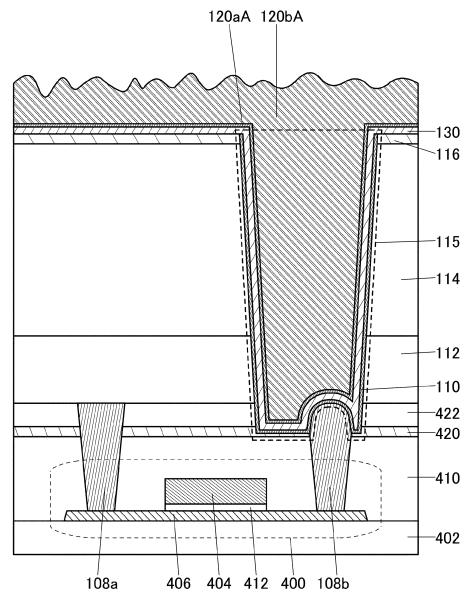
40

50

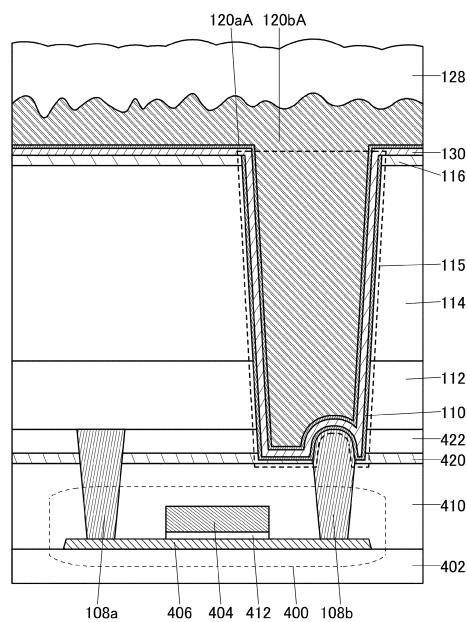
【 四 9 】



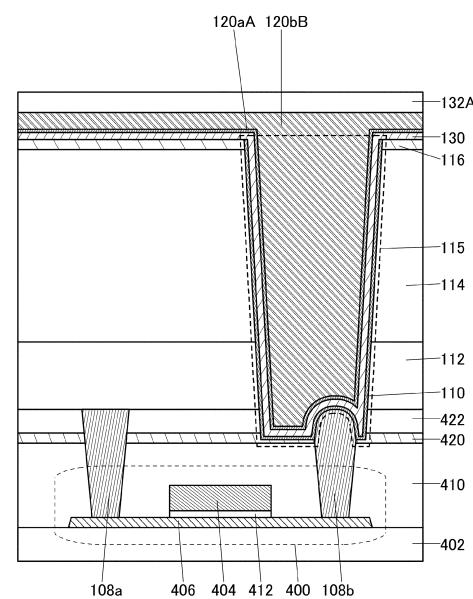
【図10】



【図11】



【図12】



10

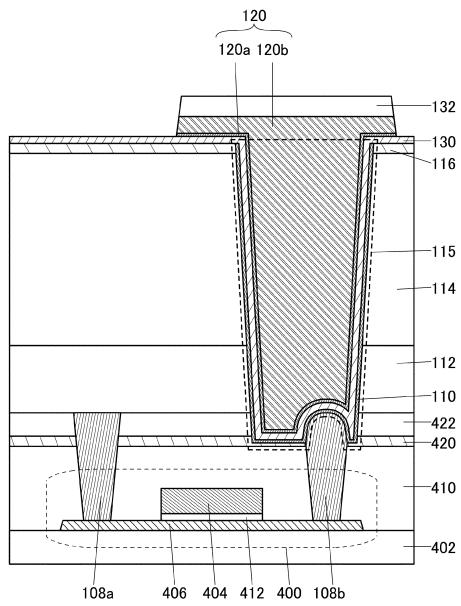
20

30

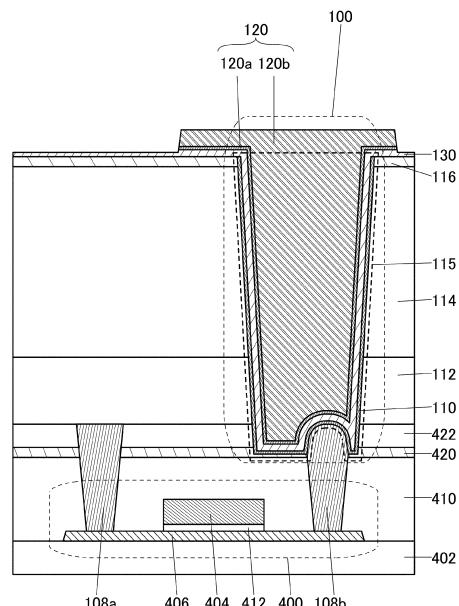
40

50

【図13】



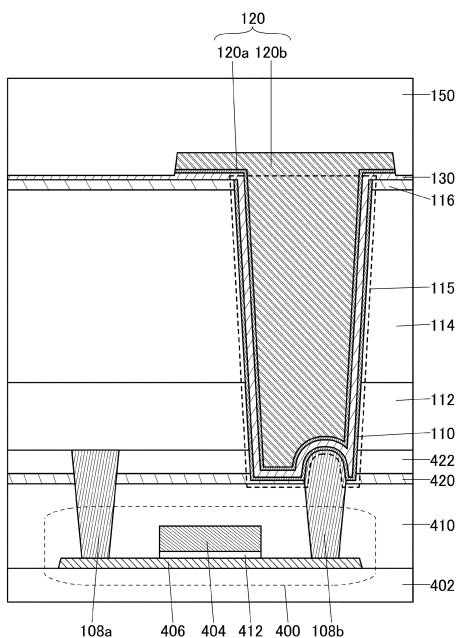
【図14】



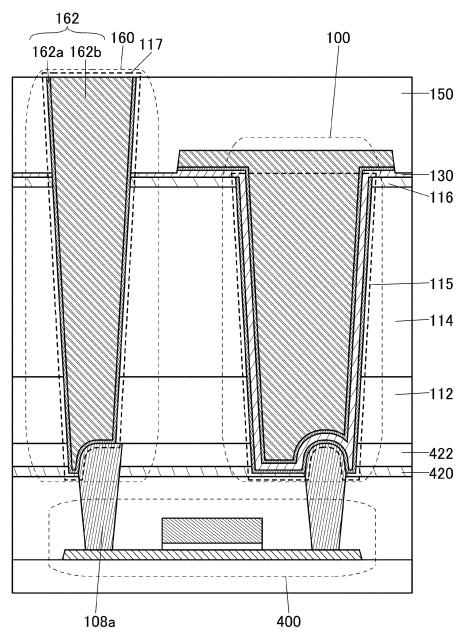
10

20

【図15】



【図16】

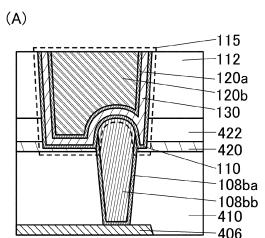


30

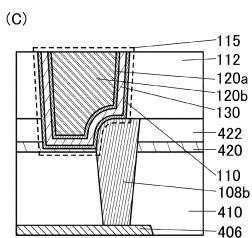
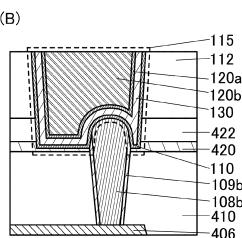
40

50

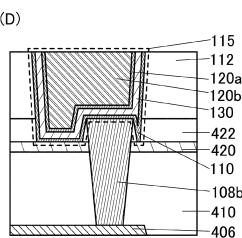
【図17】



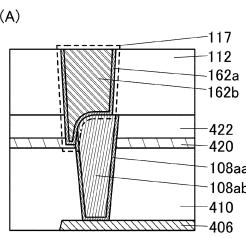
(B)



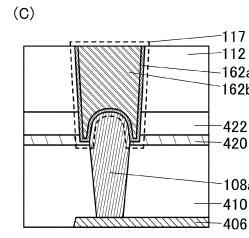
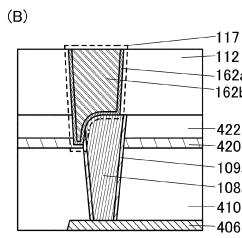
(D)



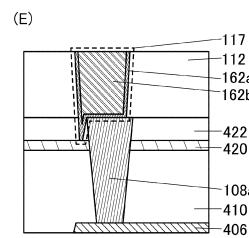
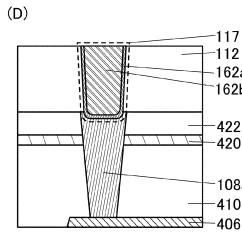
【図18】



(B)



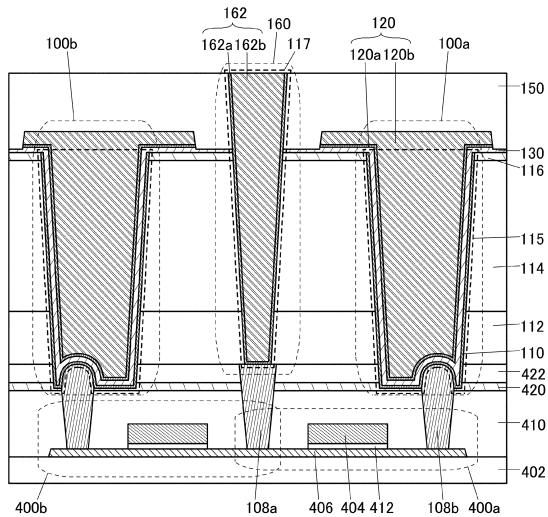
(D)



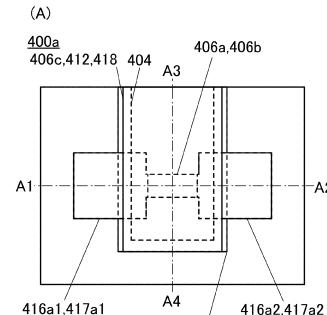
10

20

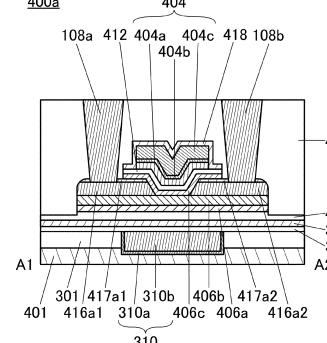
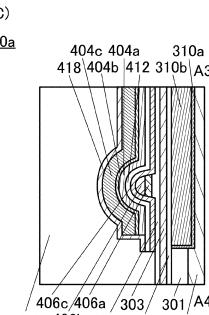
【図19】



【図20】



(C)

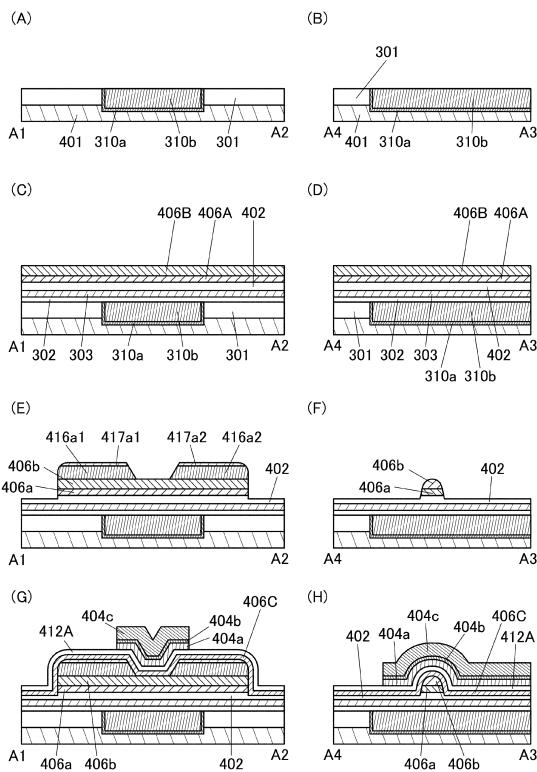


30

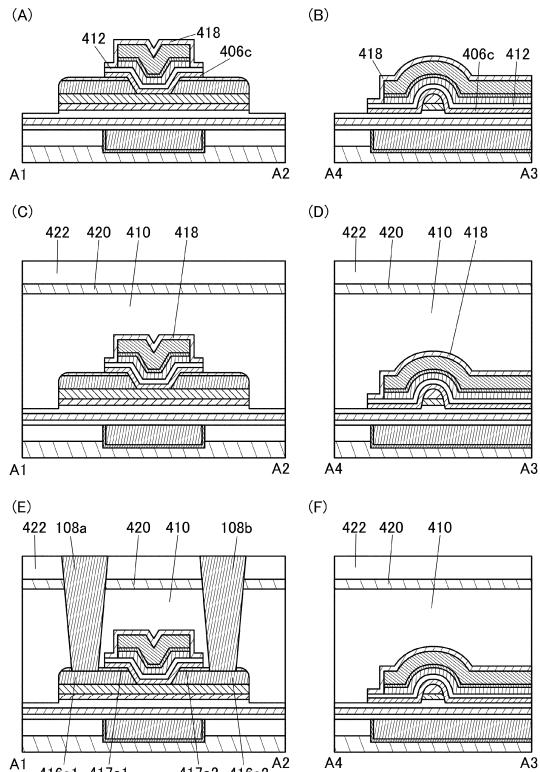
40

50

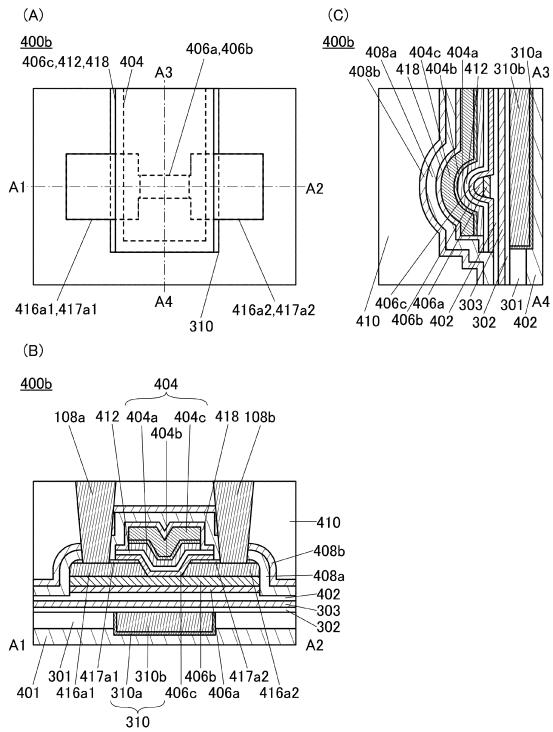
【図21】



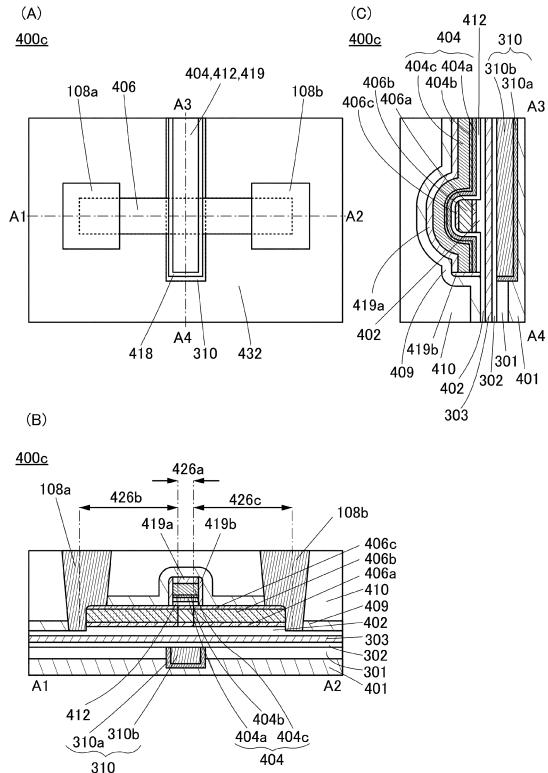
【 図 2 2 】



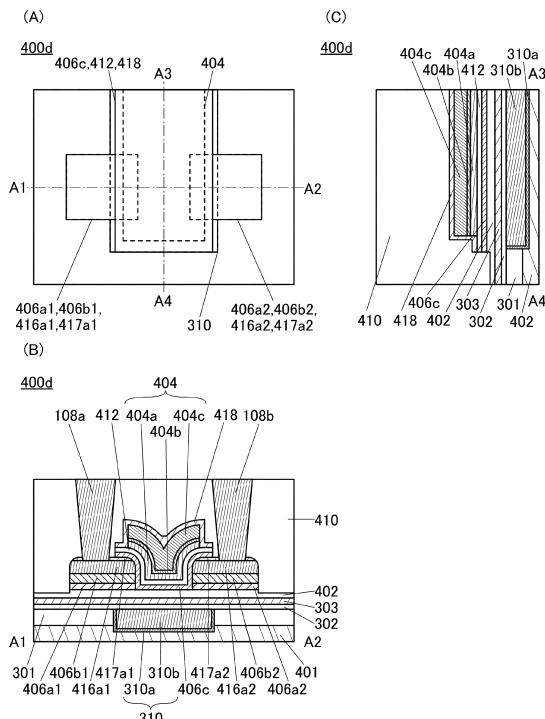
【図23】



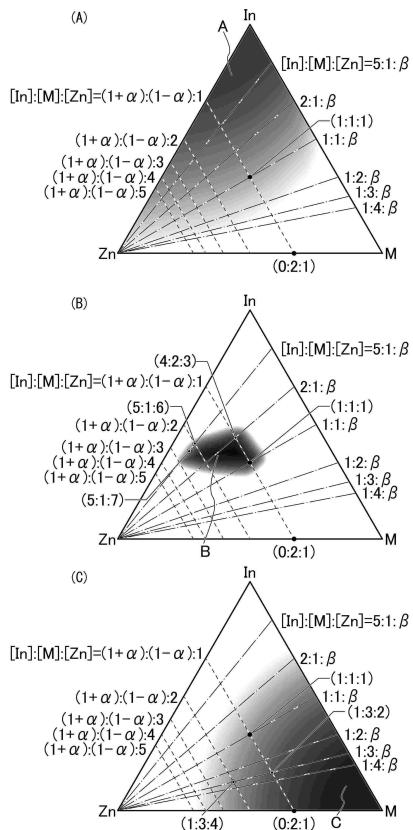
【図24】



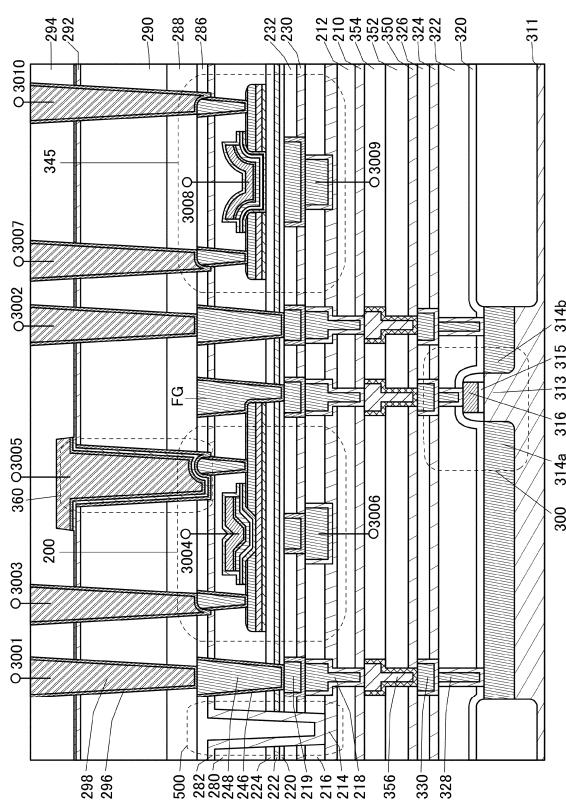
【図 2 5】



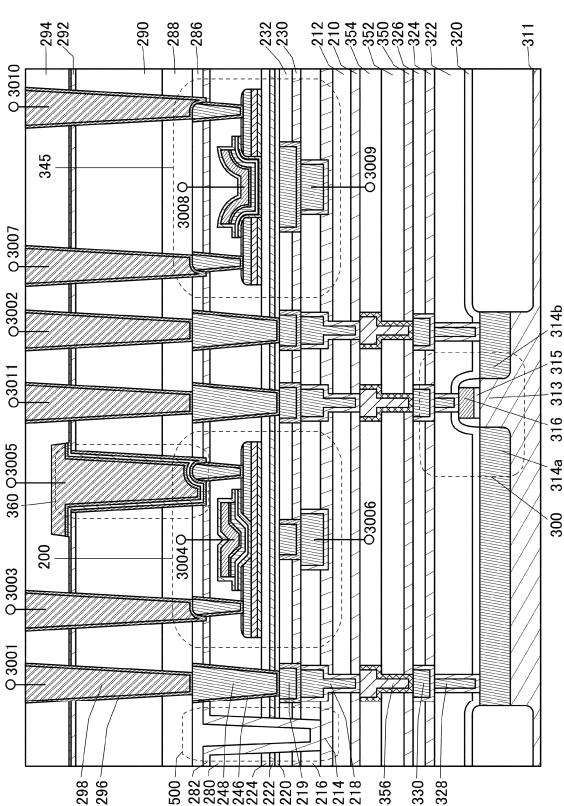
【図 2 6】



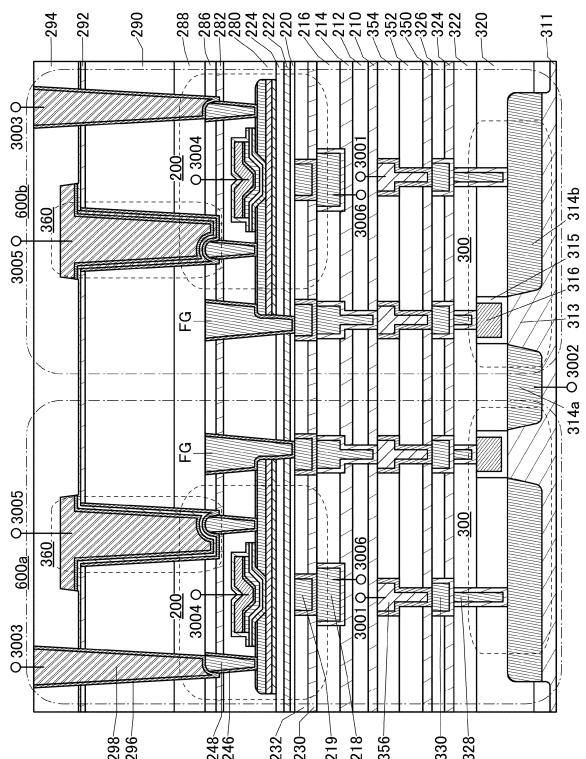
【図 2 7】



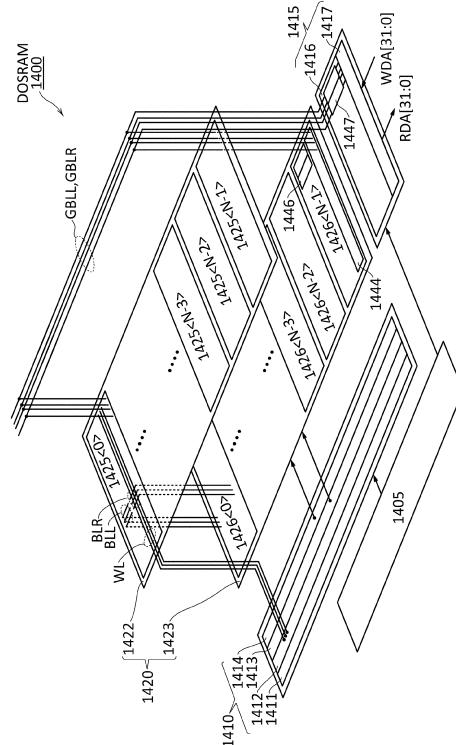
【図 2 8】



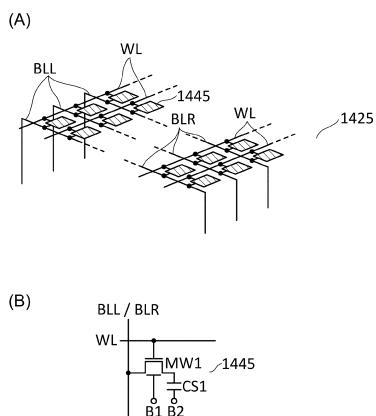
【図29】



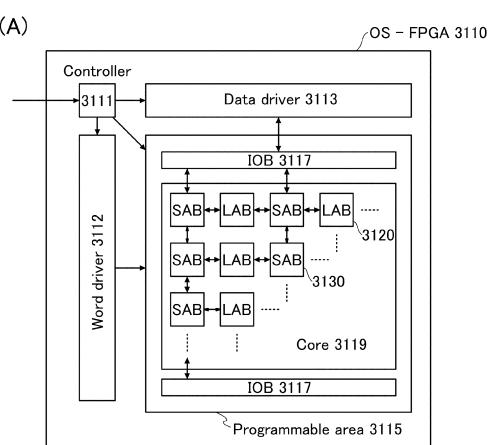
【図30】



【図31】



【図32】

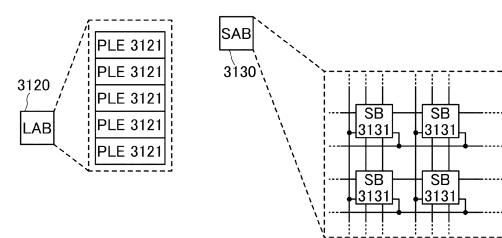


10

20

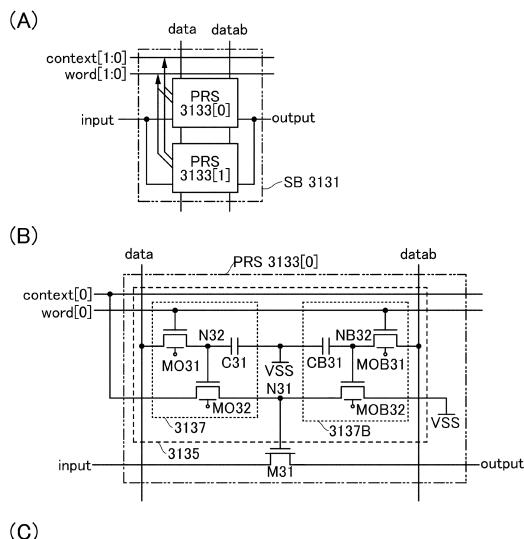
30

40

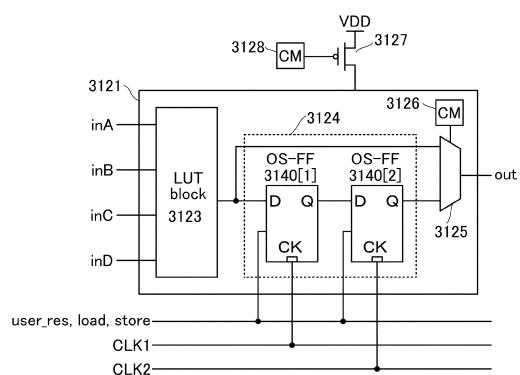


50

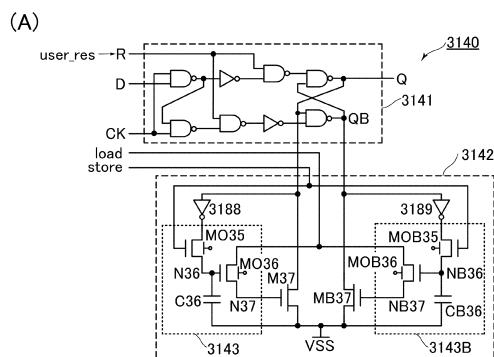
【図3-3】



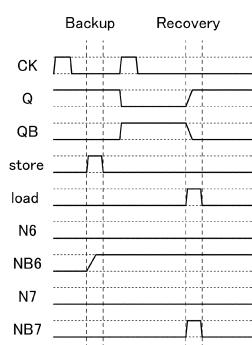
【図3-4】



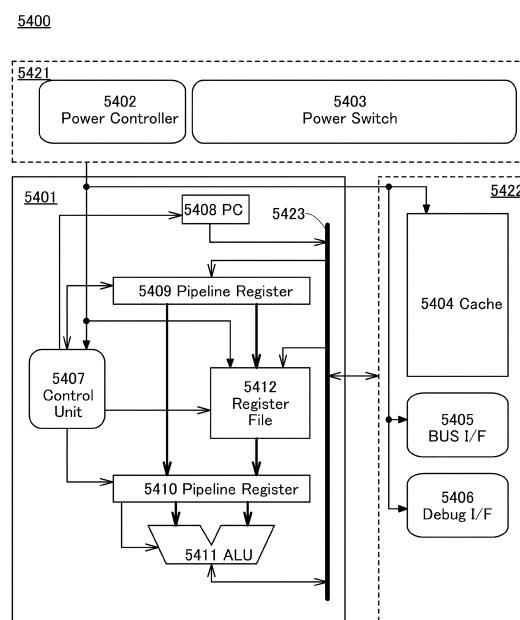
【図3-5】



(B)



【図3-6】



10

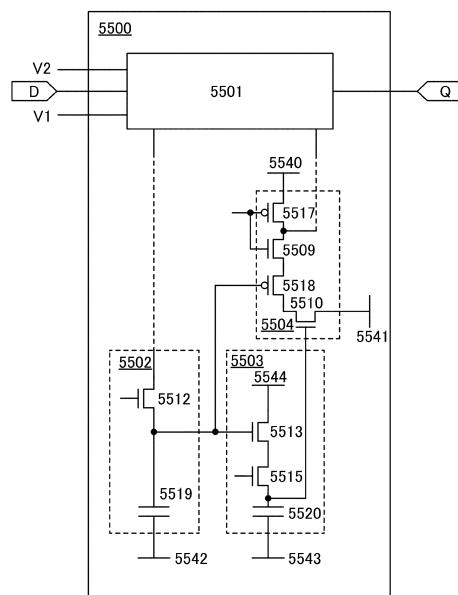
20

30

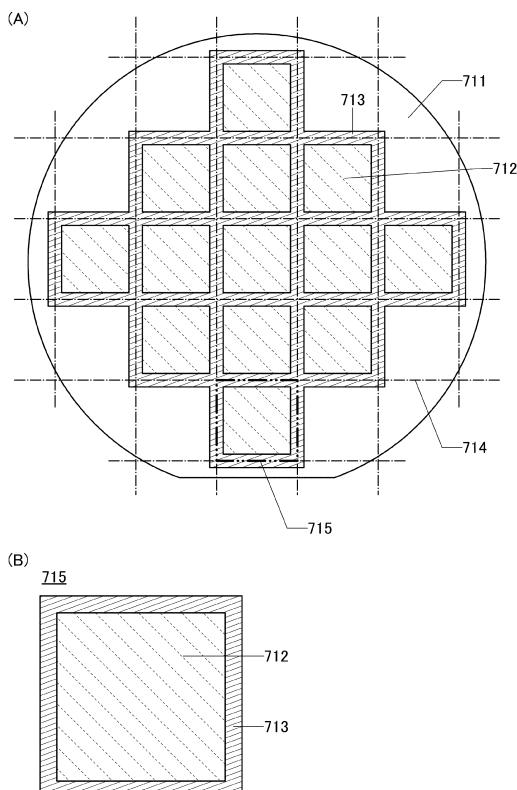
40

50

【図 3 7】



【図 3 8】



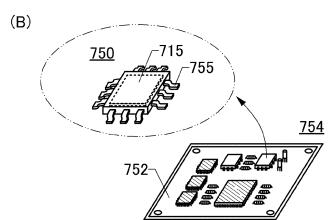
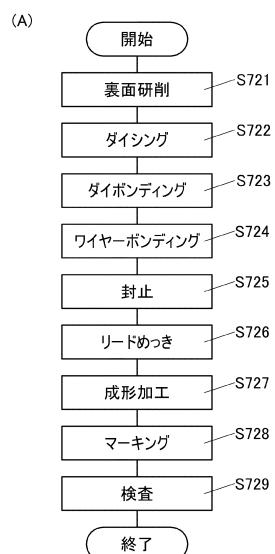
10

20

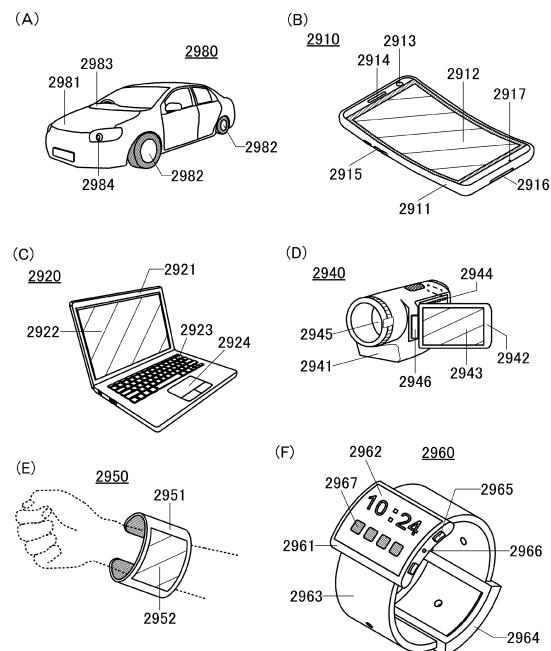
30

40

【図 3 9】

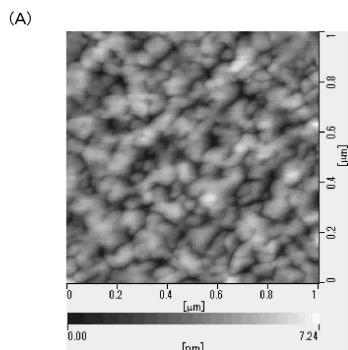


【図 4 0】

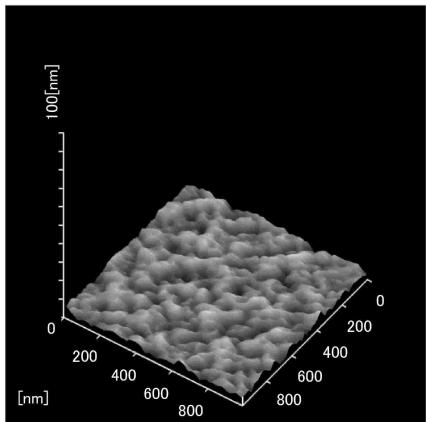


50

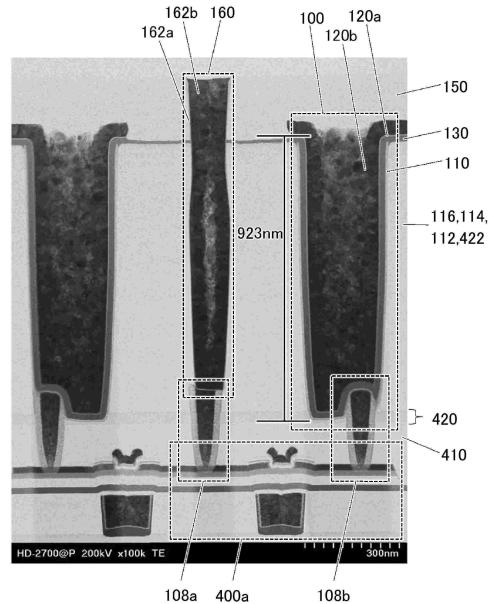
【図 4 1】



(B)



【図 4 2】



10

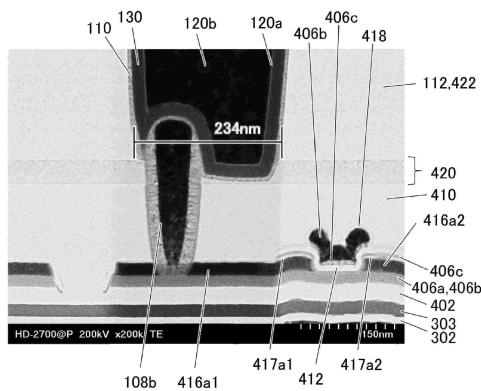
20

30

40

50

【図 4 3】



フロントページの続き

(51)国際特許分類

	F I
H 1 0 D 64/23 (2025.01)	H 1 0 D 1/68
H 1 0 D 1/68 (2025.01)	H 1 0 D 84/80 1 0 1 A
H 1 0 D 84/80 (2025.01)	H 1 0 D 84/83 E
H 1 0 D 84/83 (2025.01)	H 1 0 D 84/83 1 0 1 E
H 1 0 D 89/10 (2025.01)	H 1 0 D 30/67 1 0 4 A
H 1 0 B 12/00 (2023.01)	H 1 0 D 89/10 M
G 0 9 F 9/30 (2006.01)	H 1 0 D 89/10 A
	H 1 0 B 12/00 6 2 1 B
	H 1 0 B 12/00 6 7 1 Z
	G 0 9 F 9/30 3 4 8 A

審査官 志津木 康

(56)参考文献

特開2007-012788 (JP, A)
 特開2007-081195 (JP, A)
 特開2000-349257 (JP, A)
 国際公開第2013/099697 (WO, A1)
 特開2004-039699 (JP, A)
 特開2015-138874 (JP, A)
 特開2016-174144 (JP, A)
 特表平08-503812 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H 1 0 D 3 0 / 6 7
 H 0 1 L 2 1 / 7 6 8
 H 1 0 D 8 6 / 4 0
 H 1 0 D 6 4 / 2 0
 H 1 0 D 6 4 / 2 3
 H 1 0 D 1 / 6 8
 H 1 0 D 8 4 / 8 0
 H 1 0 D 8 4 / 8 3
 H 1 0 D 8 9 / 1 0
 H 1 0 B 1 2 / 0 0
 G 0 9 F 9 / 3 0