(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0147693
(43) 공개일자 2024년10월08일

(51) 국제특허분류(Int. Cl.)
H05K 1/11 (2006.01) *H01L 23/12* (2006.01)
H05K 1/05 (2006.01) *H05K 3/42* (2006.01)
H05K 3/44 (2006.01)
(52) CPC특허분류
H05K 1/115 (2013.01)
H01L 23/12 (2013.01)
(21) 출원번호 10-2024-7031054
(22) 출원일자(국제) 2023년02월13일
심사청구일자 없음
(85) 번역문제출일자 2024년09월13일
(86) 국제출원번호 PCT/JP2023/004740
(87) 국제공개번호 WO 2023/157794
국제공개일자 2023년08월24일
(30) 우선권주장
JP-P-2022-022327 2022년02월16일 일본(JP)

(71) 출원인
닛토덴코 가부시키가이샤
일본국 오오사카후 이바라기시 시모호즈미 1-1-2
(72) 발명자
쿠와야마, 히로노리
일본 오오사카후 5678680 이바라기-시 시모호즈미 1-1-2 닛토덴코 가부시키가이샤 내
이시이, 준
일본 오오사카후 5678680 이바라기-시 시모호즈미 1-1-2 닛토덴코 가부시키가이샤 내
(뒷면에 계속)
(74) 대리인
특허법인 광장리앤고

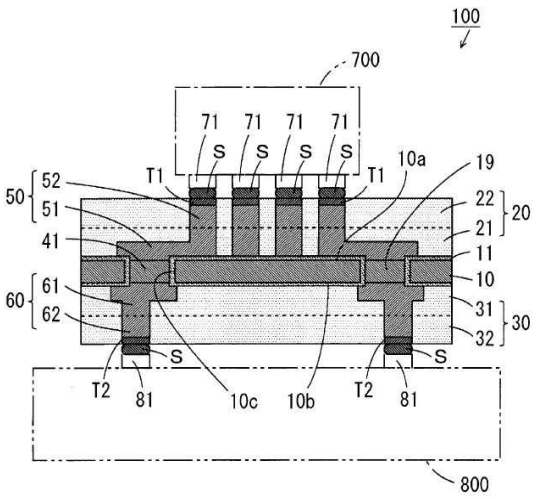
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **배선 회로 기판 및 그의 제조 방법**

(57) 요 약

재배선 기판은, 서로 반대를 향하는 상면 및 하면을 포함함과 함께 비아홀을 포함하는 금속 지지체를 포함한다. 금속 지지체의 상면 및 하면 중 미리 정해진 절연 영역과 비아홀의 내주면은, 피복층에 의해 덮여진다. 피복층을 개재하여 금속 지지체의 상면 위에 제1 도체층이 형성된다. 피복층을 개재하여 금속 지지체의 하면 위에 제3 도체층이 형성된다. 금속 지지체의 비아홀 내에는, 제1 도체층과 제3 도체층을 전기적으로 접속하도록 비아 도체가 마련되어 있다. 비아 도체는, 금속 지지체와 동일한 금속으로 형성되고, 피복층을 개재하여 비아홀의 내부 공간을 메우도록 형성되어 있다.

대 표 도 - 도1



(52) CPC특허분류
H05K 1/056 (2013.01)
H05K 3/421 (2013.01)
H05K 3/445 (2013.01)

(72) 발명자
오야부, 야스나리
일본 오오사카후 5678680 이바라기-시 시모호즈미 1-1-2 닛토덴코 가부시키가이샤 내
카마쿠라, 마사키
일본 오오사카후 5678680 이바라기-시 시모호즈미 1-1-2 닛토덴코 가부시키가이샤 내
호도노, 마사유키
일본 오오사카후 5678680 이바라기-시 시모호즈미 1-1-2 닛토덴코 가부시키가이샤 내
주로, 나오시
일본 오오사카후 5678680 이바라기-시 시모호즈미 1-1-2 닛토덴코 가부시키가이샤 내
아소, 토모키
일본 오오사카후 5678680 이바라기-시 시모호즈미 1-1-2 닛토덴코 가부시키가이샤 내

명 세 서

청구범위

청구항 1

서로 반대를 향하는 제1 면 및 제2 면을 포함함과 함께 상기 제1 면으로부터 상기 제2 면으로 관통하는 비아홀을 포함하는 금속 지지체와,

상기 금속 지지체의 상기 제1 면 및 상기 제2 면 중 적어도 일부의 영역을 덮음과 함께 상기 비아홀의 내주면을 덮도록 형성된 절연 피복층과,

상기 금속 지지체의 상기 제1 면 위에 형성되는 제1 도체층과,

상기 금속 지지체의 상기 제2 면 위에 형성되는 제2 도체층과,

상기 금속 지지체와 동일한 금속을 포함하고, 상기 제1 도체층과 상기 제2 도체층을 전기적으로 접속하도록 또한 상기 절연 피복층을 개재하여 상기 비아홀의 내부 공간을 메우도록 형성된 비아 도체를 구비하는, 배선 회로 기판.

청구항 2

제1항에 있어서,

상기 절연 피복층은, 유기 절연 재료에 의해 형성되는, 배선 회로 기판.

청구항 3

제1항 또는 제2항에 있어서,

상기 절연 피복층은, 감광성의 유기 절연 재료에 의해 형성되는, 배선 회로 기판.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 금속 지지체의 선 팽창률은, 0㎛/K 이상 25㎛/K 이하인, 배선 회로 기판.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 절연 피복층은, 상기 금속 지지체에 접촉하도록 형성되고,

상기 금속 지지체는, 상기 금속 지지체에 대한 상기 절연 피복층의 밀착성을 향상시키는 성분을 포함하는, 배선 회로 기판.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 금속 지지체와 상기 절연 피복층과의 사이에서 상기 금속 지지체 및 상기 절연 피복층에 접촉하도록 형성되고, 상기 금속 지지체에 대한 상기 절연 피복층의 밀착성을 향상시키는 성분을 포함하는 밀착성 강화층을 더 구비하는, 배선 회로 기판.

청구항 7

제6항에 있어서,

상기 밀착성 강화층은, 크롬 또는 알루미늄을 포함하고,

상기 밀착성 강화층에서의 크롬 또는 알루미늄의 함유량은, 50중량% 이하인, 배선 회로 기판.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 제1 도체층은, 상기 제1 면 위에 배치되는 제1 전자 부품과 전기적으로 접속 가능하게 형성되고,

상기 제2 도체층은, 상기 제2 면 위에 배치되는 제2 전자 부품과 전기적으로 접속 가능하게 형성된, 배선 회로 기판.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 절연 피복층은, 상기 금속 지지체의 상기 제1 면을 덮는 제1 면 피복부를 포함하고,

상기 제1 도체층은,

평면시에서 상기 비아 도체에 겹쳐지는 제1 접속 도체부와,

평면시에서 상기 비아 도체에 겹쳐지지 않는 제2 접속 도체부를 포함하며,

상기 제1 접속 도체부는, 상기 비아 도체에 직접 접촉하고 또한 상기 비아 도체로부터 상기 제1 면이 향하는 방향으로 연속하여 연장되며,

상기 제1 접속 도체부의 선단부는, 상기 제1 면 위에 배치되는 전자 부품의 하나의 단자와 전기적으로 접속 가능하게 구성되고,

상기 제2 접속 도체부는, 상기 제1 면 피복부의 일부분을 개재하여 상기 금속 지지체의 상기 제1 면 위에 형성되고 또한 상기 제1 면 피복부의 상기 일부분으로부터 상기 제1 면이 향하는 방향으로 연속하여 연장되며,

상기 제2 접속 도체부의 선단부는, 상기 제1 면 위에 배치되는 전자 부품의 다른 단자와 전기적으로 접속 가능하게 구성되고,

상기 제1 면이 향하는 방향에서, 상기 제1 접속 도체부의 선단부와 상기 제2 접속 도체부의 선단부와의 사이의 거리는, 15㎛ 이하인, 배선 회로 기판.

청구항 10

제9항에 있어서,

상기 제1 면이 향하는 방향에서, 상기 제1 면 피복부의 일부분의 두께는, 상기 제1 면 피복부의 다른 부분의 두께보다도 작거나, 또는 15㎛ 이하인, 배선 회로 기판.

청구항 11

제9항에 있어서,

상기 제1 면이 향하는 방향에서, 상기 제1 접속 도체부의 두께는, 상기 제2 접속 도체부의 두께보다도 큰, 배선 회로 기판

청구항 12

서로 반대를 향하는 제1 면 및 제2 면을 포함하는 금속판을 준비하는 공정과,

상기 금속판에 상기 제1 면으로부터 상기 제2 면으로 관통하는 비아홀을 형성함으로써 금속 지지체를 형성하는 공정과,

상기 금속 지지체의 상기 제1 면 및 상기 제2 면 중 적어도 일부의 영역을 덮음과 함께 상기 비아홀의 내주면을 덮도록 절연 피복층을 형성하는 공정과,

상기 금속 지지체의 상기 제1 면 위에 제1 도체층을 형성하는 공정과,

상기 금속 지지체의 상기 제2 면 위에 제2 도체층을 형성하는 공정을 포함하고,

상기 금속 지지체를 형성하는 공정은, 상기 금속판 중 일부분을 둘러싸는 영역을 제거함으로써, 상기 금속판의

상기 일부분을, 상기 비아홀의 내부 공간을 메우는 비아 도체로 하는 것을 포함하며,

상기 제1 도체층을 형성하는 공정은, 상기 비아 도체에 전기적으로 접속되도록 상기 제1 도체층을 형성하는 것을 포함하고,

상기 제2 도체층을 형성하는 공정은, 상기 비아 도체에 전기적으로 접속되도록 상기 제2 도체층을 형성하는 것을 포함하는, 배선 회로 기판의 제조 방법.

청구항 13

제12항에 있어서,

상기 절연 피복층을 형성하는 공정은, 상기 금속 지지체에 접촉하도록 상기 절연 피복층을 형성하는 것을 포함하고,

상기 금속판을 준비하는 공정은, 상기 금속 지지체에 대한 상기 절연 피복층의 밀착성을 향상시키는 성분을 포함하는 금속판을 상기 금속판으로서 준비하는 것을 포함하는, 배선 회로 기판의 제조 방법.

청구항 14

제12항 또는 제13항에 있어서,

상기 절연 피복층의 형성 전에, 상기 금속 지지체의 상기 제1 면 및 상기 제2 면 중 미리 정해진 절연 영역을 덮음과 함께 상기 비아홀의 내주면을 덮도록, 또한 상기 금속 지지체에 접촉하도록 밀착성 강화층을 형성하는 공정을 더 포함하고,

상기 절연 피복층을 형성하는 공정은,

상기 밀착성 강화층에 접촉하도록, 상기 밀착성 강화층 위에 상기 절연 피복층을 형성하는 것을 포함하며,

상기 밀착성 강화층은, 상기 금속 지지체에 대한 상기 절연 피복층의 밀착성을 향상시키는 성분을 포함하는, 배선 회로 기판의 제조 방법.

청구항 15

제12항 내지 제14항 중 어느 한 항에 있어서,

상기 절연 피복층을 형성하는 공정은, 상기 금속 지지체의 상기 제1 면을 덮는 제1 면 피복부를 형성하는 것을 포함하고,

상기 제1 도체층을 형성하는 공정은, 평면시에서 상기 비아 도체에 겹쳐지는 제1 접속 도체부와, 평면시에서 상기 비아 도체에 겹쳐지지 않는 제2 접속 도체부를 형성하는 것을 포함하며,

상기 제1 접속 도체부는, 상기 비아 도체에 직접 접촉하고 또한 상기 비아 도체로부터 상기 제1 면이 향하는 방향으로 연속하여 연장되며,

상기 제1 접속 도체부의 선단부는, 상기 제1 면 위에 배치되는 전자 부품의 하나의 단자와 전기적으로 접속 가능하게 구성되고,

상기 제2 접속 도체부는, 상기 제1 면 피복부의 일부분을 개재하여 상기 금속 지지체의 상기 제1 면 위에 형성되고 또한 상기 제1 면 피복부의 상기 일부분으로부터 상기 제1 면이 향하는 방향으로 연속하여 연장되며,

상기 제2 접속 도체부의 선단부는, 상기 제1 면 위에 배치되는 전자 부품의 다른 단자와 전기적으로 접속 가능하게 구성되고,

상기 제1 면이 향하는 방향에서, 상기 제1 접속 도체부의 선단부와 상기 제2 접속 도체부의 선단부와의 사이의 거리는, 15㎛ 이하인, 배선 회로 기판의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은, 배선 회로 기판 및 그의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 전자 기기에서는, 복수의 전자 부품 간에서 전기 신호의 수수를 행하게 하기 위하여 배선 회로 기판이 이용된다. 배선 회로 기판에는, 반도체 칩 등의 전자 부품이 접속된다. 배선 회로 기판에 접속된 전자 부품으로부터 발생되는 열을 효율적으로 방산시키기 위하여, 금속제의 기판을 포함하는 배선 회로 기판이 제안되고 있다.

[0003] 예컨대, 특허문헌 1에 기재된 배선판(배선 회로 기판)은, 코어 기판을 구비한다. 코어 기판은, 예컨대 알루미늄으로 형성되고, 관통 비아를 포함한다. 코어 기판의 상면, 하면 및 관통 비아의 내주면은, 절연층에 의해 덮여져 있다. 그 절연층은, 유기산을 이용한 양극 산화 처리에 의해 형성되어 있다. 코어 기판의 상면 및 하면의 각각의 면 위에, 절연층을 개재하여 배선층이 마련되어 있다. 또한, 코어 기판의 관통 비아의 내부에, 절연층을 개재하여 도체층이 마련되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개특허공보 제2004-179291호

발명의 내용

해결하려는 과제

[0005] 상기 배선판의 관통 비아의 내부에는, 절연층의 내주면을 덮도록 도체층이 형성되어 있다. 따라서, 관통 비아의 중심부에는, 코어 기판의 상면으로부터 하면에 걸쳐 관통 구멍이 형성되어 있다. 이와 같은 구성에서는, 당해 관통 비아 위에 추가로 다른 배선판의 관통 비아를 겹치는 것, 및 당해 관통 비아 위에 전자 부품의 실장용 단자를 형성하는 것이 어렵다.

[0006] 따라서, 높은 범용성을 얻기 위하여, 상기 배선판에서는, 비아필 도금에 의해 관통 비아 내부를 도체층으로 충전하는 것이 바람직하다. 비아필 도금에서는, 통상의 도금과는 상이한 특수한 도금욕 등이 이용된다. 따라서, 비아필 도금을 행하기 위한 장치를 새롭게 준비할 필요가 있다. 따라서, 이와 같은 비아필 도금을 이용한 배선판의 제조에서는, 통상의 도금을 이용한 배선판의 제조에 비하여 용이하지 않다.

[0007] 또한, 비아필 도금에 의해 관통 비아 내에 도체층을 형성하는 경우, 도금 형성 과정에서 도체층에 보이드 등의 결함이 발생하기 쉽다. 이 경우, 배선판의 전기적 도통의 신뢰성이 저하된다.

[0008] 본 발명의 목적은, 제조가 용이하고 또한 전기적 도통의 신뢰성이 향상된 배선 회로 기판 및 그의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0009] (1) 본 발명의 일 국면에 따른 배선 회로 기판은, 서로 반대를 향하는 제1 면 및 제2 면을 포함함과 함께, 제1 면으로부터 제2 면으로 관통하는 비아홀을 포함하는 금속 지지체와, 금속 지지체의 제1 면 및 제2 면 중 적어도 일부의 영역을 덮음과 함께 비아홀의 내주면을 덮도록 형성된 절연 피복층과, 금속 지지체의 제1 면 위에 형성되는 제1 도체층과, 금속 지지체의 제2 면 위에 형성되는 제2 도체층과, 금속 지지체와 동일한 금속으로 형성되고, 제1 도체층과 제2 도체층을 전기적으로 접속하도록, 또한 절연 피복층을 개재하여 비아홀의 내부 공간을 메우도록 형성된 비아 도체를 구비한다.

[0010] 그 배선 회로 기판에서는, 금속 지지체는, 예컨대 금속판을 가공함으로써 형성된다. 따라서, 금속 지지체의 형성 시에, 금속판의 일부를 비아 도체로서 형성하는 것이 가능해진다. 이 경우, 비아홀 내의 비아 도체가 금속판의 일부로 구성되기 때문에, 도금 등에 의해 비아홀 내에 비아 도체를 형성할 필요가 없어진다. 따라서, 비아홀 내의 비아 도체의 형성이 용이하다. 또한, 비아 도체에 보이드 등의 결함이 발생하는 것을 방지할 수 있다. 이들의 결과, 제조가 용이하고, 또한 전기적 도통의 신뢰성이 향상된 배선 회로 기판이 실현된다.

[0011] (2) 절연 피복층은, 유기 절연 재료에 의해 형성되어도 된다. 이 경우, 유기 절연 재료에 의해, 제1 도체층, 제

2 도체층 및 비아 도체와 금속 지지체와의 사이의 절연성이 확보된다.

[0012] (3) 절연 피복층은, 감광성의 유기 절연 재료에 의해 형성되어도 된다. 이 경우, 감광성 유기 절연 재료에 의해, 제1 도체층, 제2 도체층 및 비아 도체와 금속 지지체와의 사이의 절연성이 확보된다. 또한, 이 경우, 포토리소그래피 기술을 이용함으로써, 금속 지지체의 표면의 소망하는 영역에 절연 피복층을 용이하게 형성할 수 있다.

[0013] (4) 금속 지지체의 선 팽창률은, 0㎛/K 이상 25㎛/K 이하이어도 된다. 이 경우, 배선 회로 기판의 온도의 변화에 따라 금속 지지체가 크게 변형되는 것이 방지된다. 이로 인해, 배선 회로 기판의 신뢰성이 향상된다.

[0014] (5) 절연 피복층은, 금속 지지체에 접촉하도록 형성되고, 금속 지지체는, 금속 지지체에 대한 절연 피복층의 밀착성을 향상시키는 성분을 포함하여도 된다. 이 경우, 절연 피복층이 금속 지지체의 표면으로부터 박리되는 것이 억제된다. 이로 인해, 금속 지지체와, 제1 도체층, 제2 도체층 및 비아 도체와의 사이의 절연성이 확보되기 때문에, 배선 회로 기판의 신뢰성이 향상된다.

[0015] (6) 배선 회로 기판은, 금속 지지체와 절연 피복층과의 사이에서 금속 지지체 및 절연 피복층에 접촉하도록 형성되고, 금속 지지체에 대한 절연 피복층의 밀착성을 향상시키는 성분을 포함하는 밀착성 강화층을 추가로 구비하여도 된다.

[0016] 이 경우, 절연 피복층이 금속 지지체의 표면으로부터 박리되는 것이 억제된다. 이로 인해, 금속 지지체와 제1 도체층, 제2 도체층 및 비아 도체와의 사이의 절연성이 확보되기 때문에, 배선 회로 기판의 신뢰성이 향상된다.

[0017] (7) 밀착성 강화층은, 크롬 또는 알루미늄을 포함하고, 밀착성 강화층에서의 크롬 또는 알루미늄의 함유량은, 50중량% 이하이어도 된다.

[0018] 크롬 및 알루미늄은, 산화됨으로써 열 전도율이 저하된다. 상기 구성에 의하면, 밀착성 강화층에서의 크롬 또는 알루미늄의 함유량이 50중량%보다도 큰 경우에 비하여, 밀착성 강화층이 산화되는 것에 의한 열 전도율의 저하가 저감된다.

[0019] (8) 제1 도체층은, 제1 면 위에 배치되는 제1 전자 부품과 전기적으로 접속 가능하게 형성되고, 제2 도체층은, 제2 면 위에 배치되는 제2 전자 부품과 전기적으로 접속 가능하게 형성되어도 된다. 이 경우, 배선 회로 기판을 재배선 기판으로서 사용할 수 있다.

[0020] (9) 절연 피복층은, 금속 지지체의 제1 면을 덮는 제1 면 피복부를 포함하고, 제1 도체층은, 평면시에서 비아 도체에 겹쳐지는 제1 접속 도체부와, 평면시에서 비아 도체에 겹쳐지지 않는 제2 접속 도체부를 포함하며, 제1 접속 도체부는, 비아 도체에 직접 접촉하고 또한 비아 도체로부터 제1 면이 향하는 방향으로 연속하여 연장되며, 제1 접속 도체부의 선단부는, 제1 면 위에 배치되는 전자 부품의 하나의 단자와 전기적으로 접속 가능하게 구성되고, 제2 접속 도체부는, 제1 면 피복부의 일부분을 개재하여 금속 지지체의 제1 면 위에 형성되고, 또한 제1 면 피복부의 일부분으로부터 제1 면이 향하는 방향으로 연속하여 연장되며, 제2 접속 도체부의 선단부는, 제1 면 위에 배치되는 전자 부품의 다른 단자와 전기적으로 접속 가능하게 구성되고, 제1 면이 향하는 방향에서, 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 사이의 거리는, 15㎛ 이하이어도 된다.

[0021] 이 경우, 금속 지지체의 제1 면 위에 위치하도록, 배선 회로 기판 위에 전자 부품을 실장할 수 있다. 이 실장시에는, 제1 접속 도체부의 선단부에 전자 부품의 하나의 단자가 접속되고, 제2 접속 도체부의 선단부에 전자 부품의 다른 단자가 접속된다.

[0022] 측면시에서 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 사이에 큰 차분이 있으면, 전자 부품이 의도하지 않은 자세로 배선 회로 기판에 실장될 가능성이 있다. 또한, 전자 부품이 구비하는 복수의 단자를 배선 회로 기판의 제1 도체층에 전기적으로 접속하는 것이 곤란해질 가능성이 있다.

[0023] 상기 구성에 의하면, 제1 면이 향하는 방향, 예컨대 제1 면 및 제2 면에 직교하는 방향(배선 회로 기판의 두께 방향)에서, 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 사이의 거리가 15㎛ 이하이다. 따라서, 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 사이의 거리가 15㎛보다도 큰 경우에 비하여, 전자 부품을 배선 회로 기판 위에 구조적으로 안정적으로 실장할 수 있다. 또한, 배선 회로 기판 위에 전자 부품이 실장된 상태에서, 당해 배선 회로 기판과 전자 부품과의 전기적 도통의 신뢰성이 향상된다.

[0024] (10) 제1 면이 향하는 방향에서, 제1 면 피복부의 일부분의 두께는, 제1 면 피복부의 다른 부분의 두께보다 작

거나, 또는 15㎛ 이하이어도 된다.

[0025] 이 경우, 제1 면 피복부의 적어도 일부의 두께를 조정함으로써, 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 거리가 15㎛ 이하가 된다.

[0026] (11) 제1 면이 향하는 방향에서, 제1 접속 도체부의 두께는, 제2 접속 도체부의 두께보다도 커도 된다.

[0027] 이 경우, 제1 접속 도체부의 두께 및 제2 접속 도체부의 두께 중 어느 한쪽의 두께를 조정함으로써, 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 거리가 15㎛ 이하가 된다.

[0028] (12) 본 발명의 다른 국면에 따른 배선 회로 기판의 제조 방법은, 서로 반대를 향하는 제1 면 및 제2 면을 포함하는 금속판을 준비하는 공정과, 금속판에 제1 면으로부터 제2 면으로 관통하는 비아홀을 형성함으로써 금속 지지체를 형성하는 공정과, 금속 지지체의 제1 면 및 제2 면 중 적어도 일부의 영역을 덮음과 함께 비아홀의 내주면을 덮도록 절연 피복층을 형성하는 공정과, 금속 지지체의 제1 면 위에 제1 도체층을 형성하는 공정과, 금속 지지체의 제2 면 위에 제2 도체층을 형성하는 공정을 포함하고, 금속 지지체를 형성하는 공정은, 금속판 중 일부분을 둘러싸는 영역을 제거함으로써, 금속판의 일부분을, 비아홀의 내부 공간을 메우는 비아 도체로 하는 것을 포함하며, 제1 도체층을 형성하는 공정은, 비아 도체에 전기적으로 접속되도록 제1 도체층을 형성하는 것을 포함하고, 제2 도체층을 형성하는 공정은, 비아 도체에 전기적으로 접속되도록 제2 도체층을 형성하는 것을 포함한다.

[0029] 상기 제조 방법에서는, 금속 지지체를 형성할 때에, 비아홀의 내주면에 접촉하지 않도록, 비아홀 내에 금속판의 일부로 구성된 비아 도체가 형성된다. 이 경우, 비아홀 내의 비아 도체가 금속판의 일부로 구성되기 때문에, 도금 등에 의해 비아홀 내에 비아 도체를 형성할 필요가 없어진다. 따라서, 비아홀 내의 비아 도체의 형성이 용이하다. 또한, 비아 도체에 보이드 등의 결함이 발생하는 것을 방지할 수 있다. 이들의 결과, 제조가 용이하고 또한 전기적 도통의 신뢰성이 향상된 배선 회로 기판이 실현된다.

[0030] (13) 절연 피복층을 형성하는 공정은, 금속 지지체에 접촉하도록 절연 피복층을 형성하는 것을 포함하고, 금속판을 준비하는 공정은, 금속 지지체에 대한 절연 피복층의 밀착성을 향상시키는 성분을 포함하는 금속판을 금속판으로서 준비하는 것을 포함하여도 된다.

[0031] 이 경우, 절연 피복층이 금속 지지체의 표면으로부터 박리되는 것이 억제된다. 이로 인해, 금속 지지체와 제1 도체층, 제2 도체층 및 비아 도체와의 사이의 절연성이 확보되기 때문에, 배선 회로 기판의 신뢰성이 향상된다.

[0032] (14) 배선 회로 기판의 제조 방법은, 절연 피복층의 형성 전에, 금속 지지체의 제1 면 및 제2 면 중 미리 정해진 절연 영역을 덮음과 함께 비아홀의 내주면을 덮도록, 또한 금속 지지체에 접촉하도록 밀착성 강화층을 형성하는 공정을 추가로 포함하고, 절연 피복층을 형성하는 공정은, 밀착성 강화층에 접촉하도록, 밀착성 강화층 위에 절연 피복층을 형성하는 것을 포함하며, 밀착성 강화층은 금속 지지체에 대한 절연 피복층의 밀착성을 향상시키는 성분을 포함하여도 된다.

[0033] 이 경우, 절연 피복층이 금속 지지체의 표면으로부터 박리되는 것이 억제된다. 이로 인해, 금속 지지체와 제1 도체층, 제2 도체층 및 비아 도체와의 사이의 절연성이 확보되기 때문에, 배선 회로 기판의 신뢰성이 향상된다.

[0034] (15) 절연 피복층을 형성하는 공정은, 금속 지지체의 제1 면을 덮는 제1 면 피복부를 형성하는 것을 포함하고, 제1 도체층을 형성하는 공정은, 평면시에서 비아 도체에 겹쳐지는 제1 접속 도체부와, 평면시에서 비아 도체에 겹쳐지지 않는 제2 접속 도체부를 형성하는 것을 포함하며, 제1 접속 도체부는, 비아 도체에 직접 접촉하고 또한, 비아 도체로부터 제1 면이 향하는 방향으로 연속하여 연장되고, 제1 접속 도체부의 선단부는, 제1 면 위에 배치되는 전자 부품의 하나의 단자와 전기적으로 접속 가능하게 구성되며, 제2 접속 도체부는, 제1 면 피복부의 일부분을 개재하여 금속 지지체의 제1 면 위에 형성되고, 또한 제1 면 피복부의 일부분으부터 제1 면이 향하는 방향으로 연속하여 연장되며, 제2 접속 도체부의 선단부는, 제1 면 위에 배치되는 전자 부품의 다른 단자와 전기적으로 접속 가능하게 구성되고, 제1 면이 향하는 방향에서, 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 사이의 거리는, 15㎛ 이하이어도 된다.

[0035] 상기 제조 방법에 의해 작성된 배선 회로 기판에서는, 금속 지지체의 제1 면 위에 위치하도록, 배선 회로 기판 위에 전자 부품을 실장할 수 있다. 이 실장 시에는, 제1 접속 도체부의 선단부에 전자 부품의 하나의 단자가 접속되고, 제2 접속 도체부의 선단부에 전자 부품의 다른 단자가 접속된다.

[0036] 측면시에서 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 사이에 큰 차분이 있으면, 전자 부품이 의도하지 않은 자세로 배선 회로 기판에 실장 될 가능성이 있다. 또한, 전자 부품이 구비하는 복수의 단자를 배

선 회로 기판의 제1 도체층에 전기적으로 접속하는 것이 곤란해질 가능성이 있다.

[0037] 상기 구성에 의하면, 제1 면이 향하는 방향, 예컨대 제1 면 및 제2 면에 직교하는 방향(배선 회로 기판의 두께 방향)에서, 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 사이의 거리가 15㎛ 이하이다. 따라서, 제1 접속 도체부의 선단부와 제2 접속 도체부의 선단부와의 사이의 거리가 15㎛보다도 큰 경우에 비하여, 전자 부품을 배선 회로 기판 위에 구조적으로 안정적으로 실장할 수 있다. 또한, 배선 회로 기판 위에 전자 부품이 실장된 상태에서, 당해 배선 회로 기판과 전자 부품과의 전기적 도통의 신뢰성이 향상된다.

발명의 효과

[0038] 본 발명에 따르면, 제조 비용이 저감되고 또한 전기적 도통의 신뢰성이 향상된 배선 회로 기판이 실현된다.

도면의 간단한 설명

[0039] 도 1은, 본 발명의 일 실시형태에 따른 재배선 기판의 구성을 나타내는 모식적 단면도이다.

도 2는, 도 1의 재배선 기판의 모식적 평면도이다.

도 3은, 도 1의 재배선 기판의 모식적 저면도이다.

도 4는, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 5는, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 6은, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 7은, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 8은, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 9는, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 10은, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 11은, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 12는, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 13은, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 14는, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 15는, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 16은, 도 1의 재배선 기판의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다.

도 17은, 도 1의 재배선 기판의 제조 방법의 제2 예를 설명하기 위한 모식적 단면도이다.

도 18은, 도 1의 재배선 기판의 제조 방법의 제2 예를 설명하기 위한 모식적 단면도이다.

도 19는, 도 1의 재배선 기판의 제조 방법의 제2 예를 설명하기 위한 모식적 단면도이다.

도 20은, 도 1의 재배선 기판의 제조 방법의 제2 예를 설명하기 위한 모식적 단면도이다.

도 21은, 도 1의 재배선 기판의 제조 방법의 제2 예를 설명하기 위한 모식적 단면도이다.

도 22는, 도 1의 재배선 기판의 제조 방법의 제2 예를 설명하기 위한 모식적 단면도이다.

도 23은, 도 1의 재배선 기판의 제조 방법의 제2 예를 설명하기 위한 모식적 단면도이다.

도 24는, 복수의 단자부의 높이 위치 편차의 저감을 고려한 재배선 기판의 제1 구성예를 나타내는 모식적 단면도이다.

도 25는, 도 24의 제1 단자부, 제1 접속 도체부, 제2 단자부, 제2 접속 도체부, 금속 지지체 및 비아 도체의 위치 관계를 나타내는 평면도이다.

도 26은, 도 24의 재배선 기판에 반도체 소자를 실장할 시의 일례를 나타내는 도이다.

도 27은, 도 24의 재배선 기판의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다.

도 28은, 도 24의 재배선 기판의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다.

도 29는, 도 24의 재배선 기판의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다.

도 30은, 도 24의 재배선 기판의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다.

도 31은, 도 24의 재배선 기판의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다.

도 32는, 도 24의 재배선 기판의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다.

도 33은, 도 24의 재배선 기판의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다.

도 34는, 도 24의 재배선 기판의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다.

도 35는, 복수의 단자부의 높이 위치 편차의 저감을 고려한 재배선 기판의 제2 구성예를 나타내는 모식적 단면도이다.

도 36은, 복수의 단자부의 높이 위치 편차의 저감을 고려한 재배선 기판의 제3 구성예를 나타내는 모식적 단면도이다.

도 37은, 복수의 단자부의 높이 위치 편차의 저감을 고려한 재배선 기판의 제4 구성예를 나타내는 모식적 단면도이다.

도 38은, 밀착성 강화층을 구비하는 재배선 기판의 모식적 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0040] 이하, 본 발명의 일 실시형태에 따른 배선 회로 기판 및 그의 제조 방법에 대하여 도면을 참조하면서 설명한다. 배선 회로 기판의 일례로서, 재배선 기판을 설명한다. 재배선 기판은, 예컨대 반도체 소자 등의 전자 부품과 리지드 프린트 배선 회로 기판(이하, 리지드 기판이라고 약기한다.) 등의 다른 배선 회로 기판과의 사이에 배치되고, 전자 부품의 미세 패턴과 다른 배선 회로 기판의 거친 패턴과의 피치를 변환하는 역할을 담당한다. 재배선 기판은, 인터포저 기판이라고도 불린다.

[0041] 1. 재배선 기판의 기본 구성

[0042] 도 1은, 본 발명의 일 실시형태에 따른 재배선 기판의 구성을 나타내는 모식적 단면도이다. 도 2는, 도 1의 재배선 기판(100)의 모식적 평면도이다. 도 3은, 도 1의 재배선 기판(100)의 모식적인 저면도이다. 도 1은, 도 2 및 도 3의 A-A선 단면을 나타낸다. 도 1에 나타내는 바와 같이, 재배선 기판(100)은, 주로 금속 지지체(10), 절연층(20, 30) 및 도체층(50, 60)으로 구성되며, 60㎛ 이상 500㎛ 이하의 두께를 갖는다. 또한, 재배선 기판(100)은, 반도체 소자(700)와 리지드 기판(800)과의 사이에 배치된다. 반도체 소자(700)는 복수의 전극 패드(71)를 포함하고, 리지드 기판(800)은 복수의 전극 패드(81)를 포함한다. 도 1~도 3에서는, 반도체 소자(700)가 1점 쇄선으로 나타나고, 리지드 기판(800)이 2점 쇄선으로 나타난다.

[0043] 도 1의 재배선 기판(100)에서는, 금속 지지체(10)는, 예컨대, 구리, 알루미늄, 철, 니켈, 크롬, 티타늄 및 몰리브덴으로 이루어지는 군으로부터 선택된 1종 또는 복수 종의 원소를 포함하는 금속 또는 합금에 의해 형성된다. 본 실시형태에서는, 금속 지지체(10)는, 스테인리스에 의해 판 형상으로 형성된다. 금속 지지체(10) 중 반도체 소자(700)를 향하는 면(도 1에서 상방을 향하는 면)을 상면(10a)이라고 부르고, 금속 지지체(10) 중 리지드 기판(800)을 향하는 면(도 1에서 하방을 향하는 면)을 하면(10b)이라고 부른다. 본 실시형태에 따른 상면(10a) 및 하면(10b)은, 서로 평행하고 또한 금속 지지체(10)의 두께 방향에 직교하고 또한 평탄하다. 또한, 이하의 설명에서는, 금속 지지체(10)의 상면(10a)이 향하는 방향을 재배선 기판(100)의 상방으로 하고, 금속 지지체(10)의 하면(10b)이 향하는 방향을 재배선 기판(100)의 하방으로 한다.

[0044] 상기 예에 한정되지 않고, 금속 지지체(10)로서는, 42 알로이 또는 인바 합금 등이 이용되어도 된다. 금속 지지체(10)에 인바 합금이 이용되는 경우, 인바 합금 중의 니켈(Ni) 조성의 변화에 대응하여, 금속 지지체(10)의 선팽창 계수를 조정하는 것이 가능해진다. 이 경우, 재배선 기판(100)을 구성하는 각 층에 휨이 발생하는 것을 억제하는 것이 가능해진다.

[0045] 본 실시형태에 따른 금속 지지체(10)는, 절연층(20, 30)의 열 전도율에 대하여 보다 높은 열 전도율을 갖는 것이 바람직하고, 예컨대 10W/mK 이상 400W/mK 이하의 열 전도율을 갖는다. 또한, 금속 지지체(10)는, 10㎛ 이상

100㎛ 이하의 두께를 갖는 것이 바람직하고, 20㎛ 이상 50㎛ 이하의 두께를 갖는 것이 보다 바람직하다. 또한, 금속 지지체(10)의 25℃ 내지 200℃에서의 선 팽창 계수는, 0㎛/K 이상 25㎛/K 이하이다.

[0046] 또한, 금속 지지체(10)에는, 복수의 비아홀(19)이 형성되어 있다. 본 예의 복수의 비아홀(19) 각각은, 재배선 기판(100)의 두께 방향(재배선 기판(100)의 상하 방향)으로 본 평면시에서 원형 또는 직사각형의 개구부를 포함한다. 재배선 기판(100)의 두께 방향에 직교하는 각 비아홀(19)의 개구부의 최대 치수는, 예컨대 10㎛ 이상 250㎛ 이하이다. 또한, 상기 최대 치수란, 예컨대 비아홀(19)의 개구부가 평면시에서 원형 형상을 갖는 경우, 비아홀(19)의 내경의 최대 치수를 말한다. 또한, 예컨대 비아홀(19)의 개구부가 평면시에서 직사각형상을 갖는 경우, 비아홀(19)의 개구부의 대각선의 최대 치수를 말한다.

[0047] 금속 지지체(10)의 외표면에는, 피복층(11)이 형성되어 있다. 보다 구체적으로는, 금속 지지체(10)에서는, 상면(10a), 하면(10b) 및 각 비아홀(19)의 내주면(10c)의 전체를 덮도록, 피복층(11)이 형성되어 있다. 피복층(11)은, 예컨대 유기 절연 재료에 의해 형성된다. 피복층(11)의 유기 절연 재료는, 예컨대 감광성 폴리이미드이다. 피복층(11)의 유기 절연 재료는, 예컨대 감광성 폴리이미드이다. 이 경우, 피복층(11)은, 1㎛ 이상 10㎛ 이하의 두께를 갖는다. 또한, 피복층(11)은, 아크릴 수지, 폴리에테르니트릴 수지, 폴리에테르설폰 수지, 에폭시 수지, 폴리에틸렌테레프탈레이트 수지, 폴리에틸렌나프탈레이트 수지 또는 폴리염화비닐 수지 등의 다른 유기 절연 재료에 의해 형성되어도 된다. 또한, 피복층(11)의 재료로서는, 상기 유기 절연 재료 대신에, 무기 절연 재료를 이용할 수도 있다. 구체적으로는, 피복층(11)의 재료로서는, 탄화규소, 이산화규소, 질화알루미늄 또는 산화알루미늄 등을 이용할 수도 있다. 이들 무기 절연 재료를 이용하는 경우에는, 피복층(11)은, 후술하는 바와 같이, 예컨대 스퍼터링 또는 화학기상성장법 등의 성막 기술을 이용하여 형성할 수가 있다. 피복층(11)의 재료로서 스퍼터링 또는 화학기상성장법 등의 성막 기술을 적용 가능한 재료를 선택하는 경우, 피복층(11)의 두께는, 감광성 폴리이미드를 이용하는 경우의 두께(1㎛ 이상 10㎛ 이하)에 비하여 더 작게 할 수 있다.

[0048] 금속 지지체(10)의 상면(10a) 위에는, 소정 패턴을 갖는 제1 절연층(21) 및 제2 절연층(22)이 이 순서대로 적층되어 있다. 제1 절연층(21) 및 제2 절연층(22)에 의해 절연층(20)이 형성되어 있다. 또한, 금속 지지체(10)의 하면(10b) 위에는, 소정 패턴을 갖는 제3 절연층(31) 및 제4 절연층(32)이 이 순서대로 적층되어 있다. 제3 절연층(31) 및 제4 절연층(32)에 의해 절연층(30)이 형성되어 있다.

[0049] 절연층(20, 30)은, 예컨대, 감광성 폴리이미드에 의해 형성된다. 또한, 절연층(20, 30)은, 아크릴 수지, 폴리에테르니트릴 수지, 폴리에테르설폰 수지, 에폭시 수지, 폴리에틸렌테레프탈레이트 수지, 폴리에틸렌나프탈레이트 수지 또는 폴리염화 비닐 수지 등의 다른 수지에 의해 형성되어도 된다.

[0050] 금속 지지체(10)의 각 비아홀(19) 내에는, 피복층(11)을 개재하여 비아 도체(41)가 마련되어 있다. 본 실시형태에서는, 비아 도체(41)는, 금속 지지체(10)와 동일한 금속으로 형성된다. 금속 지지체(10)의 상면(10a) 위에는, 제1 절연층(21)에 더하여 제1 도체층(51)이 형성되어 있다. 구체적으로는, 금속 지지체(10)의 상면(10a) 위에는, 제1 절연층(21)의 비형성 영역(제1 절연층(21)의 패턴과는 역패턴의 영역)에, 피복층(11)을 개재하여 제1 도체층(51)이 형성되어 있다. 제1 도체층(51)의 일부는 비아 도체(41)에 전기적으로 접속되어 있다. 본 예의 복수의 비아 도체(41)의 각각은, 재배선 기판(100)의 두께 방향으로 본 평면시에서, 예컨대 당해 비아 도체(41)가 마련된 비아홀(19)의 개구부와 상사형을 갖는다. 재배선 기판(100)의 두께 방향에 직교하는 각 비아 도체(41)의 최대 치수는, 예컨대 5㎛ 이상 200㎛ 이하이다.

[0051] 또한, 제1 절연층(21) 및 제1 도체층(51) 위에는, 제2 절연층(22)의 비형성 영역(제2 절연층(22)의 패턴과는 역패턴의 영역)에, 제2 도체층(52)이 형성되어 있다. 제2 도체층(52)의 일부는, 제1 도체층(51)에 전기적으로 접속되어 있다. 제1 도체층(51) 및 제2 도체층(52)에 의해 도체층(50)이 형성되어 있다.

[0052] 제2 도체층(52)에는, 제2 절연층(22)의 비형성 영역에서 상방에 노출되는 복수의 단자부(T1)가 형성되어 있다. 이들 단자부(T1)에는, 반도체 소자(700)의 복수의 전극 패드(71)가 땜납(S)을 개재하여 접속된다. 따라서, 복수의 단자부(T1)의 수 및 배치는, 반도체 소자(700)의 복수의 전극 패드(71)의 수 및 배치에 대응하도록 정해져 있다.

[0053] 금속 지지체(10)의 하면(10b) 위에는, 제3 절연층(31)에 더하여 제3 도체층(61)이 형성되어 있다. 구체적으로는, 금속 지지체(10)의 하면(10b) 위에는, 제3 절연층(31)의 비형성 영역(제3 절연층(31)의 패턴과는 역패턴의 영역)에, 피복층(11)을 개재하여 제3 도체층(61)이 형성되어 있다. 제3 도체층(61)의 일부는 비아 도체(41)에 전기적으로 접속되어 있다.

[0054] 또한, 제3 절연층(31) 및 제3 도체층(61) 위에는, 제4 절연층(32)의 비형성 영역(제4 절연층(32)의 패턴과는 역

패턴의 영역)에, 제4 도체층(62)이 형성되어 있다. 제4 도체층(62)의 일부는, 제3 도체층(61)에 전기적으로 접속되어 있다. 제3 도체층(61) 및 제4 도체층(62)에 의해 도체층(60)이 형성되어 있다.

[0055] 제4 도체층(62)에는, 제4 절연층(32)의 비형성 영역에서 하방에 노출되는 복수의 단자부(T2)가 형성되어 있다. 이들 단자부(T2)에는, 리지드 기판(800)의 복수의 전극 패드(81)가 땜납(S)을 개재하여 접속된다. 따라서, 복수의 단자부(T2)의 수 및 배치는, 리지드 기판(800)의 복수의 전극 패드(81)의 수 및 배치에 대응하도록 정해져 있다.

[0056] 상기 도체층(50, 60)은, 구리에 의해 형성된다. 또한, 도체층(50, 60)은, 구리, 금, 은, 백금, 납, 주석, 니켈, 코발트, 인듐, 로듐, 크롬, 텅스텐 및 루테늄 등 중 1종 또는 복수 종을 포함하는 금속 또는 합금에 의해 형성되어도 된다.

[0057] 또한, 상기 복수의 단자부(T1, T2)의 각각은, 니켈막 및 금 도금막의 적층 구조를 갖는다. 상세하게는, 각 단자부(T1)는, 제2 도체층(52)의 상단부의 표면 위에 니켈막 및 금 도금막이 이 순서대로 형성된 구성을 갖는다. 또한, 각 단자부(T2)는, 제4 도체층(62)의 하단부의 표면 위에 니켈막 및 금 도금막이 이 순서대로 형성된 구성을 갖는다. 또한, 각 단자부(T1, T2)는, 니켈막을 포함하지 않고, 금 도금막만으로 구성되어도 된다. 금 도금막에 의해 각 단자부(T1, T2)의 내부식성이 확보된다. 혹은, 각 단자부(T1)는, 도체층(50)(제2 도체층(52)) 자체로 구성되어도 되고, 제2 도체층(52)의 상단부의 표면에 방청 처리가 실시된 구성을 가져도 된다. 또한, 각 단자부(T2)는, 도체층(60)(제4 도체층(62)) 자체로 구성되어도 되고, 제4 도체층(62)의 하단부의 표면에 방청 처리가 실시된 구성을 가져도 된다.

[0058] 상기 재배선 기판(100)에서는, 재배선 기판(100)의 상면에 형성되는 복수의 단자부(T1)의 각각이, 복수의 비아 도체(41) 및 도체층(50, 60)을 통하여 재배선 기판(100)의 하면에 형성되는 복수의 단자부(T2) 중 어느 하나와 전기적으로 접속되어 있다. 또한, 재배선 기판(100)의 복수의 단자부(T1)에 반도체 소자(700)의 복수의 전극 패드(71)가 각각 접속되고, 재배선 기판(100)의 복수의 단자부(T2)에 리지드 기판(800)의 복수의 전극 패드(81)가 각각 접속된다. 이로 인해, 반도체 소자(700)의 복수의 전극 패드(71)와 리지드 기판(800)의 복수의 전극 패드(81)가, 재배선 기판(100)을 개재하여 전기적으로 접속된다.

[0059] 또한, 도 2 및 도 3에 나타내는 바와 같이, 본 실시형태에서는, 재배선 기판(100)의 상면에 위치하는 복수의 단자부(T1)의 수와, 재배선 기판(100)의 하면에 위치하는 복수의 단자부(T2)의 수는 일치하지만, 본 발명은 이에 한정되지 않는다. 재배선 기판(100)의 상면에 위치하는 복수의 단자부(T1)의 수와, 재배선 기판(100)의 하면에 위치하는 복수의 단자부(T2)의 수는 일치하지 않아도 된다.

[0060] 2. 재배선 기판(100)의 제조 방법

[0061] (1) 재배선 기판(100)의 제조 방법의 제1 예

[0062] 도 4~도 16은, 도 1의 재배선 기판(100)의 제조 방법의 제1 예를 설명하기 위한 모식적 단면도이다. 도 4~도 16에 나타내는 모식적 단면도는, 도 1의 모식적 단면도에 대응한다. 또한, 도 4~도 16 중 도 7, 도 9 및 도 10에는, 모식적 단면도에 더하여, 말풍선 내에 대상물(재배선 기판(100)의 중간체)의 일부 확대 평면도가 나타난다. 본 예의 재배선 기판(100)은, 롤 투 롤 방식에 의해 제조된다.

[0063] 먼저, 스테인레스제의 장척상의 금속판(90)이 권회된 롤(이하, 조출 롤이라고 부른다.)이 준비된다. 준비된 조출 롤로부터 금속판(90)이 조출된다. 조출 롤로부터 조출된 금속판(90)은, 다른 롤에 권취된다. 도 4에서는, 조출 롤로부터 조출된 금속판(90)의 일부의 단면이 나타난다. 금속판(90)은, 상기 금속 지지체(10)를 형성하기 위한 부재이며, 상면(10a) 및 하면(10b)을 포함한다. 롤 투 롤 방식에 의하면, 장척상의 금속판(90)이 긴 방향으로 이동하면서 금속판(90)의 각 영역에 순차적으로 이하의 처리가 행하여진다.

[0064] 먼저, 도 5에 나타내는 바와 같이, 금속판(90)의 하면(10b) 위에 캐리어 필름(CF0)이 첩부된다. 또한, 도 6에 나타내는 바와 같이, 금속판(90)의 상면(10a) 위에 감광성 드라이 필름 레지스트(29a)가 첩부된다. 그 후, 감광성 드라이 필름 레지스트(29a)를 소정 패턴으로 노광하고, 현상 처리를 행함으로써, 도 7에 나타내는 바와 같이, 금속판(90)의 상면(10a) 위에 에칭 레지스트(29b)가 형성된다.

[0065] 본 예의 에칭 레지스트(29b)는, 도 7의 말풍선 내에 나타내는 바와 같이, 금속판(90)의 두께 방향으로 본 평면시에서, 금속판(90)의 복수의 부분을 각각 둘러싸는 원환상의 복수의 개구부(29x)를 포함한다. 이로 인해, 에칭 레지스트(29b)의 복수의 개구부(29x)에 각각 겹쳐지는 금속판(90)의 상면(10a)의 복수의 부분은, 상방을 향하여 노출되어 있다. 또한, 에칭 레지스트(29b)의 복수의 개구부(29x)의 각각은, 도 1의 비아홀(19)을 형성하기 위한

개구부이다.

[0066] 다음으로, 도 8에 나타내는 바와 같이, 에칭 레지스트(29b)의 복수의 개구부(29x)를 통하여 노출되는 금속판(90)의 복수의 부분이 에칭된다. 또한, 도 9에 나타내는 바와 같이, 금속판(90)의 상면(10a)으로부터 에칭 레지스트(29b)가 박리된다. 이와 같이 하여, 금속판(90)에 복수의 비아홀(19)이 형성됨으로써, 금속 지지체(10)가 형성된다. 이 때, 도 9의 말풍선 내에 나타내는 바와 같이, 비아홀(19) 내부에는, 금속판(90)의 일부가, 비아홀(19)의 내주면(10c)에 접촉하지 않도록, 비아 도체(41)로서 섬 형상으로 형성된다.

[0067] 다음으로, 도 10에 나타내는 바와 같이, 비아 도체(41)의 상면을 제외하고, 노출되는 금속 지지체(10)의 상면(10a) 및 내주면(10c)에 감광성 폴리이미드를 포함하는 피복층(11)이 형성된다. 피복층(11)의 형성은, 구체적으로는, 다음과 같이 행하여진다.

[0068] 먼저, 금속 지지체(10)의 상면(10a) 위에 감광성 폴리이미드의 전구체가 도포된다. 또한, 금속 지지체(10)의 각 비아홀(19)의 내부에서, 비아홀(19)의 내주면(10c)과 비아 도체(41)의 외주면과의 사이의 영역에 감광성 폴리이미드의 전구체가 충전된다. 그 후, 도포된 감광성 폴리이미드의 전구체가, 노광 및 현상됨으로써, 비아 도체(41)의 상면 부분을 제외하고 피복층(11)이 형성된다. 형성된 피복층(11)은 경화 처리된다.

[0069] 또한, 피복층(11)의 재료로서 탄화규소, 이산화규소 또는 질화 알루미늄이 이용되는 경우, 피복층(11)은, 예컨대 스퍼터링에 의해 형성된다. 혹은, 피복층(11)의 재료로서 탄화규소 또는 산화알루미늄이 이용되는 경우, 피복층(11)은, 예컨대 화학기상성장법에 의해 형성된다.

[0070] 다음으로, 도 11에 나타내는 바와 같이, 금속 지지체(10)의 하면(10b)으로부터 캐리어 필름(CF0)이 박리된다. 그 후, 도 12에 나타내는 바와 같이, 비아 도체(41)의 하면 부분을 제외하고, 노출되는 금속 지지체(10)의 하면(10b)에 감광성 폴리이미드를 포함하는 피복층(11)이 형성된다. 금속 지지체(10)의 하면(10b)에 대한 피복층(11)의 형성은, 금속 지지체(10)의 상면(10a)에 대한 피복층(11)의 형성과 동일한 방법으로 행하여진다. 형성된 피복층(11)은 경화 처리된다.

[0071] 다음으로, 도 13에 나타내는 바와 같이, 복수의 비아 도체(41)의 상면 및 금속 지지체(10)의 상면(10a)에서의 소정 영역에 구리로 형성되는 제1 도체층(51)이 형성된다. 또한, 복수의 비아 도체(41)의 하면 및 금속 지지체(10)의 하면(10b)에서의 소정 영역에 구리로 형성되는 제3 도체층(61)이 형성된다. 상기 제1 도체층(51) 및 제3 도체층(61)의 형성은, 구체적으로는, 다음과 같이 행하여진다.

[0072] 먼저, 금속 지지체(10)의 상면(10a), 금속 지지체(10)의 하면(10b), 비아 도체(41)의 상면 및 비아 도체(41)의 하면에, 스퍼터링 또는 무전해 도금에 의해, 예컨대 크롬 박막 및 구리 박막으로 형성되는 시드층이 형성된다. 다음으로, 상기 에칭 레지스트(29b)의 예와 마찬가지로, 시드층 위에 소정 패턴의 도금 레지스트가 형성된다. 다음으로, 도금 레지스트의 개구부를 통하여 노출되는 시드층 위에, 전해 도금에 의해 제1 도체층(51) 및 제3 도체층(61)의 일부가 형성된다. 이 때, 제1 도체층(51)은, 복수의 비아 도체(41)와 전기적으로 접속된다. 또한, 제3 도체층(61)은, 복수의 비아 도체(41)와 전기적으로 접속된다. 여기에서 형성되는 제1 도체층(51) 및 제3 도체층(61)의 부분은, 배선 부분으로서 이용된다.

[0073] 제1 도체층(51) 및 제3 도체층(61)은, 상기 배선 부분에 더하여 비아 부분을 포함한다. 따라서, 제1 도체층(51) 및 제3 도체층(61)의 배선 부분의 형성 후에는, 추가로 도금 레지스트를 이용한 전해 도금에 의해 제1 도체층(51) 및 제3 도체층(61)의 비아 부분이 형성된다.

[0074] 그 후, 도금 레지스트가 박리되고, 노출되는 시드층의 부분(제1 도체층(51) 및 제3 도체층(61)이 형성되어 있지 않은 부분)이 에칭에 의해 제거된다. 또한, 제1 도체층(51) 및 제3 도체층(61)의 외표면에, 구리의 확산을 억제하기 위한 배리어층이 형성된다. 배리어층은, 예컨대 니켈 박막으로 형성된다. 또한, 도 13에서는, 시드층 및 배리어층의 도시는 생략되어 있다.

[0075] 제1 도체층(51) 및 제3 도체층(61)의 형성 후, 도 14에 나타내는 바와 같이, 금속 지지체(10)의 상면(10a) 중 제1 도체층(51)이 형성되어 있지 않은 영역에 감광성 폴리이미드로 형성되는 제1 절연층(21)이 형성된다. 제1 도체층(51)의 배선 부분의 영역에도 제1 절연층(21)이 형성된다. 이로 인해, 제1 도체층(51)의 배선 부분이 제1 절연층(21)에 의해 덮여지고, 제1 도체층(51)의 비아 부분(배선 부분 이외의 부분)이 노출된다.

[0076] 또한, 금속 지지체(10)의 하면(10b) 중 제3 도체층(61)이 형성되어 있지 않은 영역에 감광성 폴리이미드로 형성되는 제3 절연층(31)이 형성된다. 제3 도체층(61)의 배선 부분의 영역에도 제3 절연층(31)이 형성된다. 이로 인해, 제3 도체층(61)의 배선 부분이 제3 절연층(31)에 의해 덮여지고, 제3 도체층(61)의 비아 부분(배선 부분 이

외의 부분)이 노출된다.

[0077] 제1 절연층(21) 및 제3 절연층(31)은, 금속 지지체(10)의 상면(10a) 및 하면(10b)에 감광성 폴리이미드의 전구체를 도포하고, 그 전구체가 노광 및 현상됨으로써 형성된다. 또한, 형성된 제1 절연층(21) 및 제3 절연층(31)은 경화 처리된다.

[0078] 다음으로, 제1 도체층(51)의 상면 중, 미리 정해진 영역에 존재하는 배리어층이 제거된다. 또한, 제3 도체층(61)의 상면 중, 미리 정해진 영역에 존재하는 배리어층이 제거된다.

[0079] 그 후, 도 15에 나타내는 바와 같이, 배리어층이 제거된 제1 도체층(51)의 상면 및 제1 절연층(21)의 상면에서의 소정 영역에, 제2 도체층(52)이 형성된다. 또한, 배리어층이 제거된 제3 도체층(61)의 하면 및 제3 절연층(31)의 하면에서의 소정 영역에, 제4 도체층(62)이 형성된다. 제2 도체층(52) 및 제4 도체층(62)의 각각은, 제1 도체층(51) 및 제3 도체층(61)과 마찬가지로, 배선 부분 및 비아 부분을 포함한다. 따라서, 제2 도체층(52) 및 제4 도체층(62)의 형성은, 기본적으로, 제1 도체층(51) 및 제3 도체층(61)의 형성과 동일한 순서로 행하여진다.

[0080] 다음으로, 도 16에 나타내는 바와 같이, 제1 절연층(21) 및 제1 도체층(51) 의 상면 중 제2 도체층(52)이 형성되어 있지 않은 영역에 감광성 폴리이미드로 형성되는 제2 절연층(22)이 형성된다. 제2 도체층(52)의 배선 부분의 영역에도 제2 절연층(22)이 형성된다. 이로 인해, 제2 도체층(52)의 배선 부분이 제2 절연층(22)에 의해 덮여지고, 제2 도체층(52)의 비아 부분(배선 부분 이외의 부분)이 노출된다.

[0081] 또한, 제3 절연층(31) 및 제3 도체층(61)의 하면 중 제4 도체층(62)이 형성되어 있지 않은 영역에 감광성 폴리이미드로 형성되는 제4 절연층(32)이 형성된다. 제4 도체층(62)의 배선 부분의 영역에도 제4 절연층(32)이 형성된다. 이로 인해, 제4 도체층(62)의 배선 부분이 제4 절연층(32)에 의해 덮여지고, 제4 도체층(62)의 비아 부분(배선 부분 이외의 부분)이 노출된다.

[0082] 제2 절연층(22) 및 제4 절연층(32)의 형성은, 기본적으로, 제1 절연층(21) 및 제3 절연층(31)의 형성과 동일한 순서로 행하여진다.

[0083] 마지막으로, 제2 도체층(52) 중 상방에 노출되는 복수의 부분에 형성된 배리어층이 제거됨과 함께, 배리어층이 제거된 제2 도체층(52)의 복수의 부분에 단자부(T1)(도 1)가 형성된다. 또한, 제4 도체층(62) 중 하방에 노출되는 복수의 부분에 형성된 배리어층이 제거됨과 함께, 배리어층이 제거된 제4 도체층(62)의 복수의 부분에 단자부(T2)(도 1)가 형성된다. 상기와 같이, 단자부(T1, T2)는, 예컨대 니켈막 및 금 도금막의 적층 구조를 갖는다. 또한, 단자부(T1, T2)는, 금 도금막만으로 형성되어도 된다. 이로 인해, 재배선 기판(100)이 완성된다.

[0084] 상기 재배선 기판(100)의 제조 방법에서는, 초기 공정에서 금속판(90)에 첩부되는 캐리어 필름(CF0)이 감광성 폴리이미드 등의 감광성 재료로 구성되어도 된다. 이 경우, 예컨대 도 10에 나타내는 바와 같이, 금속 지지체(10)의 상면(10a)에 피복층(11)을 형성한 후, 캐리어 필름(CF0)을 노광 및 현상함으로써, 금속 지지체(10)의 하면(10b)에 피복층(11)을 형성할 수 있다. 따라서, 캐리어 필름(CF0)을 박리할 필요가 없어진다. 또한, 금속 지지체(10)의 하면(10b)에, 피복층(11)을 형성하기 위한 감광성 폴리이미드의 전구체를 도포할 필요가 없어진다. 이로 인해, 재배선 기판(100)의 제조 공정의 수가 저감된다.

[0085] (2) 재배선 기판(100)의 제조 방법의 제2 예

[0086] 도 17~도 23은, 도 1의 재배선 기판(100)의 제조 방법의 제2 예를 설명하기 위한 모식적 단면도이다. 도 17~도 23에 나타내는 모식적 단면도는, 도 4~도 16의 모식적 단면도와 마찬가지로, 도 1의 모식적 단면도에 대응한다. 또한, 도 17~도 23 중 도 18, 도 20, 도 21, 도 22 및 도 23에는, 모식적 단면도에 더하여, 둥그런 테두리 내에 대상물(재배선 기판(100)의 중간체)의 일부 확대 평면도가 나타난다. 이하, 재배선 기판(100)의 제조 방법의 제2 예에 대하여, 주로 재배선 기판(100)의 제조 방법의 제1 예와 상이한 점을 설명한다.

[0087] 본 예의 재배선 기판(100)은, 제1 예와 마찬가지로, 롤 투 롤 방식에 의해 제조된다. 따라서, 본 예에서도, 최초에 스테인레스제의 장척상의 금속판(90)이 권회된 조출 롤이 준비된다. 준비된 조출 롤로부터 금속판(90)이 조출되고, 조출된 금속판(90)이 다른 롤에 권취된다. 조출 롤로부터 다른 롤로 이동하는 금속판(90)의 각 영역에 순차적으로 이하의 처리가 행하여진다.

[0088] 먼저, 금속판(90)의 하면(10b)에 도 5의 캐리어 필름(CF0)에 상당하는 부재가 첩부되지 않은 상태에서, 도 17에 나타내는 바와 같이, 금속판(90)의 상면(10a) 위에 감광성 드라이 필름 레지스트(29a)가 첩부된다. 그 후, 감광성 드라이 필름 레지스트(29a)를 소정 패턴으로 노광하고, 현상 처리를 행함으로써, 도 18에 나타내는 바와 같

이, 금속판(90)의 상면(10a) 위에 에칭 레지스트(29b)가 형성된다.

[0089] 본 예의 에칭 레지스트(29b)는, 도 18의 말풍선 내에 나타내는 바와 같이, 금속판(90)의 두께 방향으로 본 평면시에서, 원호 형상의 복수의 개구부(29y)를 포함한다. 이로 인해, 에칭 레지스트(29b)의 복수의 개구부(29y)에 각각 겹쳐지는 금속판(90)의 상면(10a)의 복수의 부분은, 상방을 향하여 노출되어 있다. 또한, 복수의 개구부(29y)의 각각은, 도 1의 비아홀(19)을 형성하기 위한 개구부이다. 또한, 본 예의 복수의 개구부(29y)의 각각의 형상은, 평면시에서 원환상에 가깝다.

[0090] 다음으로, 도 19에 나타내는 바와 같이, 에칭 레지스트(29b)의 복수의 개구부(29y)를 통하여 노출되는 금속판(90)의 복수의 부분이 에칭된다. 그 후, 도 20에 나타내는 바와 같이, 금속판(90)의 상면(10a)으로부터 에칭 레지스트(29b)가 박리된다.

[0091] 이 때, 도 20의 말풍선 내에 나타내는 바와 같이, 금속판(90)에는, 원호 형상의 복수의 개구부(10y)가 형성된다. 이로 인해, 금속판(90)에서의 각 개구부(10y)의 형성 영역에는, 도체 형성부(10i) 및 연결부(10j)가 형성된다. 연결부(10j)는, 평면시에서 원호 형상으로 연장되는 개구부(10y)의 일단부와 타단부와의 사이에 위치하는 부분이다. 또한, 도체 형성부(10i)는, 평면시에서 개구부(10y) 및 연결부(10j)에 의해 둘러싸이는 부분이다. 도 20 및 후술하는 도 21에서는, 도체 형성부(10i) 및 연결부(10j)가 일점 쇄선으로 나타난다.

[0092] 상기 도체 형성부(10i)는, 최종적으로는 금속판(90)의 다른 부분으로부터 분리됨으로써 비아 도체(41)로서 이용되게 된다. 그러나, 도 20의 공정에서는, 연결부(10j)는, 금속판(90)의 다른 부분과 일체적으로 형성되어 있다. 이로 인해, 복수의 도체 형성부(10i)를 포함하는 금속판(90)은, 캐리어 필름(CF0)을 이용하지 않고, 단독으로 롤 투 롤 방식에 의해 반송이 가능하게 되어 있다.

[0093] 다음으로, 도 21에 나타내는 바와 같이, 금속판(90)의 복수의 도체 형성부(10i)의 상면 및 하면을 제외하고, 노출되는 금속판(90)의 상면(10a) 및 하면(10b)에 감광성 폴리이미드로 형성되는 피복층(11)이 형성된다. 또한, 금속판(90)의 복수의 개구부(10y) 내에 피복층(11)이 형성된다.

[0094] 구체적으로는, 금속판(90)의 상면(10a) 및 하면(10b) 위에 감광성 폴리이미드의 전구체가 도포된다. 또한, 금속판(90)의 각 개구부(10y)의 내부에 감광성 폴리이미드의 전구체가 충전된다. 그 후, 도포된 감광성 폴리이미드의 전구체가, 노광 및 현상됨으로써, 도체 형성부(10i)의 상면 및 하면 부분을 제외하고 금속판(90)의 표면 전체에 피복층(11)이 형성된다. 형성된 피복층(11)은 경화 처리된다.

[0095] 다음으로, 도 22에 나타내는 바와 같이, 금속판(90)의 복수의 연결부(10j)가 제거된다. 복수의 연결부(10j)는, 레이저 가공 기술을 이용하여 연결부(10j)를 포함하는 금속판(90)의 부분에 관통 구멍(H1)을 형성함으로써 제거할 수 있다. 이와 같이 하여, 금속판(90)에 개구부(10y) 및 관통 구멍(H1)을 포함하는 복수의 비아홀(19)이 형성된다. 이로 인해, 금속판(90)이 금속 지지체(10)로서 형성된다. 또한, 복수의 연결부(10j)를 제거하기 위한 관통 구멍(H1)의 형성은, 예컨대 드릴 가공 기술 또는 펀칭 가공 기술을 이용하여 행하여져도 된다.

[0096] 다음으로, 도 23에 나타내는 바와 같이, 복수의 연결부(10j)를 제거하기 위하여 형성된 복수의 관통 구멍(H1) 내부에, 절연 재료(MI)가 삽입된다. 절연성 재료(MI)로서는, 탄화규소, 이산화규소 또는 질화알루미늄 등의 절연성 필러가 이용된다. 이 경우, 각 도체 형성부(10i)가 비아홀(19)의 내주면(10c)에 대하여, 피복층(11) 및 절연성 재료(MI)에 의해 전기적으로 분리된다. 이로 인해, 각 도체 형성부(10i)는, 당해 도체 형성부(10i)가 수용된 각 비아홀(19) 내에서 비아 도체(41)로서 이용하는 것이 가능해진다.

[0097] 그 후, 도 23에 나타내는 금속 지지체(10)의 상방에, 재배선 기판(100)의 제조 방법의 제1 예와 마찬가지의 순서로, 도체층(50) 및 절연층(20)이 형성된다. 또한, 도 23에 나타내는 금속 지지체(10)의 하방에, 재배선 기판(100)의 제조 방법의 제1 예와 마찬가지의 순서로, 도체층(60) 및 절연층(30)이 형성된다.

[0098] 또한, 재배선 기판(100)의 제조 방법의 제2 예에서는, 도체층(50)의 형성 시에, 제1 도체층(51)의 적어도 일부는, 상방에 노출되는 복수의 비아 도체(41)의 상면에 전기적으로 접속되도록 형성된다. 또한, 제3 도체층(61)의 적어도 일부는, 하방에 노출되는 복수의 비아 도체(41)의 하면에 전기적으로 접속하도록 형성된다.

[0099] 재배선 기판(100)의 제조 방법의 제2 예에서는, 금속 지지체(10)와 비아 도체(41)를 전기적으로 분리하기 위하여, 피복층(11)에 더하여 절연성 재료(MI)가 이용된다. 따라서, 제2 예에 따라 제작되는 재배선 기판(100)의 구성에 의하면, 도 1의 단면도에는, 금속 지지체(10)의 비아홀(19) 내에 절연성 재료(MI)가 추가되게 된다.

[0100] 3. 효과

[0101] (1) 상기 재배선 기판(100)의 제조 방법의 제1 및 제2 예에서는, 비아홀(19)의 내주면(10c)에 접촉하지 않도록, 비아홀(19) 내에 금속판(90)의 일부로 형성되는 비아 도체(41)가 형성된다. 이 경우, 금속 지지체(10)의 형성 후에, 도체층(50, 60)을 서로 전기적으로 접속하기 위한 비아 도체(41)를 형성하는 공정을 별도 마련할 필요가 없어진다. 또한, 비아홀(19) 내의 비아 도체(41)가 금속판(90)의 일부로 구성되기 때문에, 도금 등에 의해 비아홀(19) 내에 비아 도체(41)를 형성할 필요가 없어진다. 따라서, 비아홀(19) 내의 비아 도체(41)의 형성이 용이하다. 또한, 비아 도체(41)에 보이드 등의 결함이 발생하는 것을 방지할 수 있다. 이들의 결과, 제조가 용이하고, 또한 전기적 도통의 신뢰성이 향상된 재배선 기판(100)이 실현된다.

[0102] (2) 상기한 바와 같이, 금속 지지체(10)의 표면을 덮는 피복층(11)의 재료로서는, 예컨대 감광성 폴리이미드가 이용된다. 이 경우, 포토리소그래피 기술을 이용함으로써, 금속 지지체(10)의 표면의 소망하는 영역에 피복층(11)을 용이하게 형성할 수 있다.

[0103] 따라서, 상기 예에서는, 피복층(11)은 금속 지지체(10)의 표면의 거의 전체에 걸쳐 형성되어 있지만, 피복층(11)은 금속 지지체(10)의 표면의 일부에 선택적으로 형성되어도 된다. 예컨대, 피복층(11)은, 금속 지지체(10)의 비아홀(19)의 내주면(10c), 금속 지지체(10)의 상면(10a) 중 제1 도체층(51)의 형성 영역 및 금속 지지체(10)의 하면(10b) 중 제3 도체층(61)의 형성 영역에만 형성되어도 된다.

[0104] (3) 상기한 바와 같이, 금속 지지체(10)의 25℃ 내지 200℃에서의 선 팽창 계수는, 0㎛/K 이상 25㎛/K 이하이다. 이 경우, 재배선 기판(100)의 온도의 변화에 따라 금속 지지체(10)가 크게 변형되는 것이 방지된다. 이로 인해, 재배선 기판(100)의 신뢰성이 향상된다.

[0105] (4) 금속 지지체(10)는, 당해 금속 지지체(10)와 피복층(11)과의 사이의 밀착성을 향상시키는 성분을 포함하는 것이 바람직하다. 이 경우, 피복층(11)이 금속 지지체(10)의 표면으로부터 박리되는 것이 억제된다. 이로 인해, 금속 지지체(10)와 비아 도체(41) 및 도체층(50, 60)과의 사이의 절연성이 확보되기 때문에, 재배선 기판(100)의 신뢰성이 향상된다. 금속 지지체(10)와 피복층(11)과의 사이의 밀착성을 향상시키는 성분으로서는, 구리, 알루미늄, 니켈, 크롬, 티타늄 및 몰리브덴 등을 들 수 있다.

[0106] 4. 복수의 단자부 간의 높이 위치 편차를 고려한 구성

[0107] 이하의 설명에서는, 재배선 기판(100)의 두께 방향(재배선 기판(100)의 상하 방향)에서의 재배선 기판(100)의 각 부분의 위치를, 적절히, 당해 부분의 높이 위치라고 부른다.

[0108] <1> 복수의 단자부(T1)의 높이 위치 편차

[0109] 상기와 같이 재배선 기판(100) 위에는, 반도체 소자(700)가 실장된다. 반도체 소자(700)는, 복수의 단자로서 복수의 전극 패드(71)를 구비한다. 이들 복수의 전극 패드(71)는, 기본적으로 복수의 전극 패드(71)의 선단부(재배선 기판(100)에 대한 전기적 접속부)가 하나의 평면 상에 위치하도록 형성되어 있다.

[0110] 따라서, 재배선 기판(100)의 두께 방향에서, 재배선 기판(100)의 상방에 노출되는 복수의 단자부(T1)의 위치(높이 위치)에 큰 편차가 있으면, 당해 재배선 기판(100)에 대한 반도체 소자(700)의 실장의 신뢰성이 저하된다.

[0111] 예컨대, 복수의 단자부(T1)의 높이 위치에 큰 편차가 있으면, 재배선 기판(100)이 의도하지 않은 자세로 재배선 기판(100)에 실장될 가능성이 있다. 혹은, 반도체 소자(700)의 실장 시에, 반도체 소자(700)의 복수의 전극 패드(71)를 재배선 기판(100)의 복수의 단자부(T1)에 전기적으로 접속하는 것이 곤란해질 가능성이 있다.

[0112] 그런데, 반도체 소자(700)의 각 전극 패드(71)의 선단부는, 예컨대 직경 30㎛ 정도의 원형의 노출면을 포함한다. 재배선 기판(100)에 대한 반도체 소자(700)의 실장 시에서, 각 전극 패드(71)의 선단부의 노출면에는 미리 반구 형상의 땜납(S)이 마련된다. 따라서, 각 전극 패드(71)에 마련되는 땜납(S)은, 당해 전극 패드(71)의 선단부로부터 약 15㎛만큼 돌출된다. 따라서, 재배선 기판(100)은, 복수의 단자부(T1)의 높이 위치 편차가 적어도 15㎛ 이하가 되도록 형성될 필요가 있다.

[0113] 단, 재배선 기판(100)에 대한 반도체 소자(700)의 실장 신뢰성을 고려하면, 재배선 기판(100)은, 복수의 단자부(T1)의 높이 위치 편차가 10㎛ 이하가 되도록 형성되는 것이 바람직하다. 또한, 재배선 기판(100)은, 복수의 단자부(T1)의 높이 위치 편차가 5㎛ 이하가 되도록 형성되는 것이 보다 바람직하고, 복수의 단자부(T1)의 높이 위치 편차가 2㎛ 이하가 되도록 형성되는 것이 더욱 바람직하다.

[0114] <2> 복수의 단자부(T1)의 높이 위치 편차의 발생 요인

[0115] 복수의 단자부(T1)의 높이 위치 편차의 발생 요인에 대하여 검토한다. 평면시에서 비아 도체(41)에 겹쳐지는 1

또는 복수의 단자부(T1)는, 예컨대, 금속 지지체(10)의 상면(10a)과 동일한 높이 위치에 있는 비아 도체(41)의 상면 위에, 도체층(50)을 직접 형성함으로써 형성된다. 한편, 평면시에서 비아 도체(41)에 겹쳐지지 않는 1 또는 복수의 단자부(T1)는, 비아 도체(41)를 제외한 금속 지지체(10)의 상면(10a) 위에, 피복층(11)을 개재하여 도체층(50)을 형성함으로써 형성된다.

[0116] 따라서, 복수의 단자부(T1)의 높이 위치 편차는, 주로 평면시에서 비아 도체(41)에 겹쳐지는 1 또는 복수의 단자부(T1)와, 평면시에서 비아 도체(41)에 겹쳐지지 않는 1 또는 복수의 단자부(T1)와의 사이에서 발생한다. 이 점을 고려하여, 재배선 기판(100)은, 복수의 단자부(T1)의 높이 위치 편차가 적어도 15㎛ 이하가 되도록, 이하에 설명하는 구성(제1～제4의 구성예)을 가져도 된다. 또한, 이하에 설명하는 제1～제4 구성예에서, 복수의 단자부(T1)의 각각은, 도체층(50) 자체로 형성되는 것으로 한다.

[0117] <3> 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 제1 구성예

[0118] 도 24는, 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 재배선 기판(100)의 제1 구성예를 나타내는 모식적 단면도이다. 도 24에서는, 제1 구성예에 따른 재배선 기판(100)의 일부가 확대되어 나타난다.

[0119] 도 24의 재배선 기판(100)은, 비아홀(19)이 형성된 금속 지지체(10)를 포함한다. 도 24에서는, 비아홀(19)이 두꺼운 점선 틀에 의해 나타난다. 금속 지지체(10)의 비아홀(19) 내에는, 금속 지지체(10)와 동일한 금속으로 형성되는 비아 도체(41)가 형성되어 있다.

[0120] 금속 지지체(10)의 상면(10a) 및 하면(10b)을 덮음과 함께, 금속 지지체(10)의 비아홀(19)의 내주면(10c)을 덮도록 피복층(11)이 형성되어 있다. 본 예에서는, 피복층(11) 중 금속 지지체(10)의 상면(10a)을 덮는 부분을 상면 피복부(11a)라고 부른다. 또한, 피복층(11) 중 금속 지지체(10)의 하면(10b)을 덮는 부분을 하면 피복부(11b)라고 부른다. 또한, 피복층(11) 중 금속 지지체(10)의 내주면(10c)을 덮는 부분을 홀 내 피복부(11c)라고 부른다. 홀 내 피복부(11c)는, 평면시에서 비아홀(19)의 내부에 위치하고, 비아 도체(41)를 둘러싼다.

[0121] 피복층(11)의 상면 피복부(11a) 위에는, 소정의 패턴을 갖는 복수의 도체층(50)이 형성되어 있다. 또한, 각 도체층(50)의 일부를 덮도록 절연층(20)이 형성되어 있다. 피복층(11)의 하면 피복부(11b) 위에는, 소정의 패턴을 갖는 복수(본 예에서는 2개)의 도체층(63, 64) 및 복수(본 예에서는 2개)의 절연층(33, 34)이 적층 형성되어 있다.

[0122] 제1 구성예에서, 복수의 도체층(50) 중 하나의 도체층(50)은, 제1 접속 도체부(50a)를 포함한다. 제1 접속 도체부(50a)는, 비아 도체(41)에 접촉하고, 또한 비아 도체(41)로부터 재배선 기판(100)의 상방을 향하여 연장되어 있다. 즉, 제1 접속 도체부(50a)는, 비아 도체(41)로부터 금속 지지체(10)의 상면(10a)이 향하는 방향으로 연장되어 있다. 제1 접속 도체부(50a)의 선단부는, 단자부(T1)를 구성한다. 이하의 설명에서는, 제1 접속 도체부(50a)의 선단부로 구성되는 단자부(T1)를, 제1 단자부(T1a)라고 부른다.

[0123] 또한, 복수의 도체층(50) 중 다른 도체층(50)은, 제2 접속 도체부(50b)를 포함한다. 제2 접속 도체부(50b)는, 상면 피복부(11a)의 일부분을 개재하여 금속 지지체(10)의 상면(10a) 위에 형성되어 있다. 또한, 제2 접속 도체부(50b)는, 상면 피복부(11a)의 일부분으로부터 재배선 기판(100)의 상방을 향하여 연장되어 있다. 즉, 제2 접속 도체부(50b)는, 상면 피복부(11a)의 일부분으로부터 금속 지지체(10)의 상면(10a)이 향하는 방향으로 연장되어 있다. 제2 접속 도체부(50b)의 선단부는, 단자부(T1)를 구성한다. 이하의 설명에서는, 제2 접속 도체부(50b)의 선단부로 구성되는 단자부(T1)를, 제2 단자부(T1b)라고 부른다.

[0124] 도 25는, 도 24의 제1 단자부(T1a), 제1 접속 도체부(50a), 제2 단자부(T1b), 제2 접속 도체부(50b), 금속 지지체(10) 및 비아 도체(41)의 위치 관계를 나타내는 평면도이다. 또한, 도 25의 평면도의 축척은, 도 24의 모식적 단면도의 축척과는 상이하다. 도 25에 나타내는 바와 같이, 제1 단자부(T1a) 및 제1 접속 도체부(50a)는, 평면시에서 비아 도체(41)에 겹쳐진다. 한편, 제2 단자부(T1b) 및 제2 접속 도체부(50b)는, 평면시에서 비아 도체(41)에 겹쳐지지 않는다.

[0125] 제1 구성예에 따른 재배선 기판(100)에서는, 도 24에 나타내는 바와 같이, 제1 접속 도체부(50a)의 상하 방향의 길이(두께)(da) 및 제2 접속 도체부(50b)의 상하 방향의 길이(두께)(db)는, 거의 동일하다. 따라서, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분은, 금속 지지체(10)와 제2 접속 도체부(50b)와의 사이에 위치하는 상면 피복부(11a)의 두께에 의해 정해진다. 따라서, 본 예에서는, 상면 피복부(11a) 중 제2 접속 도체부(50b)가 형성되는 부분의 두께가, 다른 부분의 두께에 비하여 작아지도록, 상면 피복부(11a)가 형성되어 있다.

[0126] 도 26은, 도 24의 재배선 기판(100)에 반도체 소자(700)를 실장할 시의 일례를 나타내는 도이다. 도 26에 나타내는 바와 같이, 재배선 기판(100)의 상방으로부터 반도체 소자(700)가 실장된다. 이 때, 반도체 소자(700)의 복수의 전극 패드(71)의 각각에는, 상기한 바와 같이 땜납(S)이 마련된다. 땜납(S)은, 전극 패드(71)의 선단부로부터 소정의 길이(sh)만큼 돌출되어 있다.

[0127] 제1 구성예에서는, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)이, 반도체 소자(700)의 복수의 전극 패드(71)에 마련된 땜납(S)의 길이(sh) 이하가 되도록, 제2 접속 도체부(50b)에 겹쳐지는 상면 피복부(11a)의 부분의 두께가 조정된다. 본 예에서, 복수의 전극 패드(71)에 마련된 땜납(S)의 길이(sh)는, 15㎛이다.

[0128] 이와 같은 구성에 의하면, 제1 단자부(T1a) 및 제2 단자부(T1b)의 높이 위치의 차분(dd)이, 복수의 전극 패드(71)에 마련된 땜납(S)의 길이(sh)(15㎛)보다도 큰 경우에 비하여, 반도체 소자(700)를 재배선 기판(100) 위에 구조적으로 안정적으로 실장할 수 있다. 또한, 재배선 기판(100) 위에 반도체 소자(700)가 실장된 상태에서, 당해 재배선 기판(100)과 반도체 소자(700)와의 전기적 도통의 신뢰성이 향상된다.

[0129] 여기에서, 반도체 소자(700)의 복수의 전극 패드(71)에 마련된 땜납(S)의 길이(sh)가 15㎛인 경우, 제1 구성예의 재배선 기판(100)에서의 상기 차분(dd)은 10㎛ 이하인 것이 바람직하고, 5㎛ 이하인 것이 보다 바람직하며, 2㎛ 이하인 것이 더욱 바람직하다. 이들의 경우, 재배선 기판(100)에 대한 반도체 소자(700)의 실장의 신뢰성이 보다 향상된다.

[0130] 도 27~도 34는, 도 24의 재배선 기판(100)의 제조 방법의 일례를 설명하기 위한 모식적 단면도이다. 제1 구성예에 따른 재배선 기판(100)은, 도 4~도 16을 이용하여 설명한 재배선 기판(100)의 제조 방법의 제1 예와 마찬가지로, 예컨대 롤 투 롤 방식에 의해 제조된다.

[0131] 먼저, 스테인레스제의 장척상의 금속판(90)이 권회된 조출 롤이 준비되고, 준비된 조출 롤로부터 금속판(90)이 조출된다. 조출된 금속판(90)은, 다른 롤에 권취된다. 금속판(90)은, 도 4의 금속판(90)과 마찬가지로, 금속 지지체(10)를 형성하기 위한 부재이며, 상면(10a) 및 하면(10b)을 포함한다. 금속판(90)이 긴 방향으로 이동하면서 금속판(90)의 각 영역에 순차적으로 이하의 처리가 행하여진다.

[0132] 도 27에 나타내는 바와 같이, 금속판(90)의 하면(10b)에 소정의 패턴으로 하면 피복부(11b)가 형성된다. 하면 피복부(11b)는, 감광성 재료에 의해 형성된다. 이 경우, 하면 피복부(11b)를 구성하는 감광성 재료의 노광을 선택적으로 행함으로써, 하면 피복부(11b)를 용이하게 패터닝할 수 있다. 감광성 재료로서는, 예컨대 감광성 폴리이미드를 이용할 수 있다. 또한, 감광성 재료로서는, 감광성 폴리이미드 대신에, 다른 감광성 수지(아크릴 수지, 에폭시 수지, 폴리아미드 수지, 폴리벤조옥사졸 수지 또는 폴리염화비닐 수지 등의 다른 감광성 수지)를 이용할 수도 있다.

[0133] 다음으로, 도 28에 나타내는 바와 같이, 하방에 노출되는 하면 피복부(11b)의 일면 위 및 하방에 노출되는 금속판(90)의 부분 위에, 소정의 패턴으로 복수의 도체층(63)이 형성된다. 또한, 도 29에 나타내는 바와 같이, 도체층(63)의 적어도 일부를 덮도록 하면 피복부(11b) 위에 소정의 패턴으로 절연층(33)이 형성된다.

[0134] 또한, 도 30에 나타내는 바와 같이, 하방에 노출되는 절연층(33)의 일면 위 및 하방에 노출되는 도체층(63)의 부분 위에, 소정의 패턴으로 복수의 도체층(64)이 형성된다. 또한, 도 31에 나타내는 바와 같이, 도체층(64)의 적어도 일부를 덮도록 절연층(33) 위에 소정의 패턴으로 절연층(34)이 형성된다.

[0135] 상기 도체층(63, 64)의 형성은, 도 4~도 16을 이용하여 설명한 재배선 기판(100)의 제조 방법에서의 각 도체층(51, 52, 61, 62)의 형성과 동일한 순서로 행하여진다. 또한, 상기 절연층(33, 34)의 형성은, 도 4~도 16을 이용하여 설명한 재배선 기판(100)의 제조 방법에서의 각 절연층(21, 22, 31, 32)의 형성과 동일한 순서로 행하여진다.

[0136] 다음으로, 도 32에 나타내는 바와 같이, 금속판(90)에, 원환상의 개구부(19x)가 형성된다. 원환상의 개구부(19x)에 의해, 비아홀(19)이 형성됨과 함께 금속 지지체(10)가 형성된다. 이 비아홀(19)은, 도 4~도 16을 이용하여 설명한 재배선 기판(100)의 제조 방법에서의 비아홀(19)의 형성(특히 도 6~도 9에 대응하는 설명 부분 참조)과 마찬가지의 방법으로 형성된다. 이로 인해, 금속판(90)의 일부가, 비아홀(19)의 내주면(10c)에 접촉하지 않도록, 비아 도체(41)로서 섬 형상으로 형성된다.

[0137] 다음으로, 도 33에 나타내는 바와 같이, 상방에 노출되는 하면 피복부(11b)의 일면 위에서 비아홀(19)의 내주면(10c)을 덮도록 홀 내 피복부(11c)가 형성된다. 또한, 금속 지지체(10)의 상면(10a) 위에 소정의 패턴으로 상면

피복부(11a)가 형성된다.

[0138] 상면 피복부(11a)는, 하면 피복부(11b)와 마찬가지로, 감광성 재료에 의해 형성된다. 여기에서, 도 24의 제1 접속 도체부(50a)가 형성되어야 할 비아 도체(41)의 상방의 위치에는, 비아 도체(41)의 상면을 노출시키기 위한 개구부(h11)가 형성된다. 또한, 도 24의 제2 접속 도체부(50b)가 형성되어야 할 상면 피복부(11a)의 일부분의 위치에, 당해 일부분의 두께를 상면 피복부(11a)의 다른 부분의 두께보다도 국소적으로 작게 하기 위한 개구부(h12)가 형성된다. 이 개구부(h12)는, 예컨대, 해조 노광 기술을 이용하여 형성된다. 개구부(h12)가 형성된 상면 피복부(11a)의 부분의 두께는, 1㎛~5㎛인 것이 바람직하고, 본 예에서는 2㎛이다. 또한, 본 예에서는, 개구부(h12)가 형성되어 있지 않은 상면 피복부(11a)의 부분의 두께는, 10㎛이다.

[0139] 여기에서, 개구부(h12)는, 평면시하였을 때의 개구부(h12)의 최대 치수의 값이 평면시하였을 때의 설계 상의 제2 단자부(T1b)의 최대 치수의 값보다도 10㎛ 이상 50㎛ 이하의 범위에서 커지도록 형성하는 것이 바람직하다. 또한, 개구부(h12)는, 평면시하였을 때의 개구부(h12)의 최대 치수의 값이 평면시하였을 때의 설계 상의 제2 단자부(T1b)의 최대 치수의 값보다도 15㎛ 이상 40㎛ 이하의 범위에서 커지도록 형성하는 것이 보다 바람직하다. 예컨대, 제2 단자부(T1b)가 평면시에서 직경 30㎛의 원형 형상을 갖도록 설계되는 경우, 개구부(h12)는, 평면시에서 직경 40㎛의 원형 형상 또는 평면시에서 직경 50㎛의 원형 형상을 갖도록 형성되는 것이 바람직하다. 이 경우, 재배선 기판(100)의 제조 공정에서, 복수의 도체층(50)의 형성 위치에 어긋남이 생기는 경우에도, 그 위치 어긋남이 개구부(h12)의 크기에 의해 흡수된다.

[0140] 그 후, 도 34에 나타내는 바와 같이, 상면 피복부(11a)의 노출되는 상면 및 개구부(h11)를 통하여 노출되는 비아 도체(41)의 부분 중 미리 정해진 복수의 영역에, 복수의 도체층(50)이 소정의 패턴으로 형성된다.

[0141] 이 때, 비아 도체(41) 위에 형성되는 도체층(50)에서는, 제1 접속 도체부(50a)가 형성된다. 또한, 상면 피복부(11a)의 개구부(h12)의 바닥부 위에 형성되는 도체층(50)에서는, 제2 접속 도체부(50b)가 형성된다. 제1 접속 도체부(50a) 및 제2 접속 도체부(50b)의 각각은, 예컨대 재배선 기판(100)의 상하 방향으로 연장되는 원기둥 형상을 갖는다.

[0142] 복수의 제1 접속 도체부(50a)의 선단부는 상기 제1 단자부(T1a)를 구성하고, 복수의 제2 접속 도체부(50b)의 선단부는 상기 제2 단자부(T1b)를 구성한다. 본 예에서 형성되는 제1 접속 도체부(50a)의 상하 방향의 길이(두께)(da) 및 제2 접속 도체부(50b)의 상하 방향의 길이(두께)(db)는, 동일하다(도 24 참조).

[0143] 마지막으로, 각 도체층(50)의 일부를 덮도록, 상면 피복부(11a) 위에 소정의 패턴으로 절연층(20)이 형성된다. 본 예의 절연층(20)의 형성은, 도 4~도 16을 이용하여 설명한 재배선 기판(100)의 제조 방법에서의 각 절연층(21, 22, 31, 32)의 형성과 동일한 순서로 행하여진다. 이들의 결과, 도 24의 재배선 기판(100)이 완성된다.

[0144] 상기 도 24의 재배선 기판(100)에서, 개구부(h12)가 형성된 상면 피복부(11a)의 부분의 두께가 2㎛이고, 개구부(h12)가 형성되어 있지 않은 상면 피복부(11a)의 부분의 두께가 10㎛인 경우를 상정한다. 이 경우, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)(도 26)은 8㎛가 된다.

[0145] <4> 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 제2 구성예

[0146] 도 35는, 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 재배선 기판(100)의 제2 구성예를 나타내는 모식적 단면도이다. 도 35에서는, 제2 구성예에 따른 재배선 기판(100)의 일부가 확대되어 나타난다. 제2 구성예에 따른 재배선 기판(100)에 대하여, 도 24의 제1 구성예에 따른 재배선 기판(100)과 상이한 점을 설명한다.

[0147] 도 35에 나타내는 바와 같이, 제2 구성예에 따른 재배선 기판(100)에서는, 피복층(11) 중 상면 피복부(11a)의 전체의 두께가, 제1 구성예에 따른 상면 피복부(11a)의 최대 두께보다도 작다. 구체적으로는, 제2 구성예에 따른 상면 피복부(11a)는, 15㎛ 이하의 두께를 갖고, 10㎛ 이하의 두께를 갖는 것이 바람직하며, 5㎛ 이하의 두께를 갖는 것이 보다 바람직하고, 2㎛ 이하의 두께를 갖는 것이 더욱 바람직하다.

[0148] 이 경우, 제1 접속 도체부(50a)의 상하 방향의 길이(두께)(da) 및 제2 접속 도체부(50b)의 상하 방향의 길이(두께)(db)가, 동일한 경우에도, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)은, 상면 피복부(11a)의 두께인 15㎛ 이하가 된다.

[0149] 또한, 도 35의 예에서는, 하면 피복부(11b)도, 상면 피복부(11a)와 동일한 정도의 두께를 갖도록 형성되어 있다.

[0150] 제2 구성예에 따른 재배선 기판(100)은, 전체적으로 두께가 균일하게 되도록 상면 피복부(11a)를 형성하는 점을

제외하고, 제1 구성예에 따른 도 27~도 34의 제조 방법과 기본적으로 동일한 방법으로 제작할 수 있다. 또한, 작은 두께를 갖는 상면 피복부(11a)를 감광성 폴리이미드로 형성하는 경우에는, 예컨대 금속 지지체(10)의 상면(10a) 위에 감광성 폴리이미드의 전구체를 도포하고, 비아홀(19) 내에 감광성 폴리이미드의 전구체를 충전한다. 이 때, 금속 지지체(10)의 상면(10a) 위에 도포되는 전구체의 두께가 충분히 작아지도록, 전구체의 공급량을 조정한다. 그 후, 도포 및 충전된 감광성 폴리이미드를 노광하고, 현상함으로써, 작은 두께를 갖는 상면 피복부(11a)가 형성된다.

[0151] 제2 구성예에 따른 상면 피복부(11a)는, 감광성 폴리이미드 등의 감광성 수지 대신에, 탄화규소, 이산화규소, 질화알루미늄 또는 산화알루미늄 등의 무기 절연 재료에 의해 형성되어도 된다. 이 경우, 스퍼터링 또는 화학기상성장법 등의 성막 기술을 이용하여 상면 피복부(11a)를 형성할 수 있다.

[0152] 제1 구성예와 마찬가지로, 반도체 소자(700)의 복수의 전극 패드(71)에 마련된 땜납(S)의 길이(sh)가 15㎛인 경우, 제2 구성예의 재배선 기판(100)에서의 상기 차분(dd)은 10㎛ 이하인 것이 바람직하고, 5㎛ 이하인 것이 보다 바람직하며, 2㎛ 이하인 것이 더욱 바람직하다. 이들의 경우, 재배선 기판(100)에 대한 반도체 소자(700)의 실장의 신뢰성이 보다 향상된다.

[0153] <5> 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 제3 구성예

[0154] 도 36은, 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 재배선 기판(100)의 제3 구성예를 나타내는 모식적 단면도이다. 도 36에서는, 제3 구성예에 따른 재배선 기판(100)의 일부가 확대되어 나타난다. 제3 구성예에 따른 재배선 기판(100)에 대하여, 도 24의 제1 구성예에 따른 재배선 기판(100)과 상이한 점을 설명한다.

[0155] 도 36에 나타내는 바와 같이, 제3 구성예에서는, 피복층(11)의 상면 피복부(11a)에 도 33의 개구부(h12)가 형성되어 있지 않다. 즉, 상면 피복부(11a)에 국소적인 작은 두께의 부분이 형성되어 있지 않다.

[0156] 한편, 제3 구성예에서는, 평면시에서 비아 도체(41)에 겹쳐지는 제1 접속 도체부(50a)의 상하 방향의 길이(두께)(da)가, 평면시에서 비아 도체(41)에 겹쳐지지 않는 제2 접속 도체부(50b)의 상하 방향의 길이(두께)(db)보다도 크다. 환언하면, 비아 도체(41)에 접촉하는 제1 접속 도체부(50a)의 상하 방향의 길이(두께)(da)가, 상면 피복부(11a)를 개재하여 금속 지지체(10) 위에 형성된 제2 접속 도체부(50b)의 상하 방향의 길이(두께)(db)보다도 크다. 이로 인해, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)이 15㎛ 이하로 되어 있다. 도 36의 예에서는, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)은 0이다.

[0157] 제3 구성예에 따른 재배선 기판(100)은, 복수의 도체층(50)의 형성 방법 및 상면 피복부(11a)의 형성 방법을 제외하고, 제1 구성예에 따른 도 27~도 34의 제조 방법과 기본적으로 동일한 방법으로 제작할 수 있다.

[0158] 본 예의 상면 피복부(11a)는, 전체적으로 두께가 균일하게 되도록 형성된다. 즉, 상면 피복부(11a)에 국소적인 개구부(h12)(도 33)는 형성되지 않는다.

[0159] 복수의 도체층(50)의 형성 시에는, 예컨대 제1 접속 도체부(50a)를 형성하기위한 도금 형성 공정과, 제2 접속 도체부(50b)를 형성하기 위한 도금 형성 공정이 서로 상이한 조건으로 개별적으로 행하여진다. 각 도금 형성 공정의 조건은, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)이 0 또는 15㎛ 이하가 되도록 조정된다.

[0160] 제3 구성예에 따른 복수의 도체층(50)을 형성하는 경우, 제1 접속 도체부(50a)에 대응하는 도금 형성 공정과 제2 접속 도체부(50b)에 대응하는 도금 형성 공정을 개별적으로 행하는 대신에, 이하의 방법을 채용하여도 된다.

[0161] 예컨대, 제1 접속 도체부(50a) 및 제2 접속 도체부(50b)를 포함하는 모든 도체층(50)을 공통의 조건으로 함께 형성한다. 이 경우, 제1 접속 도체부(50a)의 상하 방향의 길이(두께)(da)와 제2 접속 도체부(50b)의 상하 방향의 길이(두께)(db)는, 예컨대 동일한 길이로 형성된다. 이로 인해, 복수의 도체층(50)이 형성된 시점에서, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 사이에는, 기본적으로 상면 피복부(11a)의 두께만큼의 차분(dd)이 발생한다. 따라서, 모든 도체층(50)이 형성된 후, 제2 접속 도체부(50b)의 선단부를 상면 피복부(11a)의 두께만큼, 연마 또는 절삭에 의해 제거한다. 그 결과, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)이 0 또는 15㎛ 이하가 되도록 조정된다.

[0162] 제1 구성예와 마찬가지로, 반도체 소자(700)의 복수의 전극 패드(71)에 마련된 땜납(S)의 길이(sh)가 15㎛인 경우, 제3 구성예의 재배선 기판(100)에서의 상기 차분(dd)은 10㎛ 이하인 것이 바람직하고, 5㎛ 이하인 것이 보다 바람직하며, 2㎛ 이하인 것이 더욱 바람직하다. 이 경우, 재배선 기판(100)에 대한 반도체 소자(700)의 실장

의 신뢰성이 보다 향상된다. 또한, 도 36의 예에서는, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)이 0이기 때문에, 차분을 나타내는 부호(dd)의 도시가 생략되어 있다.

[0163] <6> 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 제4 구성예

[0164] 도 37은, 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 재배선 기판(100)의 제4 구성예를 나타내는 모식적 단면도이다. 도 37에서는, 제4 구성예에 따른 재배선 기판(100)의 일부가 확대되어 나타난다. 제4 구성예에 따른 재배선 기판(100)에 대하여, 도 37의 제3 구성예에 따른 재배선 기판(100)과 상이한 점을 설명한다.

[0165] 제4 구성예에 따른 재배선 기판(100)은, 복수의 도체층(50)의 형성 방법이 상이한 점을 제외하고, 제3 구성예에 따른 재배선 기판(100)과 동일한 방법으로 제작할 수 있다. 구체적으로는, 제4 구성예에 따른 재배선 기판(100)의 제작 시에는, 금속 지지체(10) 위에 상면 피복부(11a)가 형성된 후, 각 비아 도체(41) 위에 형성된 개구부(h11)를 메우도록 따라서 비아필 도금이 행하여진다. 이로 인해, 도 37에 2점 쇄선의 테두리와 함께 부호(vf)로 나타내는 바와 같이, 비아필 도금에 의해 개구부(h11)에 충전된 도체층(50)의 부분의 상단부가 상면 피복부(11a)의 상면의 높이 위치와 플랫(面一) 또는 거의 플랫하게 된다.

[0166] 그 후, 예컨대 통상적인 전해 도금에 의해, 추가로 상면 피복부(11a) 위에 복수의 도체층(50)의 나머지 부분이 형성된다. 이로 인해, 비아 도체(41) 위에 위치하는 복수의 도체층(50)과, 상면 피복부(11a) 위에 위치하는 복수의 도체층(50)이 형성된다.

[0167] 이 경우, 제1 접속 도체부(50a)의 상하 방향의 길이(두께)(da)는, 제2 접속 도체부(50b)의 상하 방향의 길이(두께)(db)보다도, 개구부(h11) 내의 비아필 도금의 두께만큼 크다. 이 구성에 의하면, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)이 0 또는 거의 0이 된다.

[0168] 제1 구성예와 마찬가지로, 반도체 소자(700)의 복수의 전극 패드(71)에 마련된 땜납(S)의 길이(sh)가 15㎛인 경우, 제4 구성예의 재배선 기판(100)에서의 상기 차분(dd)은 10㎛ 이하인 것이 바람직하고, 5㎛ 이하인 것이 보다 바람직하며, 2㎛ 이하인 것이 더욱 바람직하다. 이 경우, 재배선 기판(100)에 대한 반도체 소자(700)의 실장의 신뢰성이 보다 향상된다. 또한, 도 37의 예에서는, 제1 단자부(T1a)의 높이 위치와 제2 단자부(T1b)의 높이 위치와의 차분(dd)이 0이기 때문에, 차분을 나타내는 부호(dd)의 도시가 생략되어 있다.

[0169] <7> 복수의 단자부(T2)의 높이 위치 편차의 저감

[0170] 상기 제1~제4 구성예에서는, 재배선 기판(100)의 상부에 위치하는 복수의 단자부(T1)의 높이 위치 편차가 저감되어 있다. 이에 한정되지 않고, 재배선 기판(100)은, 당해 재배선 기판(100)의 하부에 위치하는 복수의 단자부(T2)(도 1)의 높이 위치 편차를 저감하기 위한 구성을 포함하여도 된다.

[0171] 예컨대, 금속 지지체(10)의 하면(10b) 위에 적층 형성되는 복수의 층에, 상기 제1~제4 구성예 중 어느 하나의 구성예에 따른 상면 피복부(11a), 절연층(20) 및 도체층(50)에 대응하는 층이 형성되어도 된다. 이 경우, 복수의 단자부(T2)의 높이 위치 편차가 15㎛ 이하가 됨으로써, 재배선 기판(100)을 리지드 기판(800) 위에 구조적으로 안정적으로 실장할 수 있다. 또한, 리지드 기판(800) 위에 재배선 기판(100)이 실장된 상태에서, 당해 재배선 기판(100)과 리지드 기판(800)과의 전기적 도통의 신뢰성이 향상된다.

[0172] 5. 다른 실시형태

[0173] (1) 상기 실시형태에 따른 도 1의 재배선 기판(100)에서는, 금속 지지체(10)와 비아 도체(41) 및 도체층(50, 60)과의 사이의 절연성을 얻기 위하여, 금속 지지체(10)의 외표면에 피복층(11)이 형성된다. 여기에서, 금속 지지체(10)와 비아 도체(41) 및 도체층(50, 60)과의 사이의 절연 신뢰성을 향상시키기 위하여, 금속 지지체(10)의 외표면과 피복층(11)과의 사이에, 금속 지지체(10)의 외표면과 피복층(11)과의 사이의 밀착성을 향상시키는 밀착성 강화층이 형성되어도 된다.

[0174] 도 38은, 밀착성 강화층을 구비하는 재배선 기판(100)의 모식적 단면도이다. 도 38에서는, 재배선 기판(100) 중 금속 지지체(10)의 하나의 비아홀(19) 및 그 주변 부분의 단면이 확대되어 나타난다. 도 38의 예에서는, 금속 지지체(10)의 상면(10a), 하면(10b) 및 내주면(10c)과 피복층(11)과의 사이에, 밀착성 강화층(12)이 형성되어 있다.

[0175] 밀착성 강화층(12)은, 금속 지지체(10)와 피복층(11)과의 사이의 밀착성을 향상시키는 성분을 포함하고, 예컨대 금속 지지체(10)의 상면(10a), 하면(10b) 및 내주면(10c)에 대하여 스퍼터링 또는 화학기상성장법 등을 이용한 성막 처리를 행함으로써 형성된다. 혹은, 밀착성 강화층(12)은, 금속 지지체(10)와 피복층(11)과의 사이의 밀착

성을 향상시키는 성분을 포함하고, 예컨대 금속 지지체(10)의 상면(10a), 하면(10b) 및 내주면(10c)에 대하여 양극 산화 처리 등의 표면 처리를 행함으로써 형성된다.

[0176] 이 경우, 밀착성 강화층(12)에 의해 금속 지지체(10)와 피복층(11)과의 사이의 밀착성이 향상되기 때문에, 피복층(11)이 금속 지지체(10)로부터 박리되는 것이 억제된다. 이로 인해, 금속 지지체(10)와 비아 도체(41) 및 도체층(50, 60)과의 사이의 절연성이 확보되기 때문에, 금속 지지체(10)의 신뢰성이 향상된다.

[0177] 여기에서, 금속 지지체(10)에는, 비아 도체(41), 도체층(50) 및 피복층(11)을 통하여 반도체 소자(700)로부터 발생하는 열이 전달된다. 또한, 금속 지지체(10)로 전달된 열은, 예컨대 도체층(60)을 통하여 리지드 기판(800)으로 전달된다. 이 경우, 금속 지지체(10)는, 수지 등에 비하여 높은 열 전도율을 갖기 때문에, 반도체 소자(700)의 방열 부재 또는 반도체 소자(700)와 리지드 기판(800)과의 사이의 열전달 부재로서 기능한다. 이 점을 고려하면, 밀착성 강화층(12)이 크롬 또는 알루미늄의 산화물로 구성되는 경우에는, 밀착성 강화층(12)에서의 크롬 또는 알루미늄의 산화물의 함유량은, 50중량% 이하인 것이 바람직하다.

[0178] 크롬 및 알루미늄은, 산화됨으로써 열 전도율이 저하된다. 따라서, 상기 구성에 의하면, 밀착성 강화층(12)에서의 크롬 또는 알루미늄의 산화물의 함유량이 50중량%보다도 큰 경우에 비하여, 밀착성 강화층(12)의 열 전도율의 저하가 저감된다. 따라서, 밀착성 강화층(12)에 의한 반도체 소자(700)의 방열 효율의 저하가 저감된다.

[0179] (2) 상기 실시형태에 따른 피복층(11)은, 금속 지지체(10)의 상면(10a) 위에서, 제1 도체층(51)과 금속 지지체(10)와의 절연성을 확보하기 위하여 이용되고 있지만, 본 발명은 이에 한정되지 않는다. 피복층(11)은, 금속 지지체(10)의 상면(10a) 위에서, 제1 도체층(51)의 일부가 금속 지지체(10)의 상면(10a)에 직접 접촉하도록 형성되어도 된다. 이 경우, 금속 지지체(10)의 상면(10a)에 직접 접촉하는 제1 도체층(51)의 부분을, 금속 지지체(10)의 상면(10a) 위에 마련되는 전자 부품과 금속 지지체(10)와의 사이에서 효율적으로 열을 전달시키기 위한 열 전달용 배선(서멀 배선)으로 할 수 있다.

[0180] 또한, 상기 구성에서는, 금속 지지체(10) 위에 직접 형성되는 제1 도체층(51)의 단자부(T1)의 높이 위치와, 금속 지지체(10) 위에 피복층(11)을 개재하여 형성되는 제1 도체층(51)의 단자부(T1)의 높이 위치와의 차분이 생긴다. 따라서, 제1 도체층(51)의 일부가 금속 지지체(10) 위에 직접 형성되는 재배선 기판(100)에는, 복수의 단자부(T1)의 높이 위치 편차의 저감을 고려한 상기의 제1~제4 구성예 중 어느 하나의 구성을 적용하는 것이 바람직하다.

[0181] 또한, 상기 실시형태에 따른 피복층(11)은, 금속 지지체(10)의 하면(10b)에서, 제3 도체층(61)과 금속 지지체(10)와의 절연성을 확보하기 위하여 이용되고 있지만, 본 발명은 이에 한정되지 않는다. 피복층(11)은, 금속 지지체(10)의 하면(10b) 위에서, 제3 도체층(61)의 일부가 금속 지지체(10)의 하면(10b)에 직접 접촉하도록 형성되어도 된다. 이 경우, 금속 지지체(10)의 하면(10b)에 직접 접촉하는 제3 도체층(61)의 부분을, 금속 지지체(10)의 하면(10b) 위에 마련되는 전자 부품과 금속 지지체(10)와의 사이에서 효율적으로 열을 전달시키기 위한 열 전달용 배선(서멀 배선)으로 할 수 있다.

[0182] (3) 상기 실시형태는 본 발명을 재배선 기판에 적용한 예이지만, 이에 한정되지 않고, 비아홀을 포함하는 다른 배선 회로 기판에 본 발명을 적용하여도 된다. 또한, 상기 실시형태에 따른 재배선 기판(100)은, 반도체 패키지 기판의 일부를 구성하여도 된다.

[0183] (4) 상기 실시형태에서는, 절연층(20)이 제1 절연층(21) 및 제2 절연층(22)에 의해 형성되어 있지만, 본 발명은 이에 한정되지 않는다. 절연층(20)이 단일 절연층이어도 되고, 3 이상의 복수의 절연층에 의해 형성되어도 된다. 또한, 상기 실시형태에서는, 절연층(30)이 제3 절연층(31) 및 제4 절연층(32)에 의해 형성되어 있지만, 본 발명은 이에 한정되지 않는다. 절연층(30)이 단일 절연층이어도 되고, 3 이상의 복수의 절연층에 의해 형성되어도 된다. 이들의 경우, 도체층(50, 60)의 형상은, 절연층(20, 30)의 구성에 따라 정해진다.

[0184] (5) 재배선 기판(100)의 제조 시에서는, 금속 지지체(10)의 상면(10a)에 형성되는 피복층(11) 및 금속 지지체(10)의 하면(10b)에 형성되는 피복층(11)은, 감광성의 캐리어 필름(CF0)을 이용하여 형성되어도 된다. 구체적으로는, 금속 지지체(10)(또는 금속판(90))의 상면(10a) 위에 감광성 폴리이미드로 형성되는 캐리어 필름을 첩부하고, 금속 지지체(10)(또는 금속판(90))의 하면(10b) 위에 감광성 폴리이미드로 형성되는 캐리어 필름을 첩부하여도 된다. 이 경우, 금속 지지체(10)의 상하의 캐리어 필름을 노광 및 현상함으로써, 금속 지지체(10)의 상하에 피복층(11)을 형성할 수 있다.

[0185] (6) 상기 실시형태에서는, 금속 지지체(10)의 비아홀(19)은 평면시에서 원형 또는 직사각형의 개구부를 포함하지만, 비아홀(19)은 평면시에서 타원형의 개구부를 포함하여도 되고, 삼각형 또는 오각형 등의 사각형 이외의

다각형의 개구부를 포함하여도 된다. 또한, 상기 실시형태에서는, 각 비아홀(19) 내에 마련되는 비아 도체(41)는 평면시에서 당해 비아홀(19)의 개구부와 상사형을 포함하지만, 비아 도체(41)는 평면시에서 당해 비아홀(19)의 개구부와 상이한 형상을 포함하여도 된다.

[0186] 6. 청구항의 각 구성 요소와 실시형태의 각 부와의 대응 관계

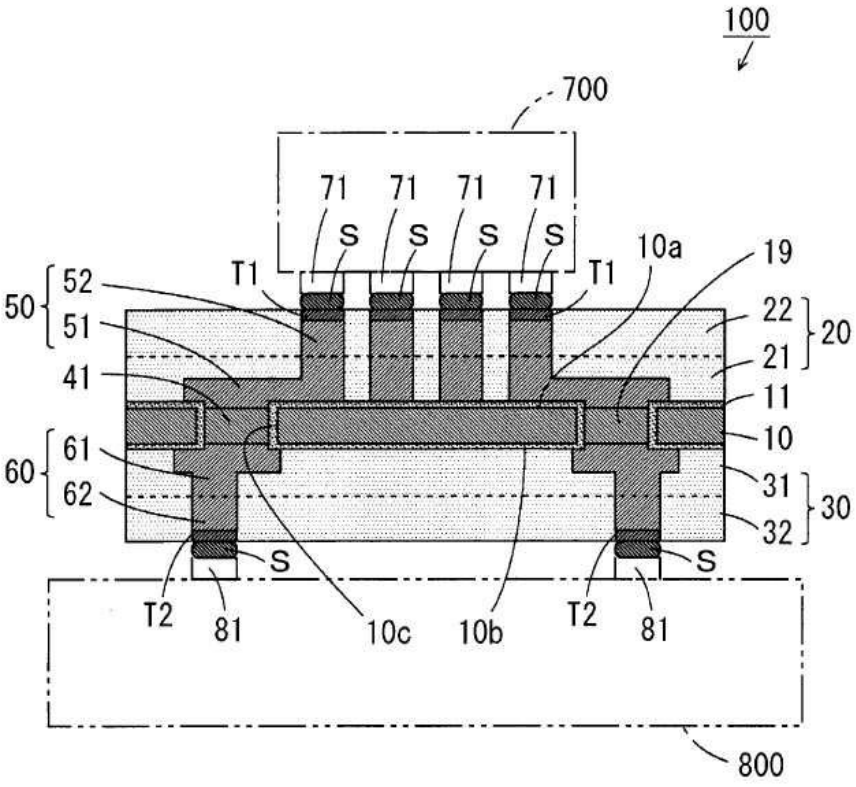
[0187] 이하, 청구항의 각 구성 요소와 실시형태의 각 요소와의 대응 예에 대하여 설명하지만, 본 발명은 하기의 예에 한정되지 않는다. 청구항의 각 구성 요소로서, 청구항에 기재되어 있는 구성 또는 기능을 갖는 다른 다양한 요소를 이용할 수도 있다.

[0188] 상기 실시형태에서는, 재배선 기판(100)이 배선 회로 기판의 예이고, 금속 지지체(10)의 상면(10a)이 제1 면의 예이며, 금속 지지체(10)의 하면(10b)이 제2 면의 예이고, 비아홀(19)이 비아홀의 예이며, 금속 지지체(10)가 금속 지지체의 예이고, 피복층(11)이 절연 피복층의 예이다. 또한, 도체층(50)이 제1 도체층의 예이고, 도체층(60)이 제2 도체층의 예이며, 비아 도체(41)가 비아 도체의 예이고, 밀착성 강화층(12)이 밀착성 강화층의 예이며, 반도체 소자(700)가 제1 전자 부품의 예이고, 리지드 기판(800)이 제2 전자 부품의 예이다.

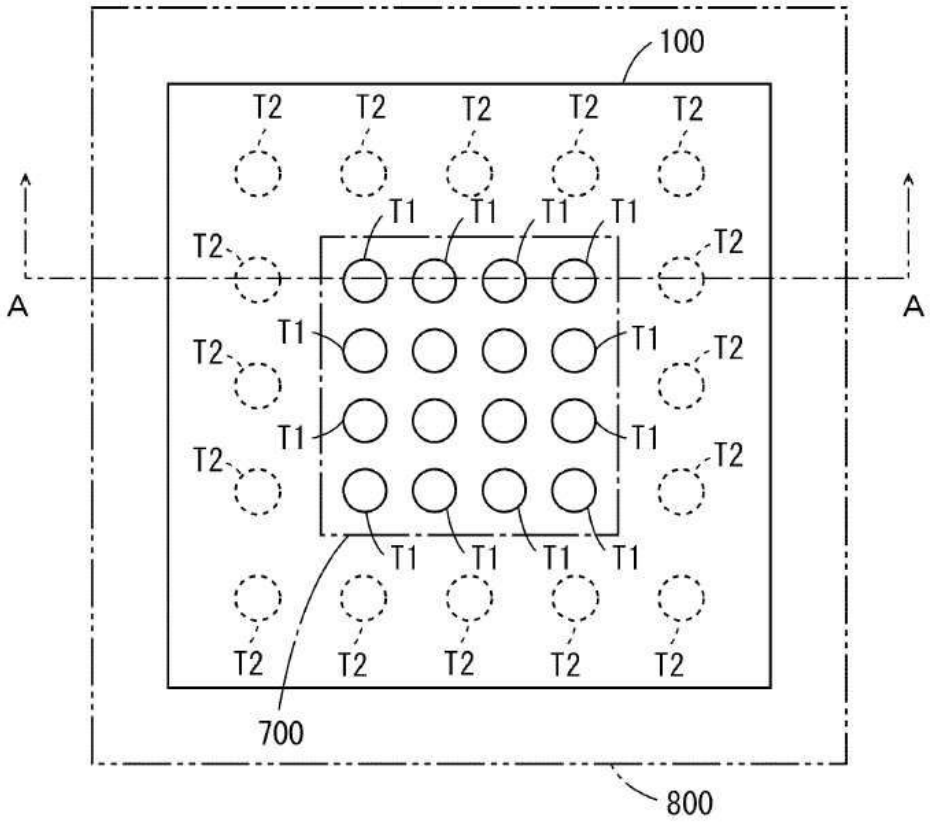
[0189] 또한, 상면 피복부(11a)가 제1 면 피복부의 예이고, 제1 접속 도체부(50a)가 제1 접속 도체부의 예이며, 제2 접속 도체부(50b)가 제2 접속 도체부의 예이고, 반도체 소자(700)가 전자 부품의 예이며, 복수의 전극 패드(71)의 일부가 전자 부품의 하나의 단자의 예이고, 복수의 전극 패드(71)의 다른 일부가 전자 부품의 다른 단자의 예이다.

도면

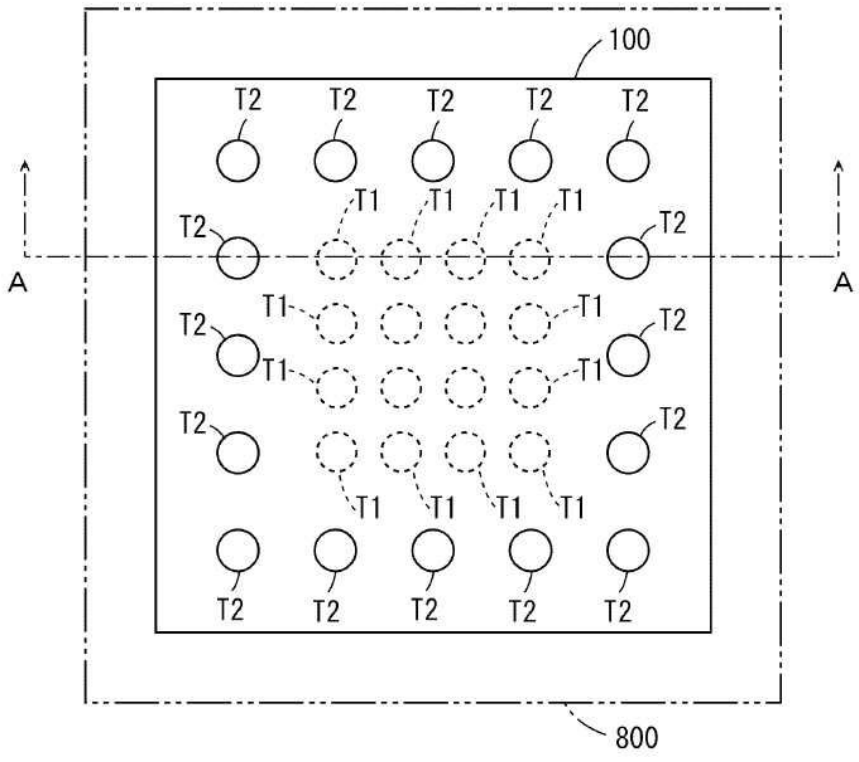
도면1



도면2



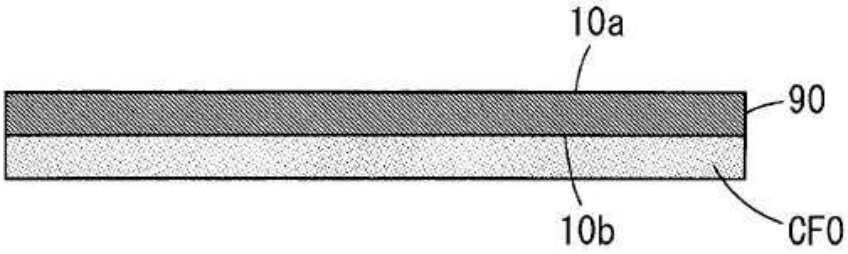
도면3



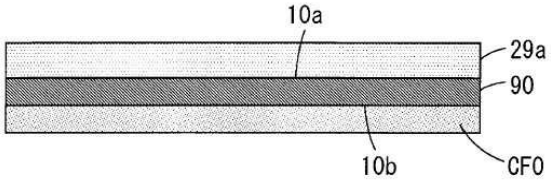
도면4



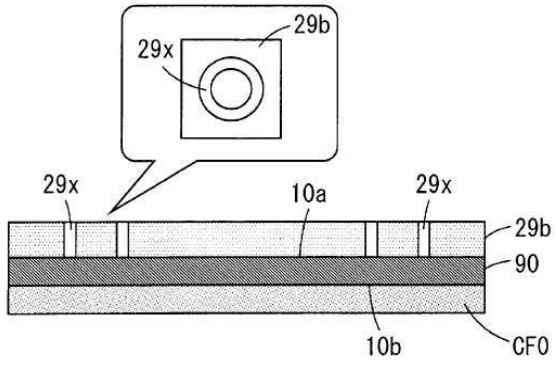
도면5



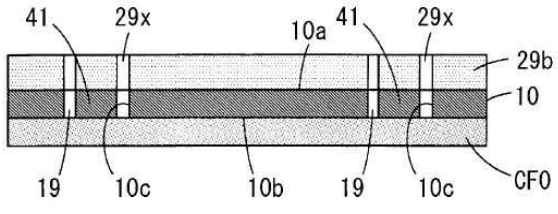
도면6



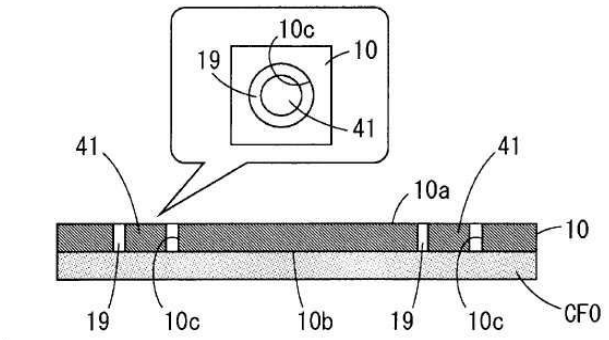
도면7



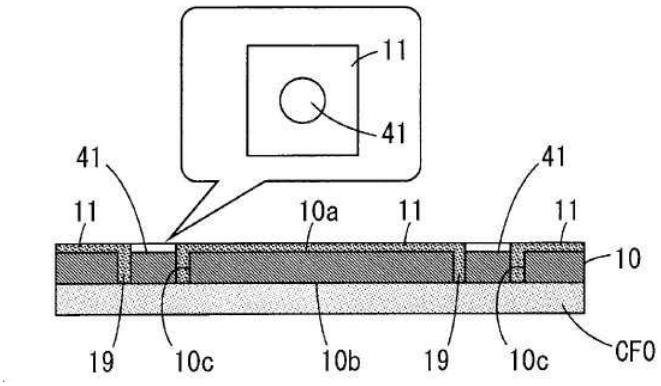
도면8



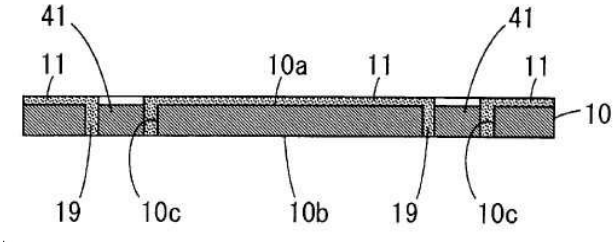
도면9



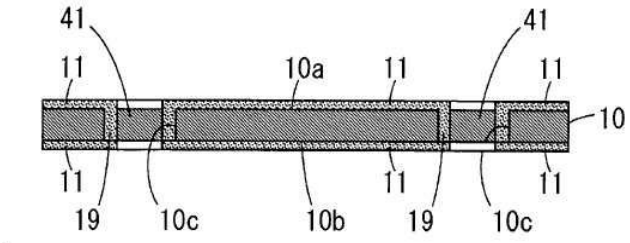
도면10



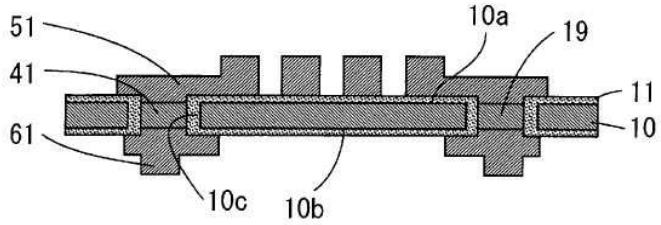
도면11



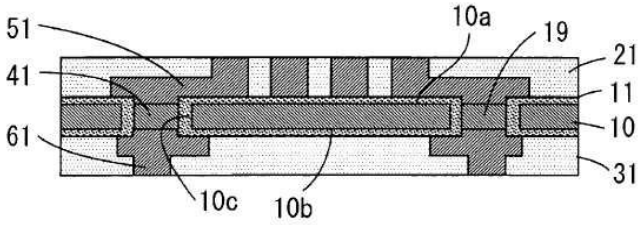
도면12



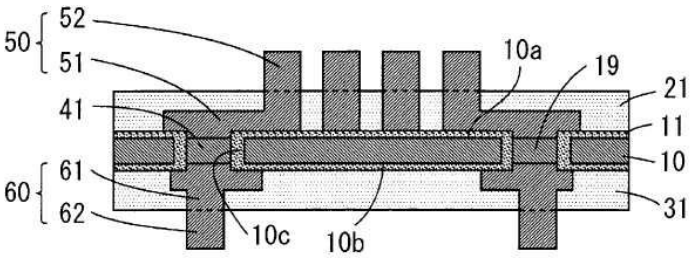
도면13



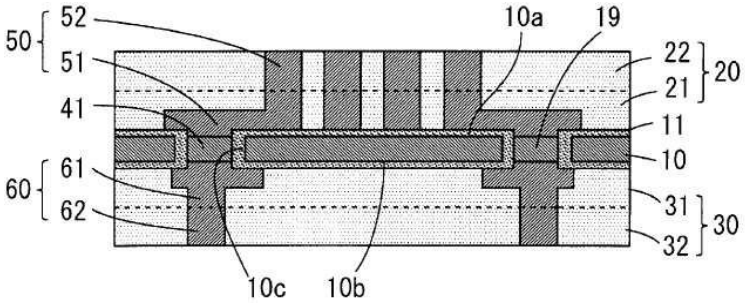
도면14



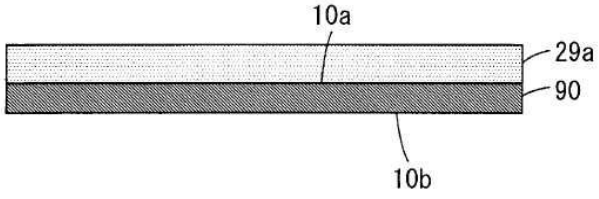
도면15



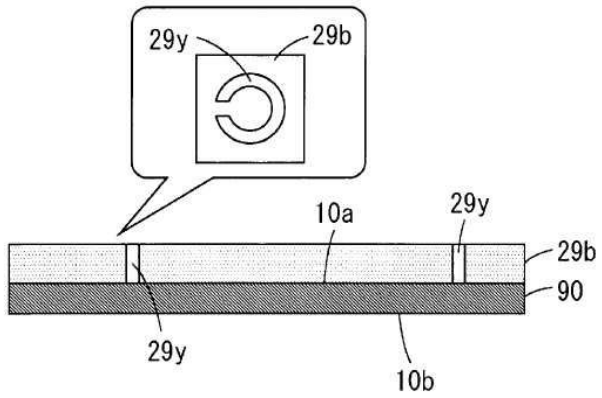
도면16



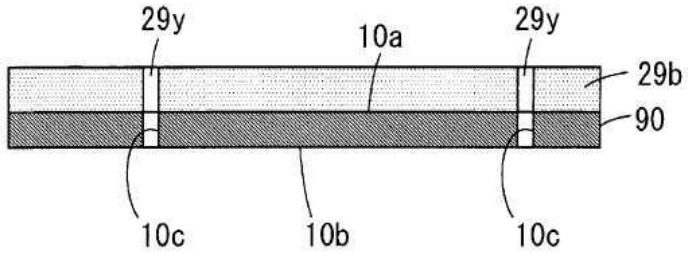
도면17



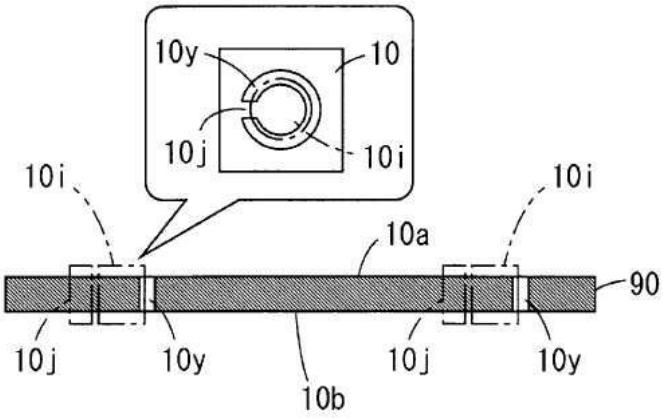
도면18



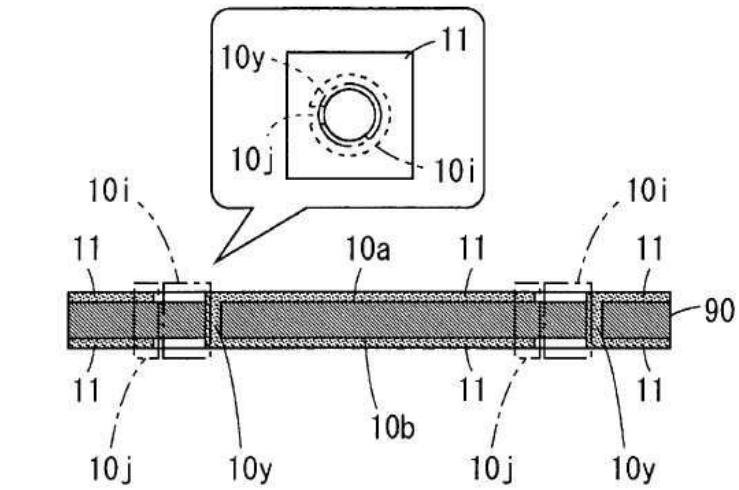
도면19



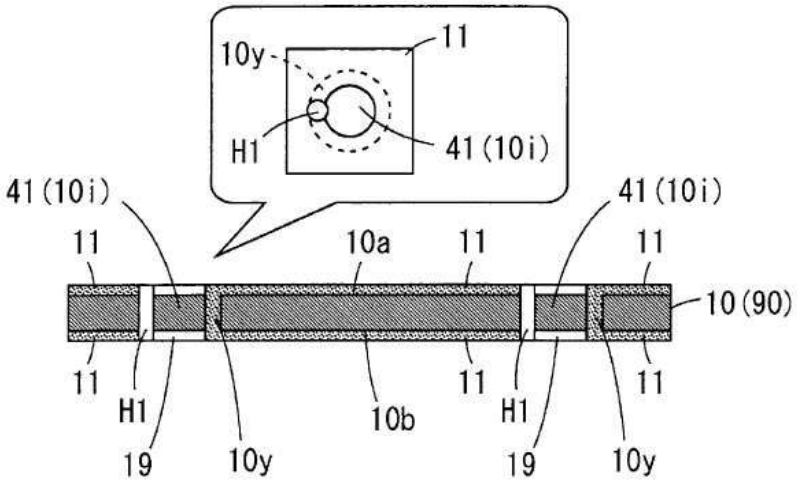
도면20



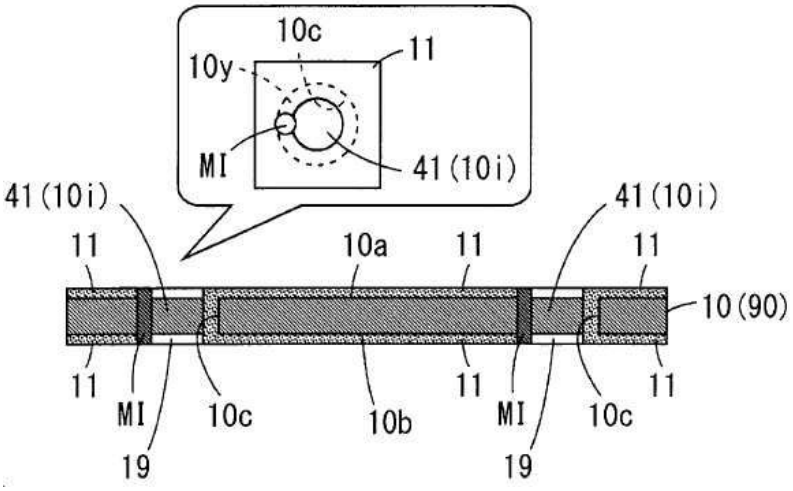
도면21



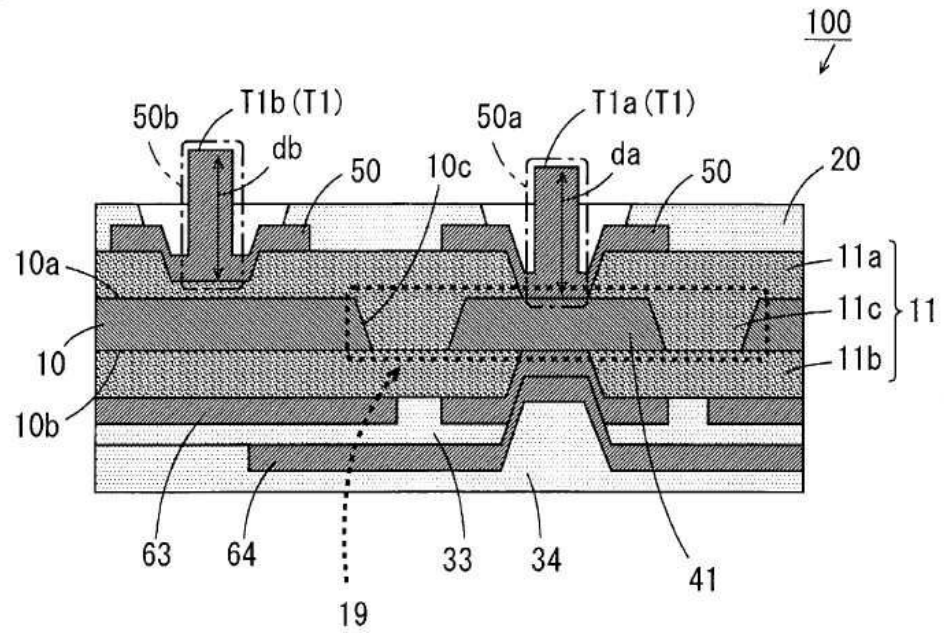
도면22



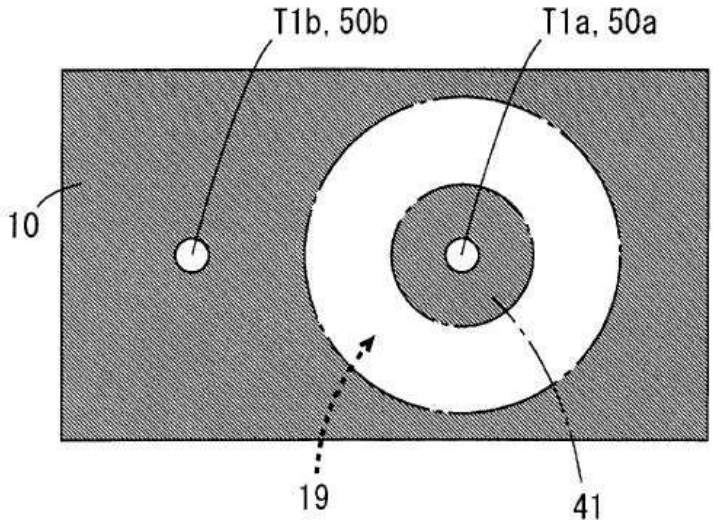
도면23



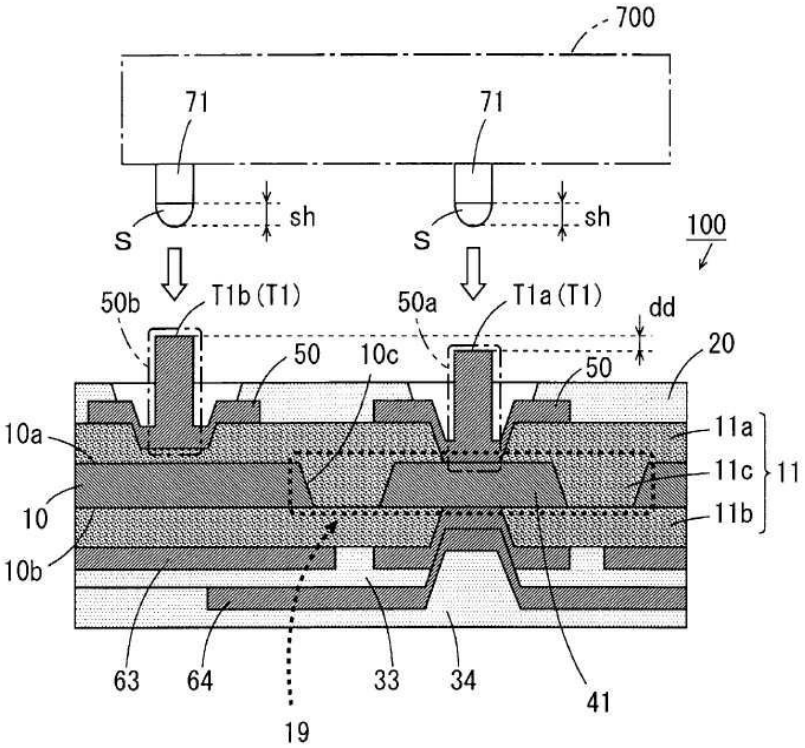
도면24


100
50b
T1b (T1)
db
50
10c
50a
T1a (T1)
da
50
20
10a
11a
11c
11
10
11b
10b
63
64
19
33
34
41

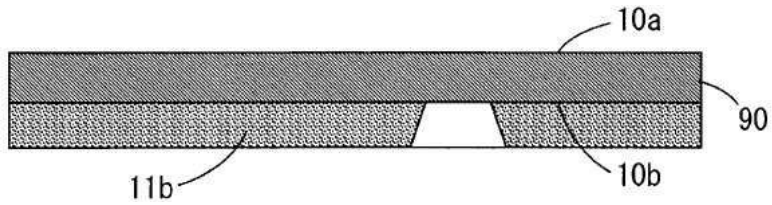
도면25


T1b, 50b
T1a, 50a
10
19
41

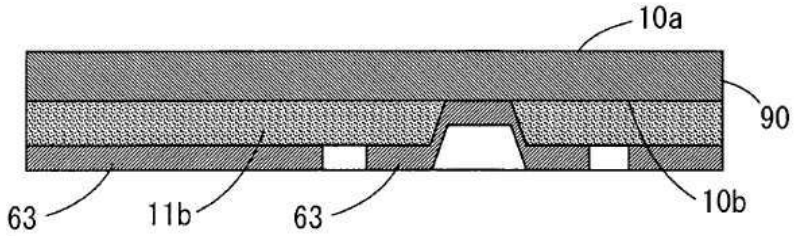
도면26



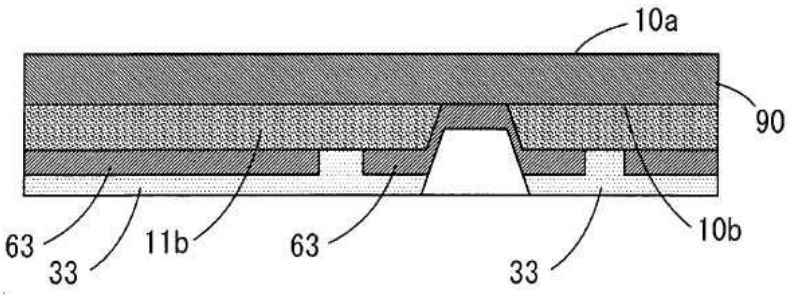
도면27



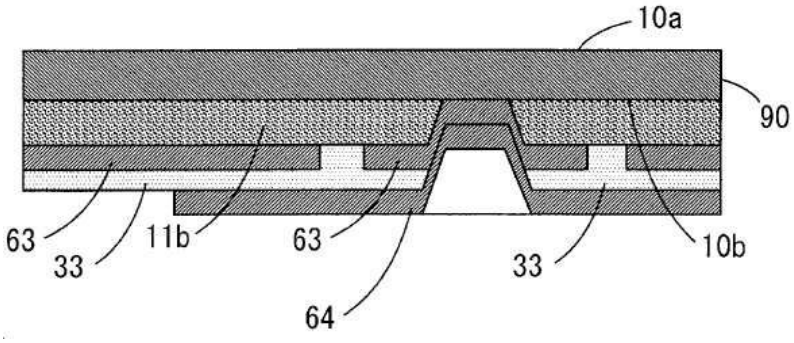
도면28



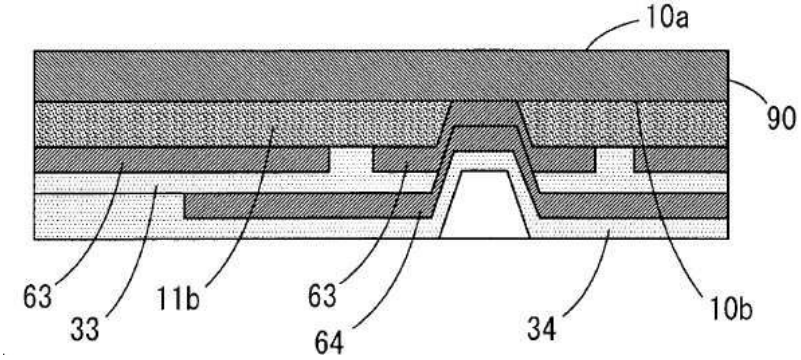
도면29



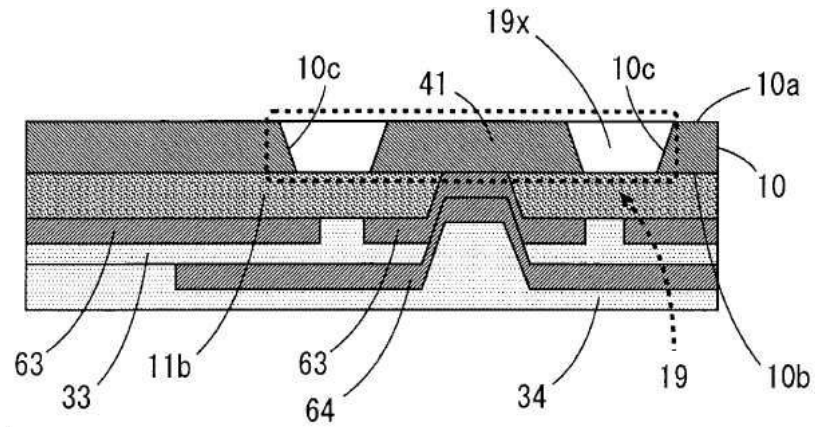
도면30



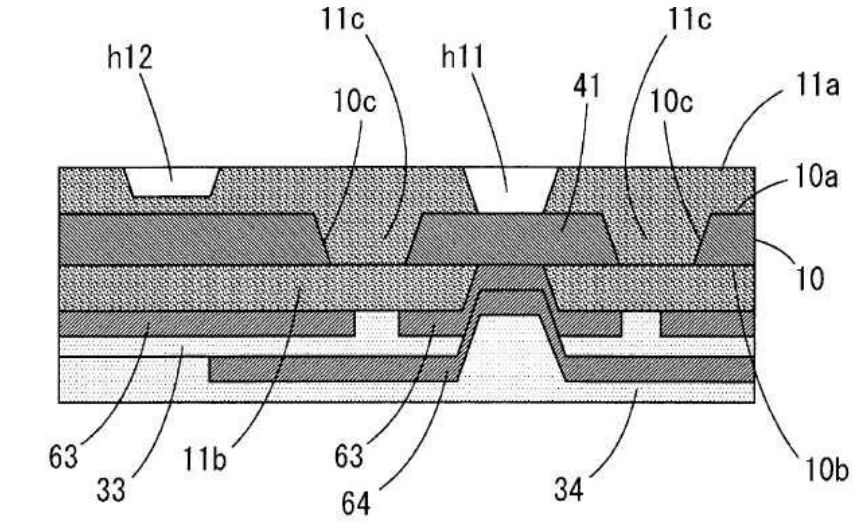
도면31



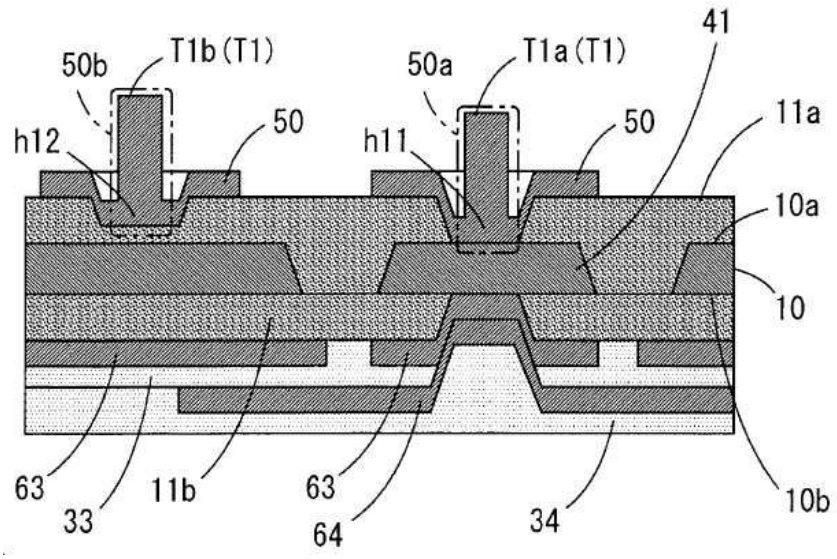
도면32



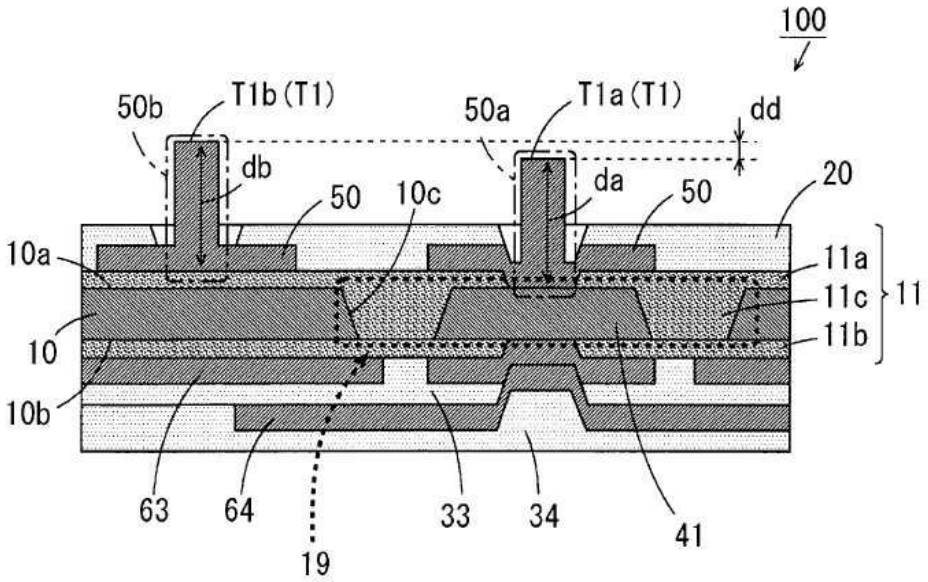
도면33


11c
11c
h12
h11
41
10c
10c
11a
10a
10
63
33
11b
63
64
34
10b

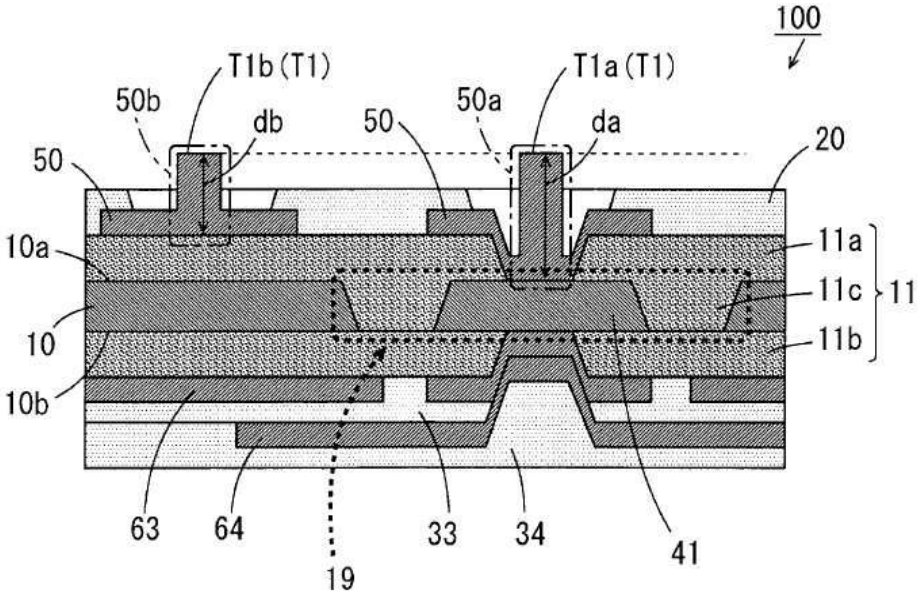
도면34


41
50b
T1b (T1)
50a
T1a (T1)
h12
50
h11
50
11a
10a
10
63
33
11b
63
64
34
10b

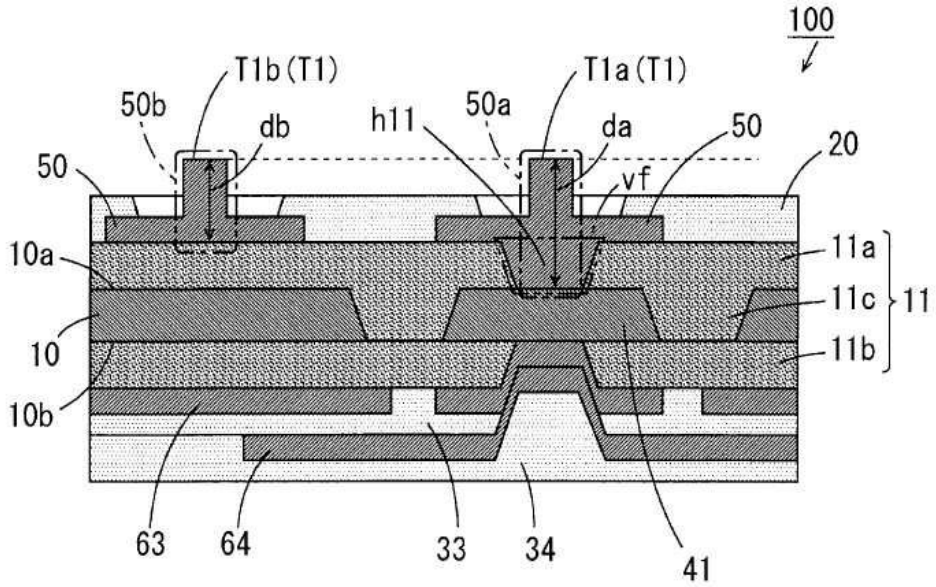
도면35


100
50b
T1b (T1)
50a
T1a (T1)
dd
db
da
50
10c
50
20
10a
11a
11c
11
10
11b
10b
63
64
33
34
41
19

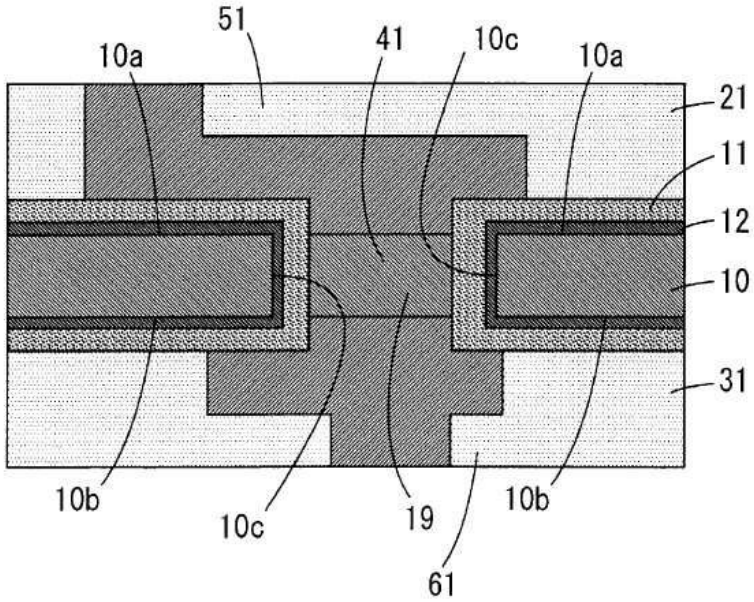
도면36


100
T1b (T1)
T1a (T1)
50b
50a
db
50
da
50
20
10a
11a
11c
11
10
11b
10b
63
64
33
34
41
19

도면37


100
T1b (T1)
T1a (T1)
50b
db
h11
50a
da
50
20
50
vf
10a
11a
11c
11
10
11b
10b
63
64
33
34
41

도면38


51
41
10c
10a
10a
21
11
12
10
31
10b
10c
19
10b
61