(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 9 日(09.08.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/105106 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01)
H04N 5/361 (2011.01)

(21) 国際出願番号: PCT/JP2011/076325

(22) 国際出願日: 2011 年 11 月 15 日(15.11.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-023411 2011 年 2 月 4 日(04.02.2011) JP

(71) 出願人 (米国を除く全ての指定国について): 富士フイルム株式会社(**FUJIFILM Corporation**) [JP/JP]; 〒1060031 東京都港区西麻布２丁目２６番３０号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 後藤 崇 (**GOTO Takashi**).

(74) 代理人: 高松 猛, 外(**TAKAMATSU Takeshi** et al.); 〒1050003 東京都港区西新橋一丁目７番１３号 虎ノ門イーストビルディング９階 航栄特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

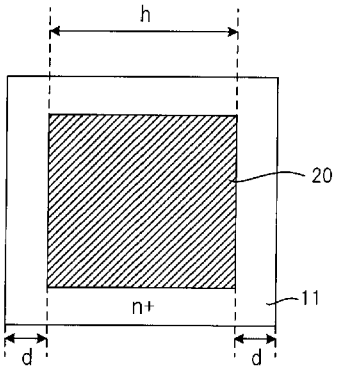
[続葉有]

(54) **Title**: METHOD FOR MANUFACTURING SOLID-STATE IMAGING ELEMENT, SOLID-STATE IMAGING ELEMENT, AND IMAGING DEVICE

(54) 発明の名称 : 固体撮像素子の製造方法、固体撮像素子、撮像装置

[図2]

FIG.2



(57) **Abstract**: Provided is a method for manufacturing a layered solid-state imaging element having a high yield and a low dark current. This solid-state imaging element comprises a plug (20) electrically connected to a pixel electrode (3), a connector (11) connected to the plug (20), and a signal reader for reading a signal corresponding to an electrical charge that has been generated on a light-receiving layer (4) and transferred to the connector (11). This method for manufacturing a solid-state imaging element includes: a step for forming the connector (11) on a surface of a substrate (1); a step for forming an insulating film (2) above the substrate (1) on which the signal reader and the connector (11) have been formed, and forming, on the insulating film (2), an opening (k) that is smaller than the connector (11) at a position further inward than the connector (11) in plan view; a step for embedding an electroconductive material in the opening (k) and forming the plug (20); and a step for forming the pixel electrode (3) on the plug (20). In terms of design, the opening (k) and the connector (11) are formed such that the center of the connector (11) and the opening (k) coincide with each other, and that the distance from the end of the opening (k) to the end of the connector (11) in any direction that passes through the center is from 20% to 50%, inclusive, of the width of the opening (k) in this direction.

(57) 要約:

[続葉有]

WO 2012/105106 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

高歩留まりと低暗電流の積層型の固体撮像素子の製造方法を提供する。 固体撮像素子は、画素電極３と電気的に接続されるプラグ２０と、プラグ２０と接続される接続部１１と、受光層４で発生し接続部１１に移動した電荷に応じた信号を読みだす信号読み出し部とを備える。基板１表面に接続部１１を形成する工程と、信号読み出し部及び接続部１１を形成した基板１上方に絶縁膜２を形成し、平面視において接続部１１よりも内側の位置に接続部１１よりも小さい開口ｋを絶縁膜２に形成する工程と、開口ｋに導電性材料を埋め込んでプラグ２０を形成する工程と、プラグ２０上に画素電極３を形成する工程とを含み、設計上、開口ｋと接続部１１の中心が一致しかつ当該中心を通る全ての方向における開口ｋの端部から接続部１１の端部までの距離が、当該方向における開口ｋの幅の２０％以上５０％以下になるように、開口ｋ及び接続部１１を形成する。

明　細　書

発明の名称 ： 固体撮像素子の製造方法、固体撮像素子、撮像装置

技術分野

[0001] 本発明は、画素電極と、前記画素電極に対向する対向電極と、前記画素電極と前記対向電極との間に設けられる光電変換層を含む受光層とを有する受光部が半導体基板上方に複数配列された固体撮像素子、その固体撮像素子の製造方法、及びその固体撮像素子を備える撮像装置に関する。

背景技術

[0002] 近年、固体撮像素子の微細化が進んでおり、解像度や感度の限界が近づいてきている。そこで、高感度化や高解像度化を更に図ることが可能な積層型の固体撮像素子が注目されている。

[0003] この積層型の固体撮像素子は、一般的に、一対の電極とこれらに挟まれる光電変換層とを含む受光部が半導体基板上方に積層され、当該半導体基板には、受光部の光電変換層で発生した電荷を蓄積する電荷蓄積部と、この電荷蓄積部に蓄積された電荷を信号に変換して外部に読みだすための信号読出し回路とが設けられる。受光部を構成する一対の電極の一方と電荷蓄積部とは、半導体基板上方に形成された導電性プラグによって電気的に接続され、光電変換層で発生した電荷がこの導電性プラグを通って電荷蓄積部に蓄積される。

[0004] 特許文献１、２では、半導体基板内の電荷蓄積部と導電性プラグとを接続するための電気接合領域の構造としてｐｎｐ構造を開示している。このｐｎｐ構造は、電荷蓄積部を構成する低濃度のｎ型不純物層と、この低濃度のｎ型不純物層の表面に形成されたｐ型不純物層と、このｐ型不純物層を貫通して低濃度のｎ型不純物層まで達する高濃度のｎ型不純物層とにより構成され、この高濃度のｎ型不純物層に導電性プラグが接続されるものである。

[0005] このようなｐｎｐ構造によれば、低濃度のｎ型不純物層の表面に設けたｐ型不純物層によって低濃度のｎ型不純物層がピニングされるため、低濃度の

ｎ型不純物層に起因する暗電流を低減することができる。また、高濃度のｎ型不純物層に導電性プラグが接続されることでオーミックコンタクトが取れるため、光電変換層から電荷蓄積部に信号電荷を円滑に輸送することができる。

先行技術文献

特許文献

[0006] 特許文献1：日本国特開２００９－１６４６０４号公報

特許文献2：日本国特開２００９－１１７８０２号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上述したｐｎｐ構造では、導電性プラグと接続される高濃度のｎ型不純物層の表面欠陥に起因して暗電流が発生しがちである。この暗電流を低減するには、高濃度のｎ型不純物層の面積を小さくすることが有効と考えられる。

[0008] 高濃度のｎ型不純物層の面積を最小化するために、特許文献１、２では、半導体基板上に層間絶縁膜を形成後、この層間絶縁膜に導電性プラグを埋め込むための開口を形成し、この開口を介して半導体基板にイオン注入を行って高濃度のｎ型不純物層を形成し、その後、この開口内に導電性材料を埋めて導電性プラグを形成する方法を開示している。

[0009] この方法によれば、高濃度のｎ型不純物層と導電性プラグの面積をほぼ同じにすることができ、高濃度のｎ型不純物層の面積を小さくすることができる。しかし、この方法では、層間絶縁膜形成後に高濃度のｎ型不純物層のイオン注入を行うため、高濃度のｎ型不純物層が半導体基板の深くまで十分に形成されない等の製造工程に起因する特性のバラツキが大きくなり、歩留まりが低下する。

[0010] このような歩留まりの低下を防止するためには、層間絶縁膜形成前に、イオン注入により高濃度のｎ型不純物層を形成し、その後、高濃度のｎ型不純

物層の上に層間絶縁膜を形成し、この層間絶縁膜の高濃度のｎ型不純物層上方に開口を形成し、この開口に導電性材料を埋め込んで導電性プラグを形成するといった方法を採用するのがよいと考えられる。

[0011] しかし、この方法では、高濃度のｎ型不純物層と導電性プラグとの位置あわせずれを考慮して、高濃度のｎ型不純物層の面積を導電性プラグよりも大きくする必要があり、暗電流をいかに低減させるかが課題になる。

[0012] なお、このような課題は、ｐｎｐ構造に限らず、半導体基板内に、導電性プラグと半導体基板とのオーミックコンタクトを形成するための接続部（接続部自体に電荷を蓄積する場合も含む）を設ける場合に発生するものである。このような導電性プラグとオーミックコンタクトを形成する接続部を有する固体撮像素子において、接続部付近で発生する暗電流をいかに低減させるかが、高感度及び高解像度の積層型の固体撮像素子を実用化する上で重要になる。

[0013] 本発明は、上記事情に鑑みてなされたものであり、高い歩留まりと暗電流の低減が可能な積層型の固体撮像素子の製造方法、固体撮像素子、及びこれを備える撮像装置を提供することを目的とする。

課題を解決するための手段

[0014] 本発明の固体撮像素子の製造方法は、画素電極と、前記画素電極に対向する対向電極と、前記画素電極と前記対向電極との間に設けられる光電変換層を含む受光層とを有する受光部が半導体基板上方に複数配列された固体撮像素子の製造方法であって、前記固体撮像素子は、前記半導体基板上方に形成され、前記画素電極と電気的に接続される導電性プラグと、前記半導体基板表面に形成され、前記導電性プラグとオーミックコンタクトを形成する不純物層からなる接続部と、前記受光層で発生して前記画素電極及び前記導電性プラグを介して前記接続部に移動した電荷に応じた信号を読みだす前記半導体基板に形成された信号読み出し部とを備えるものであり、マスクを用いた不純物注入により、前記半導体基板表面に前記接続部を形成する工程と、前記信号読み出し部及び前記接続部を形成した前記半導体基板上方に絶縁層を

形成し、前記絶縁層に前記接続部の面積よりも小さくかつ前記接続部まで達する開口を形成する工程と、前記開口に導電性材料を埋め込んで前記導電性プラグを形成する工程と、前記導電性プラグ上に前記画素電極を形成する工程とを含み、設計上は、前記開口の中心が前記接続部の中心と一致し、かつ、前記半導体基板表面に平行な方向であって前記接続部の中心を通る全ての方向における前記開口の端部から前記接続部の端部までの距離が当該方向における前記開口の幅の２０％以上５０％以下になるように、前記開口及び前記接続部を形成するものである。

[0015] この方法により、歩留まりの向上と暗電流の低減を両立させることができる。

[0016] 本発明の固体撮像素子は、画素電極と、前記画素電極に対向する対向電極と、前記画素電極と前記対向電極との間に設けられる光電変換層を含む受光層とを有する受光部が半導体基板上方に複数配列された固体撮像素子であって、前記半導体基板上方に形成され、前記画素電極と電気的に接続される導電性プラグと、前記半導体基板表面に形成され、前記導電性プラグとオーミックコンタクトを形成する不純物層からなる接続部と、前記受光層で発生して前記画素電極及び前記導電性プラグを介して前記接続部に移動した電荷に応じた信号を読みだす前記半導体基板に形成された信号読み出し部とを備え、平面視において、前記導電性プラグの面積は前記接続部の面積よりも小さく、かつ、前記導電性プラグは前記接続部よりも内側に配置されており、前記半導体基板表面に平行な方向であって前記導電性プラグの中心を通る全ての方向における前記接続部の一方の端部から前記導電性プラグの一方の端部までの距離と、当該方向における前記接続部の他方の端部から前記導電性プラグの他方の端部までの距離との平均値が、当該方向における前記導電性プラグの幅の２０％以上５０％以下になっているものである。

[0017] この構成により、歩留まりの向上と暗電流の低減を両立させることができる。

[0018] 本発明の撮像装置は、前記固体撮像素子を備えるものである。

発明の効果

[0019] 本発明によれば、高い歩留まりと暗電流の低減が可能な積層型の固体撮像素子の製造方法、固体撮像素子、及びこれを備える撮像装置を提供することができる。

図面の簡単な説明

[0020] [図1]本発明の一実施形態を説明するための積層型の固体撮像素子の１つの画素１００の概略構成を示す断面模式図

[図2]図１に示す固体撮像素子の設計上での画素１００の接続部１１と導電性プラグ２０の平面視における形状及び位置関係を示す図

[図3]図１に示した固体撮像素子の製造工程を説明する図

[図4]図１に示した固体撮像素子における接続部１１の広がりｄと固体撮像素子の暗電流との関係を示す図

[図5]図１に示した固体撮像素子における導電性プラグ２０の幅ｈに対する広がりｄの比と固体撮像素子の暗電流との関係を示す図

[図6]図１に示した固体撮像素子において、接続部１１をサリサイド化した場合としない場合とにおける、導電性プラグ２０の幅ｈに対する広がりｄの比と暗電流との関係を示す図

[図7]図１に示した固体撮像素子における、上記広がり比と製造歩留まりとの関係を示す図

[図8]図１に示す画素の変形例を示す図

発明を実施するための形態

[0021] 以下、本発明の実施形態について図面を参照して説明する。

[0022] 図１は、本発明の一実施形態を説明するための積層型の固体撮像素子の１つの画素１００の概略構成を示す断面模式図である。この積層型の固体撮像素子は、デジタルカメラ及びデジタルビデオカメラ等の撮像装置、電子内視鏡及びカメラ付携帯電話機等に搭載される撮像モジュール、等に搭載して用いられる。また、この積層型の固体撮像素子は、図１に示す画素１００を、一次元状又は二次元状に複数個配列した構成となっている。

[0023] 図１に示すように、全ての画素１００で共通のｐ型シリコン基板１上には、絶縁層２を介して受光部Ｐが形成されている。

[0024] 受光部Ｐは、ｐ型シリコン基板１上方に形成された画素電極３と、画素電極３上方に形成された対向電極５と、画素電極３と対向電極５の間に設けられた受光層４とを含む。

[0025] 対向電極５には、その上方から光が入射される。対向電極５は、受光層４に光を入射させる必要があるため、入射光に対して透明なＩＴＯ等の導電性材料で構成される。対向電極５は、固体撮像素子の全ての画素１００で共通の一枚構成であるが、画素１００毎に分割して設けられていても良い。

[0026] 画素電極３は、画素１００毎に分割された薄膜電極であり、透明又は不透明の導電性材料（ＩＴＯやアルミニウムや窒化チタン等）で構成される。

[0027] 受光層４は、入射光のうちの特定の波長域を吸収し、当該吸収した光量に応じた電荷を発生する有機又は無機の光電変換材料を含んで構成された光電変換層を少なくとも含む層である。受光層４には、そこに含まれる光電変換層と対向電極５の間、又は、当該光電変換層と画素電極３の間に、それら電極から当該光電変換層に電荷が注入されるのを抑制する電荷ブロッキング層が設けられていてもよい。また、受光層４には、その他の機能性層を設けてもよい。受光層４は、固体撮像素子の全ての画素１００で共通の一枚構成である。

[0028] 本実施形態では、受光層４で発生した電荷のうちの電子が画素電極３に移動し、正孔が対向電極５に移動するように、対向電極５にはバイアス電圧が印加される。画素電極３に正孔が移動し、対向電極５に電子が移動するように、受光層４の構成及び印加するバイアス電圧を設定してもよい。

[0029] ｐ型シリコン基板１表面には、上記受光部Ｐの画素電極３と電気的に接続される高濃度のｎ型不純物層からなる接続部１１が形成されている。接続部１１上には、絶縁層２を貫通する導電性材料からなる導電性プラグ２０が形成されている。接続部１１は、導電性プラグ２０とオーミックコンタクトを形成するように、その濃度が調整されている。導電性プラグ２０上には、画

素電極３が形成されて導電性プラグ２０と画素電極３との電気的接続がなされている。

[0030] ｐ型シリコン基板１内においてｐ型シリコン基板１の表面から少し離間した位置には、受光層４で発生して画素電極３及び導電性プラグ２０を介して接続部１１に移動した電荷を蓄積するための、接続部１１よりも低濃度のｎ型不純物層からなる電荷蓄積部１３が形成されている。電荷蓄積部１３は接続部１１と接触しており、接続部１１に移動した電荷が電荷蓄積部１３に蓄積されるようになっている。平面視において、接続部１１は電荷蓄積部１３の内側に形成されている。

[0031] 電荷蓄積部１３の接続部１１と接している領域以外の領域とｐ型シリコン基板１表面との間には、電荷蓄積部１３表面で発生する暗電流を防止するために、ｐ型不純物層からなる暗電流低減層１２が設けられている。接続部１１は、この暗電流低減層１２を貫通して電荷蓄積部１３に接するように形成されている。

[0032] 暗電流低減層１２の右隣には、電荷蓄積部１３の蓄積電荷が転送されるｎ型不純物からなるフローティングディフュージョン（ＦＤ）１６が形成されている。暗電流低減層１２とＦＤ１６との間のｐ型シリコン基板１上には、図示しないゲート絶縁膜を介してゲート電極１５が形成されている。このゲート電極１５は、電荷蓄積部１３の蓄積電荷をＦＤ１６に転送する電荷転送部として機能する。

[0033] ｐ型シリコン基板１には、ＦＤ１６に転送された電荷量に応じた信号を外部に出力するための信号読出し部としてＭＯＳ回路１７が形成されている。ＭＯＳ回路１７は、ＦＤ１６をリセットするリセットトランジスタ、ＦＤ１６の電位に応じた信号を出力する出力トランジスタ、出力トランジスタの出力信号を選択的に出力信号線に出力する選択トランジスタによって構成される。

[0034] 図２は、図１に示す画素１００の接続部１１と導電性プラグ２０を設計した通りに、ずれなく形成したときの平面視における形状及び位置関係を示す

図である。接続部１１と導電性プラグ２０の平面視形状は矩形（図２の例では正方形）であり、導電性プラグ２０は、接続部１１よりもその面積が小さく、かつ、その中心が接続部１１の中心と一致するように配置されている。

[0035] 図２において、接続部１１の中心を通る全ての方向における接続部１１の一方の端部から導電性プラグ２０の一方の端部までの距離と、当該全ての方向における接続部１１の他方の端部から導電性プラグ２０の他方の端部までの距離は同じになっている。

[0036] 例えば、接続部１１の中心を通る左右方向又は上下方向における接続部１１の一方の端部（左端部又は上端部）から導電性プラグ２０の一方の端部（左端部又は上端部）までの距離と、当該方向における接続部１１の他方の端部（右端部又は下端部）から導電性プラグ２０の他方の端部（右端部又は下端部）までの距離はそれぞれｄとなっている。また、図２の左右方向又は上下方向における導電性プラグ２０の幅はｈとなっている。以下では、上記距離ｄを、導電性プラグ２０からの接続部１１の広がりｄという。

[0037] 図３は、図１に示した固体撮像素子の製造工程を説明する図である。

[0038] まず、酸化シリコン膜等のゲート絶縁膜が表面に形成されたｐ型シリコン基板１に、暗電流低減層１２、電荷蓄積部１３、ゲート電極１５、ＦＤ１６、ＭＯＳ回路１７、及び素子分離層を通常のＣＭＯＳプロセスによって形成する。

[0039] 例えば、暗電流低減層１２及び電荷蓄積部１３は、ｐ型シリコン基板１上方に、暗電流低減層１２及び電荷蓄積部１３を形成すべき位置に開口を有するフォトマスクを用いて、選択的にイオン注入を行うことにより形成される（ＦＩＧ３Ａ）。

[0040] 次に、ｐ型シリコン基板１上方に、電荷蓄積部１３上の接続部１１を形成すべき位置（平面視において電荷蓄積部１３の内側の位置）に開口を有するフォトマスクを用いて、選択的にイオン注入を行って接続部１１を形成する（ＦＩＧ３Ｂ）。他の高濃度不純物領域同様に接続部１１を形成した後、接続部１１をサリサイド化する。

[0041] なお、上記説明では、便宜上、ゲート電極１５、ＦＤ１６、ＭＯＳ回路１７、及び素子分離層を先に形成し、最後に接続部１１を形成するものとしたが、この順番には限定されない。ＣＭＯＳプロセスに則って、適切な手順でこれらの回路を形成することが望ましい。

[0042] 次に、ｐ型シリコン基板１上方に、絶縁層２を形成し、この絶縁層２の接続部１１上にエッチングによって開口ｋを形成する（ＦＩＧ３Ｃ）。この開口ｋは、接続部１１との位置あわせずれを考慮し、接続部１１との関係が、図２に示される接続部１１と導電性プラグ２０の平面視における形状及び位置関係と同じになるように設計して形成される。

[0043] 次に、絶縁層２上に導電性材料を成膜して開口ｋに当該導電性材料を埋め込み、開口ｋに埋め込まれなかった余分な導電性材料を平坦化により除去して、導電性プラグ２０を形成する（ＦＩＧ３Ｄ）。

[0044] この後は、導電性プラグ２０上への画素電極３の形成、受光層４の形成、対向電極５の形成を順次行うことにより絶縁層２上に受光部Ｐを設けて固体撮像素子を完成させる。

[0045] 発明者は、上記のようなプロセスで積層型の固体撮像素子を製造するにあたり、接続部１１の中心を通る全ての方向における、接続部１１と導電性プラグ２０の間の距離の導電性プラグ２０の幅に対する比（広がり比）が５０％以下になるように、接続部１１と導電性プラグ２０の面積及び形成位置を設計することで、いかなるプロセスルールで固体撮像素子を製造した場合でも、暗電流を低減できることを見出した。

[0046] 例えば、図２において、導電性プラグ２０の幅ｈに対する広がりｄの比（単位は％。以下、広がり比と呼ぶ）が５０％以下になるように、接続部１１の面積（接続部１１形成用のフォトマスクの開口面積）と、開口ｋの面積（開口ｋ形成用のハードマスクを形成する際のフォトリソマスクの開口面積（導電性プラグ２０の面積と同義））と、接続部１１と導電性プラグ２０の形成位置とを設計することで、いかなるプロセスルールで固体撮像素子を製造した場合でも、暗電流を低減することができる。

[0047] なお、上記広がり比は、暗電流の観点から言えば小さいほどよいが、あまり小さくすると、接続部１１と導電性プラグ２０との位置あわせずれにより、接続部１１が暗電流低減層１２及び電荷蓄積部１３の外部まではみ出してしまい、製造における歩留まりが低下する。発明者は、検討の結果、広がり比の下限値を２０％として接続部１１と導電性プラグ２０を設計し、形成することで、歩留まりの低下を防げることを見出した。

[0048] 以下、本発明における広がり比の数値範囲の根拠について説明する。

[0049] 図４は、接続部１１の広がりｄと固体撮像素子の暗電流との関係を検討した結果を示す図である。図４では、プロセスルールの異なる３種類の固体撮像素子について、広がりｄを変化させたときの暗電流の変化の検討結果を示した。なお、導電性プラグ２０の幅ｈは、プロセスルールにしたがって一意に決まる。ここでは、プロセスルールとして、導電性プラグ２０の幅ｈが、０．１２μｍ、０．１８μｍ、０．２４μｍとなる３つの世代について検討した。

[0050] 図４に示す結果から、同じ広がりｄにおける暗電流を比較すると、導電性プラグ２０の幅ｈが小さいものの方が、暗電流が大きくなることが分かる。

[0051] 広がりｄが同じであれば、導電性プラグ２０の幅ｈが小さい固体撮像素子における接続部１１の平面積は、導電性プラグ２０の幅ｈが大きい固体撮像素子における接続部１１の平面積よりも小さい。

[0052] そのため、接続部１１の平面積が小さい固体撮像素子の方が暗電流は低くなると考えられるが、図４の結果ではそうなっていない。これは、最小線幅が狭いプロセスルールの方が接続部１１の濃度が高く、欠陥も多いことに起因していると考えられる。

[0053] このような結果から、単純に接続部１１の幅だけを小さくしても、プロセスルールによっては暗電流がむしろ高くなることがわかる。

[0054] 発明者は、図４のグラフを検討した結果、いずれのプロセスルールであっても、固体撮像素子の暗電流は、接続部１１の平面積ではなく、接続部１１の大きさと導電性プラグ２０の大きさの関係によって決まると考えた。

[0055] そこで、接続部１１と導電性プラグ２０の大きさを規定する指標として、導電性プラグ２０の幅ｈに対する広がりｄの比（上記広がり比＝（ｄ／ｈ）×１００）を算出し、図４に示すグラフの横軸をこの広がり比に置き換えた図５を作成した。なお、図５には、固体撮像素子として一般的に実用上問題にならない暗電流の基準レベルを破線で示してある。

[0056] 図５のグラフでは、いずれのプロセスルールであっても広がり比と暗電流との関係がほぼ一致している。したがって、この図５に示す結果から、広がり比を５０％以下に設計して接続部１１及び導電性プラグ２０を形成すれば、プロセスルールに関わらずに、暗電流を実用上問題にならないレベルにまで低減させられることがわかった。

[0057] 次に、導電性プラグ２０の幅ｈが０．１８μｍの固体撮像素子について、接続部１１をサリサイド化した場合とサリサイド化しない場合とで暗電流に差がでるかどうかを検討した。サリサイド化しないことで、動作速度が低下する懸念はあるが、暗電流を低減する効果が期待できる。検討した結果を図６に示す。横軸に広がり比、縦軸に暗電流をプロットした。

[0058] 図６に示す結果から、接続部１１をサリサイド化しないことで、サリサイド化した場合よりも暗電流を低減できることが分かる。このような非サリサイド効果は、導電性プラグ２０の幅ｈが０．１２μｍ、０．２４μｍの固体撮像素子についても同様に得られる。なお、図４，５のグラフは、接続部１１をサリサイド化した場合について得られたものである。

[0059] 図７は、広がり比と固体撮像素子の歩留まりとの関係を検討した結果を示す図である。図７では、導電性プラグ２０の幅ｈが０．１２μｍ、０．１８μｍ、０．２４μｍのプロセスルールが異なる３種類の固体撮像素子について、広がり比を変化させたときの歩留まりを検討した結果を示している。

[0060] 平面視において、導電性プラグ２０が接続部１１の内側からはみ出して形成された場合には、その固体撮像素子は製品としてＮＧ（不合格）とし、導電性プラグ２０が接続部１１の内側に形成されていれば、その固体撮像素子は製品としてＯＫ（合格）として、歩留まりを求めた。

[0061] 図７のグラフから、広がり比を２０％以上に設計して接続部１１及び導電性プラグ２０を形成することで、固体撮像素子製造において一般的に求められる（受け入れられる）高い歩留まりを得られることが分かる。なお、歩留まりについては、接続部１１をサリサイド化しない場合でも、サリサイド化した場合と変わらないシミュレーション結果となった。

[0062] 以上のように、図５，７に示す結果から、広がり比を２０％以上５０％以下に設計して接続部１１及び導電性プラグ２０を形成することで、いずれのプロセスルールで固体撮像素子を製造した場合でも、低暗電流と高い歩留まりを両立させられることがわかる。

[0063] なお、広がり比を２０％以上５０％以下に設計して固体撮像素子を製造した場合でも、接続部１１と導電性プラグ２０の位置関係は、製造ばらつきにより、図２に示したような設計通りの値にはならない場合がある。しかし、製品としてＯＫになった固体撮像素子では、導電性プラグ２０が接続部１１の内側に形成されている。

[0064] つまり、製品としてＯＫになった固体撮像素子では、平面視において導電性プラグ２０の中心を通る全ての方向（例えば左右方向）における導電性プラグ２０の幅Ｈに対する、当該方向における接続部１１の一方の端部（左端部）から導電性プラグ２０の一方の端部（左端部）までの距離Ａと当該方向における接続部１１の他方の端部（右端部）から導電性プラグ２０の他方の端部（右端部）までの距離Ｂの平均値Ｄ（（Ａ＋Ｂ）／２）の比が、２０％以上５０％以下になる。

[0065] したがって、本発明の製造方法により、平面視において導電性プラグ２０の中心を通る全ての方向における幅Ｈに対する平均値Ｄの比が２０％以上５０％以下である、製品として合格の固体撮像素子を高い歩留まりで製造することができる。

[0066] 図８は、図２に示す画素１００の変形例である画素２００の断面模式図である。図８において、図１と同じ構成には同一符号を付してある。

[0067] 図８に示す画素２００は、平面視において、電荷蓄積部１３が接続部１１

と完全に重なるように配置されずに、電荷蓄積部１３と接続部１１が一部だけ重なるように配置されている点を除いては、図１に示した画素１００の構成と同じである。図８に示した画素構成であれば、接続部１１の左隣の領域を狭めることができ、画素サイズを縮小することが可能になる。

[0068] 以上説明した実施態様では、導電性プラグ２０と接続部１１の平面視形状は矩形であるが、導電性プラグ２０と接続部１１の平面視形状はこれに限られるものではない。例えば、導電性プラグ２０と接続部１１の平面視形状が円形であってもよいし、一方が矩形、他方が円形であってもよい。

[0069] また、電荷蓄積部１３に蓄積された電荷をＣＣＤに読出し、このＣＣＤにて電荷を出力アンプまで転送し、この出力アンプから当該電荷に応じた信号を出力する構成としてもよい。

[0070] また、電荷蓄積部１３に電子を蓄積するものとしたが、正孔を蓄積して、正孔量に応じた信号を読みだす構成にしてもよい。この場合、信号読み出し回路の極性を適宜変更すればよい。

[0071] 以上説明してきたように、本明細書には次の事項が開示されている。

[0072] 開示された固体撮像素子の製造方法は、画素電極と、前記画素電極に対向する対向電極と、前記画素電極と前記対向電極との間に設けられる光電変換層を含む受光層とを有する受光部が半導体基板上方に複数配列された固体撮像素子の製造方法であって、前記固体撮像素子は、前記半導体基板上方に形成され、前記画素電極と電気的に接続される導電性プラグと、前記半導体基板表面に形成され、前記導電性プラグとオーミックコンタクトを形成する不純物層からなる接続部と、前記受光層で発生して前記画素電極及び前記導電性プラグを介して前記接続部に移動した電荷に応じた信号を読みだす前記半導体基板に形成された信号読み出し部とを備えるものであり、マスクを用いた不純物注入により、前記半導体基板表面に前記接続部を形成する工程と、前記信号読み出し部及び前記接続部を形成した前記半導体基板上方に絶縁層を形成し、前記絶縁層に前記接続部の面積よりも小さくかつ前記接続部まで達する開口を形成する工程と、前記開口に導電性材料を埋め込んで前記導電

性プラグを形成する工程と、前記導電性プラグ上に前記画素電極を形成する工程とを含み、設計上は、前記開口の中心が前記接続部の中心と一致し、かつ、前記半導体基板表面に平行な方向であって前記接続部の中心を通る全ての方向における前記開口の端部から前記接続部の端部までの距離が当該方向における前記開口の幅の２０％以上５０％以下になるように、前記開口及び前記接続部を形成するものである。

[0073] この方法により、歩留まりの向上と暗電流の低減を両立させることができる。

[0074] 開示された固体撮像素子の製造方法は、前記接続部を形成する工程では、前記接続部をサリサイド化しないものである。

[0075] この方法により、暗電流を更に低減することができる。

[0076] 開示された固体撮像素子の製造方法は、前記固体撮像素子は、前記半導体基板内において前記接続部に接して形成される前記接続部と同じ導電型でかつ前記接続部よりも低濃度の不純物層からなる、前記接続部に移動した電荷を蓄積する電荷蓄積部と、前記電荷蓄積部と前記半導体基板表面との間に形成された前記電荷蓄積部とは反対導電型の不純物層とを備え、前記接続部を形成する工程では、前記電荷蓄積部と前記反対導電型の不純物層が形成された前記半導体基板に不純物注入を行って前記接続部を形成するものである。

[0077] この方法により、電荷蓄積部と半導体基板表面の間に設けられた不純物層によって電荷蓄積部がピニングされるため、電荷蓄積部に起因する暗電流を低減することができる。また、電荷蓄積部から他の部分に電荷を転送する場合に完全転送が可能になるため、残像の発生を抑制することができる。

[0078] 開示された固体撮像素子の製造方法は、前記接続部を形成する工程では、前記接続部を、平面視において前記電荷蓄積部の内側に形成し、かつ、前記電荷蓄積部と前記半導体基板表面との間に形成された前記反対導電型の前記不純物層を貫通して前記電荷蓄積部に接触するように形成するものである。

[0079] この方法により、接続部から電荷蓄積部へスムーズに電荷が移動するため、感度が向上する。

[0080] 開示された固体撮像素子の製造方法は、前記信号読み出し部は、前記電荷蓄積部に蓄積された電荷を転送する転送トランジスタと、前記転送トランジスタによって転送された電荷を蓄積する第二の電荷蓄積部とを含むものである。

[0081] この方法により、電荷蓄積部から第二の電荷蓄積部へ完全に電荷を転送することができ、残像の発生を抑制することができる。

[0082] 開示された固体撮像素子は、画素電極と、前記画素電極に対向する対向電極と、前記画素電極と前記対向電極との間に設けられる光電変換層を含む受光層とを有する受光部が半導体基板上方に複数配列された固体撮像素子であって、前記半導体基板上方に形成され、前記画素電極と電気的に接続される導電性プラグと、前記半導体基板表面に形成され、前記導電性プラグとオーミックコンタクトを形成する不純物層からなる接続部と、前記受光層で発生して前記画素電極及び前記導電性プラグを介して前記接続部に移動した電荷に応じた信号を読みだす前記半導体基板に形成された信号読み出し部とを備え、平面視において、前記導電性プラグの面積は前記接続部の面積よりも小さく、かつ、前記導電性プラグは前記接続部よりも内側に配置されており、前記半導体基板表面に平行な方向であって前記導電性プラグの中心を通る全ての方向における前記接続部の一方の端部から前記導電性プラグの一方の端部までの距離と、当該方向における前記接続部の他方の端部から前記導電性プラグの他方の端部までの距離との平均値が、当該方向における前記導電性プラグの幅の２０％以上５０％以下になっているものである。

[0083] この構成により、歩留まりの向上と暗電流の低減を両立させることができる。

[0084] 開示された固体撮像素子は、前記接続部がサリサイド化されていないものである

[0085] この構成により、暗電流を更に低減することができる。

[0086] 開示された固体撮像素子は、前記半導体基板内に前記接続部に接して形成された前記接続部と同じ導電型でかつ前記接続部よりも低濃度の不純物層で

あって前記接続部に移動した電荷を蓄積する電荷蓄積部と、前記電荷蓄積部と前記半導体基板表面との間に形成された前記電荷蓄積部とは反対導電型の不純物層とを備えるものである。

[0087] この構成により、電荷蓄積部と半導体基板表面の間に設けられた不純物層によって電荷蓄積部がピニングされるため、電荷蓄積部に起因する暗電流を低減することができる。また、電荷蓄積部から他の部分に電荷を転送する場合に完全転送が可能になるため、残像の発生を抑制することができる。

[0088] 開示された固体撮像素子は、前記接続部は、平面視において前記電荷蓄積部の内側に形成され、前記電荷蓄積部と前記半導体基板表面との間に形成された前記反対導電型の不純物層を貫通して、前記電荷蓄積部に接触するように形成されているものである。

[0089] この構成により、接続部から電荷蓄積部へスムーズに電荷が移動するため、感度が向上する。

[0090] 開示された固体撮像素子は、前記信号読み出し部は、前記電荷蓄積部に蓄積された電荷を転送する転送トランジスタと、前記転送トランジスタによって転送された電荷を蓄積する第二の電荷蓄積部とを含むものである。

[0091] この構成により、電荷蓄積部から第二の電荷蓄積部へ完全に電荷を転送することができ、残像の発生を抑制することができる。

[0092] 開示された撮像装置は、前記固体撮像素子を備えるものである。

産業上の利用可能性

[0093] 本発明によれば、高い歩留まりと暗電流の低減が可能な積層型の固体撮像素子の製造方法、固体撮像素子、及びこれを備える撮像装置を提供することができる。

[0094] 本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

本出願は、２０１１年２月４日出願の日本出願（特願２０１１－２３４１１）に基づくものであり、その内容はここに参照として取り込まれる。

符号の説明

[0095] １００　画素

１　ｐ型シリコン基板

２　絶縁層

３　画素電極

４　受光層

５　対向電極

１１　接続部

１２　暗電流低減層

１３　電荷蓄積部

２０　導電性プラグ

ｋ　開口

Ｐ　受光部

請求の範囲

［請求項1］ 画素電極と、前記画素電極に対向する対向電極と、前記画素電極と前記対向電極との間に設けられる光電変換層を含む受光層とを有する受光部が半導体基板上方に複数配列された固体撮像素子の製造方法であって、

前記固体撮像素子は、前記半導体基板上方に形成され、前記画素電極と電気的に接続される導電性プラグと、前記半導体基板表面に形成され、前記導電性プラグとオーミックコンタクトを形成する不純物層からなる接続部と、前記受光層で発生して前記画素電極及び前記導電性プラグを介して前記接続部に移動した電荷に応じた信号を読みだす前記半導体基板に形成された信号読み出し部とを備えるものであり、

マスクを用いた不純物注入により、前記半導体基板表面に前記接続部を形成する工程と、

前記信号読み出し部及び前記接続部を形成した前記半導体基板上方に絶縁層を形成し、前記絶縁層に前記接続部の面積よりも小さくかつ前記接続部まで達する開口を形成する工程と、

前記開口に導電性材料を埋め込んで前記導電性プラグを形成する工程と、

前記導電性プラグ上に前記画素電極を形成する工程とを含み、

設計上は、前記開口の中心が前記接続部の中心と一致し、かつ、前記半導体基板表面に平行な方向であって前記接続部の中心を通る全ての方向における前記開口の端部から前記接続部の端部までの距離が当該方向における前記開口の幅の２０％以上５０％以下になるように、前記開口及び前記接続部を形成する固体撮像素子の製造方法。

［請求項2］ 請求項１記載の固体撮像素子の製造方法であって、

前記接続部を形成する工程では、前記接続部をサリサイド化しない固体撮像素子の製造方法。

［請求項3］ 請求項１又は２記載の固体撮像素子の製造方法であって、

前記固体撮像素子は、前記半導体基板内において前記接続部に接して形成される前記接続部と同じ導電型でかつ前記接続部よりも低濃度の不純物層からなる、前記接続部に移動した電荷を蓄積する電荷蓄積部と、前記電荷蓄積部と前記半導体基板表面との間に形成された前記電荷蓄積部とは反対導電型の不純物層とを備え、

前記接続部を形成する工程では、前記電荷蓄積部と前記反対導電型の不純物層が形成された前記半導体基板に不純物注入を行って前記接続部を形成する固体撮像素子の製造方法。

[請求項4] 請求項３記載の固体撮像素子の製造方法であって、

前記接続部を形成する工程では、前記接続部を、平面視において前記電荷蓄積部の内側に形成し、かつ、前記電荷蓄積部と前記半導体基板表面との間に形成された前記反対導電型の前記不純物層を貫通して前記電荷蓄積部に接触するように形成する固体撮像素子の製造方法。

[請求項5] 請求項３又は４記載の固体撮像素子の製造方法であって、

前記信号読み出し部は、前記電荷蓄積部に蓄積された電荷を転送する転送トランジスタと、前記転送トランジスタによって転送された電荷を蓄積する第二の電荷蓄積部とを含む固体撮像素子の製造方法。

[請求項6] 画素電極と、前記画素電極に対向する対向電極と、前記画素電極と前記対向電極との間に設けられる光電変換層を含む受光層とを有する受光部が半導体基板上方に複数配列された固体撮像素子であって、

前記半導体基板上方に形成され、前記画素電極と電気的に接続される導電性プラグと、

前記半導体基板表面に形成され、前記導電性プラグとオーミックコンタクトを形成する不純物層からなる接続部と、

前記受光層で発生して前記画素電極及び前記導電性プラグを介して前記接続部に移動した電荷に応じた信号を読みだす前記半導体基板に形成された信号読み出し部とを備え、

平面視において、前記導電性プラグの面積は前記接続部の面積より

も小さく、かつ、前記導電性プラグは前記接続部よりも内側に配置されており、

前記半導体基板表面に平行な方向であって前記導電性プラグの中心を通る全ての方向における前記接続部の一方の端部から前記導電性プラグの一方の端部までの距離と、当該方向における前記接続部の他方の端部から前記導電性プラグの他方の端部までの距離との平均値が、当該方向における前記導電性プラグの幅の２０％以上５０％以下になっている固体撮像素子。

[請求項7] 請求項６記載の固体撮像素子であって、

前記接続部がサリサイド化されていない固体撮像素子。

[請求項8] 請求項６又は７記載の固体撮像素子であって、

前記半導体基板内に前記接続部に接して形成された前記接続部と同じ導電型でかつ前記接続部よりも低濃度の不純物層であって前記接続部に移動した電荷を蓄積する電荷蓄積部と、

前記電荷蓄積部と前記半導体基板表面との間に形成された前記電荷蓄積部とは反対導電型の不純物層とを備える固体撮像素子。

[請求項9] 請求項８記載の固体撮像素子であって、

前記接続部は、平面視において前記電荷蓄積部の内側に形成され、前記電荷蓄積部と前記半導体基板表面との間に形成された前記反対導電型の不純物層を貫通して、前記電荷蓄積部に接触するように形成されている固体撮像素子。

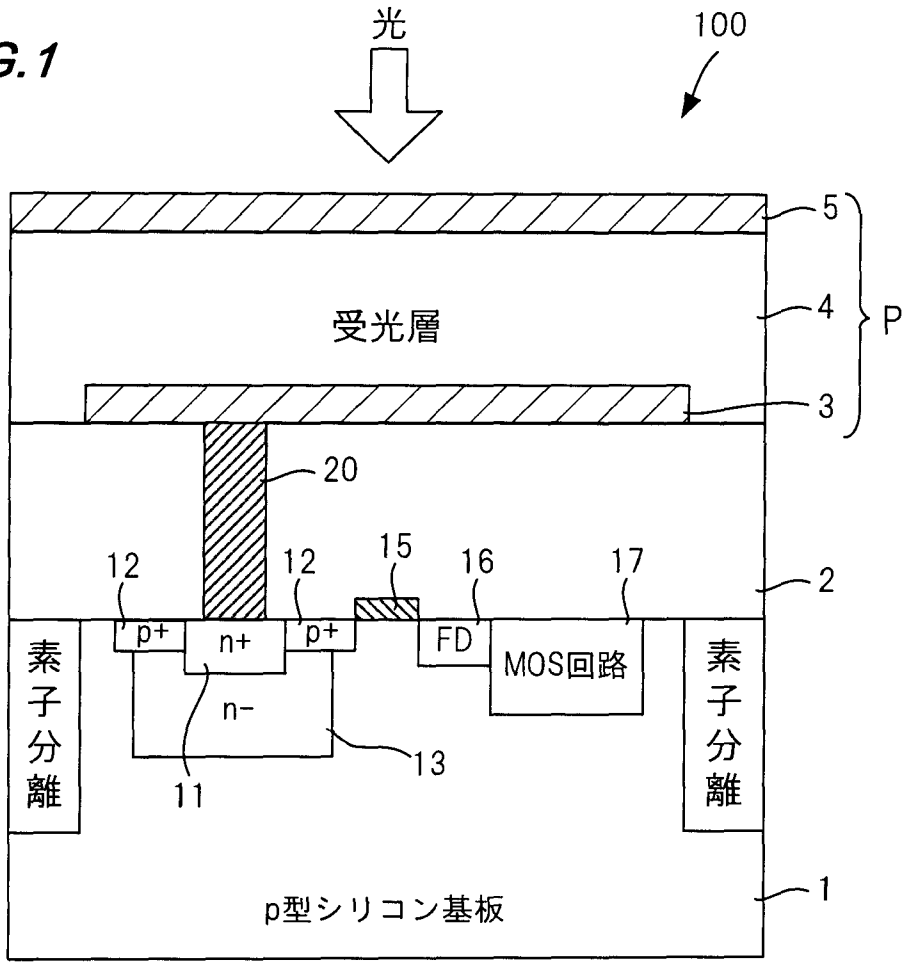
[請求項10] 請求項８又は９記載の固体撮像素子であって、

前記信号読み出し部は、前記電荷蓄積部に蓄積された電荷を転送する転送トランジスタと、前記転送トランジスタによって転送された電荷を蓄積する第二の電荷蓄積部とを含む固体撮像素子。

[請求項11] 請求項６～１０のいずれか１項記載の固体撮像素子を備える撮像装置。

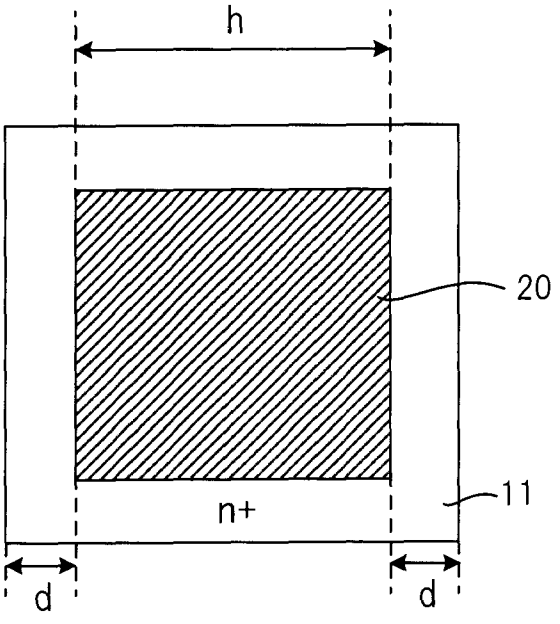
[図1]

FIG.1



[図2]

FIG.2



[図3]

FIG.3A

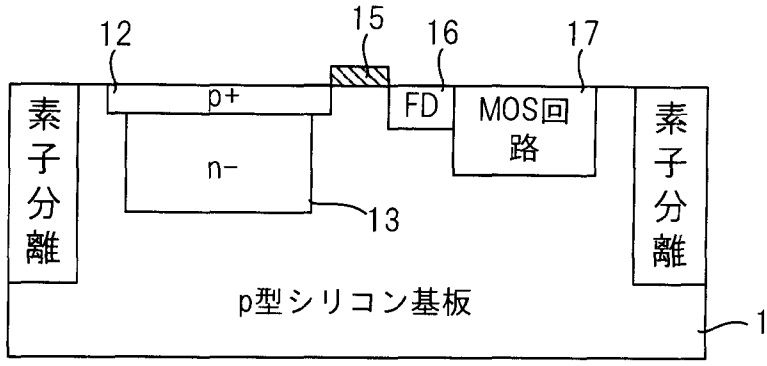


FIG.3B

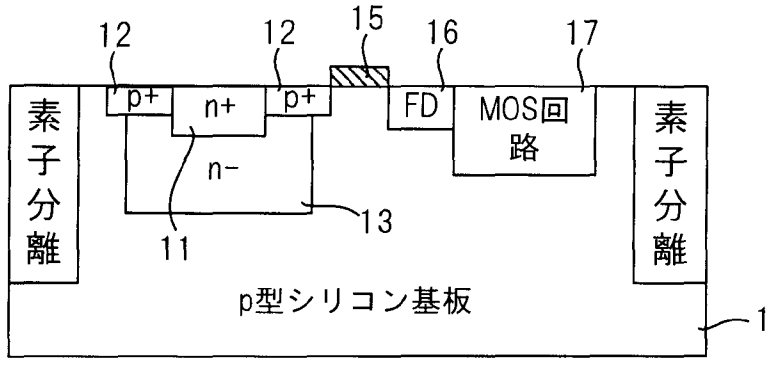


FIG.3C

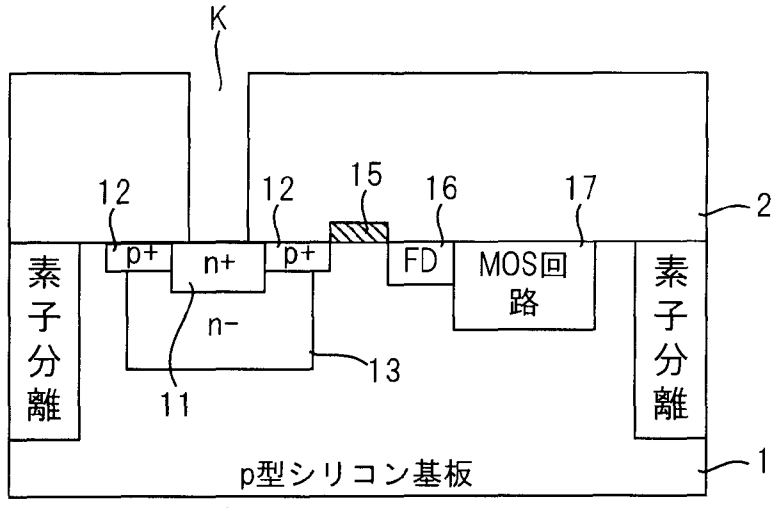
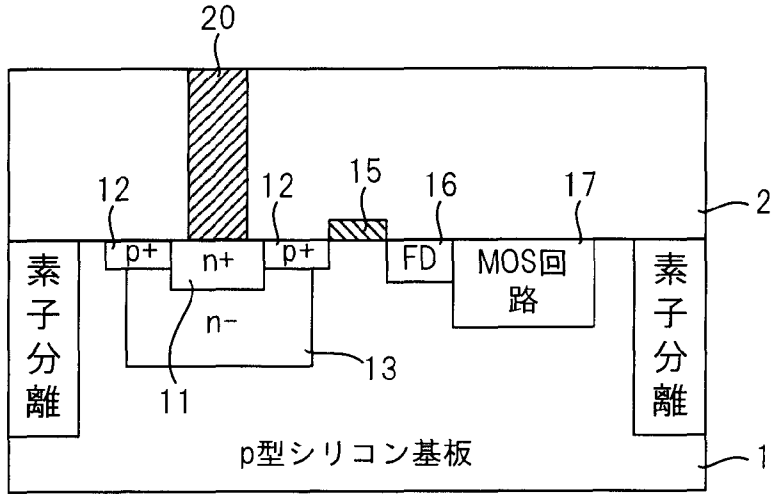


FIG.3D



[図4]

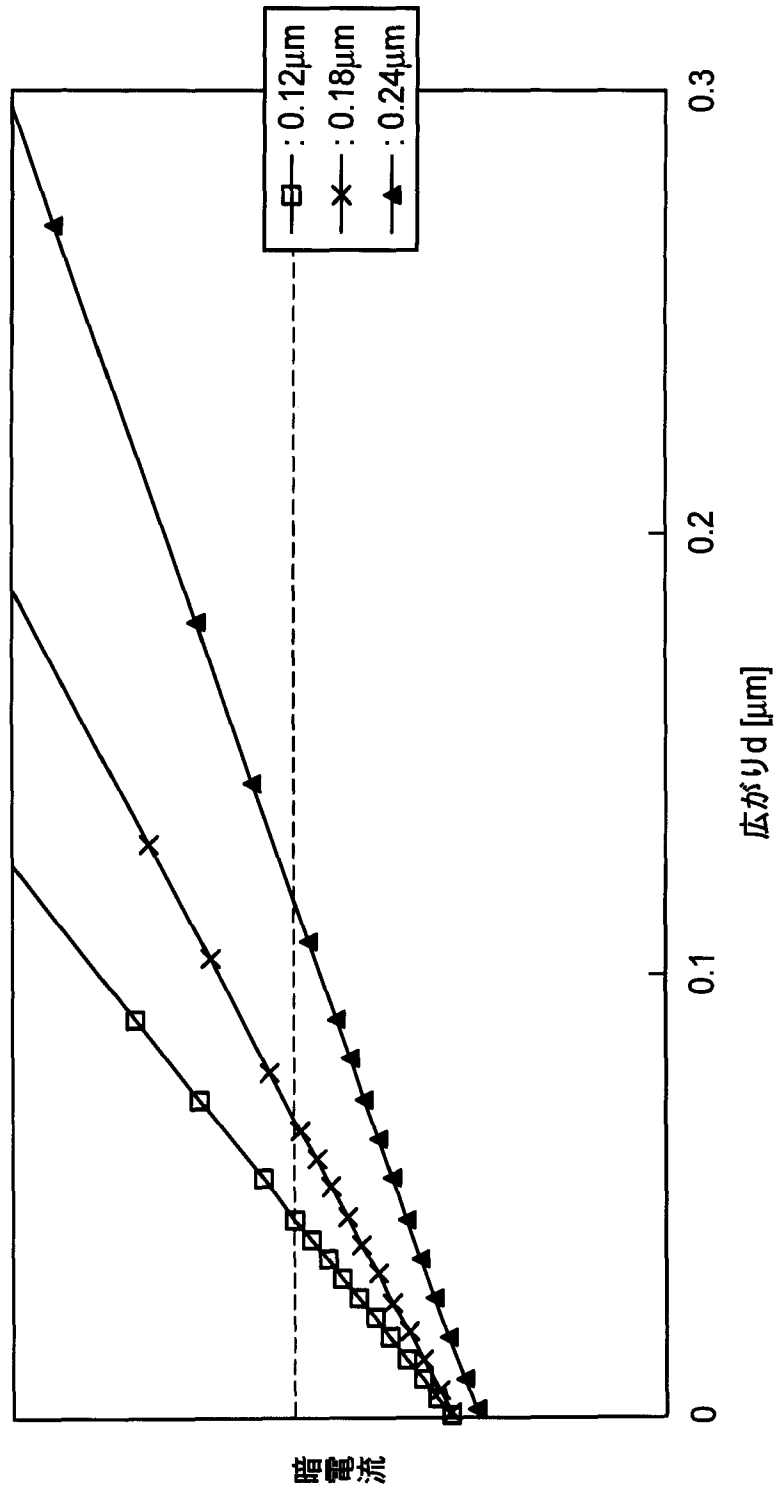


FIG. 4

[図5]

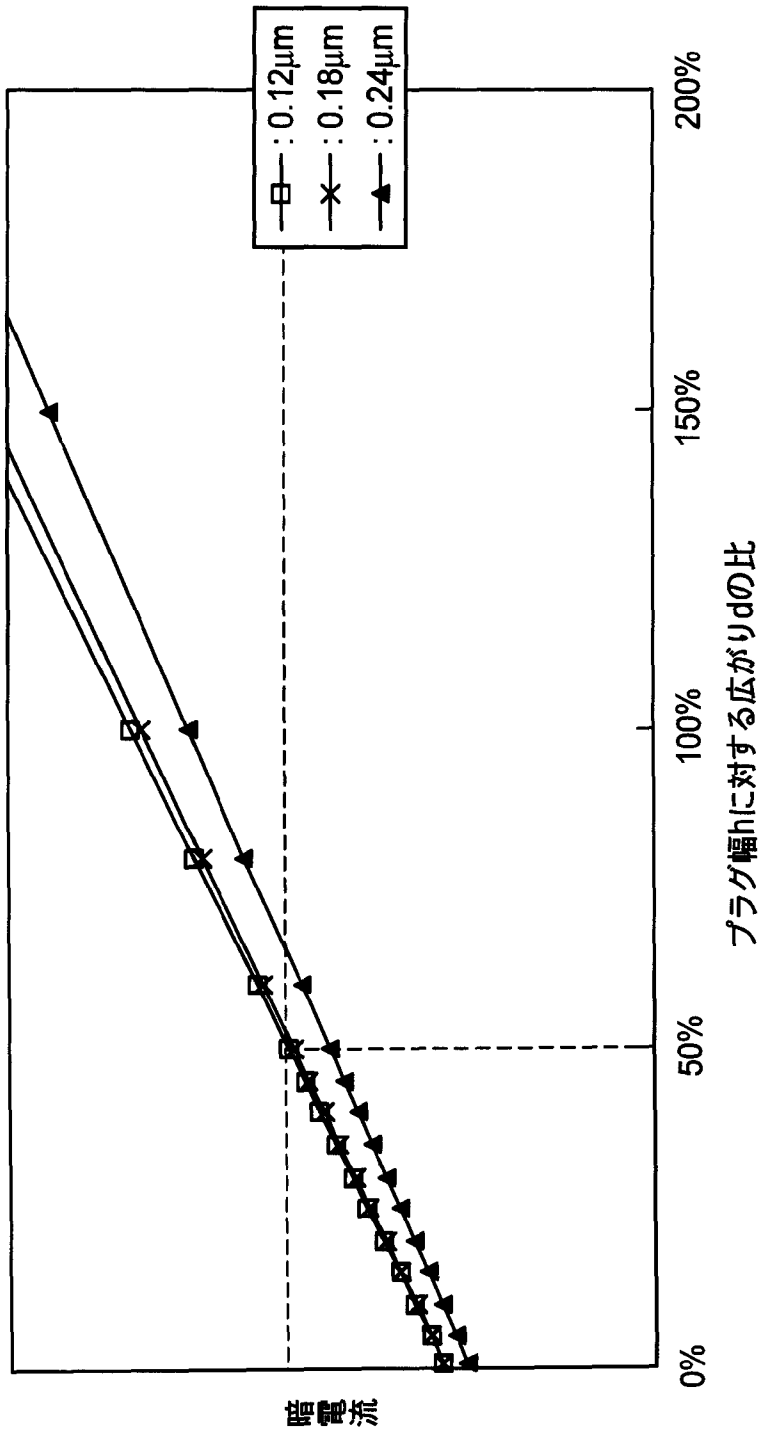


FIG. 5

[図6]

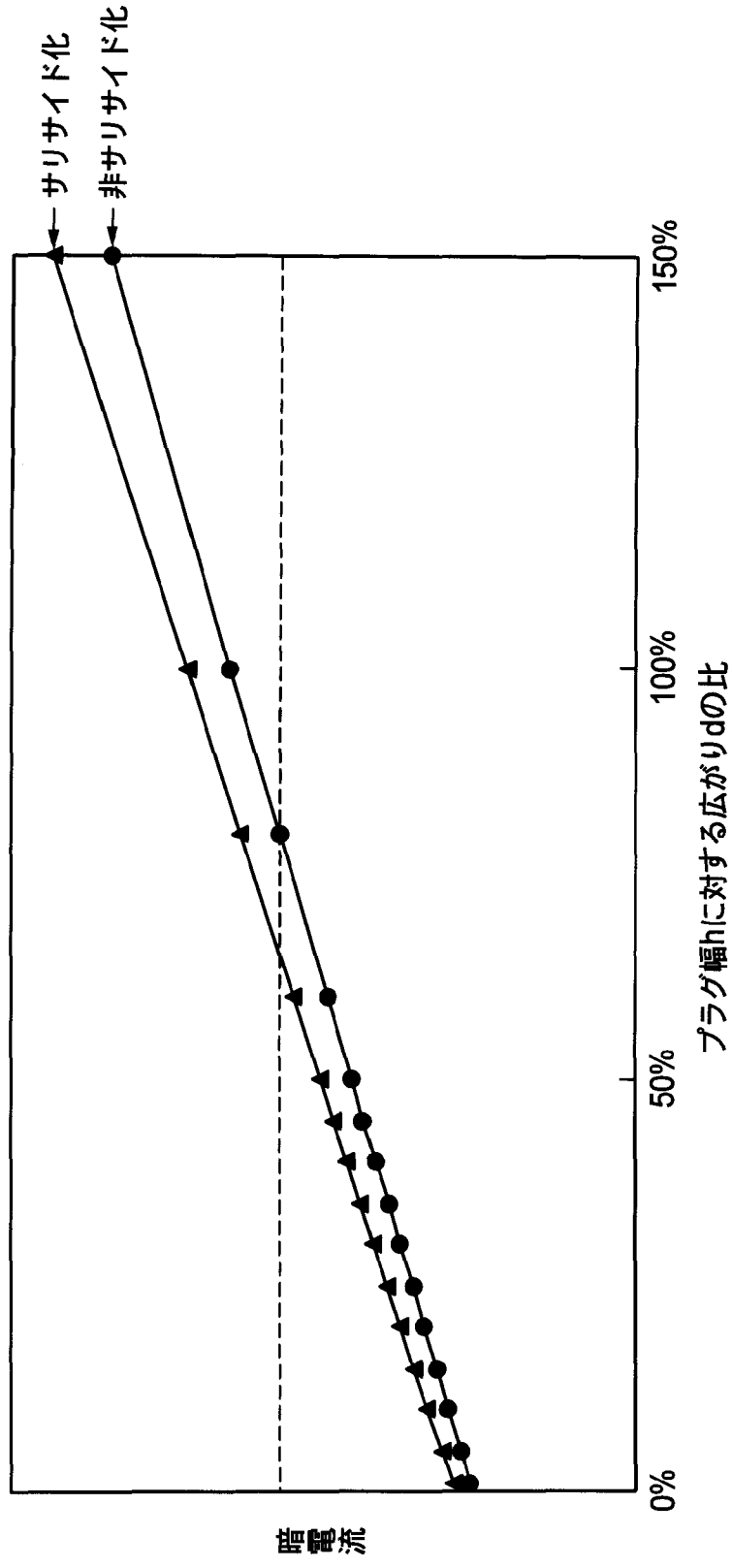


FIG. 6

[図7]

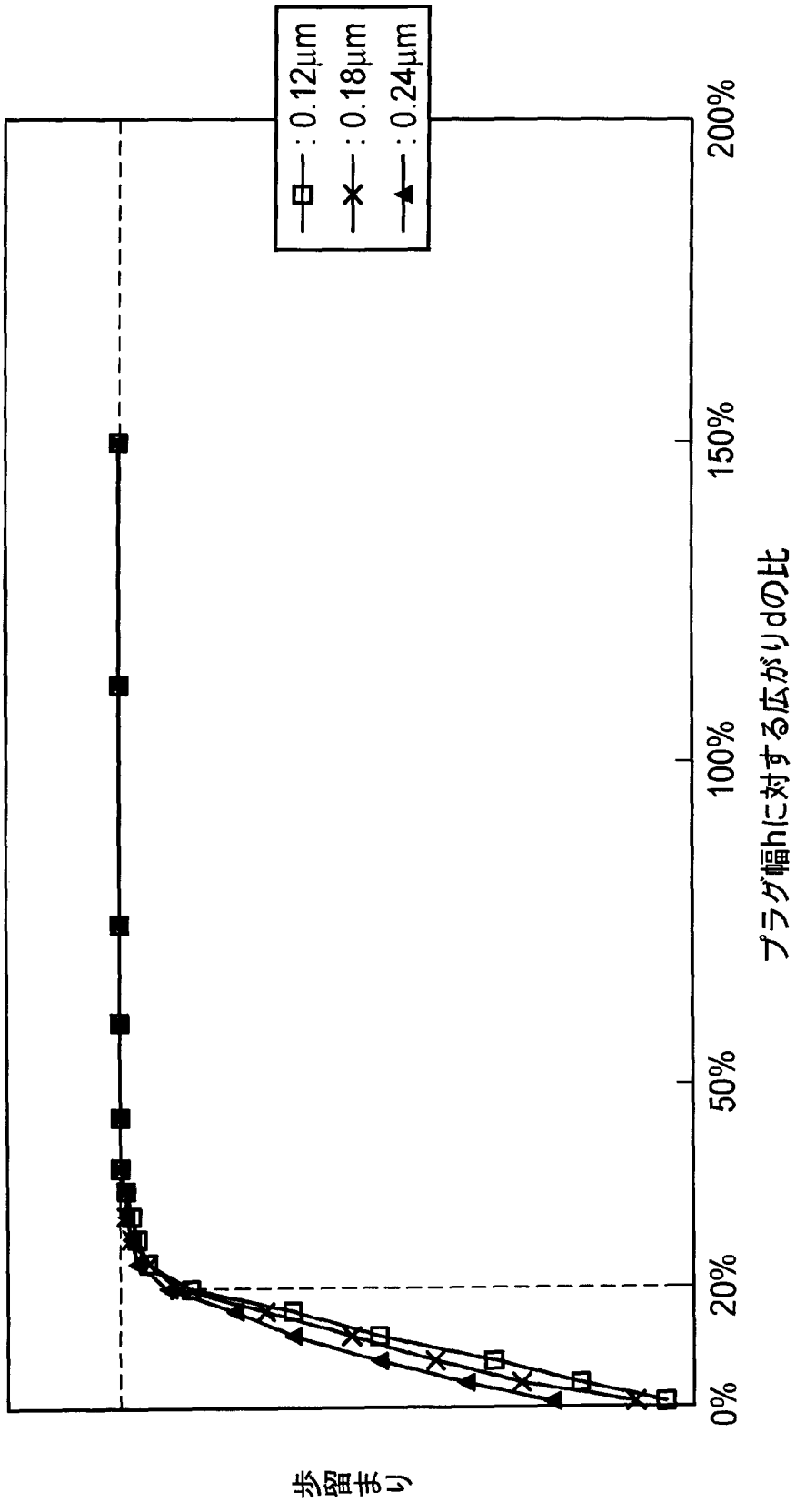
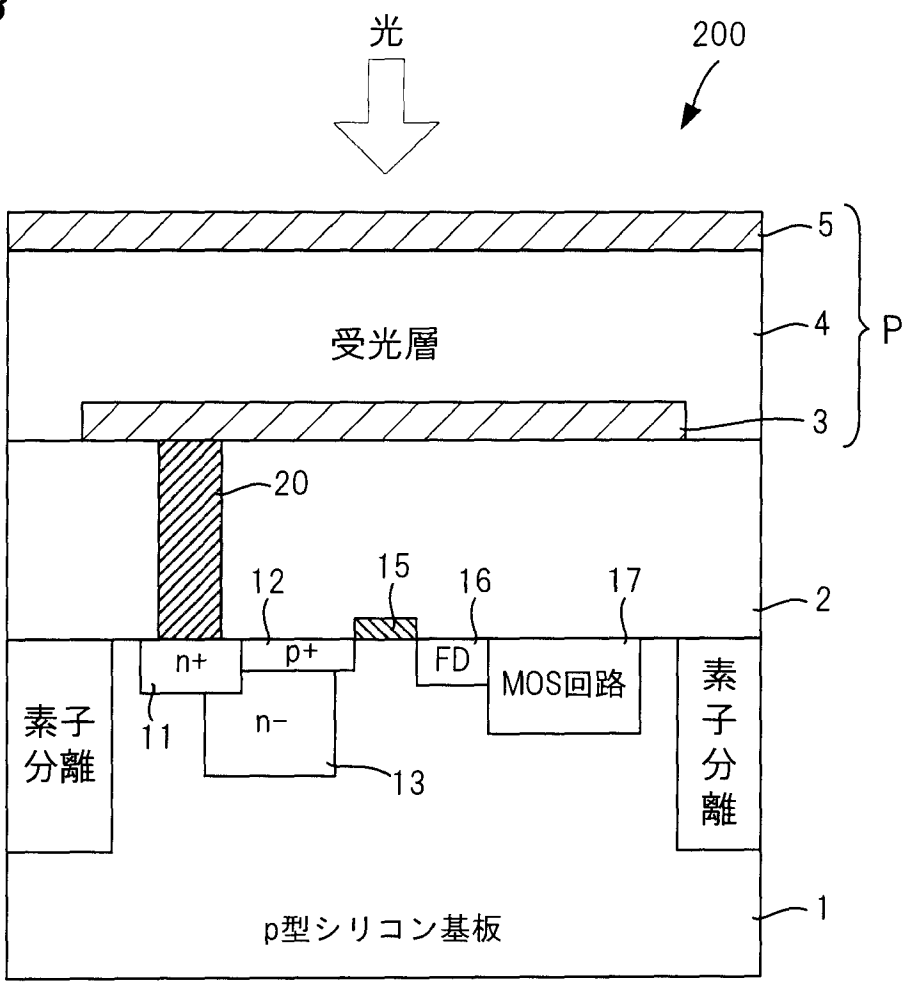


FIG. 7

[図8]

FIG. 8


光
200
5
受光層
4
P
3
20
12
15
16
17
2
n+
p+
FD
MOS回路
素子分離
11
n-
13
素子分離
p型シリコン基板
1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/076325

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01)i, *H04N5/361*(2011.01)i, *H04N5/369*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146, H04N5/361, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2006-253321 A (Fuji Photo Film Co., Ltd.), 21 September 2006 (21.09.2006), entire text; all drawings & US 2006/0214199 A1	1-3,5-8, 10-11 4,9
A	JP 2009-158929 A (Dongbu Hitek Co., Ltd.), 16 July 2009 (16.07.2009), entire text; all drawings & US 2009/0166694 A1 & DE 102008062608 A & KR 10-0882990 B1 & CN 101471363 A	1-11
A	JP 2009-65163 A (Dongbu Hitek Co., Ltd.), 26 March 2009 (26.03.2009), entire text; all drawings & US 2009/0065824 A1 & DE 102008046036 A & KR 10-0882979 B1 & CN 101383364 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 December, 2011 (27.12.11)	17 January, 2012 (17.01.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/076325

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-164604 A (Dongbu Hitek Co., Ltd.), 23 July 2009 (23.07.2009), entire text; all drawings & US 2009/0179293 A1 & DE 102008061820 A & KR 10-0882467 B1 & CN 101471370 A	1-11
A	JP 2009-117802 A (Dongbu Hitek Co., Ltd.), 28 May 2009 (28.05.2009), entire text; all drawings & US 2009/0065828 A1 & US 2010/0112745 A1 & DE 102008046030 A & CN 101383367 A & KR 10-2009-0026038 A	1-11
A	JP 59-178769 A (Toshiba Corp.), 11 October 1984 (11.10.1984), entire text; all drawings (Family: none)	1-11
A	JP 3-106183 A (Hitachi Denshi, Ltd.), 02 May 1991 (02.05.1991), entire text; all drawings (Family: none)	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０７６３２５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, H04N5/361(2011.01)i, H04N5/369(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, H04N5/361, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2006-253321 A (富士写真フイルム株式会社) 2006.09.21, 全文, 全図 & US 2006/0214199 A1	1-3,5-8, 10-11
A		4,9
A	JP 2009-158929 A (ドンブ　ハイテック　カンパニー　リミテッド) 2009.07.16, 全文, 全図 & US 2009/0166694 A1 & DE 102008062608 A & KR 10-0882990 B1 & CN 101471363 A	1-11

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日 ２７．１２．２０１１	国際調査報告の発送日 １７．０１．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　３０３５ 柴山　将隆 電話番号　０３－３５８１－１１０１　内線　３４６２

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-65163 A (ドンブ　ハイテック　カンパニー　リミテッド) 2009.03.26, 全文, 全図 & US 2009/0065824 A1 & DE 102008046036 A & KR 10-0882979 B1 & CN 101383364 A	1-11
A	JP 2009-164604 A (ドンブ　ハイテック　カンパニー　リミテッド) 2009.07.23, 全文, 全図 & US 2009/0179293 A1 & DE 102008061820 A & KR 10-0882467 B1 & CN 101471370 A	1-11
A	JP 2009-117802 A (ドンブ　ハイテック　カンパニー　リミテッド) 2009.05.28, 全文, 全図 & US 2009/0065828 A1 & US 2010/0112745 A1 & DE 102008046030 A & CN 101383367 A & KR 10-2009-0026038 A	1-11
A	JP 59-178769 A (株式会社東芝) 1984.10.11, 全文, 全図 (ファミリーなし)	1-11
A	JP 3-106183 A (日立電子株式会社) 1991.05.02, 全文, 全図 (ファミリーなし)	1-11