

WO 2023/115803 A1

半导体结构及其形成方法

相关申请的交叉引用

5 本公开基于申请号为 202111570795.6、申请日为 2021 年 12 月 21 日、申请名称为“半导体结构及其形成方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此以全文引入的方式引入本公开。

技术领域

本公开实施例涉及一种半导体结构及其形成方法。

背景技术

10 半导体器件，例如动态随机存储器（Dynamic Random Access Memory, DRAM）包括多个存储单元、字线（Word Line, WL）和位线（Bit Line, BL）。其中，每个存储单元通常包括晶体管和电容器，晶体管的栅极与 WL 相连，晶体管的漏区或源区与 BL 相连，晶体管的源区或漏区与电容器相连。在 WL 上施加电压信号能够控制晶体管的打开或关闭，进而通过 BL 读取存储在电容器中的数据信息，或者通过 BL 将数据信息写入到电容器中进行存储。

15 半导体器件还可以包括存储节点接触（Node Contact, NC）和位线接触（Bit line Contact, BLC）。其中，NC 用于电连接源/漏区和半导体结构中的其他部分，BLC 用于电连接有源区和 BL。随着半导体存储器件的高度集成，BL 和 NC 之间的距离变得更短，从而增加了 BL 和 NC 之间的寄生电容，进而导致存储器的感测容限和读取速度降低。

发明内容

有鉴于此，本公开实施例提供一种半导体结构及其形成方法。

20 第一方面，本公开实施例提供一种半导体结构的形成方法，所述方法包括：提供基底；在所述基底上形成间隔排布的位线接触孔、与所述位线接触孔部分接触的位线接触以及位线结构，其中，所述位线结构至少包括导电层和绝缘盖帽层；所述绝缘盖帽层位于所述导电层上；在所述位线接触孔内形成填满所述位线接触孔的第一绝缘层；在所述位线结构的两侧壁形成具有空气夹层的绝缘结构，其中，所述空气夹层的高度大于所述位线结构中导电层的高
25 度。

在一些实施例中，在所述位线结构的两侧壁形成具有空气夹层的绝缘结构，包括：在所述位线结构的两侧壁依次形成第二绝缘层、牺牲层和第三绝缘层，暴露出部分所述牺牲层的表面；沿第一方向刻蚀所述牺牲层，形成所述空气夹层，其中，所述第一方向为垂直于所述基底的方向；形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层，得到位于所述位线结构两侧壁具有空气夹层的绝缘结构，其中，所述绝缘结构包括依次堆叠的所述第二绝缘层、所述空气夹层、所述第三绝缘层和所述第四绝缘层。
30

在一些实施例中，所述沿第一方向刻蚀所述牺牲层，形成所述空气夹层，包括：采用干法刻蚀工艺沿第一方向刻蚀所述牺牲层，形成所述空气夹层。

35 在一些实施例中，在所述位线结构的两侧壁依次形成第二绝缘层、牺牲层和第三绝缘层，暴露出部分所述牺牲层的表面，包括：在所述位线结构的表面依次形成初始第二绝缘层和初始牺牲层；刻蚀位于所述位线结构顶部以上的所述初始牺牲层，形成所述牺牲层；在所述初始第二绝缘层的表面和所述牺牲层的表面形成初始第三绝缘层；刻蚀位于所述位线结构顶部以上的所述初始第三绝缘层和所述初始第二绝缘层，暴露出部分所述牺牲层的表面，形成位于所述位线结构的两侧壁依次形成的第二绝缘层、牺牲层和第三绝缘层。

40 在一些实施例中，所述形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层，包括：在所述位线结构的上表面，所述第二绝缘层、所述空气夹层和所述第三绝缘层的表面形成初始第四绝缘层；刻蚀位于所述位线结构顶部以上的所述初始第四绝缘层，形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层。

在一些实施例中，在形成所述第四绝缘层之后，还包括：在相邻所述第四绝缘层之间形成存储节点接触。

在一些实施例中，还包括：在所述绝缘结构的表面、所述存储节点接触的表面和所述位线结构的上表面形成金属层；刻蚀部分所述金属层，形成第一开口，以暴露出位于所述位线结构第一侧壁的绝缘结构的部分表面；其中，刻蚀后剩余的所述金属层形成与所述存储节点接触电连接的着落垫，所述着落垫覆盖所述存储节点接触的表面、所述位线结构第二侧壁的绝缘结构的表面和所述位线结构的上表面。

在一些实施例中，还包括：沿所述第一方向继续刻蚀所述第一开口，刻蚀停止位置的高度高于所述位线结构中导电层的高度，形成第二开口；其中，靠近所述第一侧壁的空气夹层为具有第一高度的第一空气夹层，靠近所述第二侧壁的空气夹层为具有第二高度的第二空气夹层，且所述第一高度小于所述第二高度。

在一些实施例中，还包括：在相邻所述着落垫之间和所述着落垫的表面形成隔离结构。

在一些实施例中，所述隔离结构包括第一填充层和第二填充层，所述在相邻所述着落垫之间和所述着落垫的表面形成隔离结构，包括：在所述位线结构第一侧壁的绝缘结构和所述着落垫的表面沉积第一填充层；在所述第一填充层的表面沉积第二填充层。

在一些实施例中，在相邻所述第四绝缘层之间形成存储节点接触之前，还包括：在所述初始第四绝缘层表面形成第五绝缘层；刻蚀所述第五绝缘层、所述基底表面的所述初始第四绝缘层和部分所述基底，以暴露所述基底；对应地，所述刻蚀位于所述位线结构顶部以上的所述初始第四绝缘层，形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层，包括：刻蚀位于所述位线结构上表面以上的所述初始第四绝缘层和所述第五绝缘层，形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层。

在一些实施例中，所述第一绝缘层的材料包括氮化物；所述第二绝缘层、所述第三绝缘层和所述第四绝缘层的材料包括氧化物。

在一些实施例中，所述牺牲层的材料包括硅。

第二方面，本公开实施例提供一种半导体结构，所述结构包括：基底；位于所述基底上的间隔排布的位线接触孔、与所述位线接触孔部分接触的位线接触以及位线结构，其中，所述位线结构至少包括导电层和绝缘盖帽层；所述绝缘盖帽层位于所述导电层上；位于所述位线接触孔内的填满所述位线接触孔的第一绝缘层；位于所述位线结构两侧壁的具有空气夹层的绝缘结构，其中，所述空气夹层的高度大于所述位线结构中导电层的高度。

在一些实施例中，所述绝缘结构包括依次堆叠的第二绝缘层、空气夹层、第三绝缘层和第四绝缘层，其中，所述第四绝缘层覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层。

在一些实施例中，所述空气夹层包括具有第一高度的第一空气夹层和具有第二高度的第二空气夹层，其中，所述第一空气夹层靠近所述位线结构的第一侧壁，所述第二空气夹层靠近所述位线结构的第二侧壁，所述第一高度小于所述第二高度。

在一些实施例中，还包括：位于相邻所述第四绝缘层之间的存储节点接触；覆盖所述存储节点接触、所述第二侧壁的绝缘结构和所述位线结构上表面的着落垫，所述着落垫与所述存储节点接触电连接。

在一些实施例中，还包括：位于相邻所述着落垫之间和所述着落垫的表面的隔离结构。

在一些实施例中，所述隔离结构包括第一填充层和第二填充层，所述第一填充层位于所述位线结构第一侧壁的绝缘结构和所述着落垫的表面，所述第二填充层位于所述第一填充层的表面。

附图说明

图 1a 为本公开实施例提供的一种半导体结构形成方法的流程示意图；

图 1b 至图 2c 为本公开实施例提供的一种半导体结构形成方法的过程示意图；

图 3a 为本公开实施例提供的另一种半导体结构形成方法的流程示意图；

图 3b 至图 3d 为本公开实施例提供的另一种半导体结构形成方法的过程示意图；
图 4a 至图 4g 为本公开实施例提供的另一种半导体结构形成方法的过程示意图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需至少一个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

本公开实施例提供一种半导体结构的形成方法，如图 1a 所示，所述方法包括以下步骤：

步骤 S101、提供基底。

这里，基底可以是硅（Si）衬底、锗（Ge）衬底、硅锗（SiGe）衬底、镓砷化物衬底、陶瓷衬底、石英衬底或用于显示器的玻璃衬底，也可以包括多层，例如绝缘体上硅（Silicon On Insulator, SOI）衬底、或绝缘体上锗（Germanium On Insulator, GOI）衬底等。

基底内还可以形成有浅沟槽隔离（Shallow Trench Isolation, STI），在基底内隔离出若干有源区。STI 可以通过在基底内形成沟槽后，再在沟槽内填充隔离材料层而形成。STI 中填充的材料可以包括氮化硅或氧化硅等，氧化硅可以通过热氧化形成。STI 可以在基底隔离出的若干个呈阵列分布或其他分布类型的有源区。

在一些实施例中，基底内还可以形成有位于浅沟槽隔离和有源区之上的缓冲层，缓冲层可以包括至少一个绝缘层，缓冲层的材料可以包括硅氧化物、硅氮化物或硅氮氧化物等。

步骤 S101 可以参考图 1b，提供的基底 101 包括有源区 1012、浅沟槽隔离 1011 和缓冲层 1013，其中，浅沟槽隔离 1011 与有源区 1012 间隔排布，缓冲层 1013 位于浅沟槽隔离 1011 和有源区 1012 之上。

步骤 S102、在所述基底上形成间隔排布的位线接触孔、与所述位线接触孔部分接触的位线接触以及位线结构；

其中，位线接触采用的材料可以包括但不限于多晶硅等导电材料，例如，掺杂杂质的多

晶硅或未掺杂杂质的多晶硅。位线结构至少包括导电层和绝缘盖帽层；所述绝缘盖帽层位于所述导电层上。

如图 1c 所示，在基底 101 上形成间隔排布的位线接触孔 102、与位线接触孔 102 部分接触的位线接触 103 以及位线结构 104，其中，位线接触孔 102 贯穿部分基底 101，位线接触 103 位于位线接触孔 102 之内，且位线接触孔 102 内具有未被位线接触 103 占据的空间。位线结构 104 中的一部分位于位线接触 103 之上，通过位线接触 103 连接到有源区 1012，另一部分位线结构 104 位于基底 101 之上。位线结构 104 至少包括导电层 1042 和位于导电层 1042 上的绝缘盖帽层 1041。

在实际应用中，导电层的材料可以采用多晶硅、金属硅化物、导电金属氮化物（例如钛氮化物（TiN）、钽氮化物（TaN）、钨氮化物（WN）等）和金属（例如钨（W）、钛（Ti）、钽（Ta）等）中的一种或更多种。在实际应用中，绝缘盖帽层的材料可以是氧化物、硅氮化物和硅氮氧化物中的至少一个，绝缘盖帽层可以采用化学气相沉积工艺形成。

在另一些实施例中，位线结构还可以包括扩散阻挡层，扩散阻挡层位于位线接触和导电层之间。扩散阻挡层可以使导电层与有源区绝缘，同时可以阻止导电层中的金属离子进入有源区。扩散阻挡层可以包括单层结构，例如，金属钛层；也可以包括多层结构，例如，金属钛层和氮化钛层。

步骤 S103、在所述位线接触孔内形成填满所述位线接触孔的第一绝缘层；

结合图 1c 和图 1d，在位线接触孔 102 内形成填满位线接触孔 102 的第一绝缘层 105（如图 1d 所示）。其中，第一绝缘层 105 的表面与位线接触孔 102 的表面齐平。这里，第一绝缘层可以用来降低 BLC 在后续的工艺中的破坏。

第一绝缘层采用的材料可以为氮化物，氮化物可以包括但不限于氮化硅、氮氧化硅等。在一些实施例中，为了便于控制第一绝缘层的厚度，可以通过原子层沉积工艺形成第一绝缘层。在另一些实施例中，也可以采用其他工艺形成第一绝缘层，例如物理气相沉积工艺、化学气相沉积工艺、低气压化学气相沉积工艺、分子层沉积工艺、等离子体增强气相沉积工艺等。

在一些实施例中，步骤 S103 的实施可以先在基底的上表面和位线接触孔的表面沉积形成初始第一绝缘层，再通过刻蚀去除基底上表面以上的所述初始第一绝缘层，形成填满位线接触孔的第一绝缘层。

步骤 S104、在所述位线结构的两侧壁形成具有空气夹层的绝缘结构，其中，所述空气夹层的高度大于所述位线结构中导电层的高度。

这里，绝缘结构的形式可以为两侧两层绝缘层中间一层空气夹层，即绝缘结构从左到右分别为绝缘层、空气夹层、绝缘层；其中，绝缘层的材料可以是氧化硅、氧化铝等。在实施时，两层绝缘层的材料可以相同，也可以不同。

在一些实施例中，为了便于控制绝缘结构中绝缘层的厚度，可以通过原子层沉积工艺形成绝缘结构中的绝缘层。在另一些实施例中，也可以采用其他工艺形成绝缘结构中的绝缘层，例如物理气相沉积工艺、化学气相沉积工艺、低气压化学气相沉积工艺、分子层沉积工艺、等离子体增强气相沉积工艺等。

在一些实施例中，步骤 S104 的实施可以通过在位线结构的表面依次沉积形成第一绝缘层、牺牲层和第二绝缘层，再干法刻蚀中间的牺牲层形成空气夹层，之后，在第二绝缘层、空气夹层和第一绝缘层的表面沉积相同材料的绝缘层，覆盖空气夹层表面暴露的空隙，形成具有空气夹层的绝缘结构。

步骤 S104 可以参考图 1e，在位线结构 104 的两侧壁形成具有空气夹层 1061 的绝缘结构 106，其中，空气夹层 1061 的两侧为绝缘层 1062，空气夹层 1061 的高度大于位线结构 104 中导电层 1042 的高度。

这里，由于空气夹层的高度大于位线结构中导电层的高度，而 NC 位于相邻两个 BL 之

间,使得NC与BL之间的介质层从单一的绝缘层,变成了绝缘层加空气夹层,又由于空气夹层的介电常数相比于绝缘层的介电常数小,因此,可以降低NC与BL之间的寄生电容。

本公开实施例中,通过在基底上形成间隔排布的位线接触孔、与位线接触孔部分接触的位线接触以及位线结构;在位线接触孔内形成填满位线接触孔的第一绝缘层;在位线结构的两侧壁形成具有空气夹层的绝缘结构,其中,空气夹层的高度大于位线结构中导电层的高度,提供了一种新的位线结构侧墙即具有空气夹层的绝缘结构的形成方法。由于具有空气夹层的绝缘结构位于BL和NC之间,而空气夹层的介电常数相比于没有空气夹层的绝缘结构中的绝缘层的介电常数小,因此,降低了NC与BL之间的寄生电容,提高了存储器的读出容量。

基于图1a所示的一种半导体结构的形成方法,本公开实施例提供一种半导体结构,如图1e所示,该结构包括:

基底101;

位于基底101上的间隔排布的位线接触孔(第一绝缘层105所在的孔)、与位线接触孔部分接触的位线接触103以及位线结构104,其中,位线结构104至少包括导电层1042和绝缘盖帽层1041;绝缘盖帽层1041位于导电层1042上;

位于位线接触孔内的填满位线接触孔的第一绝缘层105;

位于位线结构104两侧壁的具有空气夹层1061的绝缘结构106,其中,空气夹层1061的高度大于位线结构104中导电层1042的高度。

在一些实施例中,步骤S102的实施可以包括:

步骤S1021:在基底上形成位线接触孔;

这里,步骤S1021的实施可以为在基底上形成第一光刻胶层,图案化第一光刻胶层,形成具有位线接触孔图案的第一掩膜图案,以所述第一掩膜图案为掩膜刻蚀基底,形成位线接触孔。

其中,光刻胶又称光致抗蚀剂,是指通过紫外光、电子束、离子束、X射线等的照射或辐射,其溶解度发生变化的耐蚀剂刻薄膜材料。光刻胶对光敏感,包括感光树脂、增感剂和溶剂等成分。在光刻工艺过程中,用作抗腐蚀涂层材料。

步骤S1022:在位线接触孔内沉积填满位线接触孔的第一初始位线接触;

这里,步骤S1022的实施可以采用物理气相沉积工艺、化学气相沉积工艺、低气压化学气相沉积工艺、分子层沉积工艺、等离子体增强气相沉积工艺等在位线接触孔内沉积形成填满位线接触孔的第一初始位线接触。

在一些实施例中,沉积填满位线接触孔的第一初始位线接触可以在位线接触孔和基底的表面沉积第二初始位线接触,再利用化学机械抛光清除位于基底上表面以上的第二初始位线接触,形成所述第一初始位线接触。

步骤S1023:在基底的上表面依次沉积形成初始导电层、初始绝缘盖帽层和第二光刻胶层;

这里,步骤S1023的实施可以采用物理气相沉积工艺、化学气相沉积工艺、低气压化学气相沉积工艺、分子层沉积工艺、等离子体增强气相沉积工艺等在基底的上表面依次沉积形成初始导电层、初始绝缘盖帽层和第二光刻胶层。

步骤S1024:图案化所述第二光刻胶层,形成具有位线结构图案的第二掩膜图案;

这里,图案化第二光刻胶层可以是,对第二光刻胶层进行曝光和显影,溶解掉光第二刻胶层中的部分,第二光刻胶层中未被溶解的部分形成第二掩膜图案。

步骤S1025:以所述第二掩膜图案为掩膜,刻蚀初始导电层和初始绝缘盖帽层,形成所述导电层和所述绝缘盖帽层;

这里,步骤S1025的实施可以采用干法刻蚀工艺(例如反应离子刻蚀技术、等离子体刻蚀技术等)刻蚀初始导电层和初始绝缘盖帽层,形成导电层和绝缘盖帽层。

步骤S1026:清除所述第二光刻胶层;

这里，步骤 S1026 的实施可以采用湿法或干法刻蚀工艺，清除第二光刻胶层。

步骤 S1027：以所述导电层和所述绝缘盖帽层为掩膜，刻蚀位线接触孔内的第一初始位线接触，形成所述位线接触，其中，所述位线接触与所述位线接触孔部分接触。

5 这里，步骤 S1027 的实施可以采用湿法或干法刻蚀工艺，刻蚀位线接触孔内的第一初始位线接触，形成位线接触。

在一些实施例中，步骤 S104“在所述位线结构的两侧壁形成具有空气夹层的绝缘结构”的实施可以包括：

步骤 S1041：在所述位线结构的两侧壁依次形成第二绝缘层、牺牲层和第三绝缘层，暴露出部分所述牺牲层的表面；

10 图 2a 显示了图 1e 中一个位线结构其两侧壁的绝缘结构的形成过程，如图 2a 中的图(1)所示，在位线结构 104 的两侧壁依次形成第二绝缘层 203、牺牲层 202 和第三绝缘层 201，暴露出部分牺牲层 202 的表面，即牺牲层 202 的顶部，其中，第二绝缘层 203、牺牲层 202 和第三绝缘层 201 的上表面平齐。

15 在一些实施例中，步骤 S1041 的实施可以通过在位线结构的两侧壁依次沉积形成初始第二绝缘层、初始牺牲层和初始第三绝缘层，再刻蚀位于位线结构上表面之上的初始第二绝缘层、初始牺牲层和初始第三绝缘层，形成所述第二绝缘层、所述牺牲层和所述第三绝缘层，暴露出部分所述牺牲层的表面。

步骤 S1042：沿第一方向刻蚀所述牺牲层，形成所述空气夹层，其中，所述第一方向为垂直于所述基底的方向；

20 结合图 2a 中的图(1)和图(2)，沿第一方向(箭头所指方向)刻蚀牺牲层 202，形成图 2a 中的图(2)所示的空气夹层 1061，其中，第一方向为垂直于基底的方向，结合图 1e 可知，第一方向为图 2a 中箭头所指的方向。

在一些实施例中，步骤 S1042 的实施可以采用干法刻蚀工艺沿第一方向刻蚀牺牲层，形成空气夹层，例如反应离子刻蚀技术、等离子体刻蚀技术等。

25 本公开实施例中，通过采用干法刻蚀工艺，利用干法刻蚀的各向异性，刻蚀牺牲层，方便形成空气夹层。

步骤 S1043：形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层，得到位于所述位线结构两侧壁具有空气夹层的绝缘结构，其中，所述绝缘结构包括依次堆叠的所述第二绝缘层、所述空气夹层、所述第三绝缘层和所述第四绝缘层。

30 这里，步骤 S1043 的实施可以采用沉积工艺在位线结构的上表面，第二绝缘层、空气夹层和第三绝缘层的表面形成第四绝缘层，例如物理气相沉积工艺、化学气相沉积工艺、低压化学气相沉积工艺、分子层沉积工艺、等离子体增强气相沉积工艺、原子层沉积工艺等。

35 其中，第四绝缘层采用的材料可以包括氧化物，例如氧化硅、氧化铝等。第四绝缘层采用的材料可以至少与第二绝缘层或第三绝缘层采用的材料相同，以使得第四绝缘层可以覆盖空气夹层表面的空隙。

如图 2a 中的图(3)所示，形成覆盖第三绝缘层 201、空气夹层 1061 和第二绝缘层 203 的第四绝缘层 205，即第四绝缘层 205 覆盖在第三绝缘层、空气夹层 1061 和第二绝缘层 203 的表面，得到位于位线结构 104 两侧壁具有空气夹层 1061 的绝缘结构 106，其中，绝缘结构 106 包括依次堆叠的第二绝缘层 203、空气夹层 1061、第三绝缘层 201 和第四绝缘层 205。

40 在一些实施例中，步骤 S1043 的实施可以包括：

步骤 S1431：在所述位线结构的上表面，所述第二绝缘层、所述空气夹层和所述第三绝缘层的表面形成初始第四绝缘层；

这里，初始第四绝缘层采用的材料可以至少与第二绝缘层或第三绝缘层采用的材料相同，以使得初始第四绝缘层可以覆盖空气夹层表面的空隙。

如图 2b 中的图 (1) 所示, 在位线结构 104 的上表面, 第二绝缘层 203、空气夹层 1061 和第三绝缘层 201 的表面形成初始第四绝缘层 209。

步骤 S1432: 刻蚀位于所述位线结构顶部以上的所述初始第四绝缘层, 形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层。

5 这里, 步骤 S1432 的实施可以采用干法刻蚀工艺刻蚀位于位线结构顶部以上的初始第四绝缘层, 例如反应离子刻蚀技术、等离子体刻蚀技术等。

结合图 2b 中的图 (1) 和图 (2), 刻蚀位于位线结构 104 顶部以上的初始第四绝缘层 209, 形成如图 2b 中的图 (2) 所示的覆盖第三绝缘层 201、空气夹层 1061 和第二绝缘层 203 的第四绝缘层 205。

10 本公开实施例中, 通过在位线结构的表面依次沉积形成第二绝缘层、牺牲层和第三绝缘层, 再刻蚀中间的牺牲层, 形成空气夹层, 之后, 在第二绝缘层、空气夹层和第三绝缘层的表面沉积第四绝缘层, 覆盖空气夹层顶部暴露的空隙, 形成具有空气夹层的绝缘结构。

在一些实施例中, 步骤 S1041 的实施可以包括:

步骤 S1411: 在所述位线结构的表面依次形成初始第二绝缘层和初始牺牲层;

15 如图 2c 中的图 (1) 所示, 在位线结构 104 的表面依次形成初始第二绝缘层 206 和初始牺牲层 207。

这里, 步骤 S1411 的实施可以采用沉积工艺依次在位线结构的表面形成初始第二绝缘层和初始牺牲层, 例如物理气相沉积工艺、化学气相沉积工艺、低气压化学气相沉积工艺、分子层沉积工艺、等离子体增强气相沉积工艺、原子层沉积工艺等。

20 其中, 初始第二绝缘层采用的材料可以为氧化物, 例如氧化硅、氧化铝等。初始牺牲层采用的材料可以包括多晶硅。

步骤 S1412: 刻蚀位于所述位线结构顶部以上的所述初始牺牲层, 形成所述牺牲层;

结合图 2c 中的图 (1) 和图 (2), 刻蚀位于位线结构 104 顶部以上的所述初始牺牲层 207, 形成如图 2c 中的图 (2) 所示的牺牲层 202。

25 这里, 步骤 S1412 的实施可以采用干法刻蚀工艺刻蚀位于位线结构顶部以上的初始牺牲层, 例如反应离子刻蚀技术、等离子体刻蚀技术等。

步骤 S1413: 在所述初始第二绝缘层的表面和所述牺牲层的表面形成初始第三绝缘层;

如图 2c 中的图 (3) 所示, 在初始第二绝缘层 206 的表面和牺牲层 202 的表面形成初始第三绝缘层 208。

30 这里, 步骤 S1413 的实施可以采用沉积工艺在初始第二绝缘层的表面和牺牲层的表面形成初始第三绝缘层, 例如物理气相沉积工艺、化学气相沉积工艺、低气压化学气相沉积工艺、分子层沉积工艺、等离子体增强气相沉积工艺、原子层沉积工艺等。

其中, 初始第三绝缘层采用的材料可以包括氧化物, 例如氧化硅、氧化铝等。初始第三绝缘层采用的材料可以和初始第二绝缘层采用的材料相同, 也可以不同。

35 步骤 S1414: 刻蚀位于所述位线结构顶部以上的所述初始第三绝缘层和所述初始第二绝缘层, 暴露出部分所述牺牲层的表面, 形成位于所述位线结构的两侧壁依次形成的第二绝缘层、牺牲层和第三绝缘层。

40 结合图 2c 中的图 (3) 和图 (4), 刻蚀位于位线结构 104 顶部以上的初始第三绝缘层 208 和初始第二绝缘层 206, 暴露出部分牺牲层 202 的表面, 形成位于位线结构 104 的两侧壁依次形成的第二绝缘层 203、牺牲层 202 和第三绝缘层 201。

这里, 步骤 S1414 的实施可以采用干法刻蚀工艺刻蚀位于位线结构顶部以上的初始第三绝缘层和初始第二绝缘层, 例如反应离子刻蚀技术、等离子体刻蚀技术等。

本公开实施例还提供一种半导体结构的形成方法, 如图 3a 所示, 所述方法包括:

步骤 S201 至步骤 S203 可参见步骤 S101 至步骤 S103。

45 步骤 S204: 在所述位线结构的表面依次形成初始第二绝缘层和初始牺牲层;

步骤 S205: 刻蚀位于所述位线结构顶部以上的所述初始牺牲层, 形成所述牺牲层;

步骤 S206: 在所述初始第二绝缘层的表面和所述牺牲层的表面形成初始第三绝缘层;

步骤 S207: 刻蚀位于所述位线结构顶部以上的所述初始第三绝缘层和所述初始第二绝缘层, 暴露出部分所述牺牲层的表面, 形成位于所述位线结构的两侧壁依次形成的第二绝缘层、牺牲层和第三绝缘层。

这里, 步骤 S204 至步骤 S207 可参见步骤 S1411 至步骤 S1414。

步骤 S208: 沿第一方向刻蚀所述牺牲层, 形成所述空气夹层, 其中, 所述第一方向为垂直于所述基底的方向;

这里, 步骤 S208 可参见步骤 S1042。

步骤 S209: 在所述位线结构的上表面, 所述第二绝缘层、所述空气夹层和所述第三绝缘层的表面形成初始第四绝缘层;

步骤 S210a: 刻蚀位于所述位线结构顶部以上的所述初始第四绝缘层, 形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层。

这里, 步骤 S209 和步骤 S210a 分别参见步骤 S1431 和步骤 S1432。

步骤 S211a: 在相邻所述第四绝缘层之间形成存储节点接触。

这里, 存储节点接触可以包括掺杂杂质的多晶硅或未掺杂杂质的多晶硅。

如图 3b 所示, 在相邻第四绝缘层 205 之间形成存储节点接触 301。

在另一些实施例中, 步骤 S209 之后, 还包括步骤 S210b 至步骤 S212b:

步骤 S210b: 在所述初始第四绝缘层表面形成第五绝缘层;

这里, 第五绝缘层采用的材料可以包括氧化物, 例如氧化硅、氧化铝等。第五绝缘层的材料可以和第四绝缘层的材料相同, 也可以和第四绝缘层的材料不同。

如图 3c 所示, 在初始第四绝缘层 209 表面形成第五绝缘层 302。其中, 初始第四绝缘层 209 的结构可参见图 2b 中的图 (1)。

步骤 S211b: 刻蚀所述第五绝缘层、所述基底表面的所述初始第四绝缘层和部分所述基底, 以暴露所述基底;

如图 3d 所示, 采用干法刻蚀工艺刻蚀第五绝缘层 302、基底 101 表面的初始第四绝缘层 209 和部分基底 101, 以暴露基底 101, 即图 3d 中基底上的空白区域 303。

步骤 S212b: 刻蚀位于所述位线结构上表面以上的所述初始第四绝缘层和所述第五绝缘层, 形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层。

步骤 S213b: 在相邻所述第四绝缘层之间形成存储节点接触。

本公开实施例中, 通过在初始第四绝缘层表面形成第五绝缘层, 然后再刻蚀第五绝缘层、基底表面的初始第四绝缘层和部分基底, 利用第五绝缘层保护第四绝缘层, 降低了在刻蚀过程中, 刻蚀掉位线结构表面的第四绝缘层的风险, 从而保护绝缘结构。

本公开实施例还提供一种半导体结构的形成方法, 在步骤 S211a 或步骤 S213b 之后, 所述方法包括:

步骤 S301: 在所述绝缘结构的表面、所述存储节点接触的表面和所述位线结构的表面形成金属层;

这里, 金属层采用的材料可以是导电材料, 例如钨 (W)。采用等离子体增强化学的气相沉积工艺 (Plasma Enhanced Chemical Vapor Deposition, PECVD) 沉积导电材料, 降低在填充时出现空洞的可能。在一些实施例中, 也可以采用化学气相沉积工艺、低气压化学气相沉积工艺、原子层沉积等合适工艺沉积导电材料。

步骤 S301 可以参考图 4a, 在绝缘结构 106 的表面、存储节点接触 301 的表面和位线结构 104 的上表面形成金属层 401。

步骤 S302: 刻蚀部分所述金属层, 形成第一开口, 以暴露出位于所述位线结构第一侧壁的绝缘结构的部分表面;

其中，刻蚀后剩余的所述金属层形成与所述存储节点接触电连接的着落垫，所述着落垫覆盖所述存储节点接触的表面、所述位线结构第二侧壁的绝缘结构的表面和所述位线结构的上表面。

5 这里，可以采用干法刻蚀工艺或者湿法刻蚀工艺选择性地刻蚀金属层，蚀刻气体可以是溴化氢（HBr）/氯气（Cl₂）。着落垫的作用是将存储节点接触与电容电连接。

步骤 S302 可以参考图 4b 和 4a，如图 4a，刻蚀部分金属层 401，形成如图 4b 所示的第一开口 402，暴露出位于位线结构 104 第一侧壁 B 的绝缘结构 106 的部分表面。

10 刻蚀后剩余的金属层形成与存储节点接触 301 电连接的着落垫 403，着落垫 403 覆盖存储节点接触 301 的表面、位线结构第二侧壁 A 的绝缘结构 106 的表面和位线结构 104 的上表面。

步骤 S303a、在相邻所述着落垫之间和所述着落垫的表面形成隔离结构。

这里，隔离结构的材料可以是硅氧化物、硅氮化物（例如氮化硅（Si₃N₄））或者硅氮氧化物等。

15 步骤 S303a 可以参考图 4c，在相邻着落垫 403 之间和着落垫 403 的表面形成隔离结构 404。

在一些实施例中，隔离结构包括第一填充层和第二填充层，对应地，步骤 S303a“所述在相邻所述着落垫之间和所述着落垫的表面形成隔离结构”的实施包括步骤 S33a1 和步骤 S33a2，其中：

20 步骤 S33a1：在所述位线结构第一侧壁的绝缘结构和所述着落垫的表面沉积第一填充层；这里，步骤 S33a1 可以参考图 4d，在位线结构 104 第一侧壁 B 的绝缘结构 106 和着落垫 403 的表面沉积第一填充层 4042。

在一些实施例中，第一填充层采用的材料可以和绝缘结构中的第二绝缘层、第三绝缘层或第四绝缘层中的至少一种采用的材料相同，也可以和绝缘结构中的第二绝缘层、第三绝缘层和第四绝缘层采用的材料不同。

25 步骤 S33a2：在所述第一填充层的表面沉积第二填充层。

这里，步骤 S33a2 可以参考图 4d，在第一填充层 4042 的表面沉积第二填充层 4041，第二填充层的材料可以与第一填充层的材料相同或不同。

30 本公开实施例中，通过在绝缘结构的表面、存储节点接触的表面和位线结构的表面形成金属层，然后刻蚀部分金属层，形成第一开口，暴露出位于位线结构第一侧壁的绝缘结构的部分表面，形成着落垫，再在相邻着落垫之间和着落垫的表面形成隔离结构，形成相互隔离的着落垫，实现在绝缘结构具有空气夹层的情况下，使得 NC 通过相互隔离的着落垫连接到半导体结构中的其他部分。

本公开实施例提供一种半导体结构，如图 4d 所示，所述结构包括：

基底 101；

35 位于基底 101 上的间隔排布的位线接触孔（第一绝缘层 105 所在的孔）、与位线接触孔部分接触的位线接触 103 以及位线结构 104，其中，位线结构 104 至少包括导电层 1042 和绝缘盖帽层 1041；绝缘盖帽层 1041 位于导电层 1042 上；

位于位线接触孔内的填满位线接触孔的第一绝缘层 105；

40 位于位线结构 104 两侧壁的具有空气夹层 1061 的绝缘结构 106，其中，空气夹层 1061 的高度大于位线结构 104 中导电层 1042 的高度，绝缘结构 106 包括依次堆叠的第二绝缘层 203、空气夹层 1061、第三绝缘层和第四绝缘层 205，其中，第四绝缘层 205 覆盖第三绝缘层、空气夹层 1061 和第二绝缘层 203。这里，绝缘结构 106 可参见图 2b 中的图（2）进行理解。

位于相邻第四绝缘层 205 之间的存储节点接触 301；

45 覆盖存储节点接触 301、第二侧壁 A 的绝缘结构 106 和位线结构 104 上表面的着落垫 403，

着落垫 403 与存储节点接触 301 电连接。

位于相邻着落垫 403 之间和着落垫 403 的表面的隔离结构 404。

在一些实施例中，隔离结构 404 包括第一填充层 4042 和第二填充层 4041，第一填充层 4042 位于位线结构 104 第一侧壁 B 的绝缘结构 106 和着落垫 403 的表面，第二填充层 4041 位于第一填充层 4042 的表面。

本公开实施例还提供一种半导体结构的形成方法，在步骤 S302 之后，所述方法还包括：

步骤 S303b：沿所述第一方向继续刻蚀所述第一开口，刻蚀停止位置的高度高于所述位线结构中导电层的高度，形成第二开口；其中，靠近所述第一侧壁的空气夹层为具有第一高度的第一空气夹层，靠近所述第二侧壁的空气夹层为具有第二高度的第二空气夹层，且所述第一高度小于所述第二高度。

步骤 S303b 可以参考图 4e 和图 4b，如图 4b 所示，第一方向为垂直于基底 101 的方向，即图中箭头所指的方向，沿第一方向继续刻蚀第一开口 402，刻蚀停止位置的高度高于位线结构 104 中导电层 1042 的高度，形成如图 4e 所示第二开口 405；其中，靠近第一侧壁 B 的空气夹层为具有第一高度 h1 的第一空气夹层 407，靠近第二侧壁 A 的空气夹层为具有第二高度 h2 的第二空气夹层 406，第一侧壁 B 为图 4e 中所有位线结构 104 的右侧壁，第二侧壁 A 为图 4e 中所有位线结构 104 的左侧壁，即靠近位线结构 104 右侧壁的空气夹层为具有第一高度 h1 的第一空气夹层 407，靠近位线结构 104 左侧壁的空气夹层为具有第二高度 h2 的第二空气夹层 406，且第一高度 h1 小于第二高度 h2。

步骤 S304b：在相邻所述着落垫之间和所述着落垫的表面形成隔离结构。

步骤 S304b 可以参考图 4f，在相邻着落垫 403 之间和着落垫 403 的表面形成隔离结构 404。

在一些实施例中，隔离结构包括第一填充层和第二填充层，对应地，步骤 S304b“所述在相邻所述着落垫之间和所述着落垫的表面形成隔离结构”的实施包括步骤 S34b1 和步骤 S34b2，其中：

步骤 S34b1：在所述位线结构第一侧壁的绝缘结构和所述着落垫的表面沉积第一填充层；这里，步骤 S34b1 可以参考图 4g，在位线结构 104 第一侧壁 B 的绝缘结构 106 和着落垫 403 的表面沉积第一填充层 4042。

在一些实施例中，第一填充层采用的材料可以和绝缘结构 106 中的第二绝缘层、第三绝缘层或第四绝缘层中的至少一种采用的材料相同，以封闭第一空气夹层 407 的开口，形成密闭的第一空气夹层 407。

步骤 S34b2：在所述第一填充层的表面沉积第二填充层。

这里，步骤 S34b2 可以参考图 4g，在第一填充层 4042 的表面沉积第二填充层 4041，第二填充层的材料可以与第一填充层的材料相同或不同。

本公开实施例中的隔离结构包括第一填充层和第二填充层，通过利用隔离结构中的第一填充层封闭第一空气夹层的开口，形成密闭的第一空气夹层，再在第一填充层的表面沉积第二填充层，形成隔离结构，得到高低不同的第一空气夹层和第二空气夹层，由于第一空气夹层的高度高于位线结构中导电层的高度，起到降低 NC 与 BL 之间寄生电容的作用；同时，由于第一空气夹层的高度低于第二空气夹层的高度，相比于第一空气夹层与第二空气夹层高度相同的情况，留出一部分空间给着落垫，使得着落垫的厚度更大，从而降低了着落垫的电阻，增强了着落垫的导电性。

本公开实施例提供一种半导体结构，如图 4g 所示，所述结构包括：

基底 101；

位于基底 101 上的间隔排布的位线接触孔（第一绝缘层 105 所在的孔）、与位线接触孔部分接触的位线接触 103 以及位线结构 104，其中，位线结构 104 至少包括导电层 1042 和绝缘盖帽层 1041；绝缘盖帽层 1041 位于导电层 1042 上；

位于位线接触孔内的填满位线接触孔的第一绝缘层 105;

位于位线结构 104 两侧壁的具有空气夹层 1061 的绝缘结构 106, 其中, 空气夹层 1061 的高度大于位线结构 104 中导电层 1042 的高度, 绝缘结构 106 包括依次堆叠的第二绝缘层 203、空气夹层 1061、第三绝缘层和第四绝缘层 205, 其中, 第四绝缘层 205 覆盖第三绝缘层、空气夹层 1061 和第二绝缘层 203。这里, 绝缘结构 106 可参见图 2b 中的图 (2) 进行理解。

在一些实施例中, 空气夹层包括具有第一高度 h_1 的第一空气夹层 407 和具有第二高度 h_2 的第二空气夹层 406, 其中, 第一空气夹层 406 靠近位线结构 104 的第一侧壁 B, 第二空气夹层 406 靠近位线结构 104 的第二侧壁 A, 第一高度 h_1 小于第二高度 h_2 。

位于相邻第四绝缘层 205 之间的存储节点接触 301;

覆盖存储节点接触 301、第二侧壁 A 的绝缘结构 106 和位线结构 104 上表面的着落垫 403, 着落垫 403 与存储节点接触 301 电连接。

位于相邻着落垫 403 之间和着落垫 403 的表面的隔离结构 404。

在一些实施例中, 隔离结构 404 包括第一填充层 4042 和第二填充层 4041, 第一填充层 4042 位于位线结构 104 第一侧壁 B 的绝缘结构 106 和着落垫 403 的表面, 第二填充层 4041 位于第一填充层 4042 的表面。

本公开所提供的几个方法或结构实施例中所揭露的特征, 在不冲突的情况下可以任意组合, 得到新的方法实施例或结构实施例。

以上半导体结构实施例的描述, 与上述方法实施例的描述是类似的, 具有同方法实施例相似的有益效果。对于本公开半导体结构实施例中未披露的技术细节, 请参照本公开方法实施例的描述而理解。

以上所述, 仅为本公开的示例性的实施例而已, 并非用于限定本公开的保护范围, 凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等, 均应包含在本公开的保护范围之内。

工业实用性

本公开实施例提供一种半导体结构及其形成方法, 包括: 提供基底; 在所述基底上形成间隔排布的位线接触孔、与所述位线接触孔部分接触的位线接触以及位线结构, 其中, 所述位线结构至少包括导电层和绝缘盖帽层; 所述绝缘盖帽层位于所述导电层上; 在所述位线接触孔内形成填满所述位线接触孔的第一绝缘层; 在所述位线结构的两侧壁形成具有空气夹层的绝缘结构, 其中, 所述空气夹层的高度大于所述位线结构中导电层的高度。

本公开实施例中, 通过在基底上形成间隔排布的位线接触孔、与位线接触孔部分接触的位线接触以及位线结构; 在位线接触孔内形成填满位线接触孔的第一绝缘层; 在位线结构的两侧壁形成具有空气夹层的绝缘结构, 其中, 空气夹层的高度大于位线结构中导电层的高度, 提供了一种新的位线结构侧墙即具有空气夹层的绝缘结构的形成方法。由于具有空气夹层的绝缘结构位于 BL 和 NC 之间, 而空气夹层的介电常数相比于没有空气夹层的绝缘结构中的绝缘层的介电常数小, 因此, 降低了 NC 与 BL 之间的寄生电容, 提高了存储器的读出容量。

权利要求书

1、一种半导体结构的形成方法，包括：

提供基底；

5 在所述基底上形成间隔排布的位线接触孔、与所述位线接触孔部分接触的位线接触以及位线结构，其中，所述位线结构至少包括导电层和绝缘盖帽层；所述绝缘盖帽层位于所述导电层上；

在所述位线接触孔内形成填满所述位线接触孔的第一绝缘层；

在所述位线结构的两侧壁形成具有空气夹层的绝缘结构，其中，所述空气夹层的高度大于所述位线结构中导电层的高度。

10 2、根据权利要求 1 所述的形成方法，其中，在所述位线结构的两侧壁形成具有空气夹层的绝缘结构，包括：

在所述位线结构的两侧壁依次形成第二绝缘层、牺牲层和第三绝缘层，暴露出部分所述牺牲层的表面；

15 沿第一方向刻蚀所述牺牲层，形成所述空气夹层，其中，所述第一方向为垂直于所述基底的方向；

形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层，得到位于所述位线结构两侧壁具有空气夹层的绝缘结构，其中，所述绝缘结构包括依次堆叠的所述第二绝缘层、所述空气夹层、所述第三绝缘层和所述第四绝缘层。

20 3、根据权利要求 2 所述的形成方法，其中，所述沿第一方向刻蚀所述牺牲层，形成所述空气夹层，包括：

采用干法刻蚀工艺沿第一方向刻蚀所述牺牲层，形成所述空气夹层。

4、根据权利要求 2 所述的形成方法，其中，在所述位线结构的两侧壁依次形成第二绝缘层、牺牲层和第三绝缘层，暴露出部分所述牺牲层的表面，包括：

25 在所述位线结构的表面依次形成初始第二绝缘层和初始牺牲层；

刻蚀位于所述位线结构顶部以上的所述初始牺牲层，形成所述牺牲层；

在所述初始第二绝缘层的表面和所述牺牲层的表面形成初始第三绝缘层；

刻蚀位于所述位线结构顶部以上的所述初始第三绝缘层和所述初始第二绝缘层，暴露出部分所述牺牲层的表面，形成位于所述位线结构的两侧壁依次形成的第二绝缘层、牺牲层和第三绝缘层。

30 5、根据权利要求 2 所述的形成方法，其中，所述形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层，包括：

在所述位线结构的上表面，所述第二绝缘层、所述空气夹层和所述第三绝缘层的表面形成初始第四绝缘层；

35 刻蚀位于所述位线结构顶部以上的所述初始第四绝缘层，形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层。

6、根据权利要求 5 所述的形成方法，其中，在形成所述第四绝缘层之后，还包括：

在相邻所述第四绝缘层之间形成存储节点接触。

7、根据权利要求 6 所述的形成方法，还包括：

40 在所述绝缘结构的表面、所述存储节点接触的表面和所述位线结构的上表面形成金属层；刻蚀部分所述金属层，形成第一开口，以暴露出位于所述位线结构第一侧壁的绝缘结构的部分表面；

其中，刻蚀后剩余的所述金属层形成与所述存储节点接触电连接的着落垫，所述着落垫覆盖所述存储节点接触的表面、所述位线结构第二侧壁的绝缘结构的表面和所述位线结构的上表面。

45 8、根据权利要求 7 所述的形成方法，还包括：

沿所述第一方向继续刻蚀所述第一开口，刻蚀停止位置的高度高于所述位线结构中导电层的高度，形成第二开口；其中，靠近所述第一侧壁的空气夹层为具有第一高度的第一空气夹层，靠近所述第二侧壁的空气夹层为具有第二高度的第二空气夹层，且所述第一高度小于所述第二高度。

5 9、根据权利要求7或8所述的形成方法，还包括：

在相邻所述着落垫之间和所述着落垫的表面形成隔离结构。

10、根据权利要求9所述的形成方法，其中，所述隔离结构包括第一填充层和第二填充层，所述在相邻所述着落垫之间和所述着落垫的表面形成隔离结构，包括：

在所述位线结构第一侧壁的绝缘结构和所述着落垫的表面沉积第一填充层；

10 在所述第一填充层的表面沉积第二填充层。

11、根据权利要求6所述的形成方法，其中，在相邻所述第四绝缘层之间形成存储节点接触之前，还包括：

在所述初始第四绝缘层表面形成第五绝缘层；

15 刻蚀所述第五绝缘层、所述基底表面的所述初始第四绝缘层和部分所述基底，以暴露所述基底；

对应地，所述刻蚀位于所述位线结构顶部以上的所述初始第四绝缘层，形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层，包括：

刻蚀位于所述位线结构上表面以上的所述初始第四绝缘层和所述第五绝缘层，形成覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层的第四绝缘层。

20 12、根据权利要求2至11任一项所述的形成方法，其中，

所述第一绝缘层的材料包括氮化物；

所述第二绝缘层、所述第三绝缘层和所述第四绝缘层的材料包括氧化物。

13、根据权利要求2至11任一项所述的形成方法，其中，所述牺牲层的材料包括硅。

14、一种半导体结构，包括：

25 基底；

位于所述基底上的间隔排布的位线接触孔、与所述位线接触孔部分接触的位线接触以及位线结构，其中，所述位线结构至少包括导电层和绝缘盖帽层；所述绝缘盖帽层位于所述导电层上；

位于所述位线接触孔内的填满所述位线接触孔的第一绝缘层；

30 位于所述位线结构两侧壁的具有空气夹层的绝缘结构，其中，所述空气夹层的高度大于所述位线结构中导电层的高度。

15、根据权利要求14所述的半导体结构，其中，

所述绝缘结构包括依次堆叠的第二绝缘层、空气夹层、第三绝缘层和第四绝缘层，其中，所述第四绝缘层覆盖所述第三绝缘层、所述空气夹层和所述第二绝缘层。

35 16、根据权利要求15所述的半导体结构，其中，

所述空气夹层包括具有第一高度的第一空气夹层和具有第二高度的第二空气夹层，其中，所述第一空气夹层靠近所述位线结构的第一侧壁，所述第二空气夹层靠近所述位线结构的第二侧壁，所述第一高度小于所述第二高度。

17、根据权利要求16所述的半导体结构，还包括：

40 位于相邻所述第四绝缘层之间的存储节点接触；

覆盖所述存储节点接触、所述第二侧壁的绝缘结构和所述位线结构上表面的着落垫，所述着落垫与所述存储节点接触电连接。

18、根据权利要求17所述的半导体结构，还包括：

位于相邻所述着落垫之间和所述着落垫的表面的隔离结构。

19、根据权利要求 18 所述的半导体结构，其中，所述隔离结构包括第一填充层和第二填充层，所述第一填充层位于所述位线结构第一侧壁的绝缘结构和所述着落垫的表面，所述第二填充层位于所述第一填充层的表面。

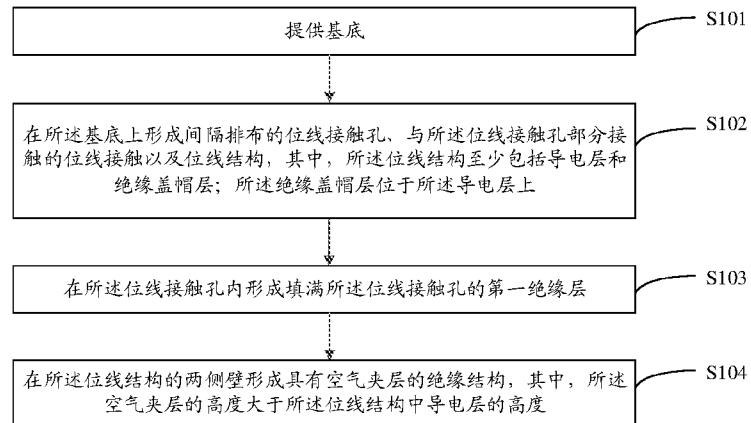


图 1a

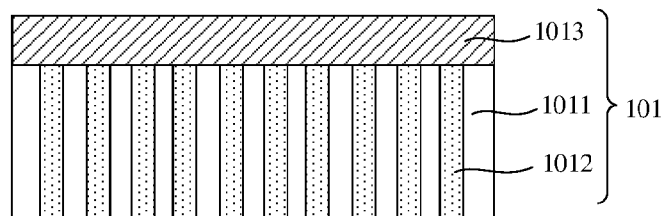


图 1b

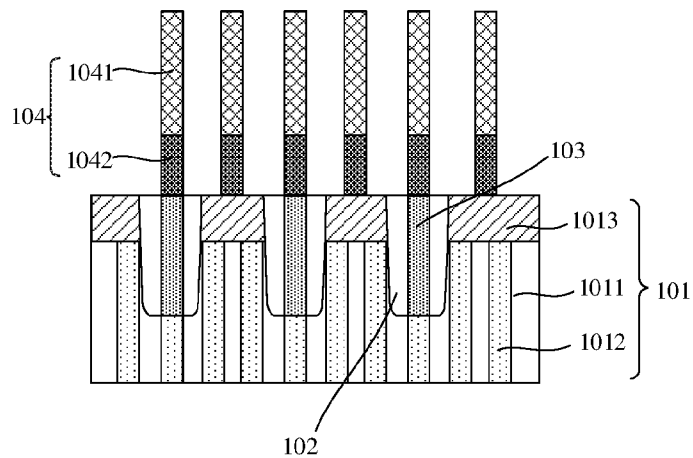


图 1c

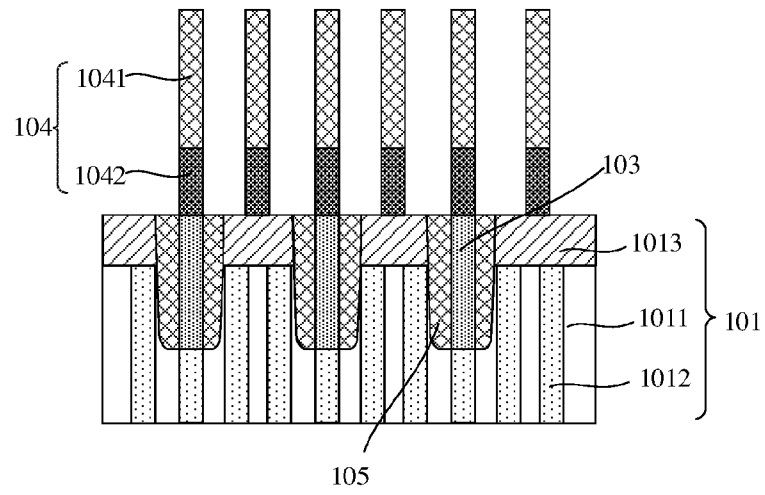


图 1d

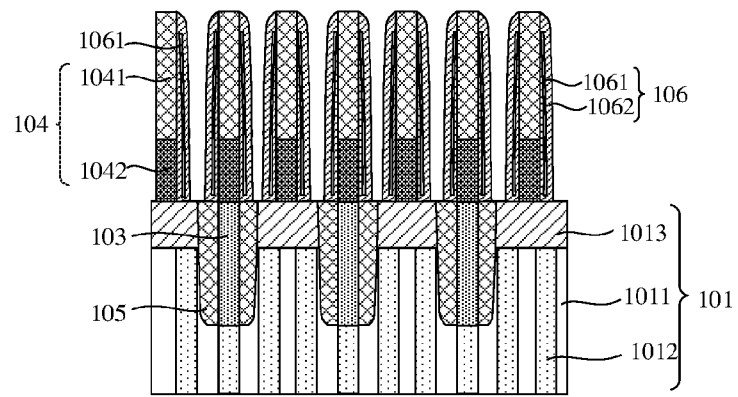


图 1e

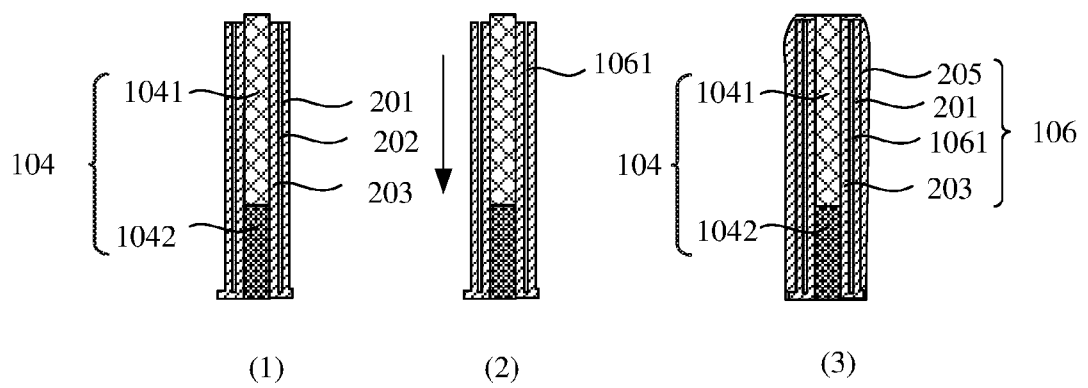


图 2a

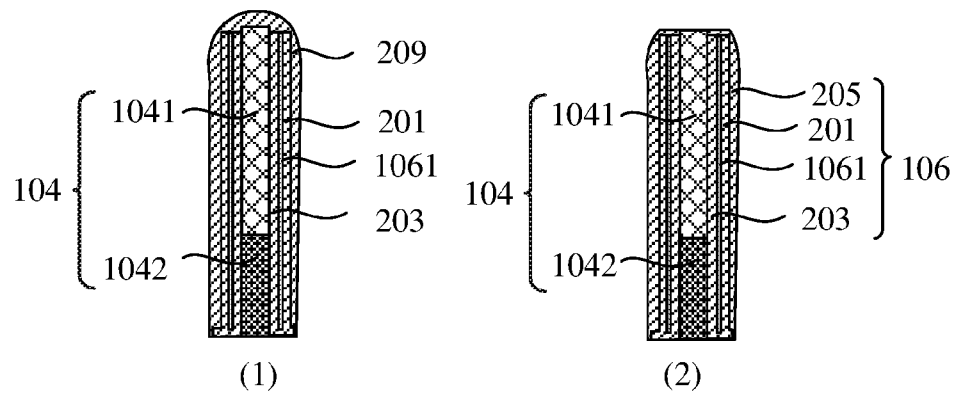


图 2b

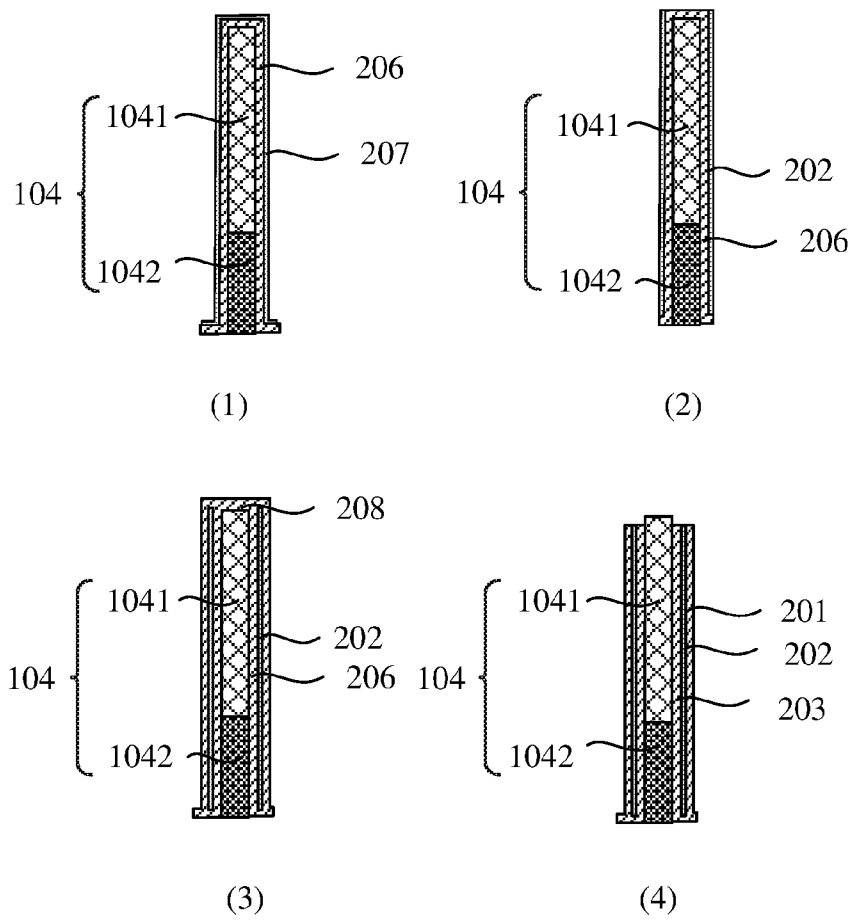


图 2c

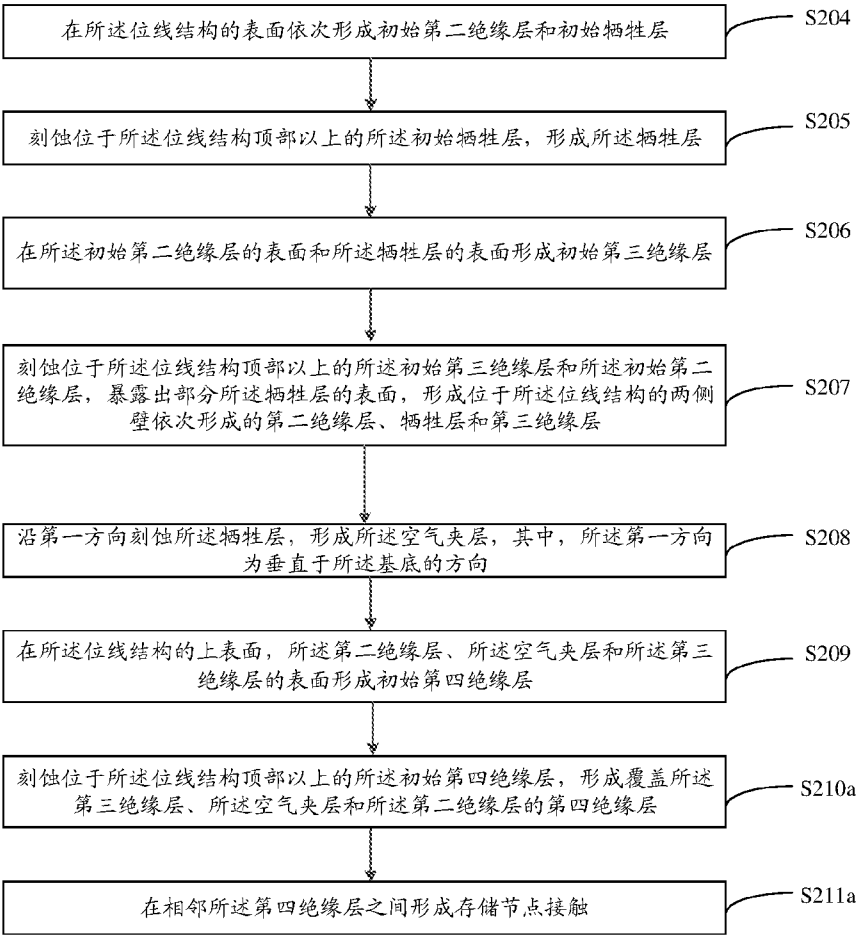


图 3a

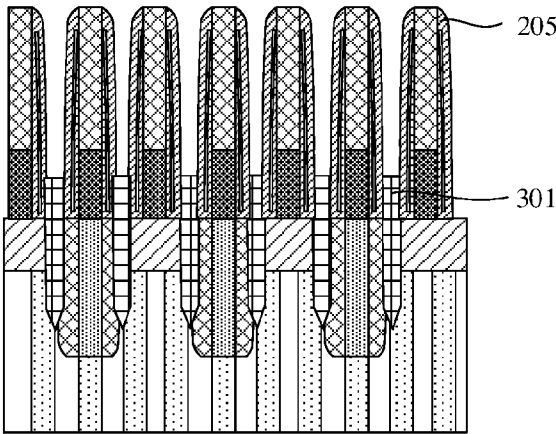


图 3b

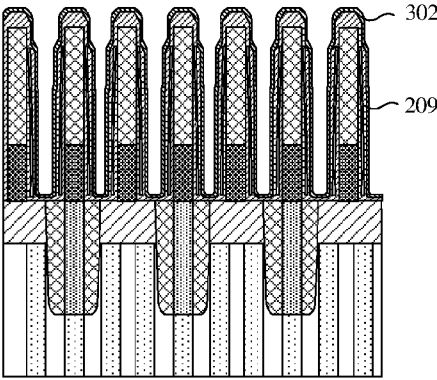


图 3c

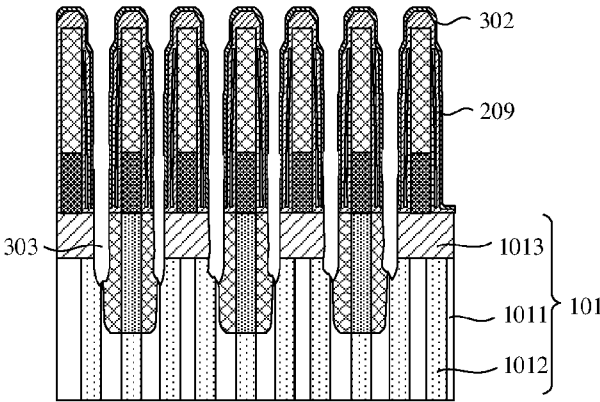


图 3d

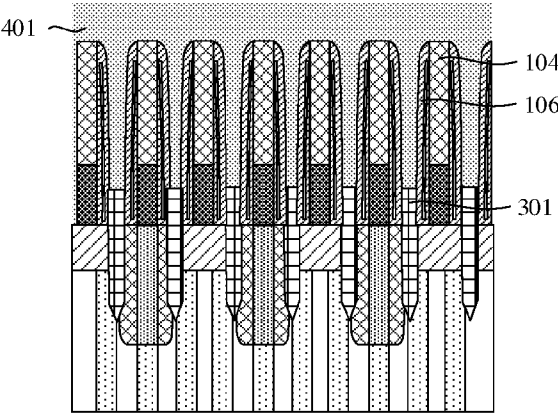


图 4a

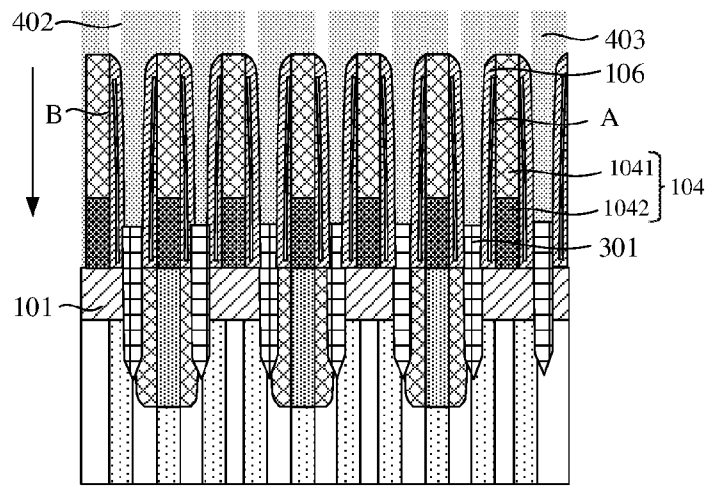


图 4b

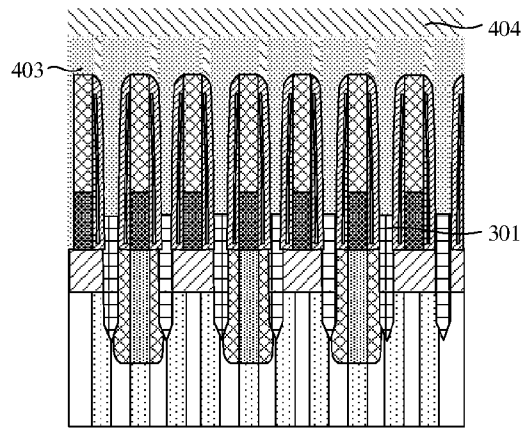


图 4c

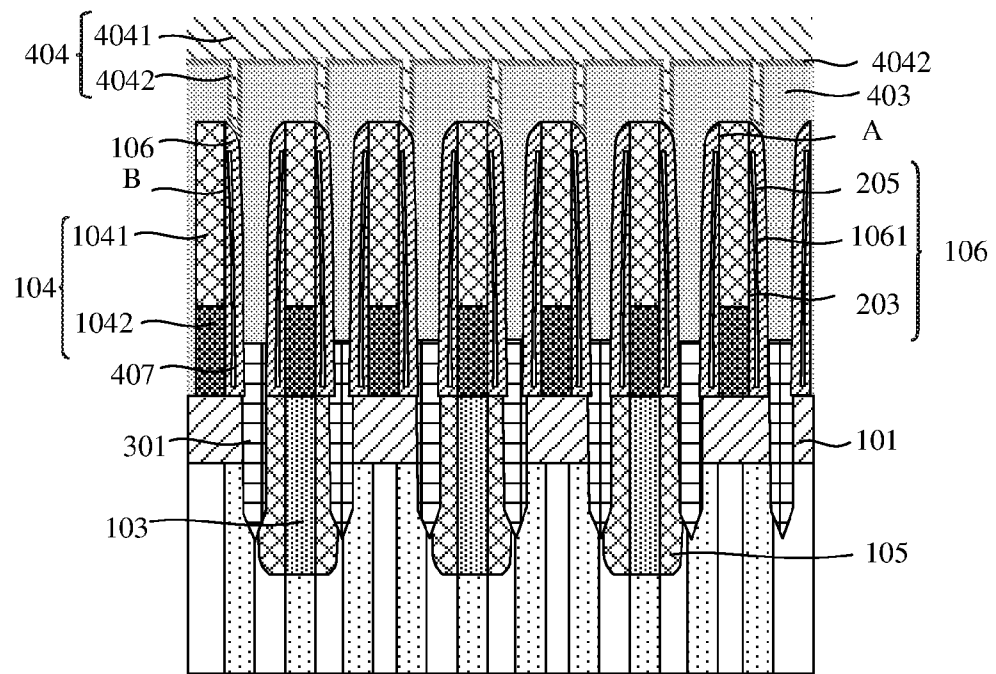


图 4d

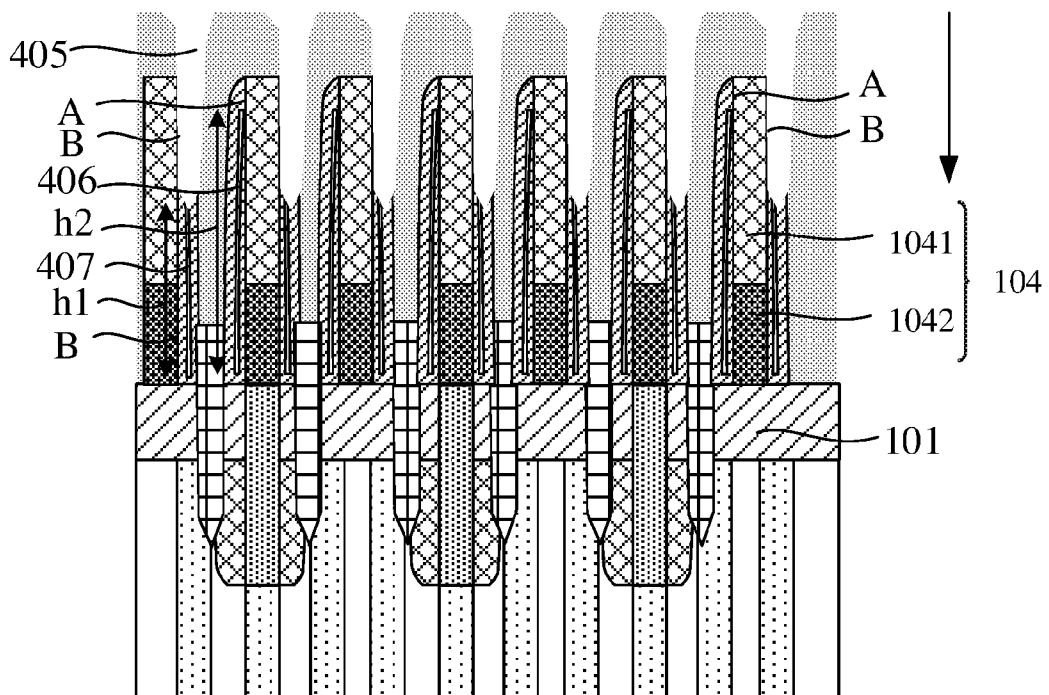


图 4e

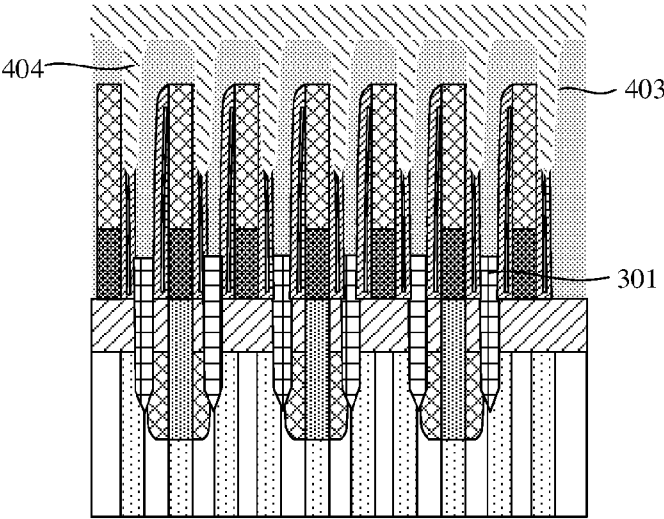


图 4f

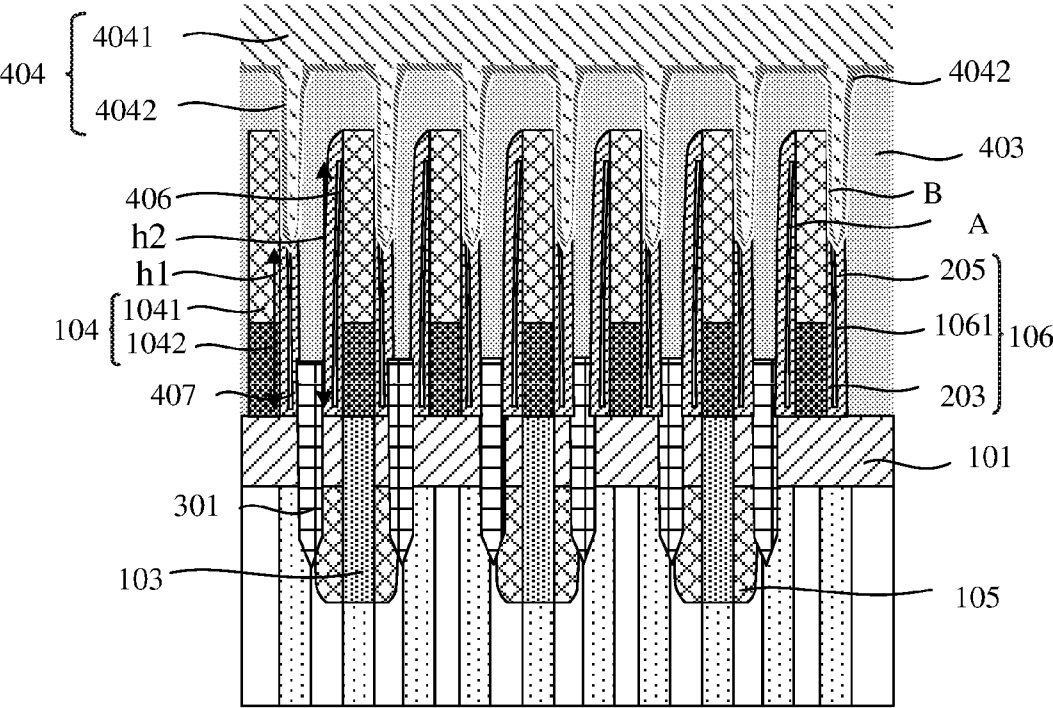


图 4g

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/094114

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 21/764(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, CNABS, ENTXT, ENTXTC, DWPL, CNKI, IEEE: 位线, 侧壁, 侧墙, 绝缘, 中空, 空隙, 间隙, 空气, 寄生电容, BL, bit line, sidewall, insulat+, gap, hollow, space, spacer, air, parasitic, capacit+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108206184 A (SAMSUNG ELECTRONICS CO., LTD.) 26 June 2018 (2018-06-26) description, paragraphs [0017]-[0079], and figures 1-11C	1-19
A	CN 111354711 A (SAMSUNG ELECTRONICS CO., LTD.) 30 June 2020 (2020-06-30) entire document	1-19
A	CN 113690219 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES et al.) 23 November 2021 (2021-11-23) entire document	1-19
A	CN 110718502 A (SK HYNIX INC.) 21 January 2020 (2020-01-21) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 June 2022

Date of mailing of the international search report

12 July 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/094114

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108206184	A	26 June 2018	KR	20180071463	A	28 June 2018
				US	2018174971	A1	21 June 2018
				US	10453796	B2	22 October 2019
CN	111354711	A	30 June 2020	KR	20200079366	A	03 July 2020
				US	2020203354	A1	25 June 2020
				US	11205652	B2	21 December 2021
CN	113690219	A	23 November 2021	None			
CN	110718502	A	21 January 2020	US	2020020697	A1	16 January 2020
				KR	20200007609	A	22 January 2020
				US	10930655	B2	23 February 2021

国际检索报告

国际申请号

PCT/CN2022/094114

A. 主题的分类

H01L 21/8242(2006.01)i; H01L 21/764(2006.01)i; H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT, CNABS, ENTXT, ENTXTC, DWPI, CNKI, IEEE: 位线, 侧壁, 侧墙, 绝缘, 中空, 空隙, 间隙, 空气, 寄生电容, BL, bit line, sidewall, insulat+, gap, hollow, space, spacer, air, parasitic, capacit+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 108206184 A (三星电子株式会社) 2018年6月26日 (2018 - 06 - 26) 说明书第[0017]-[0079]段及附图1-11C	1-19
A	CN 111354711 A (三星电子株式会社) 2020年6月30日 (2020 - 06 - 30) 全文	1-19
A	CN 113690219 A (中国科学院微电子研究所 等) 2021年11月23日 (2021 - 11 - 23) 全文	1-19
A	CN 110718502 A (爱思开海力士有限公司) 2020年1月21日 (2020 - 01 - 21) 全文	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年6月14日

国际检索报告邮寄日期

2022年7月12日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

房华龙

电话号码 (86-10) 62411892

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/094114

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108206184	A	2018年6月26日	KR	20180071463	A	2018年6月28日
				US	2018174971	A1	2018年6月21日
				US	10453796	B2	2019年10月22日
CN	111354711	A	2020年6月30日	KR	20200079366	A	2020年7月3日
				US	2020203354	A1	2020年6月25日
				US	11205652	B2	2021年12月21日
CN	113690219	A	2021年11月23日	无			
CN	110718502	A	2020年1月21日	US	2020020697	A1	2020年1月16日
				KR	20200007609	A	2020年1月22日
				US	10930655	B2	2021年2月23日