

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월14일 10-0571416 2006년04월10일
---	-------------------------------------	--

(21) 출원번호	10-2003-0101906	(65) 공개번호	10-2005-0071077
(22) 출원일자	2003년12월31일	(43) 공개일자	2005년07월07일

(73) 특허권자	동부아남반도체 주식회사 서울 강남구 대치동 891-10
(72) 발명자	심상철 경기도부천시소사구심곡본동728-4호(8/10)
(74) 대리인	유미특허법인

심사관 : 김상철

(54) 반도체 소자의 다층 금속 배선 형성 방법

요약

반도체 소자의 다층 금속 배선 형성 방법을 제시한다. 본 발명의 일 관점에 따르면, 반도체 기판 상에 제1 금속층 및 제2 금속층을 순차적으로 적층하되 제1 금속층과 제2 금속층 사이 계면에 전도성 식각 정지층이 삽입되도록 형성한다. 제2 금속층, 식각 정지층 및 제1 금속층을 순차적으로 패터닝하여 제2 금속층 패턴 및 하부 배선으로서의 제1 금속층 패턴을 형성한다. 제2 금속층 패턴을 식각 정지층을 식각 종료점으로 하여 선택적으로 식각하여 플러그 형태의 연결 콘택을 형성한다. 연결 콘택 및 제1 금속층 패턴을 덮는 층간 절연층을 형성하고, 평탄화하여 연결 콘택의 상측 표면을 노출한다.

대표도

도 2e

색인어

다층 배선, 연결 콘택, 오정렬, 텅스텐, 장벽 금속층

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래의 반도체 소자의 다층 금속 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 반도체 소자의 다층 금속 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조에 관한 것으로, 특히, 비아 연결 콘택(via interconnection contact)의 오정렬(misalignment)을 방지할 수 있는 반도체 소자의 다층 금속 배선 형성 방법에 관한 것이다.

반도체 소자의 생산성을 증가시키고, 공정 과정 중에 소요되는 시간을 줄이기 위해서, 공정 진행 시간(cycle time)을 단축시키고 공정 수를 감소시키는 작업은 매우 중요하다. 또한, 반도체 소자가 고집적화 및 고밀도화됨에 따라, 디자인 룰(design rule)의 감소와 고속 소자의 구현을 위해 다층 배선 구조와 스택 비아(stack via) 공정이 널리 사용되고 있다. 스택 비아 공정의 경우 공정 진행 중 오정렬 발생이 매우 심각하여, 포토레지스트 패턴 재작업(rework)과 낮은 수율(low yield) 문제가 야기되고 있다.

또한, 현재까지의 다층 배선 구조를 형성시키는 공정 단계들을 너무 복잡하고 공정 수가 많아, 제조 비용의 증가를 방지하고 또한 제품 납기 지연을 방지하기 위해서 이를 단축하고 간단화할 필요가 있다.

도 1a 내지 도 1d는 종래의 반도체 소자의 다층 금속 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 단면도들이다.

도 1a를 참조하면, 종래의 반도체 소자의 다층 금속 배선 형성 방법은, 소정의 하부 구조가 형성된 반도체 기판(10) 상에 전도성 확산 방지층(barrier metal layer:14)을 개재하는 금속층(12), 전도성 반사 방지층(16)을 형성한다. 포토레지스트 패턴(photoresist pattern)을 이용한 패터닝 공정을 실시하여, 금속 배선(12, 14, 16)을 형성한다. 금속 배선(12, 14, 16)을 포함하는 전체 구조의 상부를 덮는 층간 절연층(18)을 증착 등으로 형성한다. 이후에, 층간 절연층(18)의 상부 단차를 화학 기계적 연마(CMP) 등으로 평탄화한다.

도 1b를 참조하면, 포토레지스트 패턴을 이용한 패터닝 공정을 층간 절연층(18) 상에 실시하여, 금속 배선(12, 14, 16)을 노출하는 비아 콘택홀(via contact hole:20)을 형성한다. 이때, 금속 배선(12, 14, 16)을 덮는 두꺼운 층간 절연층(18)이 증착된 상태에 의해, 금속 배선(12, 14, 16)에 정렬되는 비아 콘택홀(20)을 위한 포토레지스트 패턴을 형성해야 하므로, 스택 비아 공정인 경우 오정렬(misalignment)로 인한 이상 식각 부위(22)가 발생하게 된다.

이와 같은 이상 식각 부위(22)의 발생은 비아 콘택의 저항 증가, EM(Electro Migration)에 의한 신뢰성 저하 등의 문제를 야기할 수 있다.

도 1c를 참조하면, 비아 콘택홀(20) 내부에 전도성 확산 방지층(24)을 형성하고, 비아 플러그(via plug)를 위한 금속층(26)을 순차적으로 증착한다. 금속층(26)은 텅스텐으로 형성될 수 있다.

도 1d를 참조하면, CMP 등으로 층간 절연층(18) 상의 금속층(26) 및 확산 방지층(24) 부분을 평탄화, 즉, 연마 제거하여, 층간 절연층(18)의 상측 표면을 노출하고, 비아 콘택홀(20) 내부에만 텅스텐이 잔류하도록 하여 비아 플러그(26)를 형성한다.

상기한 바와 같은 기존 공정에서는 공정이 복잡하고 공정 수가 많으며, 비아 채움(via filling) 금속으로 텅스텐을 사용하여야 하여 저항 증가 문제가 발생한다. 또한, 스택 비아의 오정렬로 인한 금속 배선의 신뢰성 저하를 유발시킨다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 보다 공정 단계들을 단순화 또는 간략화 할 수 있고 하부의 금속 배선과 비아 연결 콘택 간에 오정렬이 발생하는 것을 방지할 수 있는 반도체 소자의 다층 금속 배선 형성 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 반도체 기판 상에 제1 금속층 및 제2 금속층을 순차적으로 적층하되 상기 제1 금속층과 제2 금속층 사이 계면에 전도성 식각 정지층이 삽입되도록 형성하는 단계, 상기 제2 금속층, 식

각 정지층 및 제1 금속층을 순차적으로 패터닝하여 제2 금속층 패턴 및 하부 배선으로서의 제1 금속층 패턴을 형성하는 단계, 상기 제2 금속층 패턴을 상기 식각 정지층을 식각 종료점으로 하여 선택적으로 식각하여 플러그 형태의 연결 콘택을 형성하는 단계, 상기 연결 콘택 및 상기 제1 금속층 패턴을 덮는 층간 절연층을 형성하는 단계, 및 상기 층간 절연층을 평탄화하여 상기 연결 콘택의 상측 표면을 노출하는 단계를 포함하는 반도체 소자의 다층 금속 배선 형성 방법을 제시한다.

상기 제1 금속층 또는 상기 제2 금속층은 알루미늄층을 포함하여 형성될 수 있다.

또는, 상기 제1 금속층 또는 상기 제2 금속층은 구리층 또는 텅스텐층을 포함하여 형성될 수 있다. ,

상기 제1 금속층 및 상기 제2 금속층은 동일한 금속으로 형성될 수 있다.

상기 제1 금속층의 하부에 장벽 금속으로 티타늄층, 질화 티타늄층, 탄탈륨층 또는 질화 탄탈륨층의 단층 또는 복합층을 포함하는 전도성 확산 방지층을 형성하는 단계를 더 포함할 수 있다.

상기 제2 금속층의 상부에 티타늄층, 질화 티타늄층, 탄탈륨층 또는 질화 탄탈륨층의 단층 또는 복합층을 포함하는 반사 방지층을 형성하는 단계를 더 포함할 수 있다.

티타늄층, 질화 티타늄층, 탄탈륨층 또는 질화 탄탈륨층의 단층 또는 복합층을 포함하여 형성될 수 있다.

상기 연결 콘택을 형성하는 단계는 상기 제2 금속층 패턴 상에 상기 연결 콘택이 형성될 부분을 차폐하는 포토레지스트 패턴을 네거티브(negative)형 포토레지스트로 형성하는 단계, 및 상기 포토레지스트 패턴을 식각 마스크로 상기 제2 금속층 패턴을 상기 식각 정지층이 노출될 때까지 식각하는 단계를 포함하여 수행될 수 있다.

상기 층간 절연막 및 상기 연결 콘택의 상측 계면에 상기 평탄화의 종료점으로 이용될 평탄화 정지층을 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 탄화물(SiC) 또는 실리콘 탄화질화물(SiCN)을 포함하여 형성하는 단계를 더 포함하여 수행될 수 있다.

본 발명에 따르면, 보다 공정 단계들을 단순화 또는 간략화 할 수 있고 하부의 금속 배선과 비아 연결 콘택 간에 오정렬이 발생하는 것을 방지할 수 있는 반도체 소자의 다층 금속 배선 형성 방법을 제공할 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안되며, 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 해석되는 것이 바람직하다.

도 2a 내지 도 2f는 본 발명의 실시예에 따른 반도체 소자의 다층 금속 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

도 2a 및 도 2b를 참조하면, 소정의 하부 구조가 형성된 반도체 기판(100) 상에 바람직하게 알루미늄으로 형성되는 제1 금속층(300) 및 제2 금속층(400)을 형성한다. 이때, 제1 금속층(300)의 하부에는 전도성 확산 방지층(210) 먼저 형성한다. 또한, 제1 금속층(300)과 제2 금속층(400)의 계면에는 전도성 식각 정지층(230)을 형성한다. 그리고, 제2 금속층(400) 상부에는 바람직하게 전도성을 가지는 반사 방지층(250)을 형성한다.

이때, 전도성 확산 방지층(210), 전도성 식각 정지층(230) 또는/ 및 전도성 반사 방지층(250)으로는 티타늄(Ti)층 또는/ 및 질화 티타늄(TiN)층을 단층 또는 복합층, 또는, 탄탈륨(Ta)층 또는/ 및 질화 탄탈륨(TaN)층을 단층 또는 복합층으로 이용할 수 있다.

이와 같이 순차적인 층들의 구조를 형성한 후, 이러한 층들의 구조를 제1 포토레지스트 패턴(도시되지 않음)을 이용한 선택적 건식 식각 등으로 도 2b에 제시된 바와 같이 제1 금속층 패턴(300)이 하부 배선으로 이용될 수 있게 라인(line) 형태로 패터닝한다.

도 2c를 참조하면, 제2포토리지스트 패턴(500)을 제2 금속층 패턴(400) 상에, 실질적으로 제2 금속층 패턴(400) 상의 반사 방지층(250) 상에 형성한다. 이때, 제2포토리지스트 패턴(500)은 네거티브형(negative type)인 것이 바람직하다. 이는 기존의 비아 콘택홀을 형성하기 위한 포지티브(positive)형 포토리지스트 패턴 형성을 위한 포토 마스크를 변형 없이 이용하는 데 유용하기 때문이다.

이러한 제2포토리지스트 패턴(500)은 종래의 비아 콘택홀이 형성될 부분을 차폐하도록 형성된다. 즉, 비아 연결 콘택 또는 비아 플러그가 형성될 위치를 차폐하도록 형성된다. 기존의 방법에서는 금속 배선의 상부에 층간 절연막이 형성된 상태에서 비아 콘택홀이 금속 배선 상부에 형성되도록, 포토리지스트 패턴을 형성해야 하기 때문에 스택 비아 공정에서는 오정렬이 심각하게 발생하였다. 그러나, 본 발명에서는 노출된 제2 금속층 패턴(400) 상에 제2포토리지스트 패턴(500)을 형성하고, 이러한 제2 금속층 패턴(400)과 제1 금속층 패턴(300)은 이미 스택 형태로 적층된 상태이므로, 이들 사이에 오정렬이 발생하는 것은 충분히 방지될 수 있다.

도 2d를 참조하면, 제2포토리지스트 패턴(500)을 식각 마스크로 하여 노출된 전도성 반사 방지층(250) 및 제2 금속층 패턴(400)을 패터닝한다. 이러한 패터닝을 위한 선택적 건식 식각 과정은 제2 금속층 패턴(400) 하부에 형성된 식각 정지층(230) 상에서 정지되도록 수행된다.

이러한 패터닝 과정에 의해서 제2 금속층 패턴(400)은 비아 플러그(450) 형태로 패터닝된다. 이때, 비아 플러그(450) 상으로부터 제2포토리지스트 패턴(500)을 제거하면, 비아 플러그(450) 상에 반사 방지층(250) 부분이 잔존한 형태의 플러그 패턴, 즉, 비아 연결 콘택이 형성된다.

도 2e를 참조하면, 상기한 바와 같이 패터닝된 비아 플러그(450) 등의 구조 상을 덮는 층간 절연층(600)을 형성한다. 이러한 층간 절연층(600)은 화학 기상 증착(CVD) 등으로 형성될 수 있다. 즉, 층간 절연층(600)은 BPSG, PSG, USG, P-TEOS, FSG, HDP, PEOX, 블랙 다이아몬드(black diamond), SILK, CORAL, LKD 등과 같은 절연 물질을 사용 목적에 따라 선택 사용하여 형성될 수 있다.

도 2f를 참조하면, 층간 절연층(600)의 전면을 평탄화한다. 이러한 평탄화는 전도성 반사 방지층(250)이 노출될 때까지 수행될 수 있으며, CMP 등과 같은 평탄화 방법으로 수행될 수 있다.

한편, 이러한 평탄화 과정 중에 연결 콘택인 비아 플러그(450)가 원하지 않게 연마되는 것을 방지하기 위해서, 상기 전도성 반사 방지층(250), 비아 플러그(450) 등을 덮는 별도의 평탄화 정지층(도시되지 않음)을 더 도입할 수 있다. 이러한 경우, 상기 전도성 반사 방지층(250) 상에 상기 평탄화 정지층이 도입될 수도 있고, 상기 전도성 반사 방지층(250)이 도입되지 않거나 또는 전도성을 가지지 않게 도입되어 제거될 경우, 상기 평탄화 정지층은 상기 비아 플러그(450)를 직접적으로 덮도록 형성될 수 있다.

이러한 평탄화 정지층은 층간 절연층(600)과 연마 선택비를 구현할 수 있는 물질, 예컨대, 실리콘 질화물(SiN), 실리콘 산 질화물(SiON), 실리콘 탄화물(SiC) 또는 실리콘 탄화질화물(SiCN)을 포함하여 형성될 수 있다.

이와 같이 노출된 전도성 반사 방지층(250) 상에 상부 배선 등이 형성되어 비아 플러그(450)를 통해 하부 배선인 제1 금속층 패턴(210)과 전기적으로 연결됨으로써, 다층 배선 구조가 구현된다.

이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

발명의 효과

상술한 본 발명에 따르면, 기존의 반도체 소자의 금속 배선 공정에서 일반적으로 적용되는 공정인 비아 콘택홀을 형성한 후, 비아 콘택홀 내에 장벽 금속(barrier metal)을 증착하는 공정, 텅스텐 증착 공정, 텅스텐 CMP 공정 등을 배제할 수 있다. 이에 따라, 보다 짧은 시간 내에 반도체 소자의 제조가 가능해 진다.

노출된 금속 배선 상에 비아 연결 콘택을 위한 포토리지스트 패턴을 형성함으로써, 스택 비아의 오정렬 발생을 효과적으로 최소화 또는 방지할 수 있다. 비아 연결 콘택을 텅스텐 대신에 비저항이 낮은 알루미늄 등과 같은 금속으로 형성할 수 있어, 비아 저항의 감소 또는/및 RC 딜레이(delay) 시간 감소를 구현할 수 있다.

배선과 비아 연결 콘택이 모두 알루미늄으로 형성하는 것과 같이 동일한 금속으로 형성할 수 있어, 연결 콘택과 배선 사이에 EM 불량이 원천적으로 방지될 수 있다. 이에 따라, 금속 배선의 신뢰성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 제1 금속층 및 제2 금속층을 순차적으로 적층하되 상기 제1 금속층과 제2 금속층 사이 계면에 전도성 식각 정지층이 삽입되도록 형성하는 단계;

상기 제2 금속층, 식각 정지층 및 제1 금속층을 순차적으로 패터닝하여 제2 금속층 패턴 및 하부 배선으로서의 제1 금속층 패턴을 형성하는 단계;

상기 제2 금속층 패턴 상에 네거티브(negative)형 포토 레지스터로 포토 레지스트 패턴을 형성하는 단계;

상기 포토 레지스트 패턴을 식각 마스크로 상기 제2 금속층 패턴을 상기 식각 정지층이 노출될 때까지 식각하여 플러그 형태의 연결 콘택을 형성하는 단계;

상기 연결 콘택 및 상기 제1 금속층 패턴을 덮는 층간 절연층을 형성하는 단계; 및

상기 층간 절연층을 평탄화하여 상기 연결 콘택의 상측 표면을 노출하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 다층 금속 배선 형성 방법.

청구항 2.

제 1항에 있어서,

상기 제1 금속층 또는 상기 제2 금속층은 알루미늄층을 포함하여 형성되는 것을 특징으로 하는 반도체 소자의 다층 금속 배선 형성 방법.

청구항 3.

제 1항에 있어서,

상기 제1 금속층 또는 상기 제2 금속층은 구리층 또는 텅스텐층을 포함하여 형성되는 것을 특징으로 하는 반도체 소자의 다층 금속 배선 형성 방법.

청구항 4.

제 1항에 있어서,

상기 제1 금속층 및 상기 제2 금속층은 동일한 금속으로 형성되는 것을 특징으로 하는 반도체 소자의 다층 금속 배선 형성 방법.

청구항 5.

제 1항에 있어서,

상기 제1 금속층의 하부에 장벽 금속으로 티타늄층, 질화 티타늄층, 탄탈륨층 또는 질화 탄탈륨층의 단층 또는 복합층을 포함하는 전도성 확산 방지층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 다층 금속 배선 형성 방법.

청구항 6.

제 1항에 있어서,

상기 제2 금속층의 상부에 티타늄층, 질화 티타늄층, 탄탈륨층 또는 질화 탄탈륨층의 단층 또는 복합층을 포함하는 반사 방지층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 다층 금속 배선 형성 방법.

청구항 7.

제 1항에 있어서, 상기 식각 정지층은

티타늄층, 질화 티타늄층, 탄탈륨층 또는 질화 탄탈륨층의 단층 또는 복합층을 포함하여 형성되는 것을 특징으로 하는 반도체 소자의 다층 금속 배선 형성 방법.

청구항 8.

삭제

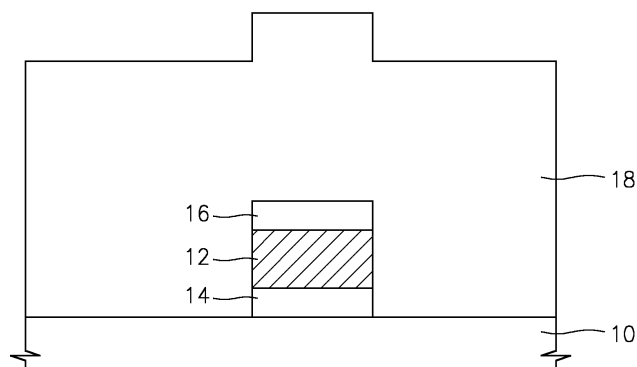
청구항 9.

제 1항에 있어서,

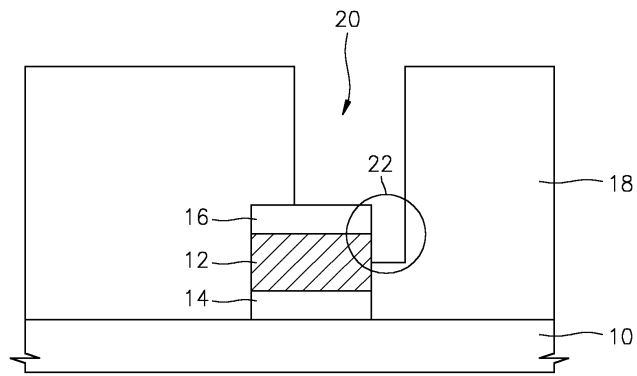
상기 층간 절연막 및 상기 연결 콘택의 상측 계면에 상기 평탄화의 종료점으로 이용될 평탄화 정지층을 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 탄화물(SiC) 또는 실리콘 탄화질화물(SiCN)을 포함하여 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 다층 금속 배선 형성 방법.

도면

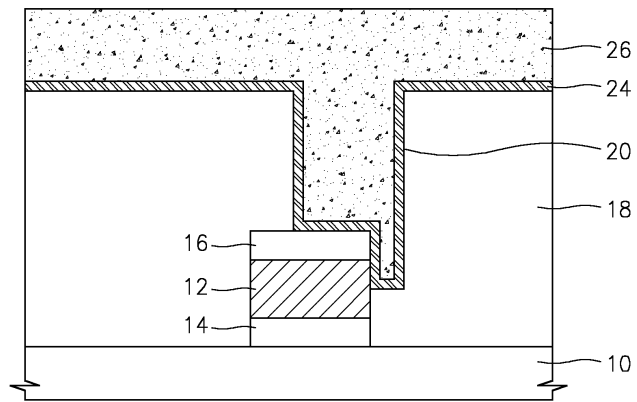
도면1a



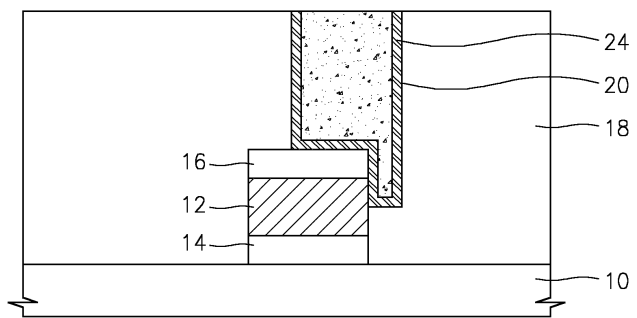
도면1b



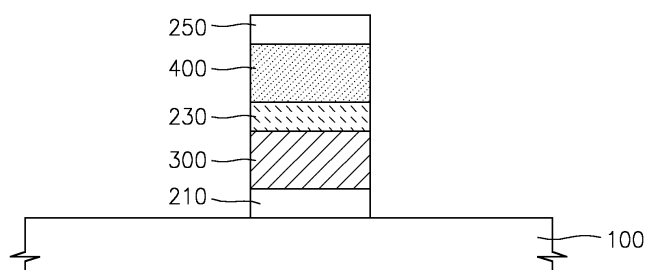
도면1c



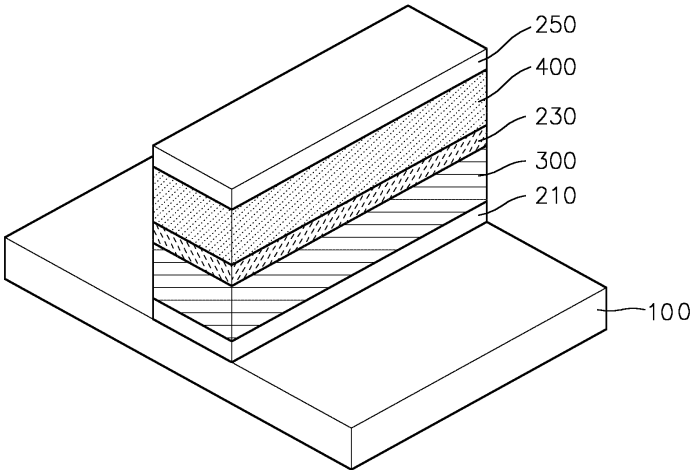
도면1d



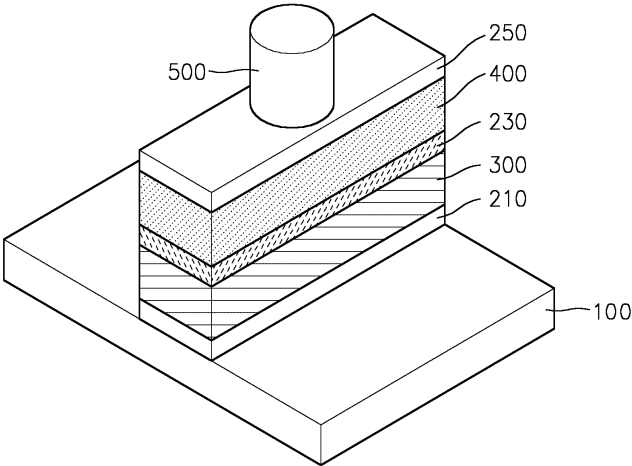
도면2a



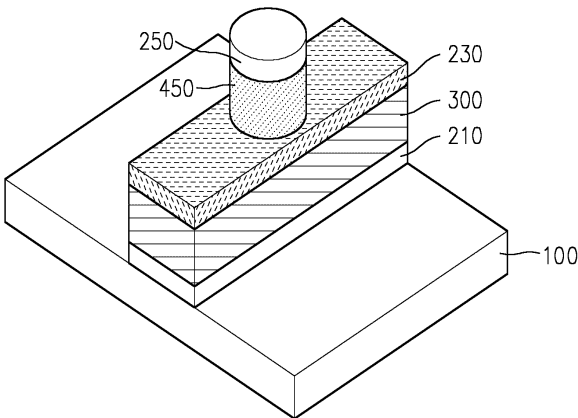
도면2b



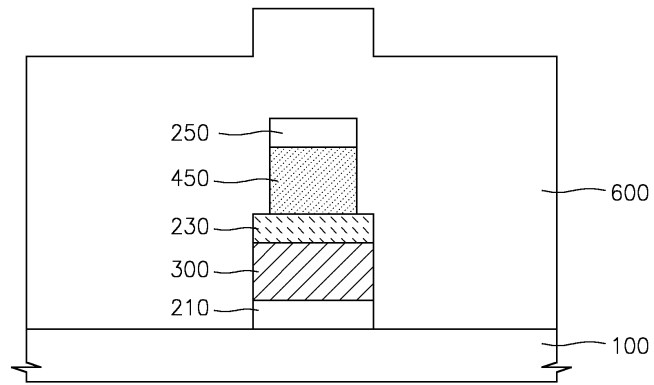
도면2c



도면2d



도면2e



도면2f

