

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成31年3月28日(2019.3.28)

【公表番号】特表2018-511184(P2018-511184A)

【公表日】平成30年4月19日(2018.4.19)

【年通号数】公開・登録公報2018-015

【出願番号】特願2017-560889(P2017-560889)

【国際特許分類】

H 01 L	29/78	(2006.01)
H 01 L	29/12	(2006.01)
H 01 L	29/861	(2006.01)
H 01 L	29/868	(2006.01)
H 01 L	29/872	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	21/8234	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	29/47	(2006.01)
H 01 L	21/329	(2006.01)
H 02 M	3/155	(2006.01)

【F I】

H 01 L	29/78	6 5 7 D
H 01 L	29/78	6 5 2 T
H 01 L	29/78	6 5 2 D
H 01 L	29/78	6 5 2 F
H 01 L	29/78	6 5 2 M
H 01 L	29/91	K
H 01 L	29/86	3 0 1 F
H 01 L	29/86	3 0 1 D
H 01 L	29/78	6 5 2 S
H 01 L	29/78	6 5 8 B
H 01 L	27/088	B
H 01 L	29/48	F
H 01 L	29/48	P
H 01 L	29/48	D
H 02 M	3/155	T

【手続補正書】

【提出日】平成31年2月8日(2019.2.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

n型基板上のn型ドリフト層と、

複数のMOSFETセルと、

n型ショットキー領域と、

ソース金属層と、

ショットキー金属層と、を備え、
MOSFETセルの各々は、

第一及び第二p型ウェル領域と、

n型JFET領域と、

第一及び第二n型ソース領域と、

ソースオーム接点と、

ゲート誘電層と、

ゲート層と、

層間絶縁膜層と、

第一及び第二p型本体接触領域と、を備え、

前記第一及び第二p型ウェル領域は、前記n型ドリフト層上において間隔を置いて設置される関係にあり、

前記n型JFET領域は、前記第一及び第二p型ウェル領域間の前記n型ドリフト層上にあり、

前記第一及び第二p型ウェル領域の各々は、前記JFET領域に隣接したチャネル領域を備え、

前記第一及び第二n型ソース領域は、前記第一及び第二p型ウェル領域の各々上にあり且つ前記JFET領域とは反対側の前記チャネル領域に隣接しており、

前記第一及び第二n型ソース領域は、前記n型ドリフト層よりもドーパント濃度が高く、前記ソースオーム接点は、前記第一及び第二n型ソース領域の各々上にあり、

前記ゲート誘電層は、前記JFET領域及びチャネル領域上にあり、

前記ゲート層は、前記ゲート誘電層上にあり、

前記層間絶縁膜層は、前記ゲート層上にあり、

前記第一及び第二p型本体接触領域は、前記n型ドリフト層上にあり且つ前記チャネル領域とは反対側の第一及び第二n型ソース領域に隣接しており、

前記第一及び第二p型本体接触領域は、前記第一及び第二p型ウェル領域よりもドーパント濃度が高く、

前記n型ショットキー領域は、1又は複数の前記MOSFETセルに近接する前記n型ドリフト層上にあり、

前記ソース金属層は、前記ソースオーム接点上にあり且つそれと接触し、

前記ショットキー金属層は、前記n型ショットキー領域上にあり且つそれと接触し、

前記ショットキー金属層は、前記n型ショットキー領域とのショットキー接点を形成している、

マルチセルMOSFET素子。

【請求項2】

1又は複数の前記n型ショットキー領域は、前記n型ドリフト層とはドーパント濃度が異なる、

請求項1に記載のマルチセルMOSFET素子。

【請求項3】

前記n型JFET領域は、前記n型ドリフト層とはドーパント濃度が異なる、

請求項1に記載のマルチセルMOSFET素子。

【請求項4】

前記ソースオーム接点及び前記1又は複数のn型ショットキー領域上に誘電体材料を更に備え、

前記素子は、

前記ソースオーム接点上に前記誘電体材料を通じて形成された1又は複数のソースバイアと、

前記1又は複数のn型ショットキー領域上に前記誘電体材料を通じて形成された前記1又は複数のショットキービアと、を備え、

前記ソース金属層は、前記誘電体材料上にあり且つ前記ソース及びショットキービア中

にあり、

前記ソース金属層は、ショットキービアの底部でショットキー領域と接触し、前記ソースビアの底底部で前記ソースオーム接点と接触している、
請求項1に記載のマルチセルMOSFET素子。

【請求項5】

前記第一及び第二p型ウェル領域は、x方向に互いが間隔を置いて配置され、x方向に対して垂直なy方向に延在する細長い領域であり、

前記n型JFET領域は、前記第一及び第二p型ウェル領域間でx方向に延在する細長い領域である、
請求項1に記載のマルチセルMOSFET素子。

【請求項6】

前記ショットキー領域は、隣接するMOSFETセルのp型本体接触領域間にy方向に延在する単一の連続した細長い領域を備える、
請求項5に記載のマルチセルMOSFET素子。

【請求項7】

第一の前記複数のMOSFETセルのp型本体接触領域と第二の前記複数のMOSFETセルの隣接するp型本体接触領域は、それぞれ、y方向に互いに間隔を置いて配置され且つ前記第一MOSFETセルのチャネル領域から前記第二MOSFETセルの隣接するチャネル領域までx-方向に延在する複数で別々のp型本体接触領域を備え、
前記第一MOSFETセルのn型ソース領域と前記第二MOSFETセルの隣接するn型ソース領域は、それぞれ、前記別々のp型本体接触領域間でy方向に間隔を置いて配置された複数で別々のn型ソース領域を備え、

前記第一及び第二MOSFETセル間の前記ショットキー領域は、y-方向の前記別々のp型本体接触領域間及びx方向の第一及び第二MOSFETセルの前記別々のn型ソース領域間の複数で別々のショットキー領域を備える、
請求項5に記載のマルチセルMOSFET素子。

【請求項8】

前記第一及び第二p型本体接触領域に誘電体材料を更に備える、
請求項1に記載のマルチセルMOSFET素子。

【請求項9】

前記素子は、SiC素子である、
請求項1に記載のマルチセルMOSFET素子。

【請求項10】

p型ウェル領域形成工程と、
n型ソース領域形成工程と、
第一及び第二p型本体接触領域形成工程と、
ゲート酸化層蒸着工程と、
ゲート層蒸着工程と、
層間絶縁膜素材蒸着工程と、
ソースオーム接点形成工程と、
ソース金属層蒸着工程と、
金属蒸着形成工程と、を有し、

前記p型ウェル領域形成工程において、n型ドリフト層に第一及び第二p型ウェル領域を形成し、前記n型ドリフト層は、n型基板上にあり、

前記第一及び第二p型ウェル領域は、互いに離れるように間隔を置かれ、その間にn型ショットキー領域を形成し、

第一及び第二ウェル領域の隣接し且つ前記n型ショットキー領域とは反対側の前記ドリフト層のn型領域は、第一及び第二JFET領域を形成し、

前記n型ソース領域形成工程において、前記第一及び第二p型ウェル領域の各々にn型ソース領域を形成し、

前記n型ソース領域は、前記第一及び第二JFET領域から間隔を置いて配置され、前記n型ソース領域と前記JFET領域との間にp型チャネル領域を残し、

前記第一及び第二p型本体接触領域形成工程において、前記ショットキー領域と前記第一及び第二p型ウェル領域との間に第一及び第二p型本体接触領域をそれぞれ形成し、

前記ゲート酸化層蒸着工程において、前記第一及び第二JFET領域上に且つチャネル領域に隣接してゲート酸化層を蒸着し、

前記ゲート層蒸着工程において、前記ゲート酸化層上にゲート層を蒸着し、

前記層間絶縁膜素材蒸着工程において、前記ゲート層上に層間絶縁膜素材を蒸着し、

前記ソースオーム接点形成工程において、前記ソース領域上にソースオーム接点を形成し、

前記ソース金属層蒸着工程において、前記ソースオーム接点上に且つ前記n型ショットキー領域上にソース金属層を蒸着し、

前記ソース金属層は、前記n型ショットキー領域との前記ショットキー接点を形成し、

前記金属蒸着形成工程において、前記ソース金属層上に最終金属を蒸着する、マルチセルMOSFET素子を製造する方法。

【請求項 1 1】

前記ショットキー金属層及びソース金属層上あり、そしてそれと接触した最終金属層を更に備える、請求項1に記載のマルチセルMOSFET素子。

【請求項 1 2】

前記ドリフト層上にn型電流拡散層を更に備え、

前記第一及び第二p型ウェル領域、前記n型JFET領域、前記第一及び第二p型本体接触領域並びに前記n型ショットキー領域は、電流拡散層上にある、
請求項1に記載のマルチセルMOSFET素子。

【請求項 1 3】

第一MOSFETセルと、隣接する第二MOSFETセルと、前記第一及び第二MOSFETセル間に複数の交互p型本体接点領域及びn型ショットキー領域を備える周辺領域と、を備える、マルチセルMOSFET素子。

【請求項 1 4】

前記周辺領域は、

前記周辺領域に隣接した前記第一MOSFETセルの周辺に沿って延在する第一p型本体接触領域と、

前記周辺領域に隣接し且つ前記第一p型本体接触領域とは反対側の前記第二MOSFETセルの周辺に沿って延在する第二p型本体接触領域と、を備え、

前記交互p型本体接触領域は、前記第一及び第二p型本体接触領域間に延在する、
請求項13に記載のマルチセルMOSFET素子。

【請求項 1 5】

前記第一MOSFETセルは、前記周辺領域に隣接して前記第一MOSFETセルの周辺に沿って延在する複数の交互p型本体接触領域及びn型ソース領域を備え、

前記第二MOSFETセルは、前記周辺領域に隣接して前記第二MOSFETセルの周辺に沿って延在する複数の交互p型本体接触領域及びn型ソース領域を備える、
請求項13に記載のマルチセルMOSFET素子。