

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 3 区分
【発行日】 令和 4 年 6 月 16 日 (2022.6.16)

【公開番号】 特開 2020-202480 (P2020-202480A)
【公開日】 令和 2 年 12 月 17 日 (2020.12.17)
【年通号数】 公開・登録公報 2020-051
【出願番号】 特願 2019-107924 (P2019-107924)
【国際特許分類】

H 0 4 N 5/378(2011.01)
H 0 4 N 5/3745(2011.01)
H 0 4 N 5/374(2011.01)
H 0 3 M 1/56(2006.01)
H 0 3 K 5/08(2006.01)

10

【F I】

H 0 4 N 5/378
H 0 4 N 5/3745
H 0 4 N 5/374
H 0 3 M 1/56
H 0 3 K 5/08 E

20

【手続補正書】
【提出日】 令和 4 年 6 月 8 日 (2022.6.8)
【手続補正 1】
【補正対象書類名】 特許請求の範囲
【補正対象項目名】 全文
【補正方法】 変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

30

画素信号を生成する複数の画素が形成された第 1 の半導体チップと、
前記第 1 の半導体チップに積層され、前記画素から出力されたアナログ信号をデジタル信号に変換する複数のアナログデジタル変換部を有する第 2 の半導体チップとを備え、
前記複数の前記アナログデジタル変換部のそれぞれは、前記アナログ信号と参照信号との比較を行う比較器を備え、
前記比較器は、
前記アナログ信号と前記参照信号の差分に基づく第 1 の信号を出力する出力ノードを有する差動増幅回路と、
前記差動増幅回路の前記出力ノードから前記第 1 の信号を受けるゲートを有する入力トランジスタ、および前記入力トランジスタにカスケード接続された負荷トランジスタを含み、
前記入力トランジスタおよび前記負荷トランジスタの接続ノードから第 2 の信号を出力するソース接地回路と、
前記接続ノードから前記第 2 の信号を受けるゲートを有する電流制御トランジスタ、および前記電流制御トランジスタにカスケード接続される電流源トランジスタを含み、前記ソース接地回路に流れる第 1 の電流の変化に対して相補的に変化する第 2 の電流を流す電流補償回路と、を有し、
前記複数の画素のうち 1 つの列に配された画素群にそれぞれ接続された第 1 の信号線および第 2 の信号線を備え、
前記複数のアナログデジタル変換部は、前記第 1 の信号線に対応して配された第 1 のアナログデジタル変換部と、前記第 2 の信号線に対応して配された第 2 のアナログデジタル変

40

50

換部と、を含み、

前記第1のアナログデジタル変換部を構成する第1の回路要素と、前記第1の回路要素の機能と同じ機能を有するとともに前記第2のアナログデジタル変換部を構成する第2の回路要素は、前記第2の半導体チップの連続する領域において前記画素群のなす1つの列の方向に沿って隣り合って並ぶ、

ことを特徴とする撮像装置。

【請求項2】

前記電流補償回路は、第1の電源線と前記電流制御トランジスタとの間に接続されたイネーブルスイッチトランジスタをさらに備え、

前記電流補償回路の前記電流源トランジスタのソースは第2の電源線に接続され、

前記ソース接地回路において、前記入力トランジスタのソースは前記第1の電源線に接続され、前記負荷トランジスタのソースは前記第2の電源線に接続されることを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記複数の画素のうち1つの列に配された画素群に対して配された複数の信号線と、

前記複数の信号線にそれぞれ接続され、前記第2の半導体チップに互いに隣り合って配置された負荷電流源群と、をさらに備え、

前記複数の信号線に対応して複数の前記アナログデジタル変換部が配され、

複数の前記比較器は互いに隣り合って配置された比較器群を含み、

前記比較器群は、前記画素群のなす前記1つの列の方向に沿って並び、

前記負荷電流源群は、前記画素群のなす前記1つの列の方向に沿って並び、

前記比較器群と前記負荷電流源群とが、前記画素群のなす前記1つの列の方向に沿って並ぶことを特徴とする請求項1または2のいずれか1項に記載の撮像装置。

【請求項4】

前記第2の半導体チップは、前記第1の信号線に接続された第1の負荷電流源と、前記第2の信号線に接続された第2の負荷電流源と、を含み、

前記第1の負荷電流源と前記第2の負荷電流源とは前記第2の半導体チップの連続する第1の領域において前記画素群のなす1つの列の方向に沿って隣り合って並ぶことを特徴とする請求項2に記載の撮像装置。

【請求項5】

前記第1の回路要素と、前記第2の回路要素とが、前記第1の領域とは別の連続する第2の領域において前記画素群のなす1つの列の方向に沿って隣り合って並ぶことを特徴とする請求項4に記載の撮像装置。

【請求項6】

前記第1の領域と前記第2の領域とが、前記画素群のなす1つの列の方向に沿って並ぶことを特徴とする請求項5に記載の撮像装置。

【請求項7】

前記第1の半導体チップにおける前記第1の信号線および前記第2の信号線のそれぞれは前記第2の半導体チップにおける前記信号線と接合部を介して接続され、

平面視において前記接合部は前記第1の領域または前記第2の領域の少なくとも一部と重なるように配置されることを特徴とする請求項5または6に記載の撮像装置。

【請求項8】

前記第1のアナログデジタル変換部は、前記第1のアナログデジタル変換部の前記第2の信号が反転したタイミングにおいてカウント信号を保持する第1のメモリを含み、

前記第2のアナログデジタル変換部は、前記第2のアナログデジタル変換部の前記第2の信号が反転したタイミングにおいてカウント信号を保持する第2のメモリを含み、

前記第1のメモリおよび前記第2のメモリは、前記第1の領域および前記第2の領域とは別の連続する第3の領域において前記画素群のなす前記1つの列の方向に沿って互いに隣り合って並ぶことを特徴とする請求項5～7のいずれか1項に記載の撮像装置。

【請求項9】

前記第 1 の領域、前記第 2 の領域、および前記第 3 の領域は、前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶことを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

平面視において前記第 2 の領域は前記第 1 の領域と前記第 3 の領域との間に配置されることを特徴とする請求項 9 に記載の撮像装置。

【請求項 11】

前記第 2 の半導体チップは、前記第 1 のメモリおよび前記第 2 のメモリから信号を読み出す信号処理回路を備え、

平面視において前記第 3 の領域は前記第 2 の領域と前記信号処理回路との間に配置されることを特徴とする請求項 10 に記載の撮像装置。

10

【請求項 12】

前記第 2 の領域は、前記画素群のなす 1 つの列の方向に沿って連続した複数の小領域を含み、

前記第 1 のアナログデジタル変換部の前記比較器を構成する第 1 の比較器要素と、前記第 1 の比較器要素の機能と同じ機能を有するとともに、前記第 2 のアナログデジタル変換部の前記比較器を構成する第 2 の比較器要素とは、同一の前記小領域において前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶことを特徴とする請求項 5 ～ 11 のいずれか 1 項に記載の撮像装置。

【請求項 13】

前記第 1 の回路要素は、前記第 1 のアナログデジタル変換部を構成する第 1 の比較器を含み、

20

前記第 2 の回路要素は、前記第 2 のアナログデジタル変換部を構成する第 2 の比較器を含むことを特徴とする請求項 5 ～ 11 のいずれか 1 項に記載の撮像装置。

【請求項 14】

前記第 1 の回路要素は、前記第 1 のアナログデジタル変換部の前記差動増幅回路を構成する第 1 の一対の差動トランジスタを含み、

前記第 2 の回路要素は、前記第 2 のアナログデジタル変換部の前記差動増幅回路を構成する第 2 の一対の差動トランジスタを含み、

前記第 1 の一対の差動トランジスタと前記第 2 の一対の差動トランジスタとが前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶことを特徴とする請求項 5 ～ 11 のいずれか 1 項に記載の撮像装置。

30

【請求項 15】

前記第 1 の一対の差動トランジスタおよび前記第 2 の一対の差動トランジスタのそれぞれは、前記画素群のなす 1 つの列の方向と交差する方向に並ぶことを特徴とする請求項 14 に記載の撮像装置。

【請求項 16】

前記第 1 の回路要素は、前記第 1 のアナログデジタル変換部の前記差動増幅回路を構成する第 1 の一対のカレントミラートランジスタを含み、

前記第 2 の回路要素は、前記第 2 のアナログデジタル変換部の前記差動増幅回路を構成する第 2 の一対のカレントミラートランジスタを含み、

40

前記第 1 の一対のカレントミラートランジスタと前記第 2 の一対のカレントミラートランジスタとが前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶことを特徴とする請求項 5 ～ 15 のいずれか 1 項に記載の撮像装置。

【請求項 17】

前記第 1 の一対のカレントミラートランジスタおよび前記第 2 の一対のカレントミラートランジスタのそれぞれは、前記画素群のなす 1 つの列の方向と交差する方向に並ぶことを特徴とする請求項 16 に記載の撮像装置。

【請求項 18】

前記第 1 の回路要素は、前記第 1 のアナログデジタル変換部の前記差動増幅回路を構成する第 1 の定電流源トランジスタを含み、

50

前記第 2 の回路要素は、前記第 2 のアナログデジタル変換部の前記差動増幅回路を構成する第 2 の定電流源トランジスタを含み、
前記第 1 の定電流源トランジスタと前記第 2 の定電流源トランジスタとは前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶことを特徴とする請求項 5 ～ 1 7 のいずれか 1 項に記載の撮像装置。

【請求項 1 9】

前記第 1 の回路要素は、前記第 1 のアナログデジタル変換部の前記入力トランジスタおよび前記イネーブルスイッチトランジスタを含む第 1 の素子群であり、
前記第 2 の回路要素は、前記第 2 のアナログデジタル変換部の前記入力トランジスタおよび前記イネーブルスイッチトランジスタを含む第 2 の素子群であり、
前記第 1 の素子群と前記第 2 の素子群とは前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶことを特徴とする請求項 5 ～ 1 8 のいずれか 1 項に記載の撮像装置。

10

【請求項 2 0】

前記第 1 の素子群および前記第 2 の素子群のそれぞれにおいて、前記入力トランジスタおよび前記イネーブルスイッチトランジスタは、前記画素群のなす 1 つの列の方向と交差する方向に並ぶことを特徴とする請求項 1 9 に記載の撮像装置。

【請求項 2 1】

前記第 1 の回路要素は、前記第 1 のアナログデジタル変換部の前記負荷トランジスタおよび前記電流源トランジスタを含む第 3 の素子群であり、
前記第 2 の回路要素は、前記第 2 のアナログデジタル変換部の前記負荷トランジスタおよび前記電流源トランジスタを含む第 4 の素子群であり、
前記第 3 の素子群と前記第 4 の素子群とは前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶことを特徴とする請求項 5 ～ 2 0 のいずれか 1 項に記載の撮像装置。

20

【請求項 2 2】

前記第 3 の素子群および前記第 4 の素子群のそれぞれにおいて、前記負荷トランジスタおよび前記電流源トランジスタは、前記画素群のなす 1 つの列の方向と交差する方向に並ぶことを特徴とする請求項 2 1 に記載の撮像装置。

【請求項 2 3】

前記一対または前記第 1 ～前記第 4 の素子群のいずれかをなす 2 つのトランジスタは、ソース領域を共有していることを特徴とする請求項 2 1 ～ 2 2 のいずれか 1 項に記載の撮像装置。

30

【請求項 2 4】

前記一対または前記第 1 ～前記第 4 の素子群のいずれかをなす 2 つのトランジスタは、同一のウエル領域に形成されていることを特徴とする請求項 2 1 ～ 2 3 のいずれか 1 項に記載の撮像装置。

【請求項 2 5】

前記第 1 の回路要素は、前記第 1 のアナログデジタル変換部の前記電流補償回路を構成する前記電流制御トランジスタを含み、
前記第 2 の回路要素は、前記第 2 のアナログデジタル変換部の前記電流補償回路を構成する前記電流制御トランジスタを含み、
前記第 1 のアナログデジタル変換部の前記電流制御トランジスタと前記第 2 のアナログデジタル変換部の前記電流制御トランジスタとは、前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶことを特徴とする請求項 1 ～ 2 4 のいずれか 1 項に記載の撮像装置。

40

【請求項 2 6】

前記第 3 の素子群は、前記第 1 のアナログデジタル変換部において一方の電極が前記負荷トランジスタのゲートに接続され、他方の電極が前記第 2 の電源線に接続された第 1 の保持容量をさらに備え、
前記第 4 の素子群は、前記第 2 のアナログデジタル変換部において一方の電極が前記負荷トランジスタのゲートに接続され、他方の電極が前記第 2 の電源線に接続された第 2 の保持容量をさらに備えることを特徴とする請求項 2 1 に記載の撮像装置。

50

【請求項 27】

前記差動増幅回路の前記出力ノードと前記入力トランジスタのゲートとの間に設けられたクランプ容量と、

前記入力トランジスタのゲートおよびドレインの間に設けられたスイッチトランジスタとを備える請求項 1～26 のいずれか 1 項に記載の撮像装置。

【請求項 28】

前記電流源トランジスタのゲートが前記負荷トランジスタのゲートに接続されたことを特徴とする請求項 1～27 のいずれか 1 項に記載の撮像装置。

【請求項 29】

請求項 1～28 のいずれか 1 項に記載の撮像装置と、

複数の前記画素信号を処理し、前記撮像装置から被写体までの距離情報を取得する信号処理装置を備えることを特徴とする撮像システム。

10

【請求項 30】

移動体であって、

請求項 29 に記載の撮像システムと、

前記撮像システムによって取得された前記画素信号および前記距離情報の少なくとも一方に基づいて前記移動体を制御する制御手段と、

を有する、

ことを特徴とする移動体。

20

【請求項 31】

それぞれが光電変換部をそなえる複数の画素が形成された別の半導体チップと接続するための接続部と、

前記画素から信号線を介して出力されたアナログ信号をデジタル信号に変換するアナログデジタル変換部を有する積層用の半導体チップであって、

前記アナログデジタル変換部は、前記アナログ信号と参照信号との比較を行う比較器を備え、前記比較器は、

前記アナログ信号と前記参照信号の差分に基づく第 1 の信号を出力する出力ノードを有する差動増幅回路と、

前記差動増幅回路の前記出力ノードから前記第 1 の信号を受けるゲートを有する入力トランジスタ、および前記入力トランジスタにカスケード接続された負荷トランジスタを含み、前記入力トランジスタおよび前記負荷トランジスタの接続ノードから第 2 の信号を出力するソース接地回路と、

30

前記接続ノードから前記第 2 の信号を受けるゲートを有する電流制御トランジスタ、および前記電流制御トランジスタにカスケード接続される電流源トランジスタを含み、前記電流制御トランジスタは前記ソース接地回路に流れる第 1 の電流の変化に対して相補的に変化する第 2 の電流を流す電流補償回路と、

を備え、

前記複数の画素のうち 1 つの列に配された画素群にそれぞれ接続された第 1 の信号線および第 2 の信号線を備え、

前記複数のアナログデジタル変換部は、前記第 1 の信号線に対応して配された第 1 のアナログデジタル変換部と、前記第 2 の信号線に対応して配された第 2 のアナログデジタル変換部と、を含み、

40

前記第 1 のアナログデジタル変換部を構成する第 1 の回路要素と、前記第 1 の回路要素の機能と同じ機能を有するとともに前記第 2 のアナログデジタル変換部を構成する第 2 の回路要素は、前記半導体チップの連続する領域において前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶ、

ことを特徴とする半導体チップ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0006

50

【補正方法】変更

【補正の内容】

【0006】

本明細書の開示における撮像装置は、画素信号を生成する複数の画素が形成された第1の半導体チップと、前記第1の半導体チップに積層され、前記画素から出力されたアナログ信号をデジタル信号に変換する複数のアナログデジタル変換部を有する第2の半導体チップとを備え、前記複数の前記アナログデジタル変換部のそれぞれは、前記アナログ信号と参照信号との比較を行う比較器を備え、前記比較器は、前記アナログ信号と前記参照信号の差分に基づく第1の信号を出力する出力ノードを有する差動増幅回路と、前記差動増幅回路の前記出力ノードから前記第1の信号を受けるゲートを有する入力トランジスタ、および前記入力トランジスタにカスケード接続された負荷トランジスタを含み、前記入力トランジスタおよび前記負荷トランジスタの接続ノードから第2の信号を出力するソース接地回路と、前記接続ノードから前記第2の信号を受けるゲートを有する電流制御トランジスタ、および前記電流制御トランジスタにカスケード接続される電流源トランジスタを含み、前記ソース接地回路に流れる第1の電流の変化に対して相補的に変化する第2の電流を流す電流補償回路と、を有し、前記複数の画素のうち1つの列に配された画素群にそれぞれ接続された第1の信号線および第2の信号線を備え、前記複数のアナログデジタル変換部は、前記第1の信号線に対応して配された第1のアナログデジタル変換部と、前記第2の信号線に対応して配された第2のアナログデジタル変換部と、を含み、前記第1のアナログデジタル変換部を構成する第1の回路要素と、前記第1の回路要素の機能と同じ機能を有するとともに前記第2のアナログデジタル変換部を構成する第2の回路要素は、前記第2の半導体チップの連続する領域において前記画素群のなす1つの列の方向に沿って隣り合って並ぶ。

10

20

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】削除

【補正の内容】

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本明細書の他の開示における半導体チップは、それぞれが光電変換部をそなえる複数の画素が形成された別の半導体チップと接続するための接続部と、前記画素から信号線を介して出力されたアナログ信号をデジタル信号に変換するアナログデジタル変換部を有する積層用の半導体チップであって、前記アナログデジタル変換部は、前記アナログ信号と参照信号との比較を行う比較器を備え、前記比較器は、前記アナログ信号と前記参照信号の差分に基づく第1の信号を出力する出力ノードを有する差動増幅回路と、前記差動増幅回路の前記出力ノードから前記第1の信号を受けるゲートを有する入力トランジスタ、および前記入力トランジスタにカスケード接続された負荷トランジスタを含み、前記入力トランジスタおよび前記負荷トランジスタの接続ノードから第2の信号を出力するソース接地回路と、前記接続ノードから前記第2の信号を受けるゲートを有する電流制御トランジスタ、および前記電流制御トランジスタにカスケード接続される電流源トランジスタを含み、前記電流制御トランジスタは前記ソース接地回路に流れる第1の電流の変化に対して相補的に変化する第2の電流を流す電流補償回路と、を備え、前記複数の画素のうち1つの列に配された画素群にそれぞれ接続された第1の信号線および第2の信号線を備え、前記複数のアナログデジタル変換部は、前記第1の信号線に対応して配された第1のアナログデジタル変換部と、前記第2の信号線に対応して配された第2のアナログデジタル変換部と、

40

50

、を含み、前記第 1 のアナログデジタル変換部を構成する第 1 の回路要素と、前記第 1 の回路要素の機能と同じ機能を有するとともに前記第 2 のアナログデジタル変換部を構成する第 2 の回路要素は、前記半導体チップの連続する領域において前記画素群のなす 1 つの列の方向に沿って隣り合って並ぶ。

10

20

30

40

50