

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年3月15日(2018.3.15)

【公表番号】特表2017-506830(P2017-506830A)

【公表日】平成29年3月9日(2017.3.9)

【年通号数】公開・登録公報2017-010

【出願番号】特願2016-552321(P2016-552321)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/78 (2006.01)

【F I】

H 01 L 29/78 301X

H 01 L 29/78 301S

H 01 L 29/78 301H

【手続補正書】

【提出日】平成30年2月1日(2018.2.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

応力フィンFinFETデバイスであって、
基板と、

前記基板上のフィンであって、第1の垂直方向の壁および第2の垂直方向の壁を含み、
前記第2の垂直方向の壁が前記第1の垂直方向の壁に平行であり、かつ、フィン厚さFW
だけ前記第1の垂直方向の壁から間隔を隔てており、さらに、半導体材料を含み、前記基
板に平行な縦方向の軸に沿って延在し、前記基板上方のフィン高さにおけるフィントップ
まで垂直方向に延在し、フィンベースおよびフィン活性領域を備え、前記フィンベースが
前記基板の近傍に存在し、前記フィン活性領域がソース領域、ドレイン領域およびチャネ
ル領域を含み、前記チャネル領域が前記ソース領域と前記ドレイン領域との間に存在する
、フィンと、

第1の注入フィンストレッサ要素であって、前記チャネル領域の下方の前記フィンベ
ースの中に埋め込まれ、前記チャネル領域の結晶格子内に応力を誘導するように構成され、
前記チャネル領域内に前記垂直方向と平行な第1の垂直方向の圧縮力を確立する、第1の
注入フィンストレッサ要素と、

第2の注入フィンストレッサ要素であって、前記ソース領域および前記ドレイン領域の
一方の下方の前記フィンベースの中に埋め込まれ、前記ソース領域および前記ドレイン領
域の一方の結晶格子内に応力を誘導するように構成され、前記ソース領域および前記ドレ
イン領域の一方内に前記垂直方向と平行な第2の垂直方向の圧縮力を確立し、前記第1及
び第2のフィンストレッサ要素は、前記フィン厚さFWに実質的に等しい幅を有する、第
2の注入フィンストレッサ要素と、

を備える応力フィンFinFETデバイス。

【請求項2】

前記チャネル領域の少なくとも一部を取り囲むゲートをさらに備える、請求項1に記載
の応力フィンFinFETデバイス。

【請求項3】

前記第1の埋込みフィンストレッサ要素が、前記垂直方向のストレッサ要素厚さ、前記フィン厚さの方向のストレッサ要素幅、および前記縦方向の軸に平行な方向のストレッサ要素長さを有する、

請求項1に記載の応力フィンFinFETデバイス。

【請求項4】

前記第1の埋込みフィンストレッサ要素および前記フィンが、前記フィンの内部であり、かつ、前記フィントップの下方に、前記垂直方向とは逆の深さ方向にある深さだけ間隔を隔てた上部主界面において接触するように構成され、

前記第1の埋込みフィンストレッサ要素および前記フィンが、前記上部主界面の下方の前記深さ方向に、前記ストレッサ要素厚さだけ間隔を隔てた下部主界面を有する、

請求項3に記載の応力フィンFinFETデバイス。

【請求項5】

前記深さが第1の深さであり、

前記ストレッサ要素厚さが第1のストレッサ要素厚さであり、

前記上部主界面が第1の上部主界面であり、また、前記下部主界面が第1の下部主界面であり、

前記第2の埋込みフィンストレッサ要素および前記フィンが第2の上部主界面および第2の下部主界面を有し、

前記第2の上部主界面が前記フィンの内部であり、前記フィントップの下方の前記深さ方向に第2の深さだけ間隔を隔て、

前記第2の下部主界面が、前記第2の上部主界面の下方の前記深さ方向に、第2のストレッサ要素厚さだけ間隔を隔てる、

請求項4に記載の応力フィンFinFETデバイス。

【請求項6】

前記第1の深さおよび前記第2の深さのうちの一方が、前記第1の深さおよび前記第2の深さのうちのもう一方よりも深い、請求項5に記載の応力フィンFinFETデバイス。

【請求項7】

前記第1のストレッサ要素厚さおよび前記第2のストレッサ要素厚さのうちの一方が、前記第1のストレッサ要素厚さおよび前記第2のストレッサ要素厚さのうちのもう一方よりも厚い、請求項5に記載の応力フィンFinFETデバイス。

【請求項8】

前記ソース領域および前記ドレイン領域のもう一方の下方の前記フィンベースの中に埋め込まれた第3の埋込みフィンストレッサ要素をさらに備える、請求項5に記載の応力フィンFinFETデバイス。

【請求項9】

前記第3の埋込みフィンストレッサ要素および前記フィンが第3の上部主界面を有し、前記第3の上部主界面が前記フィンの内部であり、前記フィントップの下方の前記深さ方向に第3の深さだけ間隔を隔てる、

請求項8に記載の応力フィンFinFETデバイス。

【請求項10】

前記第3の埋込みフィンストレッサ要素が、前記第3の上部主界面において第3の上向きの圧縮力を、前記フィンの前記ソース領域および前記ドレイン領域のもう一方に対して加え、前記ソース領域および前記ドレイン領域のもう一方の中に前記垂直方向に平行な第3の垂直方向の圧縮力を確立し、

第1の上向きの圧縮力、第2の上向きの圧縮力、および前記第3の上向きの圧縮力を合わせると、上向きの総合成圧縮力になり、

前記上向きの総合成圧縮力は、前記縦方向の軸に沿った位置に対する分布を有する、

請求項9に記載の応力フィンFinFETデバイス。

【請求項11】

前記応力フィンFinFETが少なくとも1つの半導体ダイの中に統合される、請求項1に記載の応力フィンFinFETデバイス。

【請求項12】

FinFETのフィンの中に垂直方向の圧縮を提供するための方法であって、所与のチャネル領域を有する、シリコン半導体材料の半導体フィンを基板の上に形成するステップと、

少なくとも露出した領域を前記所与のチャネル領域の下方に提供する酸素処理マスクを前記半導体フィンの上に形成するステップと、

前記所与のチャネル領域の下方の少なくとも前記露出した領域に対して酸化を実施し、前記所与のチャネル領域の下方に侵入して酸化領域を形成するステップと、

二酸化ケイ素層を形成するステップであって、前記所与のチャネル領域の下方の少なくとも前記酸化領域に対して酸素注入による分離(SIMOX)操作を実施することによって、前記半導体フィンの前記所与のチャネル領域の下方に前記二酸化ケイ素層が埋め込まれ、前記所与のチャネル領域において垂直方向の圧縮応力を確立する体積膨張を含む、ステップと

を含み、

前記半導体フィンを形成するステップが、ソース領域およびドレイン領域をさらに含むように前記半導体フィンを形成するように構成され、

前記所与のチャネル領域の下方の前記露出した領域が第1の露出領域であり、前記半導体フィンの上に前記酸素処理マスクを形成するステップが、第2の露出領域をさらに提供するように構成され、前記第2の露出領域が前記ソース領域の下方または前記ドレイン領域の下方に存在し、

前記酸化領域が第1の酸化領域であり、酸化を実施するステップが、前記第2の露出領域に対して酸化をさらに実施し、前記ソース領域の下方または前記ドレイン領域の下方に侵入して第2の酸化領域を形成するように構成され、

前記二酸化ケイ素層が第1の二酸化ケイ素層であり、SIMOX操作が、前記ソース領域の下方または前記ドレイン領域の下方に第2の二酸化ケイ素層を形成するように前記第2の酸化領域を含むように実施される、方法。

【請求項13】

SIMOX操作が、前記所与のチャネル領域および前記所与のチャネル領域の下方の少なくとも前記酸化領域の再結晶化を含み、

SIMOX操作が、前記再結晶化の間に前記二酸化ケイ素層を形成するように構成される、

請求項12に記載の方法。

【請求項14】

前記チャネル領域にp+ドーパントをドープするステップをさらに含む、請求項13に記載の方法。

【請求項15】

半導体製造機器に接続されたコンピュータによって実行されると、前記半導体製造機器が請求項12から14の何れか1項に記載のステップを実施する、コンピュータ実行可能命令を含むコンピュータ可読媒体。