



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I600174 B

(45)公告日：中華民國 106 (2017) 年 09 月 21 日

(21)申請案號：100132066

(22)申請日：中華民國 100 (2011) 年 09 月 06 日

(51)Int. Cl. : *H01L31/147 (2006.01)**H01L31/167 (2006.01)**H01L31/173 (2006.01)**H05K1/18 (2006.01)*

(30)優先權：2010/09/08 日本

2010-200897

2011/05/13 日本

2011-108192

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：黑川義元 KUROKAWA, YOSHIYUKI (JP)；池田隆之 IKEDA, TAKAYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 552718

JP 2000-44236A

JP 2007-65239A

JP 2009-187342A

US 6727522B1

US 2006/0244107A1

WO 2009/139204A1

審查人員：陳伯宜

申請專利範圍項數：20 項 圖式數：36 共 190 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

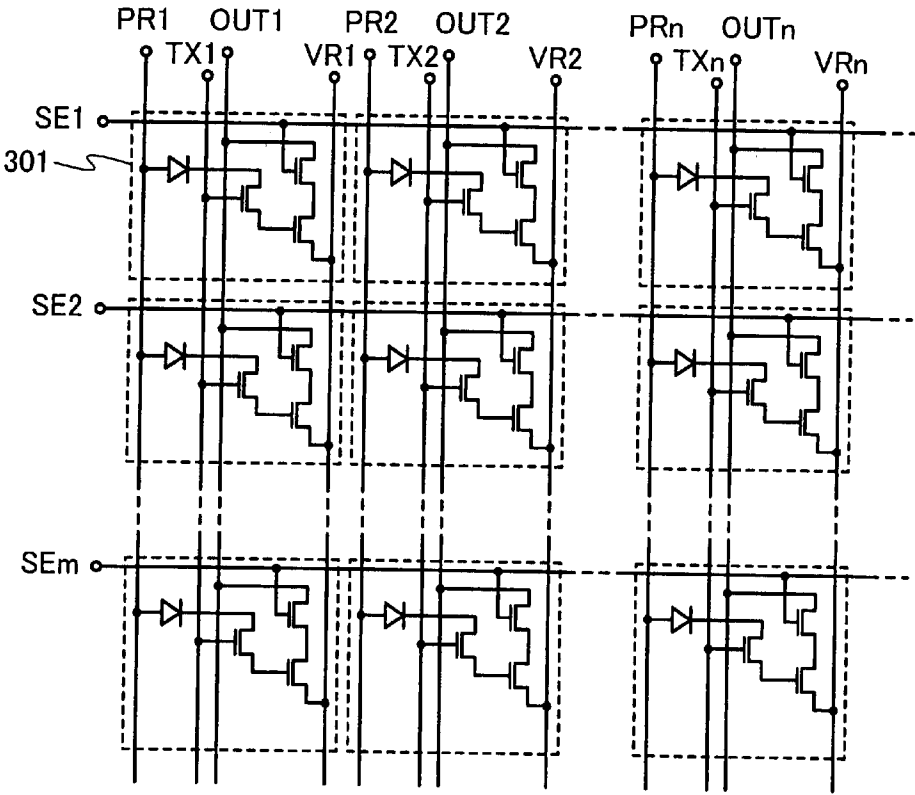
一種半導體裝置包括多個被配置成矩陣的光感測器。該等光感測器的每一者包括一光電轉換元件及一放大器電路。一背光被打開，一待偵測的物件被光線照射，及在第  $p$  列的光感測器實施重設(reset)操作及儲存操作。之後，該背光被關掉，及在第  $(p+1)$  列的光感測器實施重設操作及儲存操作。然後，在所有列中的光感測器依序地實施選取操作。相鄰列的光感測器的輸出信號之間的差異被獲得。藉由使用該差異，該物件的一被捕捉到的影像被產生且該物件存在的區域被偵測。該放大器電路包括一用來維持被儲存的電荷的電晶體，在該電晶體中一通道被形成在一層氧化物半導體層內。

The semiconductor device includes a plurality of photosensors arranged in matrix. The photosensors each include a photoelectric conversion element and an amplifier circuit. A backlight is turned on, an object to be detected is irradiated with light, and the photosensor in a  $p$ -th row performs the reset operation and the storage operation. After that, the backlight is turned off, and the photosensor in a  $(p+1)$ th row performs the reset operation and the storage operation. Then, the photosensors in all the rows sequentially perform the selection operation. A difference between output signals obtained from the photosensors in adjacent rows is obtained. Using the difference, a captured image of the object is generated and a region where the object exists is detected. The amplifier circuit includes a transistor for holding stored electric charge, in which a channel is formed in an oxide semiconductor layer.

指定代表圖：

符號簡單說明：  
301 . . . 光感測器

圖5



# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100132066

※申請日：100 年 09 月 06 日

※IPC 分類：H01L 31/147 (2006.01)

H01L 31/167 (2006.01)

H01L 31/173 (2006.01)

H05K 1/18 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

## 二、中文發明摘要：

一種半導體裝置包括多個被配置成矩陣的光感測器。該等光感測器的每一者包括一光電轉換元件及一放大器電路。一背光被打開，一待偵測的物件被光線照射，及在第  $p$  列的光感測器實施重設 (reset) 操作及儲存操作。之後，該背光被關掉，及在第  $(p+1)$  列的光感測器實施重設操作及儲存操作。然後，在所有列中的光感測器依序地實施選取操作。相鄰列的光感測器的輸出信號之間的差異被獲得。藉由使用該差異，該物件的一被捕捉到的影像被產生且該物件存在的區域被偵測。該放大器電路包括一用來維持被儲存的電荷的電晶體，在該電晶體中一通道被形成在一層氧化物半導體層內。

### 三、英文發明摘要：

The semiconductor device includes a plurality of photosensors arranged in matrix. The photosensors each include a photoelectric conversion element and an amplifier circuit. A backlight is turned on, an object to be detected is irradiated with light, and the photosensor in a  $p$ -th row performs the reset operation and the storage operation. After that, the backlight is turned off, and the photosensor in a  $(p+1)$ th row performs the reset operation and the storage operation. Then, the photosensors in all the rows sequentially perform the selection operation. A difference between output signals obtained from the photosensors in adjacent rows is obtained. Using the difference, a captured image of the object is generated and a region where the object exists is detected. The amplifier circuit includes a transistor for holding stored electric charge, in which a channel is formed in an oxide semiconductor layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(5)圖。

(二) 本代表圖之元件符號簡單說明：

301：光感測器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種包括光感測器的半導體裝置。本發明亦有關於一種包括一光感測器及一顯示元件的半導體裝置。又，本發明有關於一種包括一半導體裝置的電子裝置。

### 【先前技術】

一種包括用來偵測光線的感測器（亦被稱為光感測器或光學感測器）的半導體裝置的例子是使用了在電子裝置（譬如，數位靜態照相機及行動電話）中的固態成像裝置（亦被稱為影像感測器）。

詳言之，除了光感測器之外還包括顯示元件的半導體裝置被稱為觸控面板、觸控螢幕及類此者（在下文中簡稱為觸控面板）。在包括光感測器與顯示元件的半導體裝置中，顯示螢幕亦作為一資料輸入區。

光感測器的例子有CMOS感測器及CCD感測器。CMOS感測器包括光電轉換元件（譬如，光二極體）及一包括MOS電晶體的放大器電路。流經該光電轉換元件的光電流的量是由照性該光電轉換元件的光的強度來決定。該放大器電路儲存與該光電流的量相對應的電荷並產生一作為資料的輸出信號，其包括該電荷的數量。該CMOS感測器藉由用包括一MOS電晶體的該放大器電路實施下面的操作來偵測進入到該光電轉換元件內的光線的量：釋出儲存在該

放大器電路內的電荷的操作（下文中稱為重設操作）；儲存與流經該光電轉換元件的光電流的量相對應的電荷（在下文中稱為儲存操作）；及讀取一包括該電荷的量的輸出信號以作為資料的操作（下文中稱為選取操作）。CMOS感測器可用一般的CMOS製程來製造。因此，在包括CMOS感測器作為光感測器的半導體裝置中，製造成本可被降低，且顯示元件可被形成在一其上形成有該光感測器的基材上。此外，CMOS感測器需要比CCD感測器低的驅動電壓；因此，該半導體裝置的電力消耗可被降低。

在包括光感測器的半導體裝置中，光首先從該半導體裝置被產生。當一待偵測的物件存在時，該光線被該物件阻擋且被部分反射。在該半導體裝置中，該等光感測器被配置成矩陣且偵測被該物件反射的光線的量。以此方式，該半導體裝置捕捉一待偵測的物件的影像並偵測該物件存在的區域。

在上述的半導體裝置中，導因於外部光線的雜訊必需被降低來能用高精確度來偵測該物件的存在並以高精確度來捕捉該物件的影像。當導因於外部光線的雜訊很大時，在偵測被該物件反射的光線的量的時候S/N比會降低；因此，偵測該物件存在的區域的精確度會下降，且被捕捉到的影像的品質亦會變差。詳言之，在觸控面板的顯示螢幕被用作為資料輸入區域的例子中，會造成輸入偵測的錯誤及失敗。

為了解決此問題，一種揭露在非專利文獻1中的方

法被提出。非專利文獻1揭露一半導體裝置其包括被配置成矩陣的CMOS感測器。

在非專利文獻1的半導體裝置中，背光被打開且一待偵測的物件被光照射，在奇數列中的光感測器實施重設操作及儲存操作。然後，該背光被關掉，且在偶數列中的光感測器實施重設操作及儲存操作。該背光明滅的時間間隔很短且可被視為該待偵測的物件在該背光被打開與該背光被關掉的時間之間不會移動。然後，在相鄰的兩列中的光感測器同時實施選取操作，且藉由依序地重復此操作，在所有列中的光感測器的選取操作都被實施。因此，可獲得在相鄰兩列中之光感測器的輸出信號之間的差異。該差異是一信號成分，它的S/N比被改善，因為導因於外部光線的雜訊被抵消。非專利文獻1提出的是，一待偵測的物件的被捕捉的影像可用該差異來產生。

#### 【參考資料】

非專利文獻1:K. Tanaka, et al., "A System LCD with Optical Input Function using Intra-Red Backlight Subtraction Scheme", SID2010 Digest, pp. 680-683。

#### 【發明內容】

然而，在非專利文獻1所揭露的方法中，在該儲存操作被實施之後及在選取操作開始實施之前的這段期間的長度會因光感測器不同而不同。例如，實施選取操作的時機

對於在第一列中的光感測器與在第二列中的光感測器而言是相同的，但實施重設操作及儲存操作的時機對於在第一列中的光感測器是稍微早一點。因此，在該重設操作與該儲存操作被實施之後及在該選取操作開始實施之前的這段期間的長度係變化於該第一列中的光感測器與該第二列中的光感測器之間。在此處，一光感測器受到導因於一電晶體因為該重設操作與該儲存操作被實施之後及在該選取操作開始實施之前的這段期間太長而造成之關閉狀態電流（off-state current）的漏電的影響很大。亦即，儲存操作期間被儲存的電荷的漏電會因為該重設操作與該儲存操作被實施之後及在該選取操作開始實施之前的這段期間太長而增加。因此，雖然導因於外部光線的雜訊可在揭露於非專利文獻 1 的半導體裝置內被減小，但該重設操作與該儲存操作被實施之後及在該選取操作開始實施之前的這段期間的長度會隨著光偵測器的不同而不同；因此，導因於電晶體的關閉狀態電流的漏電的雜訊被額外地造成。

有鑑於上文所述，本發明的一個目的是要降低在一包括光感測器的半導體裝置內導因於外部光線的雜訊且降低導因於電晶體的關閉狀態電流的漏電的雜訊。

#### （結構 1）

揭露於本文中之本發明的一個實施例是一種包括多個光感測器的半導體裝置，該等光感測器被配置成  $m$  列（ $m$  是 2 或更大的自然數）與  $n$  行（ $n$  是自然數）的矩陣。該等

光感測器的每一者包括一光電轉換元件及一放大器電路。該放大器電路實施一將儲存在該放大器電路中的電荷釋出之重設操作、一將對應於流經該光電轉換元件的光電流的量的電荷儲存的儲存操作、及一讀取一包括該電荷的量的輸出訊號以作為資料的選取操作。一背光被打開，一待偵測的物件被光線照射，及在第  $p$  列中（ $p$  是  $m$  或更小的自然數）的光感測器實施該重設操作及該儲存操作。之後，該背光被關掉，且在第  $(p+1)$  列中的光感測器實施該重設操作及該儲存操作。然後，在所有列中的光感測器依序地實施該選取操作。相鄰列的光感測器的輸出信號之間的差異被獲得。藉由使用該差異，該物件的一被捕捉到的影像被產生且該物件存在的區域被偵測。該放大器電路包括一用來維持被儲存的電荷的電晶體。該電晶體的一通道被形成在一層氧化物半導體層內。

在結構 1 中，該背光被打開，該待偵測的物件被光線照射，及在第  $p$  列中（ $p$  是  $m$  或更小的自然數）的光感測器實施該重設操作及該儲存操作。之後，該背光被關掉，且在第  $(p+1)$  列中的光感測器實施該重設操作及該儲存操作。或者，一半導體裝置可具有下面的結構 2，在該結構 2 中一背光被打開，該待偵測的物件被光線照射，及在第  $q$  行中（ $q$  是  $n$  或更小的自然數）的光感測器實施該重設操作及該儲存操作。之後，該背光被關掉，且在第  $(q+1)$  行中的光感測器實施該重設操作及該儲存操作。

( 結構 2 )

揭露於本文中的本發明的一個實施例是一種包括多個光感測器的半導體裝置，該等光感測器被配置成  $m$  列（ $m$  是 2 或更大的自然數）與  $n$  行（ $n$  是自然數）的矩陣。該等光感測器的每一者包括一光電轉換元件及一放大器電路。該放大器電路實施一將儲存在該放大器電路中的電荷釋出之重設操作、一將對應於流經該光電轉換元件的光電流的量的電荷儲存的儲存操作、及一讀取一包括該電荷的量的輸出訊號以作為資料的選取操作。一背光被打開，一待偵測的物件被光線照射，及在第  $q$  行中（ $q$  是  $n$  或更小的自然數）的光感測器實施該重設操作及該儲存操作。之後，該背光被關掉，且在第（ $q+1$ ）行中的光感測器實施該重設操作及該儲存操作。然後，在所有行中的光感測器依序地實施該選取操作。相鄰行的光感測器的輸出信號之間的差異被獲得。藉由使用該差異，該物件的一被捕捉到的影像被產生且該物件存在的區域被偵測。該放大器電路包括一用來維持被儲存的電荷的電晶體。該電晶體的一通道被形成在一層氧化物半導體層內。

應指出的是，在結構 1 與結構 2 中，打開背光的時機與關掉背光的時機是可以顛倒的。

在下面的結構中，在上述結構中之該放大器電路及類此者的組態（configuration）被進一步界定。

揭露於本文中的本發明的一個實施例是一種包括多個光感測器的半導體裝置，該等光感測器被配置成  $m$  列（ $m$

是2或更大的自然數)與 $n$ 行( $n$ 是2或更大的自然數)的矩陣、一第一配線(wiring)、一第二配線、一第三配線、一第四配線及一第五配線。該等光感測器的每一者包括一光電轉換元件及一放大器電路。該放大器電路包括一第一電晶體、一第二電晶體、及一第三電晶體。該第二電晶體與該第三電晶體彼此串聯地電連接於該第一配線與該第二配線之間。該第二電晶體的一閘極被電連接至該第一電晶體的源極與汲極的一者。該第一電晶體的源極與汲極的另一者被電連接至該光電轉換器的一對電極中的一電極。該光電轉換器的該對電極中的另一電極被電連接至該第四配線。該第一電晶體的閘極被電連接至該第三配線。該第三電晶體的閘極被電連接至該第五配線。

該放大器電路實施一將儲存在該放大器電路中的電荷釋出之重設操作、一將對應於流經該光電轉換元件的光電流的量的電荷儲存的儲存操作、及一讀取一包括該電荷的量的輸出訊號以作為資料的選取操作。

在該重設操作中，一儲存在該第二電晶體的閘極的電荷藉由用該第四配線的一電位將該第三電晶體關掉、用該第三配線的一電位打開該第一電晶體、及改變該第四配線的電位以施加一順向偏電壓(forward bias voltage)至該光電轉換元件而被釋出。

在該重設操作之後，在該第三電晶體被該第五配線的電位保持關閉及該第一電晶體被該第三配線的電位保持打開的同時，該儲存操作藉由該變該第四配線的電位並施加

逆向偏電壓至該光電轉換元件而開始。該儲存操作藉由用該第三配線的電位將該第一電晶體關掉而完成。

該選取操作係在該第一電晶體被該第三配線的電位保持打開的同時藉由用該第五配線的電位將該第三電晶體打開來實施，且該第二配線導因於流經該第二電晶體及該第三電晶體的電流之電位的改變量是該光感測器的一輸出信號。

應指出的是，在該選取操作之前，一將該第二配線的電位設定為一預定的電位的操作（下文中稱為預先充電操作）可被實施。

在上述的結構（即，該放大器電路及類此者的組態被界定之結構）中，下面的結構3及結構4被使用。

#### （結構3）

該背光被打開，一待偵測的物件被光線照射，及在第 $p$ 列中（ $p$ 是 $m$ 或更小的自然數）的光感測器實施該重設操作及該儲存操作。之後，該背光被關掉，且在第 $(p+1)$ 列中的光感測器實施該重設操作及該儲存操作。然後，在所有列中的光感測器依序地實施該選取操作。相鄰列的光感測器的輸出信號之間的差異被獲得。藉由使用該差異，該物件的一被捕捉到的影像被產生且該物件存在的區域被偵測。在此處，該第一電晶體的一通道被形成在一層氧化物半導體層內。

( 結構 4 )

該背光被打開，一待偵測的物件被光線照射，及在第  $q$  行中（ $q$  是  $n$  或更小的自然數）的光感測器實施該重設操作及該儲存操作。之後，該背光被關掉，且在第（ $q+1$ ）行中的光感測器實施該重設操作及該儲存操作。然後，在所有行中的光感測器依序地實施該選取操作。相鄰行的光感測器的輸出信號之間的差異被獲得。藉由使用該差異，該物件的一被捕捉到的影像被產生且該物件存在的區域被偵測。在此處，該第一電晶體的一通道被形成在一層氧化物半導體層內。

應指出的是，在結構 3 與結構 4 中，打開背光的時機與關掉背光的時機是可以顛倒的。

應指出的是，該背光明滅的時間間隔很短且可被視為該待偵測的物件在該背光被打開與該背光被關掉的時間之間不會移動。

下列氧化物的任何一者皆可被用於該氧化物半導體層：  
 以 In-Sn-Ga-Zn 為基質的氧化物，以 In-Hf-Ga-Zn 為基質的氧化物，以 In-Al-Ga-Zn 為基質的氧化物，以 In-Sn-Al-Zn 為基質的氧化物，以 In-Sn-Hf-Zn 為基質的氧化物，及以 In-Hf-Al-Zn 為基質的氧化物，它們是四個金屬元素的氧化物；  
 以 In-Ga-Zn 為基質的氧化物（亦被稱為 IGZO），以 In-Sn-Zn 為基質的氧化物，以 In-Al-Zn 為基質的氧化物，以 Sn-Ga-Zn 為基質的氧化物，以 Al-Ga-Zn 為基質的氧化物，以 Sn-Al-Zn 為基質的氧化物，以 In-Hf-Zn 為基質的氧化

物，以 In-La-Zn 爲基質的氧化物，以 In-Ce-Zn 爲基質的氧化物，以 In-Pr-Zn 爲基質的氧化物，以 In-Nd-Zn 爲基質的氧化物，以 In-Sm-Zn 爲基質的氧化物，以 In-Eu-Zn 爲基質的氧化物，以 In-Gd-Zn 爲基質的氧化物，以 In-Tb-Zn 爲基質的氧化物，以 In-Dy-Zn 爲基質的氧化物，以 In-Ho-Zn 爲基質的氧化物，以 In-Er-Zn 爲基質的氧化物，以 In-Tm-Zn 爲基質的氧化物，以 In-Yb-Zn 爲基質的氧化物，及以 In-Lu-Zn 爲基質的氧化物，它們是三個金屬元素的氧化物；以 In-Zn 爲基質的氧化物，以 Sn-Zn 爲基質的氧化物，以 Al-Zn 爲基質的氧化物，以 Zn-Mg 爲基質的氧化物，以 Sn-Mg 爲基質的氧化物，以 In-Mg 爲基質的氧化物，及以 In-Ga 爲基質的氧化物，它們是二個金屬元素的氧化物；氧化銦、氧化錫及氧化鋅。例如，一以 In-Sn-Ga-Zn 爲基質的氧化物係指一包含銦 (In)、錫 (Sn)、鎵 (Ga)、及鋅 (Zn) 的氧化物，且在成分的比例上沒有特別的限制。上述的氧化物半導體可包括矽。

在此應指出的是，例如，一以 In-Ga-Zn 爲基質的氧化物係指一包含 In、Ga、Zn 作爲主要成分其主要成分的氧化物，且對於 In、Ga、Zn 的比例並沒有特別限制。該以 In-Ga-Zn 爲基質的氧化物可包含一除了 In、Ga、Zn 以外的金屬元素。

或者，一以化學式  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ，其中  $m$  不是整數) 表示的氧化物半導體可被用於該氧化物半導體層。在此處，M 代表一或多個選自於 Ga, Al, Fe, Mn, 及 Co 的金

屬元素。或者，一以化學式  $\text{In}_3\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ ，其中  $n$  是整數) 表示的材料可被用作為該氧化物半導體。

一藉由減少像是水氣、氫氣、及鹼金屬元素（如，鈉或鋰）等作為電子供體（供體）的雜質而被高度純化的氧化物半導體層可被用作為該氧化物半導體層。在該被高度純化的氧化物半導體層內的氫的濃度（其係用二次離子質譜儀，SIMS，來測量）係小於或等於  $5 \times 10^{19}$  原子 /  $\text{cm}^3$ ，較佳地小於或等於  $5 \times 10^{18}$  原子 /  $\text{cm}^3$ ，更佳地係小於或等於  $5 \times 10^{17}$  原子 /  $\text{cm}^3$ ，再更佳地係小於或等於  $1 \times 10^{16}$  原子 /  $\text{cm}^3$ 。Na 濃度的測量值係小於或等於  $5 \times 10^{16}$  原子 /  $\text{cm}^3$ ，較佳地係小於或等於  $1 \times 10^{16}$  原子 /  $\text{cm}^3$ ，更佳地係小於或等於  $1 \times 10^{15}$  原子 /  $\text{cm}^3$ 。Li 濃度的測量值係小於或等於  $5 \times 10^{15}$  原子 /  $\text{cm}^3$ ，較佳地係小於或等於  $1 \times 10^{15}$  原子 /  $\text{cm}^3$ 。K 濃度的測量值係小於或等於  $5 \times 10^{15}$  原子 /  $\text{cm}^3$ ，較佳地係小於或等於  $1 \times 10^{15}$  原子 /  $\text{cm}^3$ 。此外，該氧化物半導體層的載子密度（其係用霍耳效應測量來測量）係小於  $1 \times 10^{14} / \text{cm}^3$ ，較佳地係小於  $1 \times 10^{12} / \text{cm}^3$ ，更佳地係小於  $1 \times 10^{11} / \text{cm}^3$ 。又，該氧化物半導體的能帶間隙為 2 eV 或更大，較佳地為 2.5 eV 或更大，更佳地為 3 eV 或更大。

已知道的是，當在該層內的鹼金屬元素及氫的濃度是用 SIMS 來予以測量時，在一樣本的一表面的附近或在一介於該等使用不同的材料形成之堆疊層之間的界面的附近精確地獲得資料是很困難的。因此，在該層內的鹼金屬元素及氫的濃度在厚度方向上的分佈是用 SIMS 來分析的例子中

，一在該層的一區域內的平均值被用作為鹼金屬元素及氫的濃度，在該層的該區域內該平均值沒有被顯著地改變且幾乎是同一數值。此外，在該待測量的層的厚度很小的例子中，在一些情形中因為彼此相鄰的層的鹼金屬元素及氫的濃度的分佈的影響而無法找到一可得到幾乎一樣的數值的區域。在該例子中，一設置有該等層的區域的鹼金屬元素及氫的濃度的最大值或最小值被用作為該層的鹼金屬元素及氫的濃度。再者，在設置有該等層的該區域內不存在具有該最大值之山形峰值及具有該最小值的山谷形峰值的例子中，該拐折點的值被用作為鹼金屬元素及氫的濃度。

其通道被形成在該氧化物半導體層內的該電晶體的關閉狀態電流密度可小於或等於  $100 \text{ yA}/\mu\text{m}$ ，較佳地小於或等於  $10 \text{ yA}/\mu\text{m}$ ，更佳地小於或等於  $1 \text{ yA}/\mu\text{m}$ 。

在結構 3 中，該第三配線可被在同一列內的光電感測器共用。又，在結構 3 中，該第四配線可被在同一列內的光電感測器共用。

在結構 4 中，該第三配線可被在同一行內的光電感測器共用。又，在結構 3 中，該第四配線可被在同一行內的光電感測器共用。

在結構 3 及結構 4 中，該第五配線可被同一列內的光電感測器共用。

在結構 3 及結構 4 中，該第一配線可被同一行內的光電感測器共用。或者，在結構 3 及結構 4 中，該第一配線可被同一列內的光電感測器共用。

在結構 3 及結構 4 中，該第二配線與該第五配線可彼此交會。

每一列的光感測器可依序地實施該選取操作，或在多個列中的光感測器可同時實施該選取操作。

該光電轉換元件可以是一光二極體或一光電晶體。

在光二極體被用作為該光電轉換元件的例子中，該光二極體的一對電極中的一被電連接至該第四配線的電極係作為陽極，及被電連接至該第一電晶體的另一電極係作為陰極，該第四配線的電位在該重設操作中被設定在一高於一第一電位的第二電位，且在該儲存操作中被設定在該第一電位。以此方式，一順向偏電壓在該重設操作中被施加至該光二極體，及一逆向偏電壓在該儲存操作中被施加。

在光二極體被用作為該光電轉換元件的例子中，該光二極體的一對電極中的一被電連接至該第四配線的電極係作為陰極，及被電連接至該第一電晶體的另一電極係作為陽極，該第四配線的電位在該重設操作中被設定在一低於一第一電位的第二電位，且在該儲存操作中被設定在該第一電位。以此方式，一順向偏電壓在該重設操作中被施加至該光二極體，及一逆向偏電壓在該儲存操作中被施加。

該半導體裝置進一步包括多個配置成矩陣的顯示元件。該等多個光感測器及該等多個顯示元件的密度可以是相同的或是不同的。亦即，一個光感測器可配置有一個顯示元件；一個光感測器可用於兩個或更多個顯示元件；或一個顯示元件可用於兩個或更多個光感測器。

該背光可包括一發出可見光的光源及一發出紅外線光的光源的至少一者。

該顯示元件可包括一液晶元件。多個被設置成矩陣的液晶元件係藉由控制來自該背光的光線透光度來顯示影像。

此外，該顯示元件可包括一發光元件。一發光元件是一亮度是用電流或電壓來控制的元件。它的例子為發光二極體及有機發光二極體（OLED）。在使用發光元件作為該顯示元件的例子中，多個被設置成矩陣的發光元件可發出作為背光的光線。

一通道被形成在一氧化物半導體層內的電晶體具有一極低的關閉狀態電流及高的耐受電壓。它的關閉狀態電流比一包括矽的電晶體的關閉狀態電流低很多。詳言之，一藉由減少像是水氣、氫氣、及鹼金屬元素等作為電子供體（供體）的雜質而被高度純化且其內的氧空洞被減少的氧化物半導體層是一 i-型（內蘊的）半導體或一實質 i-型半導體。因此之故，通道被形成在該氧化物半導體層內的電晶體的關閉狀態電流是極低的。

在本發明中，一通道被形成在一氧化物半導體層內的電晶體被用作為該電晶體（第一電晶體）其維持著儲存在該光感測器內的電荷。因此，即使是在一包括光感測器的半導體裝置中（其中該重設操作及儲存操作被實施之後及該選取操作開始實施之前的這段期間的長度會改變以獲得一信號成分其 S/N 比因為導因於外部光線的雜訊被抵消而

被改善)，導因於該電晶體的關閉狀態電流的漏電的雜訊可被降低。

在一包括具有低濃度的鹼金屬元素及鹼土金屬元素的氧化物半導體層的電晶體中，並未造成太大的特徵（如，該電晶體的正常打開狀態（門檻值電壓的負偏移）及移動性的降低）劣化或特徵的改變。這是因為鹼金屬元素及鹼土金屬元素在該氧化物半導體層中是有害的雜質。當一與該氧化物半導體層接觸的絕緣膜是氧化物時，一鹼金屬元素，特別是Na，會擴散至該氧化物中並變成 $\text{Na}^+$ 。此外，Na切斷該氧化物半導體層中的一金屬與氧之間的鍵結或進入到該鍵結中，這造成電晶體特徵（如，該電晶體的正常打開狀態（門檻值電壓的負偏移）及移動性的降低）的劣化。此外，這亦造成特徵的改變。此一問題在該氧化物半導體層內的氫濃度很低的例子中特別重要。因此，當一鹼金屬元素的濃度被降低至在該氧化物半導體層內的氫濃度小於或等於 $5 \times 10^{19}$ 原子/ $\text{cm}^3$ ，特別地小於或等於 $5 \times 10^{18}$ 原子/ $\text{cm}^3$ 的例子中的上述數值時，一電晶體（其通道被形成在該氧化物半導體層內）的特徵的劣化及改變可被抑制。藉由使用一通道被形成在此一氧化物半導體層內的電晶體作為將儲存在該光感測器內的電荷保持住的該電晶體（第一電晶體），該光感測器的可靠性可被提高，該半導體裝置的可靠性可因而被提高。

因此，在一包括光感測器的半導體裝置中，導因於外部光線的雜訊被降低且導引於電晶體的關閉狀態電流的漏

電的雜訊被降低，使得半導體裝置的可靠性可被提高。

### 【實施方式】

在下文中，本發明的實施例將參考附圖予以詳細描述。應指出的是，本發明並不侷限於下文中的描述，熟習此技藝者可輕易地瞭解的是，許多改變及修改可在不偏離本發明的精神與範圍下被達成。因此，本發明不應被侷限在下面的實施例的描述。

一電晶體的“源極電極”及“汲極電極”可根據該電晶體的極性或施加至該等電極的電位位準（potential level）之間的差異而彼此互換。大體上，在一n型通道電晶體中，一被施加較低的電位的電極被稱為源極電極，及一被施加較高的電位的電極被稱為汲極電極。又，在一p型通道電晶體中，一被施加較低的電位的電極被稱為汲極電極，及一被施加較高的電位的電極被稱為源極電極。在下面的描述中，源極電極與汲極電極中的一者被稱為第一端子，另一者被稱為第二端子。

應指出的是，在此說明書中“電連接”係指電流、電壓或電位可被供應或傳輸的狀態。因此，一電連接的狀態不只是意謂著一直接連接的狀態，還是一經由一電路元件（譬如，一配線、一電阻、一二極體、或一電晶體）的間接連接狀態，在該狀態裝電流、電壓、或電位可被供應或傳輸。

即使是在一電路圖顯示彼此連接的獨立的構件的時候

，仍有一導電膜具有多種構件的功能的情形，譬如一配線如一電極般地作用的情形。

在此說明書中，電晶體彼此串聯地電連接的狀態意指，例如，一電晶體的第一端子與第二端子中只有一者被電連接至另一電晶體的第一端子與第二端子中只有一者的狀態。又，電晶體彼此並聯地電連接的狀態意指一電晶體的第一端子被電連接至另一電晶體的第一端子及一電晶體的第二端子被電連接至另一電晶體的第二端子。

除非被不同地界定，否則在此說明書中，在當一參考電位是該源極電極的電位時該閘極電極的電位係小於或等於0的例子中，一n型通道電晶體的關閉狀態電流是當該汲極電極的電位大於該源極電極的電位與該閘極電極的電位時，一流動於一源極電極與一汲極電極之間的電流。再者，在此說明書中，在當一參考電位是該源極電極的電位時該閘極電極的電位係大於或等於0的例子中，一p型通道電晶體的關閉狀態電流是當該汲極電極的電位小於該源極電極的電位與該閘極電極的電位時，一流動於一源極電極與一汲極電極之間的電流。

在電路圖中，“OS”有時被寫在一通道被形成在一氧化物半導體層內的電晶體旁。

#### （實施例1）

在此實施例中，一依據本發明的一個實施例的半導體裝置的特定結構將被描述。

圖 1A 爲一電路圖的例子，其例示一包括在一半導體裝置內的光感測器 301 的組態。該光感測器 301 包括一光二極體 302 及一放大器電路 303。該光二極體 302 是一光電轉換元件其具有在被光照射時產生電流的特性，且流經它的光電流的量是由該照射光線的強度來決定。該放大器電路 303 儲存與該光電流相當的電荷，並產生一包括該電荷的量的輸出訊號作爲資料。

該放大器電路 303 包括一電晶體 304 其如一用來控制該放大器電路 303 內的光電流的供應的開關元件般地作用、一電晶體 305，在該電晶體內介於其第一端子與第二端子之間的電流或電阻係依據施加至該電晶體 304 的第二端子的電位來決定、及一電晶體 306 其如一用來供應一由該電流或電阻所決定的輸出信號的電位至一配線 OUT 的開關元件般地作用。應指出的是，該電晶體 304 相當於一維持著對應於該光二極體 302 的光電流的電荷的電晶體。

在圖 1A 中，該光二極體 302 的陽極被電連接至一配線 PR。該光二極體 302 的陰極被電連接至該電晶體 304 的第一端子。該電晶體 304 的第二端子被電連接至該電晶體 305 的閘極。該電晶體 304 的閘極被電連接至配線 TX。該配線 TX 被供應一用來控制該電晶體 304 的開關的信號的電位。該電晶體 305 的第一端子被電連接至配線 VR。該配線 VR 被供應一預定的電位，例如，一高階電源供應電位 VDD。該電晶體 305 的第二端子被電連接至電晶體 306 的第一端子。電晶體 306 的第二端子被電連接至該配線 OUT。電晶體 306 的

閘極被電連接至配線SE。該配線SE被供應一用來控制該電晶體306的開關的信號的電位。該配線OUT被供應一從該放大器電路303被輸出之輸出信號的電位。

本發明的特徵包括一電晶體其通道被形成在一被用作為該電晶體304的氧化物半導體層內。亦即，一氧化物半導體膜被用作為該電晶體304的主動層。

下列氧化物的任何一者都可被用於該氧化物半導體層：

- 以In-Sn-Ga-Zn為基質的氧化物，以In-Hf-Ga-Zn為基質的氧化物，以In-Al-Ga-Zn為基質的氧化物，以In-Sn-Al-Zn為基質的氧化物，以In-Sn-Hf-Zn為基質的氧化物，及以In-Hf-Al-Zn為基質的氧化物，它們是四個金屬元素的氧化物；
- 以In-Ga-Zn為基質的氧化物（亦被稱為IGZO），以In-Sn-Zn為基質的氧化物，以In-Al-Zn為基質的氧化物，以Sn-Ga-Zn為基質的氧化物，以Al-Ga-Zn為基質的氧化物，以Sn-Al-Zn為基質的氧化物，以In-Hf-Zn為基質的氧化物，以In-La-Zn為基質的氧化物，以In-Ce-Zn為基質的氧化物，以In-Pr-Zn為基質的氧化物，以In-Nd-Zn為基質的氧化物，以In-Sm-Zn為基質的氧化物，以In-Eu-Zn為基質的氧化物，以In-Gd-Zn為基質的氧化物，以In-Tb-Zn為基質的氧化物，以In-Dy-Zn為基質的氧化物，以In-Ho-Zn為基質的氧化物，以In-Er-Zn為基質的氧化物，以In-Tm-Zn為基質的氧化物，以In-Yb-Zn為基質的氧化物，及以In-Lu-Zn為基質的氧化物，它們是三個金屬元素的氧化物；
- 以In-Zn為基質的氧化物，以Sn-Zn為基質的氧化物，以Al-

Zn爲基質的氧化物，以 Zn-Mg爲基質的氧化物，以 Sn-Mg爲基質的氧化物，以 In-Mg爲基質的氧化物，及以 In-Ga爲基質的氧化物，它們是二個金屬元素的氧化物；氧化銦、氧化錫及氧化鋅。例如，一以 In-Sn-Ga-Zn爲基質的氧化物係指一包含銦（In）、錫（Sn）、鎵（Ga）、及鋅（Zn）的氧化物，且在成分的比例上沒有特別的限制。上述的氧化物半導體可包括矽。

在此應指出的是，例如，一以 In-Ga-Zn爲基質的氧化物係指一包含 In、Ga、Zn作爲主要成分其主要成分的氧化物，且對於 In、Ga、Zn的比例並沒有特別限制。該以 In-Ga-Zn爲基質的氧化物可包含一除了 In、Ga、Zn以外的金屬元素。

或者，一以化學式  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ，其中  $m$  不是整數) 表示的氧化物半導體可被用於該氧化物半導體層。在此處， $M$  代表一或多個選自於 Ga, Al, Fe, Mn, 及 Co 的金屬元素。或者，一以化學式  $\text{In}_3\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ ，其中  $n$  是整數) 表示的材料可被用作爲該氧化物半導體。

例如，可使用原子比爲 In:Ga:Zn=1:1:1 ( $=1/3:1/3:1/3$ ) 或 In:Ga:Zn=2:2:1 ( $=2/5:2/5:1/5$ ) 之以 In-Ga-Zn爲基質的氧化物，或成分是在上述成分的附近的氧化物。或者，可使用原子比爲 In:Sn:Zn=1:1:1 ( $=1/3:1/3:1/3$ ) 或 In:Sn:Zn=2:1:3 ( $=1/3:1/6:1/2$ ) 之以 In-Sn-Zn爲基質的氧化物，或成分是在上述成分的附近的氧化物。

一具有適當的成分比之氧化物半導體可依據所想要的

半導體特徵（如，移動性、門檻值電壓、及變化）而被使用，並不限於上文所述。爲了要獲得所需要的半導體特徵，氧化物半導體較佳地具有適當的載子濃度、雜質濃度、缺陷密度、金屬元素與氧的原子比、鍵距離、密度、或類此者。

例如，高移動性可用以 In-Sn-Zn 爲基質的氧化物來相對輕易地獲得。即使是在使用 In-Ga-Zn 爲基質的氧化物時，該移動性亦可藉由大量地減少缺陷密度來提高。

應指出的是，在氧化物的成分的原子比  $\text{In:Ga:Zn} = a:b:c$  ( $a+b+c=1$ ) 是在氧化物的成分的原子比  $\text{In:Ga:Zn} = A:B:C$  ( $A+B+C=1$ ) 的附近的情形係指  $a$ ， $b$  及  $c$  滿足下面的關係： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ ， $r$  可以是 0.05。此關係適用於其它氧化物。

該氧化物半導體可以是單晶或非單晶。一非單晶型氧化物半導體可以是非晶型或多晶型。又，該氧化物半導體可具有一非晶型結構其包括結晶性 (crystallinity) 或非非晶型 (non-amorphous) 結構。

在一非晶型狀態中的氧化物半導體中，一平的表面可相當容易被獲得。當一電晶體係使用在一非晶型狀態的氧化物半導體來形成時，界面散射可被降低，且可相對容易地獲得相對高的移動性。

在具有結晶性的氧化物半導體中，大量的缺陷可被進一步減少。當一表面平坦度被改善時，即可獲得比在非晶型狀態的氧化物半導體的移動性更高的移動性。爲了要改

善表面平坦度，該氧化物半導體較佳地係被形成在一平的表面上。詳言之，該氧化物半導體被形成在一具有1nm或更小的平均表面粗糙度（ $R_a$ ）的表面上是較佳的，更佳的是0.3nm或小，又更佳的是0.1nm或更小。

應指出的是， $R_a$ 係藉由擴展（JIS B 0601所界定之）中心線平均粗糙度成為三維度而獲得的，用以能夠應用至一表面。又， $R_a$ 可被表示為從一參考表面至一特定表面的偏離的絕對值的平均值且由下面的公式1來界定。

[公式1]

$$Ra = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |f(x,y) - Z_0| dx dy$$

應指出的是在公式1中， $S_0$ 代表一測量表面（由座標（ $x_1$ ， $y_1$ ），（ $x_2$ ， $y_2$ ），（ $x_3$ ， $y_3$ ），（ $x_4$ ， $y_4$ ），所代表的四個點所界定的一矩形區域）的面積， $Z_0$ 代表該測量表面的平均高度。又， $R_a$ 可用原子力顯微鏡（AFM）來測量。

一藉由減少像是水氣、氫氣、及鹼金屬元素（如，鈉或鋰）等作為電子供體（供體）的雜質而被高度純化的氧化物半導體層可被用作為該氧化物半導體層。在該被高度純化的氧化物半導體層內的氫的濃度（其係用二次離子質譜儀，SIMS，來測量）係小於或等於 $5 \times 10^{19}$ 原子/ $\text{cm}^3$ ，較佳地小於或等於 $5 \times 10^{18}$ 原子/ $\text{cm}^3$ ，更佳地係小於或等於 $5 \times 10^{17}$ 原子/ $\text{cm}^3$ ，再更佳地係小於或等於 $1 \times 10^{16}$ 原子/ $\text{cm}^3$ 。  
Na濃度的測量值係小於或等於 $5 \times 10^{16}$ 原子/ $\text{cm}^3$ ，較佳地係小於或等於 $1 \times 10^{16}$ 原子/ $\text{cm}^3$ ，更佳地係小於或等於 $1 \times 10^{15}$

原子/cm<sup>3</sup>。Li濃度的測量值係小於或等於 $5 \times 10^{15}$ 原子/cm<sup>3</sup>，較佳地係小於或等於 $1 \times 10^{15}$ 原子/cm<sup>3</sup>。K濃度的測量值係小於或等於 $5 \times 10^{15}$ 原子/cm<sup>3</sup>，較佳地係小於或等於 $1 \times 10^{15}$ 原子/cm<sup>3</sup>。此外，該氧化物半導體層的載子密度（其係用霍耳效應測量來測量）係小於 $1 \times 10^{14}/\text{cm}^3$ ，較佳地係小於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地係小於 $1 \times 10^{11}/\text{cm}^3$ 。又，該氧化物半導體的能帶間隙為2eV或更大，較佳地為2.5eV或更大，更佳地為3eV或更大。

詳言之，通道被形成在一高度純化的氧化物半導體層內的該電晶體之低的關閉狀態電流可用各式實驗來證實。例如，即使是在一電晶體具有 $1 \times 10^6$ 微米的通道寬度及10微米的通道長度的時候，該關閉狀態電流（即，介於閘極電極與源極電極之間的電壓為0V或更小的時候的汲極電流）可小於或等於一半導體參數分析器的測量極限值，亦即，小於或等於 $1 \times 10^{-13}$ A，其中介於該源極電極與一汲極電極之間的電壓（汲極電壓）為1V至10V。在此例子中，可被發現的是，該電晶體該關閉電流密度小於或等於 $100 \text{ zA}/\mu\text{m}$ 。此外，一電容器與一電晶體彼此連接且該關閉狀態電流密度係用一電路來測量，在該電路中流入及流出該電容器的電荷是由該電晶體來控制。在此測量中，一高度純化的氧化物半導體層被用於該電晶體的通道形成區，電晶體的關閉狀態電流密度是用每單位時間內該電容器的電荷量的改變來予以測量。因此，在該電晶體的源極電極與汲極電極之間的電壓為3V的例子中，可獲得一較低之每微米

數十尤科托安培 (yoctoamper) 的關閉狀態電流密度 ( $\text{yA}/\mu\text{m}$ )。一通道被形成在一高度純化的氧化物半導體層內的電晶體的關閉狀態電流密度可小於或等於  $100\text{yA}/\mu\text{m}$ ，較佳地小於或等於  $10\text{yA}/\mu\text{m}$ ，更佳地小於或等於  $1\text{yA}/\mu\text{m}$ ，視介於源極電極與汲極電極之間的電壓而定。因此，通道被形成在一高度純化的氧化物半導體層內的該電晶體的關閉狀態電流比一包括結晶型矽的電晶體的關閉狀態電流小很多。

以此方式，電晶體 304 的關閉電流可以是極低的。因為電晶體 304 係用來作為保持儲存在光感測器 301 內的電荷的開關元件，所以在該儲存操作被實施之後且在該選取操作被開始之前的一端時間內（在下文中亦被稱為電荷保持期間）之電荷的漏電可被抑制。又，藉由使用通道被形成在氧化物半導體層內的該電晶體作為電晶體 304，而不是使用通道被形成在一層非晶型半導體材料內的電晶體，使得電晶體 304 的移動性可被提高。

在圖 1A 中，包括在放大器電路 303 內的電晶體 305 及 306 可以是一通道被形成在氧化物半導體層內的電晶體，或可以是一通道被形成在一用不是氧化物半導體的半導體材料製成的層或基材中的電晶體。應指出的是，一用不是氧化物半導體的半導體材料製成的層或基材可以是非晶型、微晶型、多晶型或單晶型半導體材料。

使用一通道被形成在氧化物半導體層內的電晶體作為電晶體 305 可防止一不必要的電位被輸出至該配線 OUT。

又，在該例子中，該電晶體 305 的移動性比使用一通道被形成在一層非晶型半導體材料中的電晶體作為電晶體 305 的移動性高。

使用一通道被形成在氧化物半導體層內的電晶體作為電晶體 306 可防止一不必要的電位被輸出至該配線 OUT。又，在該例子中，該電晶體 306 的移動性比使用一通道被形成在一層非晶型半導體材料中的電晶體作為電晶體 306 的移動性高。

應指出的是，藉由使用相同的半導體材料作為該光感測器 301 內的所有電晶體的主動層，半導體裝置的製程可被簡化。例如，藉由使用氧化物半導體膜作為該光感測器 301 內的所有電晶體的主動層，半導體裝置的製程可被簡化。

當一能夠提供比氧化物半導體更高的移動性的半導體材料，譬如多晶型或單晶型矽，被用作為電晶體 305 及 306 的主動層時，資料可以更快的速度從該光感測器 301 被讀取。

提供一用於該配線 OUT 的電容器在穩定該配線 OUT 的電位上是有效的。

應指出的是，圖 1A 例示出該光二極體 302 的陽極被電連接至配線 PR 及該光二極體 302 的陰極被電連接至電晶體 304 的第一端子的結構；然而，此實施例並不侷限於此結構。如圖 1B 所示，該光二極體 302 的陰極可被電連接至配線 PR 及光二極體 302 的陽極可被電連接至電晶體 304 的第一

端子。

此外，圖 1A 及 1B 顯示電晶體 305 及電晶體 306 係以此順序被串聯地電連接於配線 VR 與配線 OUT 之間。然而，此實施例並不侷限於此結構，且電晶體 305 與 306 的連接順序可被顛倒。亦即，電晶體 306 及電晶體 305 可以此順序被串聯地電連接於配線 VR 與配線 OUT 之間。

在圖 1A 及 1B 中，該電晶體 304 的第二端子與電晶體 305 的閘極彼此電連接的交點被標記為交點 FD。該放大器電路 303 的輸出信號的電位係用儲存在該交點 FD 的電荷數量來決定的。為了更可靠地保持在交點 FD 處的電荷，一電容器可被電連接至交點 FD。

應指出的是，圖 1A 及 1B 例示出該配線 PR、配線 SE、配線 TX、及配線 OUT 被連接至該光感測器 301 的例子；然而，包括在本發明的一個實施例的該光感測器 301 內的配線數量並不侷限於此例子中的數量。除了上述配線之外，一被供應一用來重設被保持在該放大器電路 303 內的電荷數量的信號的電位或類此者的配線可被連接至該光感測器 301。

亦應指出的是，圖 1A 及 1B 例示出該光感測器 301 的組態，在該組態中該放大器電路 303 只包括一個如開關元件般地作用的電晶體 304，本發明並不侷限於此組態。在本發明的一實施例中，一個電晶體可如一個開關元件般地作用，或者，多個電晶體可如一個開關元件般地作用。在多個電晶體可如一個開關元件般地作用的例子中，該等多個

電晶體可彼此並聯地、串聯地、或並聯與串聯連接組合地電連接。

圖 1A 及 1B 例示電晶體 304 包括一在該主動層的一側上的閘極電極。或者，該電晶體 304 可包括一對閘極電極，該主動層被設置在該對閘極電極之間。在該電晶體 304 包括一對閘極電極且該主動層被設置在該對閘極電極之間例子中，該二閘極電極中的一者可被供應一用來控制該電晶體 304 的開關的信號，且該二閘極電極中的另一者可被供應一預定的電位。在此例子中，具有相同位準的電位可施加至該對閘極電極，或一固定的電位（譬如，一接地電位）可被只施加至該二閘極電極的另一者。藉由控制被施加至該二閘極電極的另一者的電位的位準，電晶體 304 的門檻值電壓即可被控制。應指出的是，只要電晶體 304 的門檻值電壓沒有受到不利的影響，該二閘極電極的另一者可以是在浮動狀態（floating state），這是一電絕緣的狀態。

以上所述為光感測器 301 的組態的描述。

接下來，光感測器 301 的操作將被描述。圖 2 為一時機圖的例子，其顯示圖 1A 所例示的該等配線（配線 TX、配線 PR、配線 SE、及配線 OUT）及交點 FD 的電位的改變。

應指出的是，在例示於圖 2 的時機圖中，為了易於理解光感測器 301 的操作，假設配線 TX、配線 SE、配線 PR 被供應一高位準電位或一低位準電位。詳言之，假設配線 TX 被供應一高位準電位 HTX 及一低位準電位 LTX；配線 SE 被

供應一高位準電位 HSE 及一低位準電位 LSE；及配線 PR 被供應一高位準電位 HPR 及一低位準電位 LPR。

應指出的是，所有電晶體 304，305 及 306 都是 n 型通道電晶體的例子將被描述。然而，本發明並不侷限於此例子，且電晶體 304，305 及 306 中的一或多者可以是 p 型通道電晶體。在電晶體 304，305 及 306 中的一或多者是 p 型通道電晶體的例子中，每一配線的電位被設定，使得該等電晶體的打開狀態與關閉狀態在下面的描述中是相同的。

首先，在時間 T1，配線 TX 的電位從電位 LTX 被改變成電位 HTX。當配線 TX 的電位被改變至電位 HTX 時，電晶體 304 即被打開。應指出的是，在時間 T1，配線 SE 被供應電位 LSE，且配線 PR 被供應電位 LPR。

在時間 T2，配線 PR 的電位從電位 LPR 被改變至電位 HPR。在時間 T2，配線 TX 的電位被保持在電位 HTX，且配線 SE 的電位被保持在電位 LSE。一順向偏壓被施加至該光二極體 302。因此，配線 PR 的電位 HPR 被供應至交點 FD；因此，被保持在該交點 FD 的電荷的量被排出。

在時間 T3，配線 PR 的電位從 HPR 被改變至電位 LPR。直到該時間 T3 之前的很短的時間，交點 FD 的電位都被保持在電位 HPR。因此，配線 PR 的電位被改變至電位 LPR，一逆向偏電壓被施加至該光二極體 302。然後，當光（如，從一待偵測的物件上被反射的光）在一逆向偏電壓被施加至該光二極體 302 的狀態下進入到該光感測器時，一電流（光電流）從該光二極體 302 的陰極朝向陽極流動。該光

電流的數值係隨著入射光的強度而改變。亦即，當進入該光二極體302的光的強度較高時，光電流的數值就較高且被傳輸於該交點FD與該光二極體302之間的電荷亦較大。相反地，當進入該光二極體302的光的強度較低時，光電流的數值就較小且被傳輸於該交點FD與該光二極體302之間的電荷亦較小。因此，光的強度愈高，交點FD在電位上的改變的量亦愈大；光的強度愈小，改變的量亦愈小。

在時間T4，當配線TX的電位從電位HTX改變成電位LTX時，電晶體304被關掉。因此，交點FD與光二極體302間的電荷移動即被停止，使得交點FD的電位被決定。

在時間T5，當配線SE的電位從電位LSE被改變至電位HSE時，電晶體306被打開。然後，電荷依據該交點FD的電位而被傳輸於配線VR與配線OUT之間。

應指出的是，將該配線OUT的電位設置為一預定的電位的操作（預充電操作）是在時間T5之前被完成。圖2顯示配線OUT的電位在時間T5之前被預先充電至一低位準且在在時間T5至時間T6之間依據該光的強度而被提高；然而，本發明並不侷限於此例子。該配線OUT的電位可在時間T5之前被預先充電至一高位準電位且在時間T5至時間T6之間依據光的強度被降低。

該預充電操作可用下列的方式來實施，例如：該配線OUT及一被供應一預定的電位的配線經由一開關元件（譬如，一電晶體）且該電晶體被打開而彼此被電連接。在預充電操作完成之後，該電晶體被關掉。

在時間 T6，當配線 SE 的電位從電位 HSE 被改變至電位 LSE 時，從配線 VR 至配線 OUT 的電荷運動即被停止且該配線 OUT 的電位即被決定。該配線 OUT 的電位對應於該光感測器 301 的輸出信號的電位。該輸出信號的電位包括關於該待偵測的物件的資料。

上述一連串該光感測器 301 的操作可被分類成重設操作、儲存操作、及選取操作。換言之，從時間 T2 到時間 T3 的操作對應於重設操作；從時間 T3 到時間 T4 的操作對應於儲存操作；從時間 T5 到時間 T6 的操作對應於選取操作。此外，在儲存操作被完成之後到該選取操作開始之前的一段期間，亦即，從時間 T4 到時間 T5 之間的期間對應於電荷保持期間，在此期間內電荷被保持在該交點 FD。

在此處，當配線 TX 的電位在時間 T1 及時間 T4 被改變時，該交點 FD 的電位藉由電容地耦接於該配線 TX 與該交點 FD 之間而被改變。如果該交點 FD 的電位被大幅地改變的話，該輸出信號無法被正確地輸出。改變介於該電晶體 304 的該閘極與該源極之間或介於該閘極與該汲極之間的電容對於在該配線 TX 的電位改變的時候抑制交點 FD 的電位改變是有效的。此外，提高該電晶體 305 的閘極電容是有效的。又，將一電容器電連接至該交點 FD 是有效的。應指出的是，藉由採取這些措施，交點 FD 在該配線 TX 的電位改變的時候的電位改變在圖 2 中被認為是可忽略的。

以上是光感測器 301 的操作的描述。

接下來，圖 1C 例示一包括多個圖 1A 所示的光感測器

301的矩陣的半導體裝置的組態。

在圖1C中，多個光感測器301被配置成 $m$ 列（ $m$ 是2或更大的自然數）及 $n$ 行（ $n$ 是2或更大的自然數）的矩陣。在一列中的等光感測器301被電連接至多條配線PR（配線PR1至PR $m$ ）中的一條、多條配線TX（配線TX1至TX $m$ ）中的一條、及多條配線SE（配線SE1至SE $m$ ）中的一條。在一行中的光感測器301被電連接至多條配線OUT（配線OUT1至OUT $n$ ）中的一條及多條配線VR（配線VR1至VR $n$ ）中的一條。

在圖1C中，在一列中的光感測器共用該配線TX、配線PR、及配線SE。在一行中的光感測器共用配線OUT及配線VR。然而，本發明並不侷限於此結構。兩條或更多條配線TX可被提供給一列且被電連接至不同的光感測器301。兩條或更多條配線PR可被提供給一列且被電連接至不同的光感測器301。兩條或更多條配線SE可被提供給一列且被電連接至不同的光感測器301。兩條或更多條配線OUT可被提供給一行且被電連接至不同的光感測器301。兩條或更多條配線VR可被提供給一行且被電連接至不同的光感測器301。

圖1C顯示在一行中的光感測器共用配線VR的結構；然而，本發明並不侷限於此結構。配線VR可被在一列中的光感測器共用。

又，配線TX可被配置成 $m$ 列 $\times$  $n$ 行的矩陣的光感測器301中同時實施重設操作與儲存操作的光感測器所共用。

配線 PR 可被配置成  $m$  列  $\times$   $n$  行矩陣的光感測器 301 中同時實施重設操作與儲存操作的光感測器所共用。

如上文所述，配線可被該等光感測器所共用，用以減少配線的數量，因此一用來驅動被配置成  $m$  列  $\times$   $n$  行矩陣的光感測器 301 的驅動電路可被簡化。

接下來，一包括如圖 1C 所示之被配置成  $m$  列  $\times$   $n$  行矩陣的光感測器 301 的半導體裝置的操作的例子將參考圖 3 來描述。

應指出的是，該等光感測器 301 的操作與上文中使用圖 2 描述的操作相同。圖 3 顯示在不同列中之光感測器 301 的重設操作、儲存操作、及選取操作之間的關係。

一背光被打開，一待偵測的物件被光線照射，及在第  $p$  列（ $p$  是  $m$  或更小的自然數）的光感測器實施重設操作及儲存操作。之後，該背光被關掉，及在第（ $p+1$ ）列的光感測器實施重設操作及儲存操作。圖 3 典型地顯示在第  $p$  列及第（ $p+3$ ）列中的光感測器的配線 PR（ $PR_p$  至  $PR(p+3)$ ）、配線 TX（ $TX_p$  至  $TX(p+3)$ ）、及配線 SE（ $SE_p$  至  $SE(p+3)$ ）的電位。

在第  $p$  列及第（ $p+2$ ）列中的光感測器實施重設操作的期間被標記為  $TR_p$ 。在第（ $p+1$ ）列及第（ $p+3$ ）列中的光感測器實施重設操作的期間被標記為  $TR(p+1)$ 。在第  $p$  列及第（ $p+2$ ）列中的光感測器實施儲存操作的期間被標記為  $TI_p$ 。在第（ $p+1$ ）列及第（ $p+3$ ）列中的光感測器實施儲存操作的期間被標記為  $TI(p+1)$ 。在第  $p$  列中的光感測

器實施選取操作的期間被標記為 $TS_p$ 。在第 $(p+1)$ 列中的光感測器實施選取操作的期間被標記為 $TS(p+1)$ 。

在圖3的時機圖所顯示的例子中，在第 $p$ 列至第 $(p+2)$ 列中的光感測器在背光被打開且一待偵測的物件被用光照射的時候同時實施重設操作及儲存操作，及在第 $(p+1)$ 列及第 $(p+3)$ 列中的光感測器在背光被關掉的時候同時實施重設操作及儲存操作。大體上，例如，在奇數列中的光感測器可在背光被打開且一待偵測的物件被用光照射的時候同時重設操作及儲存操作，及在偶數列中可在背光被關掉的時候同時實施重設操作及儲存操作。

之後，在所有列中的光感測器依序地實施選取操作，如圖3的時機圖中的 $TS_p$ 及 $TS(p+1)$ 。

應指出的是，每一列的光感測器可依序地實施該選取操作，或在多列中的光感測器可同時實施該選取操作。

然後，可獲得在相鄰列中的光感測器的輸出信號之間的差異。例如，一差異可藉由在同一時間實施在相鄰列中的選取操作而被獲得。該差異是一信號成分，其 $S/N$ 因為導因於外部光線的雜訊被抵消掉而被改善。藉由使用該差異，一待測的物件之被捕捉到的影像被產生及該物件存在的區域被偵測。

應指出的是，該背光明滅的時間間隔很短，它可被視為一待偵測的物件不會在該背光被打開與該背光被關掉之間移動。因此，介於第 $p$ 列中的光感測器的輸出信號與第 $(p+1)$ 列中的光感測器的輸出信號之間的差異不會受到

該物件移動的影響。

應指出的是，有一對應於列與列之間介於第  $p$  列中的光感測器的輸出信號與第  $(p+1)$  列中的光感測器的輸出信號之間的間隔的差異。介於列與列之間的該間隔的減小可降低在第  $p$  列中的光感測器的輸出信號與在第  $(p+1)$  列中的光感測器的輸出信號之間的差異。

在圖 3 的時機圖所顯示的例子中，在第  $p$  列及第  $(p+2)$  列中的光感測器在該背光被打開且一待偵測的物件被用光照射的時候同時實施重設操作及儲存操作，及在第  $(p+1)$  列及第  $(p+3)$  列中的光感測器在該背光被關掉的時候同時實施重設操作及儲存操作。然而，本發明並不侷限於此例子。打開及關掉該背光的時機可被改變。例如，在第  $p$  列及第  $(p+2)$  列中的光感測器在該背光被關掉的時候同時實施重設操作及儲存操作，及在第  $(p+1)$  列及第  $(p+3)$  列中的光感測器在該背光被打開且一待偵測的物件被用光照射的時候同時實施重設操作及儲存操作。

在圖 3 的時機圖所顯示的例子中，在第  $p$  列及第  $(p+2)$  列中的光感測器同時實施重設操作及在第  $(p+1)$  列及第  $(p+3)$  列中的光感測器同時實施重設操作及儲存操作；然而，本發明並不侷限於此。在該等被配置成  $m$  列  $\times$   $n$  行的矩陣的光感測器中，會有一些列的光感測器的重設操作及儲存操作的時機不同於其它列中的時機，且在重設操作及儲存操作的時機是不相同的一些列中背光可以是打開的或是關掉的。例如，在第  $p$  列及第  $(p+3)$  列中的光感測器

可同時實施重設操作及儲存操作，及在第（ $p+1$ ）列及第（ $p+2$ ）列中的光感測器可同時實施重設操作及儲存操作。在該例子中，當在第 $p$ 列及第（ $p+3$ ）列中的光感測器實施重設操作及儲存操作時，該背光可以是被打開的且一待測物件被用光線照射，且當在第（ $p+1$ ）列及第（ $p+2$ ）列中的光感測器實施重設操作及儲存操作時，該背光被關掉。或者，當在第 $p$ 列及第（ $p+3$ ）列中的光感測器實施重設操作及儲存操作時，該背光可以是被關掉的，及當在第（ $p+1$ ）列及第（ $p+2$ ）列中的光感測器實施重設操作及儲存操作時，該背光被打開且一待測物件被用光線照射。

圖3的時機圖顯示即使是在實施該重設操作的期間，該背光的打開狀態或關掉狀態被選擇的例子；背光在實施該重設操作的期間的狀態可以是任何狀態。

在本發明的一個實施例中，一通道被形成在氧化物半導體層內的電晶體被用作為電晶體304，其保持被儲存在該光感測器內電荷。因此，即使是在一包括光感測器（其中該重設操作及儲存操作被實施之後及該選取操作被開始之前的期間（電荷保持期間）的時間長度會改變，用以獲得一信好成分，其S/N比因為導因於外部光電的雜訊被抵消而被改善）的半導體裝置中，導因於該電晶體的關閉狀態電流的漏電的雜訊可被降低。

在一包括具有低濃度的鹼金屬元素及鹼土金屬元素的氧化物半導體層的電晶體中，並未造成太大的特徵（如，該電晶體的正常打開狀態（門檻值電壓的負偏移）及移動

性的降低)劣化或特徵的改變。這是因為鹼金屬元素及鹼土金屬元素在該氧化物半導體層中是有害的雜質。當一與該氧化物半導體層接觸的絕緣膜是氧化物時，一鹼金屬元素，特別是Na，會擴散至該氧化物中並變成 $\text{Na}^+$ 。此外，Na切斷該氧化物半導體層中的一金屬與氧之間的鍵結或進入到該鍵結中，這造成電晶體特徵(如，該電晶體的正常打開狀態(門檻值電壓的負偏移)及移動性的降低)的劣化。此外，這亦造成特徵的改變。此一問題在該氧化物半導體層內的氫濃度很低的例子中特別重要。因此，當一鹼金屬元素的濃度被降低至在該氧化物半導體層內的氫濃度小於或等於 $5 \times 10^{19}$ 原子/ $\text{cm}^3$ ，特別地小於或等於 $5 \times 10^{18}$ 原子/ $\text{cm}^3$ 的例子中的上述數值時，一電晶體(其通道被形成在該氧化物半導體層內)的特徵的劣化及改變可被抑制。藉由使用一通道被形成在此一氧化物半導體層內的電晶體作為將儲存在該光感測器內的電荷保持住的該電晶體(第一電晶體)，該光感測器的可靠性可被提高，該半導體裝置的可靠性可因而被提高。

因此，在一包括光感測器的半導體裝置中，導因於外部光線的雜訊被降低且導引於電晶體的關閉狀態電流的漏電的雜訊被降低，使得半導體裝置的可靠性可被提高。

#### (實施例2)

在此實施例中，一依據本發明的實施例的半導體裝置的結構將被描述。該實施例說明一除了多個被配置成矩陣

的光感測器之外還包括多個被配置成矩形的顯示元件的半導體裝置的結構的例子。此一半導體裝置被稱為觸控面板或類此者，且一顯示螢幕亦作為一資料輸入區。應指出的是，光感測器的組態及光感測器的連接關係可以是圖1C中所例示的。又，該等被配置成矩陣的多個光感測器的操作類似於在實施例1中的圖3所例示的。

圖4是一半導體裝置的結構的一部分的電路圖。在圖4中，像素320包括四個顯示元件321及一個光感測器301。使用像素320作為基本組態，多個像素320被配置成 $m$ 列乘 $n$ 行的矩陣並形成一顯示螢幕其亦作為資料輸入區。圖4例示具有圖1A的組態的光感測器301被使用在該像素320中。應指出的是，包括在每一像素中的顯示元件321及光感測器301的數量並不侷限於圖4中所示者。該等多個光感測器的密度與該等多個顯示元件的密度可以是相同的或是不相同的。亦即，一個光感測器可被提供給兩個或更多個顯示元件；或一個顯示元件可被提供給兩個或更多個光感測器。

圖4顯示該顯示元件321包括一液晶元件322的組態。該顯示元件321包括該液晶元件322及一電路元件，譬如一用來控制該液晶元件322的操作的電晶體。詳言之，圖4例示該顯示元件321包括該液晶元件322、一開關元件般地作用的電晶體323、及一電容器324。該液晶元件322包括一像素電極、一相對電極（counter electrode）、及一液晶層，一電壓藉由該像素電極與該相對電極而被施加至該液

晶層。

該電晶體 323 的一閘極電極被電連接至一掃描線 GL (GL1 或 GL2)。電晶體 323 的一第一端子被電連接至一信號線 SL (SL1 或 SL2)。該電晶體 323 的一第二端被電連接至該液晶元件 322 的像素電極。該電容器 324 的一對電極中的一者被電連接至該液晶元件 322 的像素電極，及另一者被電連接至一配線 COM，其被供應一固定的電位。該信號線 SL 被供應一對應於一待顯示的影像的電位。當該電晶體 323 用該掃描線 GL 的信號將其打開時，該信號線 SL 的電位被供應至該電容器 324 的該對電極中的一者及該液晶元件 322 的像素電極。該電容器 324 保持一相當於被供應至該液晶層的電壓的電荷。透射穿過該液晶層的光的對比 (即，灰階) 係藉由施用電壓來改變該液晶層的偏極方向來予以控制，且影像被顯示。從背光發出的光被用作為透射穿過該液晶層的光。

在圖 4 的組態中，該等配置成矩陣的顯示元件的操作可以與已知的顯示裝置相同。

應指出的是，描述於實施例 1 中之通道被形成在氧化物半導體層內的電晶體可被用作為電晶體 323，在此例子中，該電容器 324 可被省略掉，因為該電晶體的關閉狀態電流極低。

該電晶體 323 可以是一它的通道被形成在用氧化物半導體以外的半導體材料形成的層或基材內的電晶體。氧化物半導體以外的半導體材料的例子為矽及鎵。應指出的是

，一用氧化物半導體以外的半導體材料製成的層或基材可以是非晶型、微晶型、多晶型、或單晶型。

應指出的是，藉由使用藉由使用相同的半導體材料作為該像素320內的所有電晶體的主動層，半導體裝置的製程可被簡化。例如，藉由使用氧化物半導體膜作為該顯示元件321及該光感測器301內的所有電晶體的主動層，半導體裝置的製程可被簡化。

當一能夠提供比氧化物半導體更高的移動性的半導體材料，譬如多晶型或單晶型矽，被用用作為電晶體323的主動層時，資料可以更快的速度從該顯示元件321被讀取。

應指出的是，該顯示元件321在有需要時可進一步包括另一電路元件，譬如電晶體、二極體、電阻器、電容器、或電感器。

應指出的是，雖然該顯示元件321包括該液晶元件322的例子被描述，但該顯示元件321可包括一不同的元件，譬如一發光元件。一發光元件是一個亮度可用電流或電壓來予以控制的元件。特定的例子為一發光二極體及一有機發光二極體（OLED）。當該顯示元件321包括一發光元件時，該發光元件可發出光線以作為背光。

此實施例可與其它實施例自由地組合。

### （實施例3）

一種包括被配置成 $m$ 列 $\times n$ 行的矩陣的光感測器301的半

導體裝置的結構（其與圖1C所示的結構不同）將參考圖5加以描述。

在圖5中，多個光感測器301被配置成 $m$ 列 $\times n$ 行的矩陣。在一列中的光感測器301被電連接至多條配線SE（配線SE1至SE $m$ ）中的一條。在一行中的等光感測器301被電連接至多條配線PR（配線PR1至PR $n$ ）中的一條、多條配線TX（配線TX1至TX $n$ ）中的一條、多條配線OUT（配線OUT1至OUT $n$ ）中的一條及多條配線VR（配線VR1至VR $n$ ）中的一條。

在圖5中，在一列中的光感測器共用該配線SE。在一行中的光感測器共用配線PR、配線TX、配線OUT及配線VR。然而，本發明並不侷限於此結構。兩條或更多條配線SE可被提供給一列且被電連接至不同的光感測器301。兩條或更多條配線PR可被提供給一行且被電連接至不同的光感測器301。兩條或更多條配線TX可被提供給一行且被電連接至不同的光感測器301。兩條或更多條配線OUT可被提供給一行且被電連接至不同的光感測器301。兩條或更多條配線VR可被提供給一行且被電連接至不同的光感測器301。

圖5顯示在一行中的光感測器共用配線VR的結構；然而，本發明並不侷限於此結構。配線VR可被在一列中的光感測器共用。

又，配線TX可被配置成 $m$ 列 $\times n$ 行的矩陣的光感測器301中同時實施重設操作與儲存操作的光感測器所共用。

配線 PR 可被配置成  $m$  列  $\times$   $n$  行的矩陣的光感測器 301 中同時實施重設操作與儲存操作的光感測器所共用。

如上文所述，配線可被該等光感測器所共用，用以減少配線的數量，因此一用來驅動被配置成  $m$  列  $\times$   $n$  行的矩陣的光感測器 301 的驅動電路可被簡化。

接下來，一包括如圖 5 所示之被配置成  $m$  列  $\times$   $n$  行的矩陣的光感測器 301 的半導體裝置的操作的例子將參考圖 6 來描述。

應指出的是，該等光感測器 301 的操作與上文中使用圖 2 描述的操作相同。圖 6 顯示在不同列中之光感測器 301 的重設操作、儲存操作、及選取操作之間的關係。

一背光被打開，一待偵測的物件被光線照射，及在第  $q$  列（ $q$  是  $m$  或更小的自然數）的光感測器實施重設操作及儲存操作。然後，該背光被關掉，及在第（ $q+1$ ）列的光感測器實施重設操作及儲存操作。圖 6 典型地顯示在第  $p$  列至第（ $p+3$ ）列中的光感測器的配線 PR（PR $_q$ 至 PR（ $q+3$ ））、配線 TX（TX $_q$ 至 TX（ $q+3$ ））、及配線 SE（SE $_p$ 至 SE（ $p+3$ ））的電位。

在第  $q$  行及第（ $q+2$ ）行中的光感測器實施重設操作的期間被標記為 TR $_q$ 。在第（ $q+1$ ）行及第（ $q+3$ ）行中的光感測器實施重設操作的期間被標記為 TR（ $q+1$ ）。在第  $q$  行及第（ $q+2$ ）行中的光感測器實施儲存操作的期間被標記為 TI $_q$ 。在第（ $q+1$ ）行及第（ $q+3$ ）行中的光感測器實施儲存操作的期間被標記為 TI（ $q+1$ ）。在第  $p$  列中的光感測

器實施選取操作的期間被標記為 $TS_p$ 。在第 $(p+1)$ 列中的光感測器實施選取操作的期間被標記為 $TS(p+1)$ 。

在圖6的時機圖所顯示的例子中，在第 $q$ 行及第 $(q+2)$ 行中的光感測器在背光被打開且一待偵測的物件被用光照射的時候同時實施重設操作及儲存操作，及在第 $(q+1)$ 行及第 $(q+3)$ 列中的光感測器在背光被關掉的時候同時實施重設操作及儲存操作。大體上，例如，在奇數行中的光感測器可在背光被打開且一待偵測的物件被用光照射的時候同時重設操作及儲存操作，及在偶數行中可在背光被關掉的時候同時實施重設操作及儲存操作。

之後，在所有列中的光感測器依序地實施選取操作，如圖6的時機圖中的 $TS_p$ 及 $TS(p+1)$ 。應指出的是，每一列的光感測器可依序地實施該選取操作，或在多列中的光感測器可同時實施該選取操作。

然後，可獲得在相鄰行中的光感測器的輸出信號之間的差異。該差異是一信號成分，其 $S/N$ 因為導因於外部光線的雜訊被抵消掉而被改善。藉由使用該差異，一待測的物件之被捕捉到的影像被產生及該物件存在的區域被偵測。

應指出的是，該背光明滅的時間間隔很短，它可被視為一待偵測的物件不會在該背光被打開與該背光被關掉之間移動。因此，介於第 $q$ 行中的光感測器的輸出信號與第 $(q+1)$ 行中的光感測器的輸出信號之間的差異不會受到該物件移動的影響。

應指出的是，有一對應於行與行之間介於第  $q$  行中的光感測器的輸出信號與第  $(q+1)$  行中的光感測器的輸出信號之間的間隔的差異。介於行與行之間的該間隔的減小可降低在第  $q$  行中的光感測器的輸出信號與在第  $(q+1)$  行中的光感測器的輸出信號之間的差異。

在圖 6 的時機圖所顯示的例子中，在第  $q$  行及第  $(q+2)$  行中的光感測器在該背光被打開且一待偵測的物件被用光照射的時候同時實施重設操作及儲存操作，及在第  $(q+1)$  行及第  $(q+3)$  行中的光感測器在該背光被關掉的時候同時實施重設操作及儲存操作。然而，本發明並不侷限於此例子。打開及關掉該背光的時機可被改變。例如，在第  $q$  行及第  $(q+2)$  行中的光感測器在該背光被關掉的時候同時實施重設操作及儲存操作，及在第  $(q+1)$  行及第  $(q+3)$  行中的光感測器在該背光被打開且一待偵測的物件被用光照射的時候同時實施重設操作及儲存操作。

在圖 6 的時機圖所顯示的例子中，在第  $q$  行及第  $(q+2)$  行中的光感測器同時實施重設操作及在第  $(q+1)$  列及第  $(q+3)$  列中的光感測器同時實施重設操作及儲存操作；然而，本發明並不侷限於此。在該等被配置成  $m$  列  $\times$   $n$  行的矩陣的光感測器中，會有一些行的光感測器的重設操作及儲存操作的時機不同於其它行中的時機，且在重設操作及儲存操作的時機是不相同的一些行中背光可以是打開的或是關掉的。例如，在第  $q$  行及第  $(q+3)$  行中的光感測器可同時實施重設操作及儲存操作，及在第  $(q+1)$  行及第

( $q+2$ ) 行中的光感測器可同時實施重設操作及儲存操作。在該例子中，當在第  $q$  行及第 ( $q+3$ ) 行中的光感測器實施重設操作及儲存操作時，該背光可以是被打開的且一待測物件被用光線照射，且當在第 ( $q+1$ ) 行及第 ( $q+2$ ) 行中的光感測器實施重設操作及儲存操作時，該背光被關掉。或者，當在第  $q$  行及第 ( $q+3$ ) 行中的光感測器實施重設操作及儲存操作時，該背光可以是被關掉的，及當在第 ( $q+1$ ) 行及第 ( $q+2$ ) 行中的光感測器實施重設操作及儲存操作時，該背光被打開且一待測物件被用光線照射。

圖 6 的時機圖顯示即使是在實施該重設操作的期間，該背光的打開狀態或關掉狀態被選擇的例子；背光在實施該重設操作的期間的狀態可以是任何狀態。

在本發明的一個實施例中，一通道被形成在氧化物半導體層內的電晶體被用作為電晶體 304，其保持被儲存在該光感測器內電荷。因此，即使是在一包括光感測器（其中該重設操作及儲存操作被實施之後及該選取操作被開始之前的期間（電荷保持期間）的時間長度會改變，用以獲得一信好成分，其 S/N 比因為導因於外部光電的雜訊被抵消而被改善）的半導體裝置中，導因於該電晶體的關閉狀態電流的漏電的雜訊可被降低。

在一包括具有低濃度的鹼金屬元素及鹼土金屬元素的氧化物半導體層的電晶體中，並未造成太大的特徵（如，該電晶體的正常打開狀態（門檻值電壓的負偏移）及移動性的降低）劣化或特徵的改變。這是因為鹼金屬元素及鹼

土金屬元素在該氧化物半導體層中是有害的雜質。當一與該氧化物半導體層接觸的絕緣膜是氧化物時，一鹼金屬元素，特別是Na，會擴散至該氧化物中並變成 $\text{Na}^+$ 。此外，Na切斷該氧化物半導體層中的一金屬與氧之間的鍵結或進入到該鍵結中，這造成電晶體特徵（如，該電晶體的正常打開狀態（門檻值電壓負向地偏移）及移動性的降低）的劣化。此外，這亦造成特徵的改變。此一問題在該氧化物半導體層內的氫濃度很低的例子中特別重要。因此，當一鹼金屬元素的濃度被降低至在該氧化物半導體層內的氫濃度小於或等於 $5 \times 10^{19}$ 原子/ $\text{cm}^3$ ，特別地小於或等於 $5 \times 10^{18}$ 原子/ $\text{cm}^3$ 的例子中的上述數值時，一電晶體（其通道被形成在該氧化物半導體層內）的特徵的劣化及改變可被抑制。藉由使用一通道被形成在此一氧化物半導體層內的電晶體作為將儲存在該光感測器內的電荷保持住的該電晶體（第一電晶體），該光感測器的可靠性可被提高，該半導體裝置的可靠性可因而被提高。

因此，在一包括光感測器的半導體裝置中，導因於外部光線的雜訊被降低且導引於電晶體的關閉狀態電流的漏電的雜訊被降低，使得半導體裝置的可靠性可被提高。

此實施例可自由地與任何其它實施例組合。

#### （實施例4）

在此實施例中，一種依據本發明的一個實施例的半導體裝置的結構將被描述。此實施例將說明一種除了包括多

個被配置成矩陣的光感測器之外還包括多個被配置成矩陣的顯示元件的半導體裝置的結構的例子。在此實施例中，一種具有不同於圖4所示的實施例2的組態之半導體裝置的例子將被描述。此一半導體裝置被稱為觸控面板或類此者，及一顯示螢幕亦用作為資料輸入區。應指出的是，光感測器的組態及光感測器的連接關係可以是圖5中所例示的。又，該等被配置成矩陣的多個光感測器的操作類似於在實施例3中的圖6所例示的。

圖7是一半導體裝置的結構的一部分的電路圖。在圖7中，像素320包括四個顯示元件321及一個光感測器301。使用像素320作為基本組態，多個像素320被配置成 $m$ 列乘 $n$ 行的矩陣並形成一顯示螢幕其亦作為資料輸入區。圖7例示具有圖1A的組態的光感測器301被使用在該像素320中。應指出的是，包括在每一像素中的顯示元件321及光感測器301的數量並不侷限於圖7中所示者。該等多個光感測器的密度與該等多個顯示元件的密度可以是相同的或是不相同的。亦即，一個光感測器可被提供給兩個或更多個顯示元件；或一個顯示元件可被提供給兩個或更多個光感測器。

圖7顯示該顯示元件321包括一液晶元件322的組態。該顯示元件321包括該液晶元件322及一電路元件，譬如一用來控制該液晶元件322的操作的電晶體。詳言之，圖7例示該顯示元件321包括該液晶元件322、一開關元件般地作用的電晶體323、及一電容器324。該液晶元件322包括一

像素電極、一相對電極（counter electrode）、及一液晶層，一電壓藉由該像素電極與該相對電極而被施加至該液晶層。

該電晶體 323 的一閘極電極被電連接至一掃描線 GL（GL1 或 GL2）。電晶體 323 的一第一端子被電連接至一信號線 SL（SL1 或 SL2）。該電晶體 323 的一第二端被電連接至該液晶元件 322 的像素電極。該電容器 324 的一對電極中的一者被電連接至該液晶元件 322 的像素電極，及另一者被電連接至一配線 COM，其被供應一固定的電位。該信號線 SL 被供應一對應於一待顯示的影像的電位。當該電晶體 323 用該掃描線 GL 的信號將其打開時，該信號線 SL 的電位被供應至該電容器 324 的該對電極中的一者及該液晶元件 322 的像素電極。該電容器 324 保持一相當於被供應至該液晶層的電壓的電荷。透射穿過該液晶層的光的對比（即，灰階）係藉由施用電壓來改變該液晶層的偏極方向來予以控制，且影像被顯示。從背光發出的光被用作為透射穿過該液晶層的光。

在圖 7 的組態中，該等配置成矩陣的顯示元件的操作可以與已知的顯示裝置相同。

應指出的是，描述於實施例 1 中之通道被形成在氧化物半導體層內的電晶體可被用作為電晶體 323，在此例子中，該電容器 324 可被省略掉，因為該電晶體的關閉狀態電流極低。

該電晶體 323 可以是一它的通道被形成在用氧化物半

導體以外的半導體材料形成的層或基材內的電晶體。氧化物半導體以外的半導體材料的例子為矽及鎵。應指出的是，一用氧化物半導體以外的半導體材料製成的層或基材可以是非晶型、微晶型、多晶型、或單晶型。

應指出的是，藉由使用藉由使用相同的半導體材料作為該顯示元件321內的所有電晶體的主動層，半導體裝置的製程可被簡化。例如，藉由使用氧化物半導體膜作為該顯示元件321及該光感測器301內的所有電晶體的主動層，半導體裝置的製程可被簡化。

當一能夠提供比氧化物半導體更高的移動性的半導體材料，譬如多晶型或單晶型矽，被用用作為電晶體323的主動層時，資料可以更快的速度從該顯示元件321被讀取。

應指出的是，該顯示元件321在有需要時可進一步包括另一電路元件，譬如電晶體、二極體、電阻器、電容器、或電感器。

應指出的是，雖然該顯示元件321包括該液晶元件322的例子被描述，但該顯示元件321可包括一不同的元件，譬如一發光元件。一發光元件是一個亮度可用電流或電壓來予以控制的元件。特定的例子為一發光二極體及一OLED。當該顯示元件321包括一發光元件時，該發光元件可發出光線以作為背光。

此實施例可與其它實施例自由地組合。

(實施例5)

圖8顯示圖7中所示之像素320的頂視圖。圖8中的像素320包括一個光感測器301及四個顯示元件321，如圖7所示。

圖9是圖8所示的顯示元件321的放大圖式。該顯示元件321包括一作為掃描線GL的導電膜201、一作為信號線SL的導電膜202、及一作為配線COM的導電膜203。該導電膜201亦作為電晶體323的閘極電極。該導電膜202亦作為電晶體323的第一端子。該顯示元件321更包括一像素電極204、一導電膜205、及一導電膜206。該導電膜206作為電晶體323的第二端子。該導電膜206與該像素電極204彼此電連接。

該導電膜206被電連接至該導電膜205。作為配線COM的該導電膜203與導電膜205彼此重疊且有一閘極絕緣膜被設置在它們之間的部分係作為該電容器324。

應指出的是，包括閘極絕緣膜在內的各式絕緣膜為了清楚顯示許多電路元件，譬如配線、電晶體、及電容器，而為圖8及圖9中示出。

導電膜201及導電膜205可藉由處理一被形成在一絕緣表面上的導電膜而被形成為所想要的形狀。該閘極絕緣膜被形成在導電膜201及205上。此外，導電膜202、導電膜203、及導電膜206可藉由處理一被形成在一絕緣表面上的導電膜而被形成為所想要的形狀。

應指出的是，在電晶體323是一底閘型電晶體且該電

晶體 323 的主動層 253 係使用氧化物半導體來形成的例子中，使用該主動層 253 被設置在作為閘極電極的導電膜 201 上的結構是較佳的，用以不會延伸超出圖 9 中所示的導電膜 201。此結構可防止該主動層 253 內的氧化物半導體因為來自基材側的光線入射而劣化，且因而可防止電特徵，譬如電晶體 323 的門檻值電壓的偏移，的劣化。

圖 10A 為圖 8 所示的一個光感測器 301 的放大圖式。圖 10B 為沿著圖 10A 的中的剖面線 A1-A2 所取的剖面。

光感測器 301 包括一作為配線 PR 的導電膜 210、作為配線 TX 的導電膜 211、作為配線 SE 的導電膜 212、作為配線 VR 的導電膜 213、及作為配線 OUT 的導電膜 214。

包括在該光感測器 301 內的光二極體 302 包括依序堆疊的一 p 型半導體膜 215、一 i 型半導體膜 216、及 n 型半導體膜 217。該導電膜 210 被電連接至作為該光二極體 302 的陽極的 p 型半導體膜 215。

一包括在該光感測器 301 內的導電膜 218 係作為該電晶體 304 的閘極電極且被電連接至該導電膜 211。一包括在該光感測器 301 內的導電膜 219 係作為該電晶體 304 的第一端子。一包括在該光感測器 301 內的導電膜 220 係作為該電晶體 304 的第二端子。一包括在該光感測器 301 內的導電膜 221 被電連接至該 n 型半導體膜 217 及該導電膜 219。一包括在該光感測器 301 內的導電膜 202 係作為該電晶體 305 的閘極電極且被電連接至導電膜 220。

包括在該光感測器 301 內的導電膜 223 係作為該電晶體

305 的第一端子。包括在該光感測器 301 內的導電膜 224 係作為該電晶體 305 的第二端子及電晶體 306 的第一端子。導電膜 214 亦作為該電晶體 306 的第二端子。導電膜 212 亦作為該電晶體 306 的閘極電極。包括在該光感測器 301 內的導電膜 225 被電連接至導電膜 223 及導電膜 213。

應指出的是，在圖 10A 及 10B 中，包括在該光感測器 301 內的導電膜 226 被電連接至作為配線 PR 的導電膜 210。包括在該光感測器 301 內的導電膜 227 被電連接至作為配線 TX 的導電膜 211。

導電膜 212、導電膜 218、導電膜 222、導電膜 225、導電膜 226 及導電膜 227 可藉由處理一被形成在一絕緣表面上的導電膜而被形成為所想要的形狀。一閘極絕緣膜 228 被形成在該導電膜 212、導電膜 218、導電膜 222、導電膜 225、導電膜 226 及導電膜 227 上。導電膜 210、導電膜 211、導電膜 213、導電膜 214、導電膜 219、導電膜 220、導電膜 223 及導電膜 224 可藉由處理一被形成在一絕緣表面上的導電膜而被形成為所想要的形狀。

一絕緣膜 281 及絕緣膜 282 被形成在導電膜 210、導電膜 211、導電膜 213、導電膜 214、導電膜 219、導電膜 220、導電膜 223 及導電膜 224 上。導電膜 221 被形成在絕緣膜 281 及絕緣膜 282 上。

應指出的是，圖 10B 中的光感測器 301 的剖面圖顯示在該處理進行到包括形成該導電膜 221 的步驟之後的狀態。在一亦包括顯示元件的半導體裝置中，該顯示元件 321 以

及該光感測器 301 被設置於該像素 320 中，實際上，在該導電膜 221 被形成之後，一液晶元件被形成。

應指出的是，在氧化物半導體被用作為該電晶體 304 的主動層且該電晶體 304 是一底閘型電晶體的例子中，使用該主動層 250 被設置在作為閘極電極的該導電膜 218 上的結構是較佳的，用以不會延伸出圖 10A 及 10B 中所示的導電膜 218。此結構可防止該主動層 250 內的氧化物半導體因為來自基材 251 側的光線入射而劣化，且因而可防止電特徵，譬如電晶體 304 的門檻值電壓的偏移，的劣化。應指出的是，當電晶體 305 及 306 具有上述結構時可獲得相同的效果。

在此處，在配線 TX 如圖 1C 及圖 4 所示地延伸於列方向上的結構中，配線 SE 亦延伸於列方向上且平行於配線 TX。因為配線 SE 被電連接至電晶體 306 的閘極電極，所以當一部分的配線 SE 被電連接至電晶體 306 的閘極電極時，該被設置成平行於配線 SE 的配線 TX 大體上被形成在該電晶體 306 的閘極電極被形成的那一層中。應指出的是，大體上一用於電晶體的閘極電極的材料的電阻比用於源極電極及汲極電極的材料的電阻高；因此配線 TX 的電阻被提高。

相反地，在圖 10A 及 10B 所示的結構中，對應於圖 5 的電路圖的像素被提供，且該配線 TX 被延伸於行方向上。因此，配線 TX 可使用一形成在一層中的導電膜來形成，該層不同於延伸在列方向上的該配線 SE 被形成的層。例如，如圖 10A 及 10B 所示，配線 TX 可使用導電膜 211 來形成，該導

電膜 211 被形成在一層中，該層不同於形成包括在該光感測器內的電晶體（電晶體 304，305 及 306）的閘極電極的導電膜（導電膜 212，218 及 222）被形成的層。該導電膜 211 可藉由使用與源極電極與汲極電極相同的材料而被形成在包括在該光感測器內的電晶體（電晶體 304，305 及 306）的源極電極與汲極電極被形成的層中，亦即，導電膜 214，219，220 及 224）被形成的層中。

圖 11 為一像素的剖面圖且例示該顯示元件 321 中的電晶體 323 及光感測器 301 中的光二極體 302。作為該電晶體 323 的第二端子的導電膜 206 被電連接至該像素電極 204。該像素電極 204 與被電連接至光二極體 302 該導電膜 221 可藉由處理一被形成在覆蓋電晶體 323 與光二極體 302 的絕緣膜 282 上的導電膜而被形成為所想要的形狀。

一基材 236 被設置來面向設置有該像素電極 204 的基材 251。該基材 236 被設置有一相對電極 233 且一包括液晶的液晶層 234 被設置在該像素電極 204 與該相對電極 233 之間。該液晶元件 322 被形成在像素電極 204、相對電極 233 及液晶層 234 彼此重疊的部分中。

應指出的是，一對準膜可在適當的時候被設置在該像素電極 204 與該液晶層 234 之間或在該相對電極 233 與該液晶層 234 之間。該對準膜可用有機樹脂，譬如聚亞醯胺或聚乙烯醇，來形成。對準處理，譬如搓揉（rubbing），已被實施在該表面上，用以將液晶分子對準於一特定方向上。搓揉可藉由一纏繞耐綸（nylon）布料或類此者的滾筒

與該對準膜接觸的同時滾動該滾筒來實施且該對準膜的表面係在一特定的方向上被搓揉。應指出的是，亦可使用無機材料，譬如氧化矽，在沒有對準處理下藉由蒸鍍來形成具有對準特性的對準膜。

爲了形成該液晶層 234 而灌注液晶可藉由一分配器方法（滴垂方法）或滴垂方法（泵入方法）來實施。

應指出的是，該基材 236 設置有一能夠遮擋光線的遮光膜 235，用以防止導引於介於像素之間的液晶的混亂定向的向錯（disclination）或用以防止被分散的光同一時間進入到多個相鄰的像素中。一包含黑色顏料之有機樹脂，譬如碳黑或低價氧化鈦（其氧化數小於二氧化鈦的氧化數），可被用於該遮光膜 235。或者，一鉻膜可被用於該遮光膜。

該遮光膜 235 較佳地不只被提供給該顯示元件 321，亦被提供給該光感測器 301。因此，即使是在包括於該顯示元件 321 及該光感測器 301 內的電晶體的主動層係使用氧化物半導體的情況中，該遮光層 235 仍可遮蔽該等主動層不受光照射；因此，可防止該氧化物半導體的光劣化，且可防止光特徵，譬如電晶體的門檻值電壓的偏移，的劣化。

應指出的是，在驅動電路藉由使用一電晶體而被形成在該基材 251 上的例子中，被使用在該驅動電路中的該電晶體的主動層被一閘極電極或遮光膜的遮蔽而不受光照射，藉以防止該電晶體的電特徵，譬如門檻值電壓的偏移，劣化。

該像素電極204與該相對電極233係使用透光的導電材料，譬如包含氧化矽的氧化銦錫（ITSO）、氧化銦錫（ITO）、氧化鋅（ZnO）、氧化銦鋅（IZO）、或摻雜鎵的氧化鋅（GZO），來形成。

用於該液晶層234的液晶材料的例子為向列型液晶、膽固醇型液晶、層列型液晶、盤型液晶、熱向型液晶、向液性液晶、低分子液晶、高分子分散型液晶（PDLC）、強介電性液晶、反介電性液晶、主鏈型液晶、側鏈型高分子液晶、及香蕉型液晶。

下面的方法可被用來驅動液晶，例如：TN（扭轉向列）模式、STN（超扭轉向列）模式、VA（垂直對準）模式、MVA（多領域垂直對準）模式、IPS（平面內切換）模式、OCB（光學補償式雙折射）模式、ECB（電子控制式雙折射）模式、FLC（強介電液晶）模式、AFLC（反強介電液晶）模式、PDLC（高分子分散型液晶）模式、PNLC（高分子網絡液晶）模式、及主從模式。

又，表現出藍相（blue phase）的液晶（對準膜是非必要的）可被用於該液晶層234。藍相是液晶相的一種，它只在膽固醇型液晶的溫度被升高時膽固醇相改變成等向性相位之前才被產生。因為該藍相只產生在很窄的溫度範圍內，所以一手性劑（chiral agent）或一紫外線可硬化的樹脂被添加，使得該溫度範圍被改善。包括表現出藍相的液晶及一手性劑的液晶成分是較佳的因為它具有10微秒至100微秒之短的反應時間、具有光學等向性（這讓對準處

理成為不必要）、及具有一小的視角相依性。

圖 11 例示該液晶層 234 被夾設在該像素電極 204 與該相對電極 233 之間的液晶元件；然而，依據本發明的實施例的半導體裝置並不侷限於具有此結構。一對電極可被形成在一基材上，如同在 IPS 模式液晶元件或使用藍相的液晶元件中一般。

應指出的是，在本發明的一個實施例中，如虛線所示，來自基材 251 側的背光光線通過該液晶元件 322，然後通過一形成在該遮光膜 235 上的開孔 241 並透射該基材 236。然後，透射穿過該基材 236 的光線被一手指（其為一待偵測的物件 240）被反射，並再次進入該基材 236。進入基材 236 的光通過一形成在該遮光膜 235 上的開孔 242 並進入該光二極體 302。

圖 11 為包括該透射式液晶元件 322 的相素的剖面圖；或者依據本發明的一個實施例的半導體裝置包括一半透射式液晶元件或反射式液晶元件。在一反射式液晶元件中，該像素電極 204 係使用一會反射外部光線的導電材料來形成，例如，一具有高的可見光反射率的金屬，譬如鋁、鈦、銀、銻、或鎳或一包含這些金屬的至少一者的合金。應指出的是，當使用一半透射性液晶元件或反射式液晶元件時，與圖 11 的例子不同地，該導電膜 221 與該相素電極 204 係藉由將不同材料的導電膜處理成一所想要的形狀而被獨立地形成。

圖 12 例示該遮光膜 235 與示於圖 8 中的相素 320 重疊的

狀態。在圖 12 中，該遮光膜 235 具有開孔 241 其位在一與該顯示元件 321 的相素電極 204 重疊的區域內，及開孔 242 其位在與該光感測器 301 的光二極體 302 重疊的區域內。

此實施例可自由地與其它實施例的任一者組合。

#### (實施例 6)

在此實施例中，具有不同於圖 1A 及 1B 所示的組態的光感測器 301 將被描述。

圖 13A 為光感測器 301 的電路圖的一個例子。該光感測器 301 包括一光二極體 302 及一放大器電路 303。該光二極體 302 是一光電轉換元件其具有在被光照射時產生電流的特性，且流經它的光電流的量是由該照射光線的強度來決定。該放大器電路 303 儲存與該光電流相當的電荷，並產生一包括該電荷的量的輸出訊號作為資料。

該放大器電路 303 包括一電晶體 304 其如一用來控制該放大器電路 303 內的光電流的供應的開關元件般地作用、一電晶體 305，在該電晶體內介於其第一端子與第二端子之間的電流或電阻係依據施加至該電晶體 304 的第二端子的電位來決定、及一電晶體 306 其如一用來供應一由該電流或電阻所決定的輸出信號的電位至一配線 OUT 的開關元件般地作用。應指出的是，該電晶體 304 相當於一維持著對應於該光二極體 302 的光電流的電荷的電晶體。

在圖 13A 中，該光二極體 302 的陽極被電連接至一配線 PR。該光二極體 302 的陰極被電連接至該電晶體 304 的第一

端子。該電晶體 304 的第二端子被電連接至該電晶體 305 的閘極。該電晶體 304 的閘極被電連接至配線 TX。該配線 TX 被供應一用來控制該電晶體 304 的開關的信號的電位。該電晶體 305 的第一端子被電連接至配線 VR。該配線 VR 被供應一預定的電位，例如，一高階電源供應電位 VDD。該電晶體 305 的第二端子被電連接至電晶體 306 的第一端子。電晶體 306 的第二端子被電連接至該配線 OUT。電晶體 306 的閘極被電連接至配線 SE。該配線 SE 被供應一用來控制該電晶體 306 的開關的信號的電位。電晶體 307 的第一端子被電連接至配線 VR。電晶體 307 的第二端子被電連接至電晶體 305 的閘極。電晶體 307 的閘極被連接至配線 RS。配線 RS 被供應一用來控制電晶體 307 的切換的訊號的電位。該配線 OUT 被供應一從該放大器電路 303 被輸出之輸出信號的電位。

本發明的特徵包括一電晶體其通道被形成在一被用作為該電晶體 304 的氧化物半導體層內。亦即，一氧化物半導體膜被用作為該電晶體 304 的主動層。

下列氧化物的任何一者都可被用於該氧化物半導體層：以 In-Sn-Ga-Zn 為基質的氧化物，以 In-Hf-Ga-Zn 為基質的氧化物，以 In-Al-Ga-Zn 為基質的氧化物，以 In-Sn-Al-Zn 為基質的氧化物，以 In-Sn-Hf-Zn 為基質的氧化物，及以 In-Hf-Al-Zn 為基質的氧化物，它們是四個金屬元素的氧化物；以 In-Ga-Zn 為基質的氧化物（亦被稱為 IGZO），以 In-Sn-Zn 為基質的氧化物，以 In-Al-Zn 為基質的氧化物，

以 Sn-Ga-Zn 爲基質的氧化物，以 Al-Ga-Zn 爲基質的氧化物，以 Sn-Al-Zn 爲基質的氧化物，以 In-Hf-Zn 爲基質的氧化物，以 In-La-Zn 爲基質的氧化物，以 In-Ce-Zn 爲基質的氧化物，以 In-Pr-Zn 爲基質的氧化物，以 In-Nd-Zn 爲基質的氧化物，以 In-Sm-Zn 爲基質的氧化物，以 In-Eu-Zn 爲基質的氧化物，以 In-Gd-Zn 爲基質的氧化物，以 In-Tb-Zn 爲基質的氧化物，以 In-Dy-Zn 爲基質的氧化物，以 In-Ho-Zn 爲基質的氧化物，以 In-Er-Zn 爲基質的氧化物，以 In-Tm-Zn 爲基質的氧化物，以 In-Yb-Zn 爲基質的氧化物，及以 In-Lu-Zn 爲基質的氧化物，它們是三個金屬元素的氧化物；以 In-Zn 爲基質的氧化物，以 Sn-Zn 爲基質的氧化物，以 Al-Zn 爲基質的氧化物，以 Zn-Mg 爲基質的氧化物，以 Sn-Mg 爲基質的氧化物，以 In-Mg 爲基質的氧化物，及以 In-Ga 爲基質的氧化物，它們是二個金屬元素的氧化物；氧化銦、氧化錫及氧化鋅。例如，一以 In-Sn-Ga-Zn 爲基質的氧化物係指一包含銦（In）、錫（Sn）、鎳（Ga）、及鋅（Zn）的氧化物，且在成分的比例上沒有特別的限制。上述的氧化物半導體可包括矽。

在此應指出的是，例如，一以 In-Ga-Zn 爲基質的氧化物係指一包含 In、Ga、Zn 作爲主要成分其主要成分的氧化物，且對於 In、Ga、Zn 的比例並沒有特別限制。該以 In-Ga-Zn 爲基質的氧化物可包含一除了 In、Ga、Zn 以外的金屬元素。

或者，一以化學式  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ，其中  $m$  不是整

數)表示的氧化物半導體可被用於該氧化物半導體層。在此處，M代表一或多個選自於Ga，Al，Fe，Mn，及Co的金屬元素。或者，一以化學式 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$  ( $n>0$ ，其中n是整數)表示的材料可被用作為該氧化物半導體。

一藉由減少像是水氣、氫氣、及鹼金屬元素(如，鈉或鋰)等作為電子供體(供體)的雜質而被高度純化的氧化物半導體層可被用作為該氧化物半導體層。在該被高度純化的氧化物半導體層內的氫的濃度(其係用二次離子質譜儀，SIMS，來測量)係小於或等於 $5 \times 10^{19}$ 原子/ $\text{cm}^3$ ，較佳地小於或等於 $5 \times 10^{18}$ 原子/ $\text{cm}^3$ ，更佳地係小於或等於 $5 \times 10^{17}$ 原子/ $\text{cm}^3$ ，再更佳地係小於或等於 $1 \times 10^{16}$ 原子/ $\text{cm}^3$ 。Na濃度的測量值係小於或等於 $5 \times 10^{16}$ 原子/ $\text{cm}^3$ ，較佳地係小於或等於 $1 \times 10^{16}$ 原子/ $\text{cm}^3$ ，更佳地係小於或等於 $1 \times 10^{15}$ 原子/ $\text{cm}^3$ 。Li濃度的測量值係小於或等於 $5 \times 10^{15}$ 原子/ $\text{cm}^3$ ，較佳地係小於或等於 $1 \times 10^{15}$ 原子/ $\text{cm}^3$ 。K濃度的測量值係小於或等於 $5 \times 10^{15}$ 原子/ $\text{cm}^3$ ，較佳地係小於或等於 $1 \times 10^{15}$ 原子/ $\text{cm}^3$ 。此外，該氧化物半導體層的載子密度(其係用霍耳效應測量來測量)係小於 $1 \times 10^{14}/\text{cm}^3$ ，較佳地係小於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地係小於 $1 \times 10^{11}/\text{cm}^3$ 。又，該氧化物半導體的能帶間隙為2eV或更大，較佳地為2.5eV或更大，更佳地為3eV或更大。

詳言之，通道被形成在一高度純化的氧化物半導體層內的該電晶體之低的關閉狀態電流可用各式實驗來證實。例如，即使是在一電晶體具有 $1 \times 10^6$ 微米的通道寬度及10

微米的通道長度的時候，該關閉狀態電流（即，介於閘極電極與源極電極之間的電壓為0V或更小的時候的汲極電流）可小於或等於一半導體參數分析器的測量極限值，亦即，小於或等於 $1 \times 10^{-13} \text{ A}$ ，其中介於該源極電極與一汲極電極之間的電壓（汲極電壓）為1V至10V。在此例子中，可被發現的是，該電晶體該關閉電流密度小於或等於 $100 \text{ zA} / \mu \text{ m}$ 。此外，一電容器與一電晶體彼此連接且該關閉狀態電流密度係用一電路來測量，在該電路中流入及流出該電容器的電荷是由該電晶體來控制。在此測量中，一高度純化的氧化物半導體層被用於該電晶體的通道形成區，電晶體的關閉狀態電流密度是用每單位時間內該電容器的電荷量的改變來予以測量。因此，在該電晶體的源極電極與汲極電極之間的電壓為3V的例子中，可獲得一較低之每微米數十尤科托安培（yoctoampere）的關閉狀態電流密度（ $\text{yA} / \mu \text{ m}$ ）。一通道被形成在一高度純化的氧化物半導體層內的電晶體的關閉狀態電流密度可小於或等於 $100 \text{ yA} / \mu \text{ m}$ ，較佳地小於或等於 $10 \text{ yA} / \mu \text{ m}$ ，更佳地小於或等於 $1 \text{ yA} / \mu \text{ m}$ ，視介於源極電極與汲極電極之間的電壓而定。因此，通道被形成在一高度純化的氧化物半導體層內的該電晶體的關閉狀態電流比一包括結晶型矽的電晶體的關閉狀態電流小很多。

以此方式，電晶體304的關閉電流可以是極低的。因為電晶體304係用來作為保持儲存在光感測器301內的電荷的開關元件，所以在電荷保持期間之電荷的漏電可被抑制

。又，藉由使用通道被形成在氧化物半導體層內的該電晶體作為電晶體304，而不是使用通道被形成在一層非晶型半導體材料內的電晶體，使得電晶體304的移動性可被提高。

在圖13A中，包括在放大器電路303內的電晶體305、306及307可以是一通道被形成在氧化物半導體層內的電晶體，或可以是一通道被形成在一用不是氧化物半導體的半導體材料製成的層或基材中的電晶體。一不是氧化物半導體的半導體材料的例子為矽及鎵。應指出的是，一用不是氧化物半導體的半導體材料製成的層或基材可以是非晶型、微晶型、多晶型或單晶型半導體材料。

使用一通道被形成在氧化物半導體層內的電晶體作為電晶體305可防止一不必要的電位被輸出至該配線OUT。又，在該例子中，該電晶體305的移動性比使用一通道被形成在一層非晶型半導體材料中的電晶體作為電晶體305的移動性高。

使用一通道被形成在氧化物半導體層內的電晶體作為電晶體306可防止一不必要的電位被輸出至該配線OUT。又，在該例子中，該電晶體306的移動性比使用一通道被形成在一層非晶型半導體材料中的電晶體作為電晶體306的移動性高。

應指出的是，藉由使用相同的半導體材料作為該光感測器301內的所有電晶體的主動層，半導體裝置的製程可被簡化。例如，藉由使用氧化物半導體膜作為該光感測器

301內的所有電晶體的主動層，半導體裝置的製程可被簡化。

當一能夠提供比氧化物半導體更高的移動性的半導體材料，譬如多晶型或單晶型矽，被用用作為電晶體305及306的主動層時，資料可以更快的速度從該光感測器301被讀取。

應指出的是，圖13A例示出該光二極體302的陽極被電連接至配線PR及該光二極體302的陰極被電連接至電晶體304的第一端子的結構；然而，此實施例並不侷限於此結構。該光二極體302的陰極可被電連接至配線PR及光二極體302的陽極可被電連接至電晶體304的第一端子。

此外，圖13A顯示電晶體305及電晶體306係以此順序被串聯地電連接於配線VR與配線OUT之間。然而，此實施例並不侷限於此結構，且電晶體305與306的連接順序可被顛倒。亦即，電晶體306及電晶體305可以此順序被串聯地電連接於配線VR與配線OUT之間。

在圖13A及13B中，該電晶體304的第二端子、該電晶體307的第一端子、及電晶體305的閘極彼此電連接的交會點被標記為交點FD。該輸出信號的電位係用儲存在該交點FD的電荷數量來決定的。為了更可靠地保持在交點FD處的電荷，一電容器可被電連接至交點FD。

應指出的是，圖13A及13B例示出該光感測器301的組態，在該組態中該放大器電路303只包括一個如開關元件般地作用的電晶體304，本發明並不侷限於此組態。在本

發明的一實施例中，一個電晶體可如一個開關元件般地作用，或者，多個電晶體可如一個開關元件般地作用。在多個電晶體可如一個開關元件般地作用的例子中，該等多個電晶體可彼此並聯地、串聯地、或並聯與串聯連接組合地電連接。

圖 13A 及 13B 例示電晶體 304 包括一在該主動層的一側上的閘極電極。在該電晶體 304 包括一對閘極電極且該主動層被設置在該對閘極電極之間的例子中，該二閘極電極中的一者可被供應一用來控制該電晶體 304 的開關的信號，且該二閘極電極中的另一者可被供應一預定的電位。在此例子中，具有相同位準的電位可施加至該對閘極電極，或一固定的電位（譬如，一接地電位）可被只施加至該二閘極電極的另一者。藉由控制被施加至該二閘極電極的另一者的電位的位準，電晶體 304 的門檻值電壓即可被控制。應指出的是，只要電晶體 304 的門檻值電壓沒有受到不利的影響，該二閘極電極的另一者可以是在浮動狀態（floating state），這是一電絕緣的狀態。

以上所述為光感測器 301 的組態的描述。

接下來，光感測器 301 的操作將被描述。圖 14 為一時機圖的例子，其顯示圖 13A 及 13B 所例示的該等配線（配線 TX、配線 RS、配線 SE、及配線 OUT）及交點 FD 的電位的改變。

應指出的是，在例示於圖 14 的時機圖中，為了易於理解光感測器 301 的操作，假設配線 TX、配線 RS 及配線 SE 被

供應一高位準電位或一低位準電位。詳言之，假設配線 TX 被供應一高位準電位 HTX 及一低位準電位 LTX；配線 SE 被供應一高位準電位 HSE 及一低位準電位 LSE；及配線 RS 被供應一高位準電位 HRS 及一低位準電位 LRS。配線 PR 被供應一預定的電位，例如，一低位準電源供應電位 VSS。

應指出的是，所有電晶體 304，305、306 及 307 都是 n 型通道電晶體的例子將被描述。然而，本發明並不侷限於此例子，且電晶體 304 至 307 中的一或多者可以是 p 型通道電晶體。在電晶體 304 至 307 中的一或多者是 p 型通道電晶體的例子中，每一配線的電位被設定，使得該等電晶體的打開狀態與關閉狀態在下面的描述中是相同的。

首先，在時間 T1，配線 TX 的電位從電位 LTX 被改變成電位 HTX。當配線 TX 的電位被改變至電位 HTX 時，電晶體 304 即被打開。應指出的是，在時間 T1，配線 SE 被供應電位 LSE，且配線 RS 被供應電位 LRS。

接下來，在時間 T2，配線 RS 的電位從電位 LRS 被改變至電位 HRS。當配線 RS 的電位被改變至電位 HRS 時，該電晶體 307 被打開。又，在時間 T2，配線 TX 的電位被保持在電位 HTX，且配線 SE 的電位被保持在電位 LSE。因此，該電源供應電位 VDD 被供應至交點 FD，使得被保持在交點 FD 的電荷被重設。此外，一逆向偏壓被施加至該光二極體 302。

然後，在時間 T3，配線 RS 的電位從 HRS 被改變至電位 LRS。直到該時間 T3 之前的很短的時間，交點 FD 的電位都

被保持在該電源供應電位  $V_{DD}$ 。因此，即使是在配線  $RS$  的電位被改變至電位  $L_{RS}$  之後，一逆向偏電壓仍持續被施加至該光二極體 302。然後，當光在此狀態下進入到該二極體 302 時，一光電流從該光二極體 302 的陰極朝向陽極流動。該光電流的數值係隨著入射光的強度而改變。亦即，當進入該光二極體 302 的光的強度較高時，光電流的數值就較高且被傳輸於該交點  $FD$  與該光二極體 302 之間的電荷亦較大。相反地，當進入該光二極體 302 的光的強度較低時，光電流的數值就較小且被傳輸於該交點  $FD$  與該光二極體 302 之間的電荷亦較小。因此，光的強度愈高，交點  $FD$  在電位上的改變的量亦愈大；光的強度愈小，改變的量亦愈小。因此，光的強度愈強，交點  $FD$  的電位的變化量就愈大；光的強度愈小，改變的量就愈小。

在時間  $T_4$ ，當配線  $TX$  的電位從電位  $H_{TX}$  改變成電位  $L_{TX}$  時，電晶體 304 被關掉。因此，交點  $FD$  與光二極體 302 間的電荷移動即被停止，使得交點  $FD$  的電位被決定。

在時間  $T_5$ ，當配線  $SE$  的電位從電位  $L_{SE}$  被改變至電位  $H_{SE}$  時，電晶體 306 被打開。然後，電荷依據該交點  $FD$  的電位而被傳輸於配線  $VR$  與配線  $OUT$  之間。

應指出的是，將該配線  $OUT$  的電位設置為一預定的電位的操作（預充電操作）是在時間  $T_5$  之前被完成。圖 13A 顯示配線  $OUT$  的電位在時間  $T_5$  之前被預先充電至一低位準且在在時間  $T_5$  至時間  $T_6$  之間依據該光的強度而被提高；然而，本發明並不侷限於此例子。該配線  $OUT$  的電位可在時

間 T5 之前被預先充電至一高位準電位且在時間 T5 至時間 T6 之間依據光的強度被降低。

該預充電操作可用下列的方式來實施，例如：該配線 OUT 及一被供應一預定的電位的配線經由一開關元件（譬如，一電晶體）且該電晶體被打開而彼此被電連接。在預充電操作完成之後，該電晶體被關掉。

在時間 T6，當配線 SE 的電位從電位 HSE 被改變至電位 LSE 時，從配線 VR 至配線 OUT 的電荷運動即被停止且該配線 OUT 的電位即被決定。該配線 OUT 的電位對應於該光感測器 301 的輸出信號的電位。該輸出信號的電位包括關於該待偵測的物件的資料。

上述一連串該光感測器 301 的操作可被分類成重設操作、儲存操作、及選取操作。換言之，從時間 T2 到時間 T3 的操作對應於重設操作；從時間 T3 到時間 T4 的操作對應於儲存操作；從時間 T5 到時間 T6 的操作對應於選取操作。此外，在儲存操作被完成之後到該選取操作開始之前的一段期間，亦即，從時間 T4 到時間 T5 之間的期間對應於電荷保持期間，在此期間內電荷被保持在該交點 FD。

此實施例可與任何其它實施例自由地組合。

#### （實施例 7）

此實施例將說明一種用來形成一半導體裝置的方法，該半導體裝置包括一通道被形成在一單晶型矽或類此者的半導體膜中的電晶體及一通道被形成在氧化物半導體層中

的電晶體。

如圖 15A 所示，一光二極體 704 及 n 型通道電晶體 705 藉由習知的 CMOS 製造方法而被形成在一基材 700 的絕緣表面上。在此實施例中，該光二極體 704 及 n 型通道電晶體 705 係用一與一單晶型半導體基材分開之單晶型半導體膜來形成的例子被提供作為一實例。例如，矽基材可被用作為該單晶型半導體基材。

用來形成該單晶型半導體膜的方法的一特定的例子將簡要說明。首先，一包含被一電場加速的離子的離子束進入該單晶型半導體基材，及一被該晶體結構的局部混亂所弱化之易碎層被形成在一離該半導體基材的表面一定距離的區域內。該易碎層被形成的深度可用該離子束的加速能量及離子束進入的角度來予以調整。然後，該半導體基材與其上形成有一絕緣膜 701 的基材 700 彼此被附著在一起，使得絕緣膜 701 被夾在中間。在該半導體基材與基材 700 彼此重疊之後，一約  $1 \text{ N/cm}^2$  至  $500 \text{ N/cm}^2$ ，較佳地約  $11 \text{ N/cm}^2$  至  $20 \text{ N/cm}^2$ ，的壓力被施加於該半導體基材與基材 700 的一部分上，用以將它們附著在一起。當該壓力被施加時，該半導體基材與絕緣膜 701 之間的黏合從被施加壓力的部分開始，這造成該半導體基材與絕緣膜 701 彼此緊密接觸的整個表面的黏合。接下來，熱處理被實施，存在於該易碎層中之很小的空隙藉此被結合，使得很小的空隙的體積變大。因此，該半導體基材的一部分的該單晶型半導體膜沿著該易碎層與該半導體基材分離。該熱處理是在不超過

該基材 700 的應變點的溫度下被實施的。然後，該單晶型半導體膜藉由蝕刻或類此者而被處理成所想要的形狀，使得一島形半導體膜 702 及一島形半導體膜 703 被形成。

該光二極體 704 係使用該島形半導體膜 702 而被形成在該絕緣膜 701 上。該 n 型通道電晶體 705 係使用該島形半導體膜 703 而被形成在該絕緣膜 701 上。該光二極體 704 是一側接合式光二極體，其中一具有 p 型導電性的區域 727、一具有 i 型導電性的區域 728、及一具有 n 型導電性的區域 729 被形成在該島形半導體膜 702 中。該 n 型通道電晶體 705 包括一閘極電極 707。該 n 型通道電晶體 705 亦包括一對在該島形半導體膜 703 內的區域，其具有 n 型導電性且被設置成一與該閘極電極 707 重疊的區域被夾在中間。此外，該 n 型通道電晶體 705 包括一介於該島形半導體膜 703 與該閘極電極 707 之間的絕緣膜 708。在該 n 型通道電晶體 705 中，該絕緣膜 708 係作為一閘極絕緣膜。

應指出的是，該具有 i 型導電性的區域 728 係指該半導體膜的一個包含  $1 \times 10^{20} \text{ cm}^{-3}$  或更小的濃度且具有比黑暗導電性 (dark conductivity) 高 100 倍或更多倍的光導電性 (photoconductivity) 之賦予 p 型或 n 型導電性的雜質的半導體膜。具有 i 型導電性的區域 728 (在其領域中) 包括一包含屬於週期表的第 13 族及第 15 族的雜質元素的區域。當一用來控制價電子的雜質元素沒有被刻意地添加時，一 i 型半導體具有弱 n 型導電性。因此，該具有 i 型導電性的區域 728 (在其領域內) 包括一在膜形成的同時或在膜形成之

後一賦予 p 型導電性的雜質元件被刻意地或不刻意地添加的區域。

對於用作為該基材 700 的材料並沒有特別的制限；在使用透射性或半透射性液晶元件的例子中，一透光材料被用於該基材 700。又，用於基材 700 的該材料必需具有足以耐後實施的熱處理的耐熱性。例如，一用熔溶方法或漂浮方法製造的玻璃基材、石英基材、或陶瓷基材可被用作為該基材 700。在稍後被實施的熱處理的溫度很高的例子中，一應變點的溫度為 730℃ 或更高的玻璃基材被較佳地用作為該玻璃基材。雖然一用撓性合成樹脂（譬如，塑膠）製成的基材通常具有比前述基材低的耐熱溫度，但只要它可耐後在形成（formation）步驟期間的處理溫度，該基材就可被使用。

應指出的是，雖然用單晶型半導體膜形成的該光二極體 704 與該 n 型通道電晶體 705 被當作此實施例中的一個例子被描述，但本發明並不侷限於此結構。例如，一用氣相沉積方法被形成在該絕緣膜 701 上的多晶型或微晶型半導體膜亦可被使用。或者，上述的半導體膜可用已知的方法予以結晶化。結晶化的已知技術的例子為使用雷射束的雷射的雷射結晶化方法及使用催化元素之結晶化方法。或者，使用該利用催化元素的結晶化方法與雷射結晶化方法的結合亦是可行的。在一使用耐熱基材，如石英基材，的例子中，可結合任何下列的結晶化方法：使用電熱爐的熱結晶化方法、使用紅外線的燈泡退火結晶化方法、使用催化

元素的結晶化方法、及在約950℃退火之高溫退火方法。

在圖15A中，在一導電膜被形成在該絕緣膜708之後，該導電膜藉由蝕刻或類此者而被處理成所想要的形狀，藉此一配線711與該閘極電極707被形成在一起。

接下來，如圖15A所示，一絕緣膜712被形成來覆蓋該光二極體704、該n型通道電晶體705、及該配線711。應指出的是，雖然一單層式絕緣膜被用作為該絕緣膜712的例子被描述為此實施例的一個例子，但該絕緣膜712不一定是一單層式薄膜，其亦可以是一包括兩層或更多層薄膜的堆疊（stack）。

該絕緣膜712係使用一能夠承受在稍後的形成步驟中實施的熱處理的溫度的材料來形成。詳言之，使用氧化矽、氮化矽、矽氮化物氧化物（silicon nitride oxide）、氮氧化矽、氮化鋁、氧化鋁、或類此者作為該絕緣膜712是較佳的。

應指出的是，在此說明書中，氮氧化物（oxynitride）係指一種材料其所含的氧的數量大於氮的數量，及氮化物氧化物（nitride oxide）係指一種材料其所含的氮的數量大於氧的數量。

該絕緣膜712的表面可用CMP或類此者予以平坦化。

接下來，如圖15A所示，一閘極電極713被形成在該絕緣膜712上。

該閘極電極713可用一金屬材料，譬如鋁、鈦、鉻、鉭、鎢、鈹、或鈳；含有這些金屬的任何一者作為主要成

分的合金材料；或任何這些金屬的氮化物的單層結構或堆疊式結構來形成。應指出的是，鋁或銅亦可被用作為該金屬材料，如果它可承受在稍後的步驟中實施的熱處的溫度的話。鋁或銅較佳地與一耐火金屬材料一起被使用以避免耐熱性及腐蝕的問題。鉬、鈦、鉻、鉭、鎢、釹、釷或類此者可被用作為該耐火金屬材料。

例如，下面的結構較佳地被用作為該閘極電極 713 的雙層結構：一鉬膜被疊在一鋁膜上的雙層結構、一鉬膜被疊在一銅膜上的雙層結構、一氮化鈦膜或氮化鉭膜被疊在一銅膜上的雙層結構、及一氮化鈦膜與一鉬膜疊置的雙層結構。下面的結構較佳地被用作為該閘極電極 713 的三層結構：一鋁膜、一鋁與矽的合金膜、及一鋁與鈦的合金膜，或鋁與釹被用作為中間層及一鎢膜、一氮化鎢膜、氮化鈦膜、及一鈦膜的任何一者被用作為上層及底層的堆疊式結構。

又，氧化銮、氧化銮與氧化錫的合金、氧化銮與氧化鋅的合金、氧化鋅、氧化鋅鋁、氮氧化鋅鋁、氧化鋅鎳、或類此者可被用作為該閘極電極 713。

該閘極電極 713 的厚度是在 10 奈米至 400 奈米，較佳地在 100 奈米至 200 奈米，的範圍內。在此實施例中，一用於該閘極電極之 150 奈米厚的導電膜藉由一使用鎢靶材的濺鍍處理而被形成，然後該導電膜藉由蝕刻而被處理（圖案化）成所想要的形狀，該閘極電極 713 因而被形成。該閘極電極較佳地具有漸縮的端部，因為其上疊置一閘極絕緣

膜的閘極電極的覆蓋率可被改善。應指出的是，一光阻罩幕（resist mask）可用噴墨方法來形成。用噴墨方法形成該光阻罩幕可以不用光罩；因此，製造成本可被降低。

接下來，如圖 15B 所示，一閘極絕緣膜 714 被形成在該閘極電極 713 上，之後，氧化物半導體層 715 被形成在該閘極絕緣膜 714 上的一與該閘極電極 713 重疊的位置處。

該閘極絕緣膜 714 可用使用一或多個選自於以電漿 CVD、濺鍍或類此者形成之氧化矽膜、氮化矽膜、氮氧化矽膜、矽氮化物氧化物膜、氧化鋁膜、氮化鋁膜、氮氧化鋁膜、鋁氧化物氮化物膜、氧化鈺膜、氧化鉭膜之單層結構或堆疊式結構來形成。閘極絕緣膜 714 包含的雜質，譬如水氣，氫或氧，儘可能少是較佳的。在用濺鍍來形成氧化矽的例子中，一矽靶材或石英靶材被用作為靶材，且氧或氧的混合氣體被用作為濺鍍氣體。

一藉由去除雜質並減少氧空洞（oxygen vacancy）而被作成 i 型或實質 i 型氧化物半導體層（一被高度純化的氧化物半導體層）的氧化物半導體層對於界面狀態及界面電荷非常敏感。因此，介於半導體層 715 與閘極絕緣膜 714 之間的界面很重要。因此，與該高度純化的氧化物半導體層 715 接觸的該閘極絕緣膜 714 需要有極高的品質。

例如，使用微波（如，頻率為 2.45 GHz）的高密度電漿強化 CVD 是較佳的，因為可形成具有高承受電壓之緻密的高品質絕緣膜。當該氧化物半導體層與該高品質閘極絕緣膜彼此緊密接觸時，界面狀態密度可被降低且可獲得有

利的界面特性。

不待贅言的是，一種不同的薄膜形成方法，譬如濺鍍或電漿 CVD，可被使用，只要一高品質的絕緣膜可被形成爲該閘極絕緣膜 714 即可。或者可形成一絕緣膜，它的膜品質及與氧化物半導體層 715 的界面特性可藉由在沉積之後實施熱處理來予以改善。在任何情況中，任何絕緣膜都可被使用，只要它與該氧化物半導體層具有一減小的界面狀態密度且可形成一有利的界面以及具有一有利的膜品質作爲該閘極絕緣膜。

該閘極絕緣膜 714 可具有一結構，其中一使用高阻障特性的材料形成的絕緣膜及一具有低的氮含量的絕緣膜（譬如，氧化矽膜或氮氧化矽膜）被疊置。在此例子中，該絕緣膜（譬如，氧化矽膜或氮氧化矽膜）被形成在該具有高阻障特性的絕緣膜與該氧化物半導體層之間。該具有高阻障特性的絕緣膜的例子爲氮化矽膜、矽氮化物氧化物膜、氮化鋁膜、及鋁氮化物氧化物膜。使用該具有高阻障特性的絕緣膜可防止氛圍中的雜質（譬如，水氣或氫）、或基材中的雜質（譬如，鹼金屬或重金屬）進入該氧化物半導體層、該閘極電極膜 714、或介於該氧化物半導體層與另一絕緣膜之間的界面或其附近。此外，具有低的氮含量的該絕緣膜（譬如，氧化矽膜或氮氧化矽膜）被形成，用以與該氧化物半導體層接觸，使得該具有高阻障特性的絕緣膜可被防止與該氧化物半導體層直接接觸。

例如，一 100 奈米厚的閘極絕緣膜 714 可用下面的方式

來形成：一厚度為 50 奈米至 200 奈米的氮化矽膜（ $\text{SiN}_y$  ( $y>0$ )）藉由濺鍍而被形成為第一閘極絕緣膜，一厚度為 5 至 300 奈米的氧化矽膜（ $\text{SiO}_x$  ( $x>0$ )）被疊置於該第一閘極絕緣膜上作為第二閘極絕緣膜。該閘極絕緣膜 714 的厚度被設定為與該電晶體所需的特性有關且可以是約 350 奈米至 400 奈米。

在此實施例中，該閘極絕緣膜 714 被形成，其中一用濺鍍方式形成之 100 奈米厚的氧化矽膜被疊置在一用濺鍍方式形成之 50 奈米厚的氮化矽膜上。

應指出的是，該閘極絕緣膜 714 與稍後形成的氧化物半導體層接觸。包含在該氧化物半導體內的氫不利地影響該電晶體的特性；因此，該閘極絕緣膜 714 不含氫、羥基、及水氣是較佳的。為了要讓該閘極絕緣膜 714 含有儘可能少的氫、羥基、及水氣，藉由在一濺鍍設備的預熱室中把其上被形成該閘極電極 713 的基材 700 預熱以消除及去除吸附在該基材 700 上的雜質（譬如，水氣或氫）以作為該膜形成的預處理是較佳的。用於預加熱的溫度為  $100^\circ\text{C}$  至  $400^\circ\text{C}$ ，較佳地為  $150^\circ\text{C}$  至  $300^\circ\text{C}$ 。一低溫泵較佳地被提供於該預熱室中作為一排空單元。應指出的是，此預熱處理是可被省略的。

該氧化物半導體層 715 可藉由處理一形成在該閘極絕緣膜 714 上的氧化物半導體膜而被形成所想要的形狀。該氧化物半導體膜的厚度是 2 奈米至 200 奈米，較佳地為 3 奈米至 50 奈米，更佳地為 3 奈米至 20 奈米。該氧化物半導體

膜係藉由使用氧化物半導體靶材的濺鍍處理來形成。又，該氧化物半導體膜可藉由在一稀有氣體（如，氬氣）氛圍、氧氣氛圍、或稀有氣體（如，氬氣）與氧氣的混合氣體氛圍中的濺鍍處理來形成。

應指出的是，在用濺鍍處理形成該氧化物半導體膜之前，附著在該閘極絕緣膜 714 上的灰塵較佳地用逆濺鍍處理（在該逆濺鍍處理中氬氣被導入且電漿被產生）來予起去除。該逆濺鍍處理係指一種方法，在該方法中沒有電壓被施加至靶材側，一 RF 功率源被用來在氬氣氛圍中施加電壓至基材側，用以在該基材附近產生電漿以修改一表面。應指出的是，除了氬氣氛圍之外，氮氣氛圍、氦氣氛圍、或類此者亦可被使用。或者，一添加了氧、氧化二氮、或類此者的氬氣氛圍亦可被使用。又或者，一添加了氯、四氟化碳、或類此者的亦氣氛圍亦被使用。

如上文所述，下列氧化物的任何一者都可被用於該氧化物半導體膜：以 In-Sn-Ga-Zn 為基質的氧化物，以 In-Hf-Ga-Zn 為基質的氧化物，以 In-Al-Ga-Zn 為基質的氧化物，以 In-Sn-Al-Zn 為基質的氧化物，以 In-Sn-Hf-Zn 為基質的氧化物，及以 In-Hf-Al-Zn 為基質的氧化物，它們是四個金屬元素的氧化物；以 In-Ga-Zn 為基質的氧化物（亦被稱為 IGZO），以 In-Sn-Zn 為基質的氧化物，以 In-Al-Zn 為基質的氧化物，以 Sn-Ga-Zn 為基質的氧化物，以 Al-Ga-Zn 為基質的氧化物，以 Sn-Al-Zn 為基質的氧化物，以 In-Hf-Zn 為基質的氧化物，以 In-La-Zn 為基質的氧化物，以 In-Ce-Zn

爲基質的氧化物，以 In-Pr-Zn 爲基質的氧化物，以 In-Nd-Zn 爲基質的氧化物，以 In-Sm-Zn 爲基質的氧化物，以 In-Eu-Zn 爲基質的氧化物，以 In-Gd-Zn 爲基質的氧化物，以 In-Tb-Zn 爲基質的氧化物，以 In-Dy-Zn 爲基質的氧化物，以 In-Ho-Zn 爲基質的氧化物，以 In-Er-Zn 爲基質的氧化物，以 In-Tm-Zn 爲基質的氧化物，以 In-Yb-Zn 爲基質的氧化物，及以 In-Lu-Zn 爲基質的氧化物，它們是三個金屬元素的氧化物；以 In-Zn 爲基質的氧化物，以 Sn-Zn 爲基質的氧化物，以 Al-Zn 爲基質的氧化物，以 Zn-Mg 爲基質的氧化物，以 Sn-Mg 爲基質的氧化物，以 In-Mg 爲基質的氧化物，及以 In-Ga 爲基質的氧化物，它們是二個金屬元素的氧化物；氧化銦、氧化錫及氧化鋅。例如，一以 In-Sn-Ga-Zn 爲基質的氧化物係指一包含銦（In）、錫（Sn）、鎳（Ga）、及鋅（Zn）的氧化物，且在成分的比例上沒有特別的限制。上述的氧化物半導體可包括矽。

在此應指出的是，例如，一以 In-Ga-Zn 爲基質的氧化物係指一包含 In、Ga、Zn 作爲主要成分其主要成分的氧化物，且對於 In、Ga、Zn 的比例並沒有特別限制。該以 In-Ga-Zn 爲基質的氧化物可包含一除了 In、Ga、Zn 以外的金屬元素。

或者，一以化學式  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ，其中  $m$  不是整數) 表示的氧化物半導體可被用於該氧化物半導體層。在此處，M 代表一或多個選自於 Ga, Al, Fe, Mn, 及 Co 的金屬元素。或者，一以化學式  $\text{In}_3\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ ，其中  $n$  是

整數)表示的材料可被用作為該氧化物半導體。

在此實施例中，一藉由使用一包括銦(In)、鎵(Ga)、及鋅(Zn)的靶材的濺鍍處理所獲得之厚度為30奈米之以In-Ga-Zn為基質的氧化物氧化物被用作為該氧化物半導體膜。例如，一成分比率為In:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1、或In:Ga:Zn=1:1:2的靶材可被用作為該靶材。該包括In、Ga、及Zn的靶材的填充率為大於或等於90%及小於或等於100%、較佳地大於或等於95%及小於或等於100%。藉由使用高填充率的靶材，一緻密的氧化物半導體膜可被形成。

一以In-Sn-Zn為基質的氧化物可被稱為ITZO。在使用ITZO作為氧化物半導體的例子中，一以原子比率為1:2:2、2:1:3、1:1:1、20:45:35來表示In:Sn:Zn的成分比率之氧化物靶材可被使用。

在此實施例中，該氧化物半導體膜係以一種該基材被保持在一其內的殘留水氣被去除、被維持在低壓力且一氫及水氣已被去除的濺鍍氣體被導入其內的處理室中，且使用上述靶材的方式被形成。在膜形成中，該基材溫度可以是100℃至600℃，較佳地為200℃至400℃。藉由在該基材處於被加熱的狀態下形成該氧化物半導體膜，包含在該被形成的氧化物半導體膜中的雜質的濃度可被減少。此外，濺鍍造成的損傷亦可被減少。爲了要去除該處理室中殘留的水氣，截留真空幫浦較佳地被使用。例如，低溫泵、離子泵、或鈦昇華泵較佳地被使用。該抽空單元可以是設有

冷 凝 阱 ( cold trap ) 的 渦 輪 增 壓 泵 。 在 用 ， 例 如 ， 該 低 溫 泵 抽 空 的 該 沉 積 室 中 ， 氫 原 子 、 含 氫 原 子 的 化 合 物 ( 譬 如 ， 水 (  $\text{H}_2\text{O}$  ) ( 較 佳 地 ， 一 含 有 碳 原 子 的 化 合 物 ) ) 、 及 類 此 者 被 去 除 ， 包 含 在 形 成 於 該 沉 積 室 內 的 氧 化 物 半 導 體 膜 中 之 雜 質 的 濃 度 可 藉 此 被 降 低 。

沉 積 條 件 的 一 個 例 子 爲 ， 介 於 該 基 材 與 該 靶 材 之 間 的 距 離 爲 100 毫 米 、 該 壓 力 爲 0.6Pa 、 該 直 流 功 率 爲 0.5kW 、 且 該 氛 圍 是 氧 氛 圍 ( 氧 氣 流 率 的 比 例 爲 100% ) 。 應 指 出 的 是 ， 一 脈 衝 式 直 流 電 ( DC ) 電 源 是 較 佳 的 ， 因 爲 在 沉 積 時 產 生 的 灰 塵 可 被 減 少 且 該 膜 的 厚 度 可 被 作 成 很 均 勻 。

爲 了 要 讓 該 氧 化 物 半 導 體 膜 包 含 儘 可 能 少 的 氫 、 羥 基 及 水 氣 ， 在 一 濺 鍍 設 備 的 預 熱 室 中 把 其 上 被 形 成 有 該 閘 極 絕 緣 膜 714 的 基 材 700 預 熱 以 消 除 及 去 除 吸 附 在 該 基 材 700 上 的 雜 質 ( 譬 如 ， 水 氣 或 氫 ) 以 作 爲 該 膜 形 成 的 預 處 理 是 較 佳 的 。 用 於 預 加 熱 的 溫 度 爲  $100^{\circ}\text{C}$  至  $400^{\circ}\text{C}$  ， 較 佳 地 爲  $150^{\circ}\text{C}$  至  $300^{\circ}\text{C}$  。 一 低 溫 泵 較 佳 地 被 提 供 於 該 預 熱 室 中 用 作 爲 一 排 空 單 元 。 應 指 出 的 是 ， 此 預 熱 處 理 是 可 被 省 略 的 。 此 預 加 熱 處 理 可 在 稍 後 的 步 驟 中 在 一 絕 緣 膜 722 於 被 形 成 之 前 被 被 類 似 地 實 施 在 其 上 形 成 有 導 電 膜 720 及 721 等 膜 層 的 該 基 材 700 上 。

應 指 出 的 是 ， 用 來 形 成 該 氧 化 物 半 導 體 層 715 的 實 施 可 以 是 濕 式 蝕 刻 、 乾 式 蝕 刻 、 或 乾 式 蝕 刻 與 濕 式 蝕 刻 兩 者 。 一 包 括 氯 ( 以 氯 爲 基 質 的 氣 體 ， 譬 如 氯 (  $\text{Cl}_2$  ) 、 三 氯 化 硼 (  $\text{BCl}_3$  ) 、 四 氯 化 矽 (  $\text{SiCl}_4$  ) 、 或 四 氯 化 碳 (  $\text{CCl}_4$  )

）的氣體較佳地被用作爲一用於乾式蝕刻的蝕刻氣體。此外，可使用一包括氟（以氟爲基質的氣體，譬如四氟化碳（ $\text{CF}_4$ ）、六氟化硫（ $\text{SF}_6$ ）、三氟化氮（ $\text{NF}_3$ ）、或三氟甲烷（ $\text{CHF}_3$ ）），溴化氫（ $\text{HBr}$ ），氧（ $\text{O}_2$ ）；添加了稀有氣體（譬如氦（ $\text{He}$ ）或氬（ $\text{Ar}$ ））的這些氣體的任何一者，或類此者的氣體。

一平行板反應離子蝕刻（RIE）方法或感應耦合電漿（ICP）蝕刻方法可被用作爲乾式蝕刻方法。爲了要將該膜層蝕刻成所想要的形狀，蝕刻條件（施加至線圈電極的電力量、施加至該基材側上的電極的電力量、該基材側上的電極的溫度，或類此者）可視需要加以調整。

一由磷酸、醋酸、硝酸、有機酸（譬如，檸檬酸或草酸）、或類此者的混合溶液可被用作爲用於濕式蝕刻的蝕刻劑。在此實施例中，使用的是 ITO-07N（由 KANTO CHEMICAL 公司製造）。

一用來形成該氧化物半導體層 715 的光阻遮罩可用噴墨方法來形成。用噴墨方法來形成該光阻遮罩無需使用到光罩；因此，製造成本可被降低。

應指出的是，該逆濺鍍處理在一導電膜於一後續的步驟中被形成之前被實施是較佳的，用以去除掉留在該氧化物半導體層 715 及該閘極絕緣膜 714 的表面上的光阻殘留或類此者。

應指出的是，用濺鍍處理或類此者形成的該氧化物半導體層含有大量的水氣或氫（包括羥基在內）的雜質。水

氣及氫輕易地形成施子能階 (donor level) 並因而成為該氧化物半導體內的雜質。在本發明的一個實施例中，爲了要減少在該氧化物半導體內的雜質 (如，水氣或氫) (實施除氫或脫水)，該氧化物半導體層 715 在一低壓氛圍中、一氮氣的鈍氣氛圍中、一稀有氣體或類此者、一氧氣氛圍、或一超乾燥空氣氛圍中 (在測量是藉由腔體振盪吸收雷射光譜 (CRDS) 方法的露點計來實施的例子中，具有 20ppm ( -55℃ 轉變成露點 ) 或更少的水氣含量，較佳地爲 1ppm 或更少，更佳地爲 10ppb 或更少 ) 接受熱處理。

實施於該氧化物半導體層 715 上的熱處理可消除在該氧化物半導體層 715 內的水氣與氫。詳言之，熱處理是在高於或等於 250℃ 且低於或等於 750℃，較佳地高於或等於 400℃ 且低於該基材的應變點，的溫度下被實施。例如，該熱處理可在 500℃ 被處理約 3 分鐘至 6 分鐘。當一 RTA 方法被用於該熱處理時，除氫或脫水可在短時間內被實施；因此，處理甚至可在高於玻璃基材的應變點的溫度被實施。

在此實施例中，一電爐 (其爲熱處理設備之一) 被使用。

應指出的是，熱處理設備並不侷限於電爐，且可包括一藉由從一加熱元件 (譬如，電阻式加熱元件) 熱傳導或熱輻射來加熱一待處理的物件的裝置。例如，RTA (快速熱退火) 設備，譬如 GRYA (氣體快速熱退火) 設備或 LRTA (燈泡快速熱退火) 設備可被使用。一 LRTA 設備是

一種藉由一發射自一燈泡（譬如，鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈）的光的輻射（一電磁波）來加熱一物件的設備。GRTA設備是一種使用高溫氣體來進行加熱處理的設備。一不會與待加熱處理的起反應的鈍氣（例如，氮）或稀有氣體（譬如，氬）可被用作為該氣體。

應指出的是，在該熱處理時，水氣、氫或類此者沒有被包括在氮或稀有氣體（譬如氮、氖、或氬）中是較佳的。被引入到一熱處理設備中的氮或稀有氣體（譬如氮、氖、或氬）的純度較佳地是6N（99.9999%）或更高，更佳地為7N（99.99999）或更高（亦即，雜質濃度較佳地小於1ppm或更低，更佳地為0.1ppm或更低）。

經由上述處理，在該氧化物半導體層715內的氫的濃度可被降低。此外，在低於或等於該玻璃轉變溫度的溫度實施的熱處理可形成具有極低的載子密度及寬的能帶間隙的氧化物半導體層715。因此，該電晶體可使用大尺寸基材來形成，使得產量可被提高。又，藉由使用該氧化物半導體層715（其內的氫濃度被降低且氧空洞被減少），可形成一具有高的承受電壓及極低關閉狀態電流的電晶體。

應指出的是，在氧化物半導體膜被加熱的例子中，根據該氧化物半導體膜的材料或加熱條件，板形晶體有時候被形成在該氧化物半導體膜的頂面上。該等板形晶體較佳地為在一實質平行於該氧化物半導體膜的表面的方向上之c-軸定向式（c-axis-oriented）的單晶型。如果該等板形

晶體不是單晶型的話，它們較佳地為多晶型，其中該等晶體的 a-b 平面被對準或 a 軸或 b 軸被對準於該通道形成區中且該等晶體被定向於 c 軸上（實質平行於該氧化物半導體層的表面的方向）。應指出的是，在該被設置於該半導體氧化物層底下的表面是不平的例子中，該等板形晶體是多晶型；因此，該被設置於該半導體氧化物層底下的表面較佳地是儘可能地均勻。

接下來，該絕緣膜 708、該絕緣膜 712、及該閘極絕緣膜 714 被部分地蝕刻，藉以形成到達該島狀半導體膜 702、該島狀半導體膜 703、及該配線 711 的接觸孔。

然後，藉由濺鍍或真空蒸鍍來形成一導電膜以覆蓋該該氧化物半導體層 715。之後，該導電膜用蝕刻或類此者予以處理，使得每一者係如一流極電極、一汲極電極、或配線般地作用的導電膜 716，717，718，719，720，及 721 如圖 15C 所示地被形成。

應指出的是，導電膜 716 及 717 與該島狀半導體膜 702 接觸。導電膜 718 及 719 與該島狀半導體膜 703 接觸。導電膜 720 與該配線 711 及該氧化物半導體層 715 接觸。導電膜 721 與該氧化物半導體層 715 接觸。

下列任何一種材料都可被用作為例如用來形成該等導電膜 716-721 的導電膜的材料：一選自於鋁、鉻、銅、鉕、鈦、鉬、或鎢的元素；含有這些元素的任何一者的合金；及含有上述元素的組合的合金膜。或者，該導電膜可具有一結構，在該結構中一耐火金屬膜，譬如鉻、鉕、鈦、

鋁、或鎢，被疊置於一鋁、銅或類此者的金屬膜上或底下。鋁及銅較佳地與耐火金屬結合使用以避免耐熱性於腐蝕的問題。鋁、鈦、鉻、鉭、鎢、釹、銦、鉕或類此者可被用作為該耐火金屬材料。

該等導電膜 716 至 721 可具有單層式結構或一包括兩層或更多層的堆疊式結構。例如，該等導電膜 716 至 721 可具有一含有矽的鋁膜的單層式結構；一鋁膜及一疊置於其上的鈦膜的兩層式結構；或以一鈦膜、一鋁膜、及一鈦膜的順序疊置之三層式結構。

用來形成該等導電膜 716 至 721 的導電膜可使用導電的金屬氧化物來形成。氧化銦、氧化錫、氧化鋅、氧化銦與氧化錫的合金、氧化銦與氧化鋅的合金、或添加了矽或氧化矽的金屬氧化物材料可被用作為導電的金屬氧化物。

在熱處理係在導電膜被形成之後才實施的例子中，該導電膜較佳地具有高到足以承受該熱處理的耐熱性。

應指出的是，材料及蝕刻條件可被適當地調整，致使該氧化物半導體層 715 在蝕刻該導電膜時儘可能地不被去除。根據蝕刻條件，該氧化物半導體層 715 的一外露的部分被部分地蝕刻，因此在一些例子中一溝槽（一凹陷部分）被形成。

在此實施例中，該鈦膜被用作為該導電膜。因此之故，濕式蝕刻藉由使用一含有氨及過氧化氫水（即，氨過氧化氫混合物）的溶液而被選擇性地實施於該導電膜上；在此例子中，該氧化物半導體層 715 被部分地蝕刻。詳言之

，以 5:2:2 的體積比率混合之 31wt% 之充氧的水（oxygenated water）、28wt% 的氨水、及水的溶液被用作為該氨過氧化氫混合物。或者，乾式蝕刻可藉由使用一含有氯氣（ $\text{Cl}_2$ ）、氯化硼（ $\text{BCl}_3$ ）或類此者的氣體而被實施在該導電膜上。

爲了要減少光罩的數量及在光微影蝕刻（photolithography）處理中的步驟，蝕刻可藉由使用一用多色調罩幕（multi-tone mask）形成的光阻罩幕來實施，該多色調罩幕是一種光可透射的曝光罩幕，用以具有多種強度（intensity）。一藉由使用多色調罩幕而形成的光阻罩幕具有多個厚度且更可藉由蝕刻而被改變形狀；因此，該光阻罩幕可被使用在多個用來處理成不同形狀的蝕刻步驟中。亦即，一對應於至少兩種不同的圖案的光阻罩幕可用一個多色調罩幕來形成。因此，該等曝光罩幕的數量可被減少且相對應的光微影蝕刻步驟的數量亦可被減少，該製程因而可被簡化。

接下來，使用一氣體，譬如  $\text{N}_2\text{O}$ 、 $\text{N}_2$  或  $\text{Ar}$ ，的電漿處理被實施。藉由此電漿處理，被吸收於該氧化物半導體層 715 的外露表面上的水或類此者即被去除。電漿處理可使用氧與氫的混合氣體來實施。

在該電漿處理之後，如圖 15C 所示，該絕緣膜 722 被形成，用以覆蓋該等導電膜 716 至 721 及該氧化物半導體層 715。該絕緣膜 722 較佳地含有儘可能少的雜質，譬如水氣、氫、及氧。該絕緣膜 722 可以是一單層式絕緣膜或是多

層絕緣膜的堆疊物。如果氫被包含在該絕緣膜722內的話，氫會進入到該氧化物半導體層內或將氧從該氧化物半導體層吸出，藉以造成該氧化物半導體層的一後通道部分（back channel portion）的阻值的降低（讓該後通道部分具有n型導電性），這會造成寄生通道的形成。因此，使用一種沒有用到氫的膜層形成方法來形成含有儘可能少的氫的絕緣膜722是很重要的。一具有高阻障特性的材料較佳地被用於該絕緣膜722。例如，氮化矽膜、矽氮化物氧化物膜、氮化鋁膜、鋁氮化物氧化物膜、或類此者可被用作為該具有高阻障特性的絕緣膜。在使用多層絕緣膜的堆疊物的例子中，一具有低氮含量的絕緣膜，譬如氧化矽膜或氮氧化矽膜，被形成在較靠近該氧化物半導體層715而離該具有高阻障特性的絕緣膜較遠的一側上。然後，該具有高阻障特性的絕緣膜被形成，用以與該等導電膜761至721及該氧化物半導體層715重疊，且該具有低氮含量的絕緣膜被夾設在它們之間。藉由使用該具有高阻障特性的絕緣膜，可防止雜質（譬如，水氣或氫）進入該氧化物半導體層715、該閘極絕緣膜714、或介於該氧化物半導體層715與另一絕緣膜之間的界面及其附近區域中。此外，該具有低氮含量的絕緣膜，譬如氧化矽膜或氮氧化矽膜，被形成，用以與該氧化物半導體層715接觸，使得該具有高阻障特性的絕緣膜被防止與該氧化物半導體層715直接接觸。

在此實施例中，該絕緣膜722被形成有一結構，在該

結構中一用濺鍍處理形成之100奈米厚的氮化矽膜被疊在一用濺鍍處理形成的200奈米厚的氧化矽膜上。在膜形成時的基材溫度可高於或等於室溫且低於或等於300℃，且在此實施例中其為100℃。

在絕緣膜722被形成之後，熱處理被實施。該熱處理較佳地是在200℃至400℃（如，250℃至350℃）的氮氛圍、超乾燥的空氣氛圍、或稀有氣體（如，氬或氦）氛圍中被實施。在該氣體內的水含量較佳地為20ppm或更少，更佳地為1ppm或更少，再更佳地為10ppb或更少。在此實施例中，例如，熱處理是在250℃的氮氛圍中被實施一小時。或者，用於短時間、高溫度之RTA處理可在導電膜716至721形成之前以一種類似於實施在該氧化物半導體層上用來減少水氣或氫之該早先的熱處理的方式被實施。即使是在氧缺陷因為被實施在該氧化物半導體層上之該早先的熱處理而被產生在該氧化物半導體層715中，藉由在該含氧的絕緣膜722被提供之後實施該熱處理，氧從該絕緣膜722被提供至該氧化物半導體層715。藉由提供氧至該氧化物半導體層715，在該氧化物半導體層715作為施子（donor）的氧缺陷可被減少。因此，該氧化物半導體層715可被製造成為實質的i型且該電晶體導因於氧空洞之電特性的變化可被降低；因此，電特性可獲得改善。對於此熱處理的時機並沒有特別的限制，只要該熱處理是在該絕緣層722形成之後實施即可。當此熱處理加倍實施如另一步驟時，譬如用於一樹脂膜的形成的熱處理或用於降低一透

明的導電膜的阻質的熱處理，該氧化物半導體層715可在無需增加步驟數之下被製作成實質的i型。

又，作為該氧化物半導體層715的施子的氧空洞可藉由在氧氛圍中對該氧化物半導體層715實施熱處理使得氧被添加至該氧化物半導體中來予以減少。該熱處理是在例如一高於或等於100℃且低於或等於350℃，較佳地高於或等於150℃及低於或等於250℃，的溫度被實施。被用於氧氛圍中的該熱處理的氧氣體不包含水、氫或類此者是較佳的。被引入到熱處理設備中的氧氣體的純度較佳地為6N（99.9999%）或更高，更佳地為7N（99.99999）或更高（亦即，雜質濃度較佳地小於1ppm或更低，更佳地為0.1ppm或更低）。

或者，離子佈植方法、離子摻雜方法或類此者可被用來將氧添加至該氧化物半導體層715，使得作為施子的氧空洞被減少。例如，用2.45 GHz的微波形成為電漿的氧可被添加至該氧化物半導體層715。

應指出的是，一背閘極電極可藉由形成一導電膜於該絕緣膜722上，然後將該導電膜圖案化而被形成在與該氧化物半導體層715重疊的位置處。在該背閘極電極被形成的例子中，一絕緣膜較佳地被形成，用以覆蓋該背閘極電極。該背閘極電極可使用類似於閘極電極713或導電膜716至721的材料及結構來形成。

該背閘極電極的厚度為10奈米至400奈米，較佳地為100奈米至200奈米。例如，該背閘極電極可用一種一由鈦

膜、鋁膜、及鈦膜疊置而成的導電膜被形成、一光阻罩幕藉由光微影蝕刻或類此者被形成、及非必要的部分藉由蝕刻予以去除使得該導電膜被處理（圖案化）成所想要的形狀的方式來形成。

經由上述的步驟，一電晶體 724 被形成。

該電晶體 724 包括該閘極電極 713、覆蓋在該閘極電極 713 上的該閘極絕緣膜 714、該氧化物半導體層 715，其與該閘極電極 713 重疊且該閘極絕緣膜 714 被設置在它們之間、及一對形成在該氧化物半導體層 715 上的導電膜 720 及 721。又，該絕緣膜 722 可被視為該電晶體 724 的一個構件。該示於圖 15C 中的該電晶體 724 具有一蝕刻式通道（channel-etched）的結構，在該結構中該氧化物半導體層 715 之被設置在該導電膜 720 與該導電膜 721 之間的一部分被蝕刻。

雖然該電晶體 724 被描述為一單閘極式電晶體，但如果需要的話，一包括多個彼此電連接的閘極電極 713 及具有多個通道形成區的多閘極式電晶體可被形成。

又，一與該氧化物半導體層 715 接觸的絕緣膜（其在此實施例中對應於該閘極絕緣膜 714 及該絕緣膜 722）可使用一包含第 13 族元素及氧的絕緣材料來形成，且一含有第 13 族的元素的絕緣材料可與氧化物半導體相容。因此，當一含有第 13 族的元素的絕緣材料被用於與該氧化物半導體層接觸的該絕緣膜時，介於該氧化物半導體層與該絕緣膜之間的界面的狀態可被保持想要的狀態。

一包含第13族元素的絕緣材料係指一含有一或多種第13族元素的絕緣材料。含有一第13族元素的絕緣材料的例子為氧化鎵、氧化鋁、氧化鋁鎵、及氧化鎵鋁。在此處，氧化鋁鎵係指一種材料，在該材料中以原子百分比（at.%）而言鋁含量高於鎵含量，及氧化鎵鋁係指一種材料，在該材料中以原子百分比（at.%）而言鎵含量高於或等於鋁含量。

例如，當一含有氧化鎵的材料被用作於一與含有鎵的氧化物半導體層接觸的絕緣膜時，在介於該氧化物半導體層與該絕緣膜之間的界面處的特性可被保持在所想要的特性。例如，該氧化物半導體層與一含有氧化鎵的絕緣膜被設置成彼此接觸，使得在介於該氧化物半導體層與該絕緣膜之間的界面處之氫的累積可被減少。應指出的是，在與該氧化物半導體層的一構成元素同一族的一元素被用於該絕緣膜的例子中，一類似的效果可被獲得。例如，藉由使用一含有氧化鋁的材料來形成一絕緣膜是可行的。應指出的是，水是不會穿透氧化鋁；所以，就防止水進入到該氧化物半導體層中而言，使用一含有氧化鋁的材料是較佳的。

與該氧化物半導體層715接觸該絕緣膜較佳地包含氧的比例高於在氧氛圍中的熱處理時或氧摻雜時在化學當量成分中的氧的比例。氧摻雜係指添加氧至一塊體（bulk）內。應指出的是，使用“塊體”一詞是為釐清，氧不只被添加至一薄膜的表面，還被添加至該薄膜的內部中。此

外，“氧摻雜”包括氧電漿摻雜，氧電漿藉此被添加至一塊體。該氧摻雜可用一離子佈植方法或離子摻雜方法來實施。

例如，在與該氧化物半導體層 715 接觸該絕緣膜係使用氧化鎵來形成的例子中，氧化鎵的成分可藉由在氧氛圍中的熱處理或氧摻雜而被設定為  $Ga_2O_x$  ( $x=3+\alpha$ ，其中  $0<\alpha<1$ )。

在與該氧化物半導體層 715 接觸該絕緣膜係使用氧化鋁來形成的例子中，氧化鋁的成分可藉由在氧氛圍中的熱處理或氧摻雜而被設定為  $Al_2O_x$  ( $x=3+\alpha$ ，其中  $0<\alpha<1$ )。

此外，在與該氧化物半導體層 715 接觸該絕緣膜係使用氧化鎵鋁（氧化鋁鎵）來形成的例子中，氧化鎵鋁（氧化鋁鎵）的成分可藉由在氧氛圍中的熱處理或氧摻雜而被設定為  $Ga_xAl_{2-x}O_{3+\alpha}$  ( $0<x<2$ ， $0<\alpha<1$ )。

藉由氧摻雜，可形成一包括一區域的絕緣膜，該區域的氧的比例高於在化學當量成分中的氧的比例。當包括此一區域的該絕緣膜與該氧化物半導體層接觸時，過量地存在該絕緣膜中的氧被提供至該氧化物半導體層，且在該氧化物半導體層中的氧空洞或在該氧化物半導體層與該絕緣膜之間的界面處的氧空洞可被減少。因此，該氧化物半導體層可以是 i 型或實質 i 型的氧化物半導體。

該包括一區域（在該區域中氧的比例高於在該化學當量成分中的氧的比例）的絕緣膜被用作為被設置在該氧化

物半導體層 715 上的絕緣膜或作為被設置於該氧化物半導體層 715 底下之與該氧化物半導體層 715 接觸的該等絕緣膜；較佳地，它被用作為兩層與該氧化物半導體層 715 接觸的絕緣膜。上述的效果可用一結構來強化，在該結構中包括一區域（在該區域中氧的比例高於在該化學當量成分中的氧的比例）的絕緣膜被用作為被設置在與該氧化物半導體層 715 接觸的絕緣膜的之上及之下的絕緣膜使得該氧化物半導體層 715 被夾設在它們之間。

被設置在該氧化物半導體層 715 之上之之下的絕緣膜可包含相同的構成元素或不同的構成元素。例如，被設置在該氧化物半導體層 715 之上之之下的絕緣膜可用成分為  $\text{Ga}_2\text{O}_x$  ( $x=3+\alpha$ ，其中  $0<\alpha<1$ ) 的氧化鎵來形成。或者該二絕緣層中的一者可用成分為  $\text{Ga}_2\text{O}_x$  ( $x=3+\alpha$ ，其中  $0<\alpha<1$ ) 的氧化鎵來形成，另一者則用成分為  $\text{Al}_2\text{O}_x$  ( $x=3+\alpha$ ，其中  $0<\alpha<1$ ) 的氧化鋁來形成。

與該氧化物半導體層 715 接觸的絕緣膜可以是絕緣層的堆疊物，其中每一絕緣層都包括一區域，在該區域中氧的比例高於在該化學當量成分中的氧的比例。例如，被設置於該氧化物半導體層 715 上的絕緣膜可如下所述地予以形成：成分為  $\text{Ga}_2\text{O}_x$  ( $x=3+\alpha$ ，其中  $0<\alpha<1$ ) 的氧化鎵及成分為  $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$  ( $0<x<2$ ， $0<\alpha<1$ ) 的氧化鎵鋁（氧化鋁鎵）被形成於該氧化鎵之上。應指出的是，被設置於該氧化物半導體層 715 底下的絕緣膜，或被設置於該氧化物半導體層 715 上及底下的絕緣膜可以是絕緣膜的一堆疊

物，其中每一絕緣層都包括一區域，在該區域中氧的比例高於在該化學當量成分中的氧的比例。

該光二極體 704 可被用作為圖 1A 至 1C、圖 13A 及 13B、及類此者所示的光二極體 302。該 n 型通道二極體 705 可被用作為圖 1A 至 1C、圖 13A 及 13B、及類此者所示的電晶體 305、306 及 307 與圖 4 及圖 7 所示的電晶體 323。電晶體 724 可被用作為圖 1A 至 1C、圖 13A 及 13B、及類此者所示的電晶體 304。又，電晶體 724 可被用作為圖 1A 至 1C、圖 13A 及 13B、圖 4 及圖 7 所示的電晶體 305、306、307 及 323。

此實施例可與該等實施例的任何一者結合來實施。

#### (實施例 8)

在此實施例中，一通道被形成在氧化物半導體層中且具有不同於實施例 7 的結構的電晶體將被描述。

示於圖 16A 中的半導體裝置包括實施例 7 中的該光二極體 704 及該 n 型通道電晶體 705。此外，在圖 16A 中，一具有通道保護結構的底閘型電晶體 724 被形成在該光二極體 704 及該 n 型通道電晶體 705 上。

該電晶體 724 包括一形成在該絕緣膜 712 上的閘極電極 730、一在該閘極電極 730 上的閘極絕緣膜 731、一與該閘極電極 730 重疊的氧化物半導體層 732 且該閘極絕緣膜 731 被設置在它們之間、一通道保護膜 733 其被形成在該氧化物半導體層 732 上的一個與該閘極電極 730 重疊的位置處、及一導電膜 734 與一導電膜 735，其被形成在該氧化物半導

體層 732 上。該電晶體 724 可進一步包括一絕緣膜 736 作為其構件，其被形成在導電膜 734 及 735 與該通道保護膜 733 上。

該通道保護膜 733 可防止該作為氧化物半導體層 732 內的通道形成區的部分在稍後的步驟中受到傷害（如，因為蝕刻處理時的電漿或蝕刻劑而厚度變薄）。因此，該電晶體 724 的可靠性可獲得改善。

該通道保護膜 733 可使用含氧的非有機材料（如，氧化矽、矽氮化物氧化物、氮氧化矽、氧化鋁、或氮氧化鋁）來形成。該通道保護膜 733 可用氣相沉積，譬如電漿 CVD 或熱 CVD，或濺鍍來形成。在沉積之後，該通道保護膜 733 的形狀是用蝕刻來處理。在此處，該通道保護膜 733 的形成方式為，用濺鍍處理來形成氧化矽膜，然後藉由使用一由光微影蝕刻形成的罩幕的蝕刻來加以處理。

藉由使用含氧的非有機材料作為該通道保護膜 733，氧可從該通道保護膜 733 被提供至該氧化物半導體層 732 且即使是在氧空洞因為要減少水氣或氫而被熱處理產生在該氧化物半導體層 732 內，該作為施子的氧空洞仍可被減少。因此，該通道形成區可被製造成接近 i 型且電晶體 724 導因於氧空洞的電特性改變可被降低，這可形成電特性的改善。

示於圖 16B 中的半導體裝置包括如實施例 7 的光二極體 704 及 n 型通道電晶體 705。在圖 16B 中，一底接觸式電晶體 724 被形成在該光二極體 704 與該 n 型通道電晶體 705 上。

該電晶體 724 包括一形成在該絕緣膜 712 上的閘極電極 741、一在該閘極電極 741 上的閘極絕緣膜 742、一在該閘極絕緣膜 742 上的導電膜 743 及導電膜 744、一與該閘極電極 741 重疊的氧化物半導體層 745 且該閘極絕緣膜 742 被設置在它們之間。該電晶體 724 可包括一形成在該氧化物半導體層 745 上的絕緣膜 746 作為其構件。

應指出的是，示於圖 16A 及 16B 中的電晶體 724 可進一步包括一背閘極電極。

示於圖 16C 中的半導體裝置包括如實施例 7 的光二極體 704 及 n 型通道電晶體 705。在圖 16C 中，一頂接觸式電晶體 724 被形成在該光二極體 704 與該 n 型通道電晶體 705 上。

該電晶體 724 包括一形成在該絕緣膜 712 上的氧化物半導體層 755、一在該氧化物半導體層 755 上的導電膜 753 及導電膜 754、一在該氧化物半導體層 755 上及導電膜 753 及 754 上的閘極絕緣膜 752、及一與該氧化物半導體層 755 重疊的閘極電極 751 且該閘極絕緣膜 752 被設置在它們之間。此外，一被形成在該閘極電極 751 上的絕緣膜 756 可被包括作為該電晶體 724 的構件。

示於圖 16D 中的半導體裝置包括如實施例 7 的光二極體 704 及 n 型通道電晶體 705。在圖 16D 中，一頂接觸式電晶體 724 被形成在該光二極體 704 與該 n 型通道電晶體 705 上。

該電晶體 724 包括一在該絕緣膜 712 上的導電膜 763 及導電膜 764、一在導電膜 763 及導電膜 764 上的氧化物半導體層 765、一在該氧化物半導體層 765 上及該導電膜 763 與

該導電膜764上的閘極絕緣膜762、及一與該氧化物半導體層765重疊的閘極電極761且該閘極絕緣膜762被設置在它們之間。此外，一被形成在該閘極電極761上的絕緣膜766可被包括作為該電晶體724的構件。

該光二極體704可被用作為圖1A至1C、圖13A及13B、及類此者所示的光二極體302。該n型通道二極體705可被用作為圖1A至1C、圖13A及13B、及類此者所示的電晶體305、306及307與圖4及圖7所示的電晶體323。電晶體724可被用作為圖1A至1C、圖13A及13B、及類此者所示的電晶體304。又，電晶體724可被用作為圖1A至1C、圖13A及13B、圖4及圖7所示的電晶體305、306、307及323。

此實施例可與該等實施例的任何一者結合來實施。

#### （實施例9）

在此實施例中，一包括具有c-軸對準的晶體（其亦被稱為c-軸對準式晶體（CAAC））之氧化物（其從a-b平面、一表面、或一界面看時具有三角形或六角形的原子配置）將被描述。在該晶體中，金屬原子以一層化的（layered）方式被設置、或金屬原子與氧原子以沿著c-軸的方式被層化地設置，且該a-軸或該b-軸的方向被改變於該a-b平面上（該晶體繞著c-軸旋轉）。

廣義地，一包括CAAC的氧化物係指一包括一相態（phase）之非單晶型氧化物，當從垂直於該a-b平面的方向看時，該相態具有三角形、六角形、正三角形、或正六角

形的原子配置，其中當從垂直於c-軸的方向觀看時，金屬原子係以層化方式被配置或金屬原子與氧原子係以層化方式被配置。

該CAAC不是一單晶體，但這並不表示該CAAC只由一非晶型構件組成。雖然CAAC包括一結晶化的部分（晶形部分），但介於一個晶形部分與另一個晶形部分之間的邊界在一些例子中是不清楚的。

在氧被包含在該CAAC內的例子中，氮可代替部分包括在該CAAC中的氧。包括在該CAAC中之個別的晶形部分的c-軸可被對齊於一個方向上（如，一垂直於一基材之其上形成有該CAAC的表面或該CAAC的一表面的方向）。或者，包括在該CAAC中之個別的晶形部分的a-b平面的法線可對齊於一個方向上（如，一垂直於一基材之其上形成有該CAAC的表面或該CAAC的一表面的方向）。

該CAAC依據其組成成分或類此者而變成一導體、一半導體、或一絕緣體。該CAAC依據其組成成分而透射或不透射可見光。

此一CAAC的一個例子為一被形成為薄膜形狀且當從該薄膜的一表面或一支撐基材的一表面觀看時具有三角形或六角形的原子配置的晶體，在該晶體中金屬原子係以層化的方式被設置或當從該薄膜的剖面觀看時金屬原子與氧原子（或氮原子）以層化的方式被設置。

該CAAC的晶體結構將參考圖20A至20E、圖21A至21C、及圖22A至22C加以詳細描述。除非有作不同的界定，否

則在圖 20A 至 20E、圖 21A 至 21C、及圖 22A 至 22C 中，垂直方向對應於該  $c$ -軸方向及垂直於該  $c$ -軸方向的平面對應於該  $a$ - $b$  平面。在單純地使用到“上半部”及“下半部”的情形中，它們係指在該  $a$ - $b$  平面上方的上半部及在該  $a$ - $b$  平面的下面的下半部（相對於該  $a$ - $b$  平面的上半部與下半部）。此外，在圖 20A 至 20E 中，被一個圓圈起來的 O 代表四配位 O 及被兩個圓圈起來的 O 代表三配位 O。

圖 20A 例示一包括一個六配位 In 原子及六個鄰近該 In 原子的四配位氧（在下文中被稱為四配位 O）原子的結構。在此處，一包括一個金屬原子及與該金屬原子鄰近的氧原子的結構被稱為一小型基團（group）。圖 20A 的結構實際上是一八面體結構，但為了簡化而被例示成一平面結構。應指出的是，三個四配位 O 原子存在於圖 20A 的上半部與下半部的每一半部中。在圖 20A 所示的該小型基團中，電荷是 0。

圖 20B 例示一包括一個五配位 Ga 原子、三個鄰近該 Ga 原子的三配位氧（在下文中被稱為三配位 O）原子、及兩個鄰近該 Ga 原子的四配位 O 的結構。所有三配位 O 原子皆存在於該  $a$ - $b$  平面上。一個四配位 O 圖 20B 的上半部與下半部的每一半部中。一 In 原子亦可具有圖 20B 所示的結構，因為一 In 原子可具有五個配位基。在圖 20B 所示的該小型基團中，電荷是 0。

圖 20C 例示一包括一個四配位 Zn 原子及四個鄰近該 Zn 原子的四配位 O 的結構。在圖 20C 中，一個四配位 O 原子存

在於上半部中及三個四配位 O 原子存在於下半部中。或者，三個四配位 O 原子可存在於圖 20C 的上半部中及一個四配位 O 原子可存在於下半部中。在圖 20C 所示的該小型基團中，電荷是 0。

圖 20D 例示一包括一個六配位 Sn 原子及六個鄰近該 Sn 原子的四配位 O 原子。在圖 20D 中，三個四配位 O 原子存在於上半部與下半部的每一者中。在圖 20D 所示的該小型基團中，電荷是 +1。

圖 20E 例示一包括兩個 Zn 原子的小型基團。在圖 20E 中，一個四配位 O 原子存在於上半部與下半部的每一者中。在圖 20E 所示的該小型基團中，電荷是 -1。

在此處，多個小形基團形成一中型基團，及多個中型基團形成一大型基團（其亦被稱為一單元胞體（unit cell））。

現在，小型基團之間的鍵合規則將被描述。在相對於圖 20A 的六配位 In 原子的上半部中的該三個 O 原子，每一者在向下的方向上具有三個鄰近的 In 原子，及在下半部中的三個 O 原子，每一者在向上的方向上具有三個鄰近的 In 原子。在相對於該五配位 Ga 原子的上半部中的該一個 O 原子在向下的方向上具有一個鄰近的 Ga 原子，及在該下半部中的該一個 O 原子向上的方向上具有一個鄰近的 Ga 原子。在相對於該四配位的 Zn 原子的上半部中的該一個 O 原子在向下的方向上具有一個鄰近的 Zn 原子，及在下半部中的該三個 O 原子在向上的方向上具有三個鄰近的 Zn 原子。以此方

式，鄰近該金屬原子且在該金屬原子上方的四配位 O 原子的數量等於鄰近每一個四配位 O 原子且在每一個四配位 O 原子下方的金屬原子的數量。相類似地，鄰近該金屬原子且在該金屬原子下方的四配位 O 原子的數量等於鄰近每一個四配位 O 原子且在每一個四配位 O 原子上方的金屬原子的數量。因為構成小型基團之間的鍵合的 O 原子是四配位 O 原子，所以鄰近該 O 原子且在該 O 原子下方的金屬原子的數量與鄰近該 O 原子且在該 O 原子上方的金屬原子的數量的總和為 4。因此，當在一金屬原子上方的四配位 O 原子的數量與在另一金屬原子下方的四配位 O 原子的數量的總和為 4 時，包含該二金屬原子的兩種小型基團即可鍵合。例如，在該六配位金屬（In 或 Sn）原子經由三個在下半部中的四配位 O 原子被鍵合的例子中，其係被鍵合至該五配位金屬（Ga 或 In）原子或四配位金屬（Zn）原子。

一具有上述配位數的金屬原子經由在該 c-軸方向上的四配位 O 原子而被鍵合至具有上述配位數的另一個金屬原子。除了上文所述之外，一中型基團可藉由結合多個小型基團而以不同的方式來形成，使得該層化的結構的電荷為 0。

圖 21A 例示一包括在以 In-Sn-Zn-O 為基質的材料的層化結構中的中型基團的模型。圖 21B 例示一包含三個中型基團的大型基團。圖 21C 例示從 c-軸方向觀看之圖 21B 的層化結構的原子配置。

在圖 21A 中，一三配位 O 原子被省略且四配位 O 原子用

一圓圈來表示；在該圓圈內的數字代表四配位 O 原子的數量。例如，存在於相對於一 Sn 原子的上半部及下半部的每一者中的三個四配位 O 原子係用數字 3 的圓圈來標記。相類似地，在圖 21A 中，存在於相對於一 In 原子的上半部及下半部的每一者中的一個四配位 O 原子係用數字 3 的圓圈來標記。圖 21A 亦例示一 Zn 原子鄰近一個在下半部中的四配位 O 原子及三個在上半部中的四配位 O 原子，及一 Zn 原子鄰近一個在上半部中的四配位 O 原子及三個在下半部中的四配位 O 原子。

在包括於圖 21A 的以 In-Sn-Zn-O 為基質的材料之層化結構中的中型基團中，依從上面算起的順序，一鄰近三個在一上半部及一下半部的每一者中的四配位 O 原子的 Sn 原子被鍵合至一鄰近一個在一上半部及一下半部的每一者中的四配位 O 原子的 In 原子，該 In 原子被鍵合至一鄰近三個在一上半部中的四配位 O 原子的 Zn 原子，該 Zn 原子經由一個在一相對於該 Zn 原子的下半部中的四配位 O 原子而被鍵合至一鄰近三個在一上半部及一下半部的每一者中的四配位 O 原子的 In 原子，該 In 原子被鍵合至一小型基團其包括兩個 Zn 原子且鄰近一個在一上半部中的四配位 O 原子，且該小型基團經由一個在一相對於該小型基團的下半部中的四配位 O 原子而被鍵合至一鄰近三個在一上半部及一下半部的每一者中的四配位 O 原子的 Sn 原子。多個此種中型基團被鍵合以形成一大型基團。

在此處，三配位 O 原子的鍵結的電荷及四配位 O 原子

的鍵結的電荷可分別被假設為  $-0.667$  及  $-0.5$ 。例如，一（六配位或五配位）In原子的電荷、一（四配位）Zn原子的電荷、及一（五配位或六配位）Sn原子的電荷分別為  $+3$ 、 $+2$ 、及  $+4$ 。因此，一包括Sn原子的小型基團的電荷為  $+1$ 。因此，形成一包括一Sn原子的層化結構需要能夠抵消  $+1$  電荷之  $-1$  電荷。示於圖 20E 之包含兩個Zn原子的小型基團可被用作為具有  $-1$  電荷的結構。例如，藉由一個包含兩個Zn原子的小型基團，一個包含一Sn原子的小型基團的電荷可被抵消，使得該層化結構的總電荷可以為  $0$ 。

當圖 21B 所示的大型基團被重複時，即可獲得以 In-Sn-Zn-O 為基質的晶體 ( $\text{In}_2\text{SnZn}_3\text{O}_8$ )。應指出的是，以 In-Sn-Zn-O 為基質的晶體可用一成分式  $\text{In}_2\text{SnZn}_3\text{O}_7 (\text{ZnO})_m$  ( $m$  為  $0$  或自然數) 來表示。

上述的規則亦適用於下列的氧化物：四金屬元素的氧化物，譬如以 In-Sn-Ga-Zn 為基質的氧化物；三金屬元素的氧化物，譬如以 In-Ga-Zn 為基質的氧化物（亦被稱為 IGZO），以 In-Al-Zn 為基質的氧化物，以 Sn-Ga-Zn 為基質的氧化物，以 Al-Ga-Zn 為基質的氧化物，以 Sn-Al-Zn 為基質的氧化物，以 In-Hf-Zn 為基質的氧化物，以 In-La-Zn 為基質的氧化物，以 In-Ce-Zn 為基質的氧化物，以 In-Pr-Zn 為基質的氧化物，以 In-Nd-Zn 為基質的氧化物，以 In-Sm-Zn 為基質的氧化物，以 In-Eu-Zn 為基質的氧化物，以 In-Gd-Zn 為基質的氧化物，以 In-Tb-Zn 為基質的氧化物，以 In-Dy-Zn 為基質的氧化物，以 In-Ho-Zn 為基質的氧化物，以 In-

Er-Zn爲基質的氧化物，以In-Tm-Zn爲基質的氧化物，以In-Yb-Zn爲基質的氧化物，及以In-Lu-Zn爲基質的氧化物；兩個金屬元素的氧化物，譬如以In-Zn爲基質的氧化物，以Sn-Zn爲基質的氧化物，以Al-Zn爲基質的氧化物，以Zn-Mg爲基質的氧化物，以Sn-Mg爲基質的氧化物，以In-Mg爲基質的氧化物，及以In-Ga爲基質的氧化物。

圖 22A 例示一包括在一 In-Ga-Zn-O 爲基質的材料的層化結構中的中型基團的模型。

在圖 22A 所示之包括在一以 In-Ga-Zn-O 爲基質的材料的層化結構中的中型基團的模型中，一鄰近三個在一上半部及一下半部的每一者中的四配位 O 原子的 In 原子被鍵合至一鄰近一個在一上半部中的四配位 O 原子的 Zn 原子，該 Zn 原子經由三個在一相對於該 Zn 原子的下半部中的四配位 O 原子而被鍵合至一鄰近一個在一上半部及一下半部的每一者中的四配位 O 原子的 Ga 原子，及該 Ga 原子經由一個在一相對於該 Ga 原子的下半部中的四配位 O 原子而被鍵合至一鄰近三個在一上半部及一下半部的每一者中的四配位 O 原子的 In 原子。多個此種中型基團被鍵合以形成一大型基團。

圖 22B 例示一包含三個中型基團的大型基團。圖 22C 例示從 c-軸方向觀看之圖 21B 的層化結構的原子配置。

在此處，因爲一（六配位或五配位）In 原子的電荷、一（四配位）Zn 原子的電荷、及一（五配位）Ga 原子的電荷分別爲 +3、+2、及 +3，一包括 In 原子、Zn 原子、及 Ga 原

子的任一者的小型基團的電荷為0。因此，一具有這些小型基團的組合的中型基團的總電荷永遠為0。

爲了要形成該以In-Ga-Zn-O爲基質的材料的層化結構，一大型基團不只可使用圖22A所示之中型基團，還可使用In原子、Zn原子、及Ga原子的配置不同於圖22A的中型基團來形成。

此實施例可與任何其它實施例組合來實施。

#### (實施例10)

在此實施例中，一電晶體的場效移動性將被描述。

一被絕緣的閘極電晶體的被實際測得的場效移動性會因爲許多原因而比其原始的移動性低；此現象不只發生在通道被形成在氧化物半導體層中的電晶體中。降低該移動性的理由之一爲在一半導體內部的缺陷或在該半導體與一絕緣膜之間的界面處的缺陷。當使用Levinson模型時，以沒有缺陷存在於該半導體內部的假設爲基礎的場效移動性被理論地計算。

假設一電晶體的原始移動性及被測得的場效移動性分別爲 $\mu_0$ 及 $\mu$ ，及一電位障壁（譬如，一晶粒邊界）存在於該半導體內，則該被測得的場效移動性 $\mu$ 可用下面的公式2來表示。

#### [公式2]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此處，E代表該電位障壁的高度，k代表波茲曼常數

，及  $T$  代表絕對溫度。當該電位障壁被假設係導因於一缺陷時，該電位障壁的高度  $E$  根據 Levinson 模型被表示為下面的公式 3。

[公式 3]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此處， $e$  代表基礎電荷， $N$  代表在一通道中每單位面積的平均密度， $\epsilon$  代表該半導體的介電係數（permittivity）， $n$  代表在該通道中每單位面積的載子數量， $C_{ox}$  代表每單位面積的電容， $V_g$  代表閘極電壓，及  $t$  代表該通道的厚度。應指出的是，在該半導體層的厚度小於或等於 30 奈米的例子中，該通道的厚度與該半導體層的厚度是相等的。在一直線區域中的汲極電流  $I_d$  被表示為下面的公式 4。

[公式 4]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此處， $L$  代表該通道的長度及  $W$  代表該通道的寬度，及  $L$  與  $W$  分別為 10 微米。此外， $V_d$  代表汲極電壓。當把上面的公式的兩邊除以  $V_g$ ，然後將兩邊取對數時，可獲得下面的公式 5。

[公式 5]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

公式 5 的右邊是  $V_g$  的函數。從上面的公式中可發現，缺陷密度  $N$  可從一藉由將實際測得的數值以  $\ln(I_d/V_g)$  為縱座標及以  $1/V_g$  為橫座標繪製的圖中的一條線的斜率來獲得。亦即，該缺陷密度可從該電晶體的  $I_d-V_g$  特性評估出來

。一銦（In）、錫（Sn）、及鋅（Zn）的比例為1:1:1的氧化物半導體的缺陷密度 $N$ 約為 $1 \times 10^{12}/\text{cm}^2$ 。

以此方式獲得的缺陷密度為根據，從公式2及公式3可計算出 $\mu_0$ 為 $120 \text{ cm}^2/\text{Vs}$ 。一包括一缺陷之以In-Sn-Zn為基質的氧化物被測得之移動性約為 $40 \text{ cm}^2/\text{Vs}$ 。然而，假設氧化物半導體內部及介於該氧化物半導體與一絕緣膜之間的界面不存在缺陷，則該氧化物半導體的移動性 $\mu_0$ 被認為是 $120 \text{ cm}^2/\text{Vs}$ 。

應指出的是，即使是一半導體內部不存在缺陷的時候，在一通道與一閘極絕緣層之間的界面處的散射（scattering）仍會不利地影響該電晶體的輸送特性。換言之，在一個離該通道與該閘極絕緣層之間的界面一段 $x$ 距離的位置處的移動性 $\mu_1$ 可被表示為下面的公式6。

[公式6]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

在此處， $D$ 代表在該閘極方向上的電場，及 $B$ 與 $l$ 為常數。 $B$ 及 $l$ 可從實際測量結果獲得；根據上面的測量結果， $B$ 為 $4.75 \times 10^7 \text{ cm/s}$ 及 $l$ 為10奈米（該界面散射的影響所能到達的深度）。當 $D$ 被增加時（即，當該閘極電壓被增加時），公式6的第二項被變大，因此該移動性 $\mu_1$ 被減小。

圖23顯示一通道是使用一理想的氧化物半導體（即，該半導體內沒有缺陷）來形成的電晶體的移動性 $\mu_2$ 的計算結果。由Synopsys公司所製造的裝置模擬軟體Sentauryus Device被用於該計算，且該能帶隙、該電子親

和性、該相對介電係數、及該氧化物半導體的厚度分別被假設為  $2.8\text{eV}$ 、 $4.7\text{eV}$ 、 $15$ 、及  $15$  奈米。這些數值可從一用濺鍍處理形成的薄膜的測量中獲得。

又，閘極、源極、及汲極的功函數分別被假設為  $5.5\text{eV}$ 、 $4.6\text{eV}$ 、及  $4.6\text{eV}$ 。該閘極絕緣膜的厚度被假設為  $100$  奈米，其相對介電係數被假設為  $4.1$ 。該通道長度及通道寬度分別被假設為  $10$  微米，及該汲極電壓  $V_d$  被假設為  $0.1\text{V}$ 。

如圖 23 所示，該移動性在該閘極電壓稍微大於  $1\text{V}$  處具有一大於  $100\text{cm}^2/\text{Vs}$  的峰值，且在該閘極電壓變得更高時因為該界面散射的影響變大而下降。應指出的是，爲了要降低該界面散射的影響，該半導體層的表面較佳地有原子層級的平坦度（原子層平坦度）。

用具有此一移動性的氧化物半導體形成的微型電晶體的特徵的計算結果被示於圖 22A 至 24C、圖 25A 至 25C、及圖 26A 至 26C 中。圖 27A 及 27B 例示用於該計算的電晶體的剖面結構。示於圖 27A 及 27B 中的電晶體每一者都包括一半導體區域 903a 及一半導體區域 903c，其在該氧化物半導體層中具有  $n^+$  型導電性。半導體區域 903a 及 903c 的電阻值為  $2 \times 10^{-3} \Omega \text{ cm}$ 。

圖 27A 中的電晶體被形成在一基礎絕緣膜 901 及一嵌埋式絕緣體 902（其被埋設在該基礎絕緣膜 901 中且是用氧化鋁形成的）上。該電晶體包括該半導體區域 903a、該半導體區域 903c、一本徵半導體區域 903b 其被設置在該半導體

區域 903a 及 903c 之間且作為一通道形成區、及一閘極電極 905。該閘極電極 905 的寬度為 33 奈米。

一閘極絕緣膜 904 被形成在該閘極電極 905 與該半導體區域 903b 之間。一側壁絕緣體 906a 及一側壁絕緣體 906b 被形成在該閘極電極 905 的兩個側表面上，及一絕緣體 907 被形成在該閘極電極 905 上，用以防止該閘極電極 905 與另一配線之間的短路。該側壁絕緣體具有 5 奈米的寬度。一源極電極 908a 及一汲極電極 908b 被設置成分別與該半導體區域 903a 及該半導體區域 903c 接觸。應指出的是，此電晶體的通道寬度為 40 奈米。

圖 27B 中的電晶體與圖 27A 的電晶體相同處在於它被形成在該基礎絕緣膜 901 及該用氧化鋁形成的的嵌埋式絕緣體 902 上及在於它包括該半導體區域 903a、該半導體區域 903c、該被設置在該半導體區域 903a 及 903c 之間的本徵半導體區域 903b、該寬度為 33 奈米的閘極電極 905、該閘極絕緣膜 904、該側壁絕緣體 906a、該側壁絕緣體 906b、該一絕緣體 907、該源極電極 908a、及該汲極電極 908b。

圖 27A 的電晶體與圖 27B 的電晶體之間的差異在於在該側壁絕緣體 906a 及該側壁絕緣體 906b 底下的半導體區域的導電類型。在圖 27A 的電晶體中，在該側壁絕緣體 906a 及該側壁絕緣體 906b 底下的半導體區域具有  $n^+$  型導電性及部分半導體區域 903c 具有  $n^+$  型導電性，而在圖 27B 的電晶體中，在該側壁絕緣體 906a 及該側壁絕緣體 906b 底下的半導體區域是該本徵半導體區域 903b 的一部分。換言之，在圖

27B的電晶體中被設置一寬度為 $L_{off}$ 的區域，其既不與該半導體區域903a（半導體區域903c）重疊，亦不與閘極電極905重疊。該區域被稱為一偏移區（offset region），且該寬度 $L_{off}$ 被稱為偏移長度。從圖中可以看出的是，該偏移長度等於該側壁絕緣體906a（側壁絕緣體906b）的寬度。

計算中用到的其它參數係如上所所述。由Synopsys公司所製造的裝置模擬軟體Sentauryus Device被用於該計算。圖24A至24C顯示具有示於圖27A中的結構之電晶體的汲極電流（ $I_d$ ，其為實線）及移動性（ $\mu$ ，其為虛線）與閘極電壓（ $V_g$ ：介於閘極與源極之間的電位差）之間的相關性。該汲極電流 $I_d$ 係在該汲極電壓（介於汲極與源極之間的電位差）為+1V的假設下藉由計算獲得的，及該移動性 $\mu$ 係在汲極電壓為+0.1V的假設下藉由計算獲得的。

圖24A顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為15奈米的例子中的相關性，圖24B顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為10奈米的例子中的相關性，及圖24C顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為5奈米的例子中的相關性。當該閘極絕緣膜變薄時，在關閉狀態中的汲極電流 $I_d$ （關閉狀態電流）被顯著地增加。相反地，在打開狀態中該移動性 $\mu$ 及在打開狀態中的該汲極電流 $I_d$ （打開狀態電流）在峰值的改變上並不明顯。該等圖表顯示該汲極電流在閘極電壓約1V處超過 $10\mu A$ 。

圖25A至25C顯示具有示於圖27B中的結構且偏移長度

$L_{off}$  為 5 奈米之電晶體的汲極電流  $I_d$ （其為實線）及移動性  $\mu$ （其為虛線）與閘極電壓  $V_g$  之間的相關性。該汲極電流  $I_d$  係在該汲極電壓為 +1V 的假設下藉由計算獲得的，及該移動性  $\mu$  係在汲極電壓為 +0.1V 的假設下藉由計算獲得的。圖 25A 顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為 15 奈米的例子中的相關性，圖 25B 顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為 10 奈米的例子中的相關性，及圖 25C 顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為 5 奈米的例子中的相關性。

圖 26A 至 26C 顯示具有示於圖 27B 中的結構且偏移長度  $L_{off}$  為 15 奈米之電晶體的汲極電流  $I_d$ （其為實線）及移動性  $\mu$ （其為虛線）與閘極電壓  $V_g$  之間的相關性。該汲極電流  $I_d$  係在該汲極電壓為 +1V 的假設下藉由計算獲得的，及該移動性  $\mu$  係在汲極電壓為 +0.1V 的假設下藉由計算獲得的。圖 26A 顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為 15 奈米的例子中的相關性，圖 26B 顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為 10 奈米的例子中的相關性，及圖 26C 顯示該電晶體的閘極電壓在該閘極絕緣膜的厚度為 5 奈米的例子中的相關性。

在該等結構的任何一者中，當該閘極絕緣膜更薄時，該關閉狀態電流被顯著地減小，而在該移動性  $\mu$  及打開狀態電流的峰值方面卻沒有明顯的改變。

應指出的是，在圖 24A 至 24C 中該移動性  $\mu$  的峰值約為  $80 \text{ cm}^2/\text{Vs}$ ，在圖 25A 至 25C 中約為  $60 \text{ cm}^2/\text{Vs}$ ，及在圖 26A 至

26C中約為 $40\text{cm}^2/\text{V}_s$ ；因此，當該偏移長度 $L_{\text{off}}$ 被增加時，該移動性 $\mu$ 的峰值被降低。又，以上所述適用於該關閉狀態電流。該打開狀態電流亦會在該 $L_{\text{off}}$ 被增加時被減小；然而，在該打開狀態電流上的減小比在該關閉狀態上的減小更為緩和。又，該等圖表顯示在該等結構的任何一者中，該汲極電流在閘極電壓約1V處超過 $10\mu\text{A}$ 。

此實施例可與任何其它實施例組合來實施。

#### （實施例11）

依據本發明的一個實施例的半導體裝置包括一其上形成有多個像素的面板、及一模組，在該模組中一包括驅動電路、一控制器、一CPU、一記憶體、及類此者的IC及一背光被安裝在該面板上。一驅動電路可被形成在該面板上。

圖18例示一半導體裝置的結構的一個例子，該半導體裝置包括多個像素及一用來驅動該等像素的驅動電路。圖18顯示一結構，在該結構中該像素320包括一個光感測器301及一個顯示元件321。該像素320、該光感測器301、及該顯示元件321的組態可類似於圖1A至1C、圖4、圖5、圖7、圖13A及13B、及類此者中所例示者。

一半導體裝置500包括一像素電路501、一顯示元件控制電路502、及一光感測器控制電路503。該像素電路501包括多個被配置成矩陣的像素320。每一像素320包括該顯示元件321及該光感測器301。該半導體裝置500是一觸控

面板。

該顯示元件控制電路502控制該顯示元件321且包括一顯示元件驅動電路507及一顯示元件驅動電路508。該顯示元件驅動電路507經由一信號線（其亦被稱為源極信號線），譬如一影像信號被輸入至該處的信號線，輸入一信號至該顯示元件321。該顯示元件驅動電路508經由一掃描線（其亦被稱為閘極信號線）輸入一信號至該顯示元件321。例如，該顯示元件驅動電路508具有一選擇包含在該等設置在一特定的列中的像素內的顯示元件321的功能。該顯示元件驅動電路507具有提供一給定的電位至該等設置在一給定的列中的像素內的顯示元件321的功能。

在此處，用於被配置成圖1及圖4中所示的矩陣的多個像素及用於被配置成圖5及圖7中所示的矩陣的多個像素的該光感測器控制電路503的結構是不相同的。

用來驅動被配置成圖1及圖4中所示的矩陣的多個像素的光感測器控制電路503的結構將被描述。

該光感測器控制電路503是一用來控制光感測器301的電路且包括一在該信號線側的光感測器驅動電路509及一在該掃描線側的光感測器電路610。在該掃描線側的該光感測器電路610產生輸出至配線SE、配線TZ、及配線PR的信號。在該信號線側的該光感測器驅動電路509具有從配線OUT取出包括在該等被配置在一被選定的列中的像素320內的光感測器301的輸出信號的功能。該光感測器驅動電路509包括一預充電電路及具有一將配線OUT的電位設

定至一給定的電位的功能。應指出的是，在該信號線側的光感測器驅動電路509可具有一結構，在該結構中該光感測器的一輸出（其為一類比信號）被一OP放大器擷取為一類比訊號送至該半導體裝置500外面；或可具有一結構，在該結構中該輸出被A/D轉換器電路轉換成數位信號且被擷取至該觸控面板的外面。

用來驅動該等多個被配置成圖5及圖7所示的矩陣的像素的光感測器控制電路503的結構將被描述。

該光感測器控制電路503是一用來控制光感測器301的電路且包括在該信號線側的光感測器驅動電路509及在該掃描線側的該光感測器電路610。在該掃描線側的該光感測器電路610產生輸出至配線SE的信號。在該信號線側的光感測器驅動電路509產生輸出至配線TX及配線PR的信號，且具有從配線OUT取出包括在該等被配置在一被選定的列中的像素320內的光感測器301的輸出信號的功能。該光感測器驅動電路509包括一預充電電路及具有一將配線OUT的電位設定至一給定的電位的功能。應指出的是，在該信號線側的光感測器驅動電路509可具有一結構，在該結構中該光感測器的一輸出（其為一類比信號）被一OP放大器擷取為一類比訊號送至該半導體裝置500外面；或可具有一結構，在該結構中該輸出被A/D轉換器電路轉換成數位信號且被擷取至該觸控面板的外面。

此實施例可與任何其它實施例組合來予以實施。

## ( 實施例 12 )

在此實施例中，在依據本發明的一個實施例的半導體裝置中的一面板與一背光的配置將被描述。

圖 17 爲一例示一依據本發明的一個實施例的半導體裝置的結構的立體圖的例子。示於圖 17 中的該半導體裝置包括一面板 1601，在該面板中一包括一顯示元件及一光感測器的像素被形成在一對基材之間、一第一擴散板 1602、一稜鏡片 1603、一第二擴散板 1604、一右導光板 1605、一反射板 1606、一包括多個光源 1607 的背光 1608、及一電路板 1609。

該面板 1601、該第一擴散板 1602、該稜鏡片 1603、該第二擴散板 1604、該右導光板 1605、及該反射板 1606 被依序地疊置。該等光源 1607 被設置在該導光板 1605 的端部。來自該等光源 1607 被擴散至該右導光板 1605 中的光線從與該第一擴散板 1602、該稜鏡片 1603、及該第二擴散板 1604 相反的基材側被均勻地發射至該面板 1601。

雖然該第一擴散板 1602 與該第二擴散板 1604 被使用於此實施例中，但擴散板的數量並不侷限於兩個。擴散板的數量可以是一個或可以是三個或更多個。該擴散板應被設置在該右導光板 1605 與該面板 1601 之間。因此，該擴散板可以只被設置在較靠近該面板 1601 而該稜鏡片 1603 較遠的那一側上，或可以只被設置在較靠近該右導光板 1605 而離該稜鏡片 1603 較遠的那一側上。

又，該稜鏡片 1603 的剖面並不侷限於圖 17 所示的鋸齒

狀。該稜鏡片 1603 可具有任何形狀，只要來自於該導光板 1605 的光可被聚光於該面板 1601 側上即可。

該電路板 1609 被設置有一用來產生或處理將被輸入至該面板 1601 的各式信號的電路、一用來處理將從該面板 1601 被輸出的各式信號的電路、及類此者。此外，該電路板 1609 與該面板 1601 經由圖 17 中的可撓性印刷電路（FPC）1611 而彼此連接。應指出的是，上述電路可經由玻璃覆晶（COG）方法而被連接至該面板 1601，或上述電路的一部分藉由薄膜覆晶（COF）方法而被連接至該 FPC 1611。

圖 17 例示一個例子，在該例子中一用來控制該等光源 1607 的驅動的控制電路被設置在該電路板 1609 上，且該控制電路與該等光源 1607 經由 FPC 1610 彼此連接。或者，該控制電路可被形成在該面板 1601 上，在此例子中該面板 1601 與該等光源 1607 係經由一 FPC 或類此者彼此連接。

發光元件，譬如 LED 或 OLED，可被用作為該等光源 1607。

一發出可見光的光源或一發出紅外線的光源、或這兩種光源都可被用作為該等光源 1607。

紅外線是人的肉眼所看不出來的。因此，在一包括發出可見光的光源與發出紅外線光的光源兩者作為該等光源 1607 的半導體裝置中，當該背光的開/關狀態以使用圖 3 及圖 6 所示的時機圖的驅動方法予以選擇時，該只有發出紅外線的光源的開/關狀態被選擇，藉此一待偵測之物件的一被捕捉到的影像可被產生且該物件存在的區域可被偵測

到且不會對影像顯示有任何不利的影響。

圖 17 例示一種該等光源 1607 被設置在該面板 1601 的邊緣的邊緣點亮 (edge-lit) 式背光；或者，依據本發明的一個實施例的半導體裝置可包括一包含該等光源 1607 之直接點亮式背光，其被設置在該面板 1601 的正下方。

例如，當一手指 1612 (其為一待捕捉的物件) 靠近該面板 1601 時，該背光 1608 發出且通過該面板 1601 的光被該手指 1612 反射並再次進入該面板 1601。該手指 1612 (其為該物件) 的色彩位置資料可藉由依序地打開對應於個別顏色的該等光源 1607 並獲得每一顏色的位置資料來獲得。

此實施例可與任何其它實施例組合來予以實施。

#### (實例 1)

一種通道被形成在包含 In、Sn、及 Zn 作為主要成分的氧化物半導體中的電晶體可藉由在加熱一基材的同時沉積一氧化物半導體膜作為該氧化物半導體層或在該氧化物半導體膜被形成之後實施熱處理而具有所想要的特性。應指出的是，主要成分係指一被包括在成分中的元素其佔了 5 原子 % 或更多的比例。

藉由在包含 In、Sn、及 Zn 作為主要成分的氧化物半導體膜形成之後蓄意地加熱該基材，該電晶體的場效移動性可被改善。又，該電晶體的門檻值電壓可被正向地移動，用以讓該電晶體通常是關閉的。

圖 28A 至 28C 每一者係顯示一電晶體的特徵，其包括一

包含 In、Sn、及 Zn 作為主要成分的氧化物半導體膜且具有 3 微米的通道長度  $L$  及 10 微米的通道寬度  $W$ 、及一厚度為 100 微米的閘極絕緣膜。應指出的是， $V_d$  被設定為 10V。

圖 28A 顯示一電晶體的特徵，該電晶體的氧化物半導體膜包含 In、Sn、及 Zn 作為主要成分且是在沒有蓄意加熱一基材之下以濺鍍方式來形成。該電晶體的場效移動性的峰值為  $18.8 \text{ cm}^2/\text{V}_{\text{sec}}$ 。在另一方面，當包含 In、Sn、及 Zn 作為主要成分的該氧化物半導體膜被形成時同時在蓄意地加熱該基材，該場效移動性可被改善。圖 28B 顯示一電晶體的特徵，該電晶體的氧化物半導體膜包含 In、Sn、及 Zn 作為主要成分且是在  $200^\circ\text{C}$  加熱一基材的時候被產生。該電晶體的場效移動性的峰值為  $32.2 \text{ cm}^2/\text{V}_{\text{sec}}$ 。

該場效移動性可藉由在包含 In、Sn、及 Zn 作為主要成分的該氧化物半導體膜形成之後實施熱處理來進一步改善。圖 28C 顯示一電晶體的特徵，該電晶體的氧化物半導體膜包含 In、Sn、及 Zn 作為主要成分且是藉由在  $200^\circ\text{C}$  實施濺鍍被形成，然後在  $650^\circ\text{C}$  接受熱處理。該電晶體的場效移動性的峰值為  $34.5 \text{ cm}^2/\text{V}_{\text{sec}}$ 。

該基材的蓄意加熱被認為具有降低在濺鍍形成該氧化物半導體膜期間吸入到該氧化物半導體膜內的水氣的效果。又，在該薄膜形成之後的熱處理讓氫、羥基、或水氣被釋出且從該氧化物半導體膜中被去除掉。以此方式，該場效移動性可獲得改善。此一在場效移動性方面的改善被認為不只是藉由脫水或除氫來去除雜質所達成的，它亦是藉

由密度的提高所造成之原子間距離的縮短來達成的。此外，該氧化物半導體可藉由將雜質從該氧化物半導體中去除的高度純化處理來予以結晶化。在使用此一高度純化的非單晶型氧化物半導體的例子中，理想地，可實現一超過  $100\text{ cm}^2/\text{V}_{\text{sec}}$  的場效移動性。

該包含 In、Sn、及 Zn 作為主要成分的氧化物半導體可用下面的方式予以結晶化：氧離子被植入該氧化物半導體中、藉由熱處理讓包含在該氧化物半導體內的氫、羥基、或水氣被釋出、及該氧化物半導體藉由該熱處理或藉由稍後被實施的熱處理而被結晶化。藉由此結晶化處理或再結晶處理，一具有所想要的結晶性之非單晶型氧化物半導體可被獲得。

在膜形成期間之基材的蓄意加熱及/或在膜形成之後的熱處理不只對於改善場效移動性有所貢獻，其對於讓該電晶體通常是關閉的亦有所貢獻。在一其內的氧化物半導體膜（其包含 In、Sn、及 Zn 作為主要成分且是在沒有蓄意地加熱一基材下被形成）的用作為通道形成區的電晶體中，該門檻值電壓傾向於被負向地移動。相反地，當使用的氧化物半導體膜是在蓄意地加熱該基材下被形成時，該門檻值電壓負向地移動的問題即可被解決。亦即，該門檻值電壓被移動使得該電晶體變成經常是關閉的；此傾向可藉由比較圖 28A 與 28B 來予以證實。

應指出的是，該門檻值電壓亦可藉由改變 In、Sn、及 Zn 的比例來予以控制；當 In、Sn、及 Zn 的比例為 2:1:3 時，

即可期待形成一經常是關閉的電晶體。此外，具有更高的結晶性的氧化物半導體膜可藉由將一目標的成分比例如下地設定來獲得： $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ 。

該基材的蓄意加熱的溫度或該熱處理的溫度為 $150^{\circ}\text{C}$ 或更高，較佳地為 $200^{\circ}\text{C}$ 或更高，更佳地為 $400^{\circ}\text{C}$ 或更高。當該膜形成或熱處理是在高溫被實施時，該電晶體可以是經常是關閉的。

藉由在膜形成期間加熱該基材及/或藉由在膜形成之後實施熱處理，對抗閘極偏壓應力的穩定性可被提高。例如，當閘極偏壓是用 $2\text{MV}/\text{cm}$ 的強度在 $150^{\circ}\text{C}$ 被施加1小時時，該門檻值的漂移可以小於 $\pm 1.5\text{V}$ ，較佳地小於 $\pm 1.0\text{V}$ 。

一BT測試被實施於下面的兩個電晶體上：樣本1為氧化物半導體膜形成之後沒有施熱處理者，及樣本2為氧化物半導體膜形成之後在 $650^{\circ}\text{C}$ 實施熱處理者。

首先，電晶體的 $V_{\text{gs}}-I_{\text{ds}}$ 特性是在 $25^{\circ}\text{C}$ 的基材溫度及 $10\text{V}$ 的 $V_{\text{ds}}$ 予以測量。應指出的是， $V_{\text{ds}}$ 係指汲極電壓（介於汲極與源極之間的電位差）。然後，基材溫度被設定至 $150^{\circ}\text{C}$ 且 $V_{\text{ds}}$ 被設定至 $0.1\text{V}$ 。之後， $20\text{V}$ 的 $V_{\text{gs}}$ 被施加，使得一被施加至該閘極絕緣膜的電場的強度為 $2\text{MV}/\text{cm}$ ，且該狀況被保持一小時。接下來， $V_{\text{gs}}$ 被設定為 $0\text{V}$ 。然後，該等電晶體的 $V_{\text{gs}}-I_{\text{ds}}$ 特徵在 $25^{\circ}\text{C}$ 的基材溫度及 $10\text{V}$ 的 $V_{\text{ds}}$ 的條件下被測量。此處理被稱為正BT測試。

以類似的方式，首先，電晶體的 $V_{\text{gs}}-I_{\text{ds}}$ 特性是在 $25^{\circ}\text{C}$ 的基材溫度及 $10\text{V}$ 的 $V_{\text{ds}}$ 予以測量。然後，基材溫度被設定

至  $150^{\circ}\text{C}$  且  $V_{ds}$  被設定至  $0.1\text{V}$ 。之後， $-20\text{V}$  的  $V_{gs}$  被施加，使得一被施加至該閘極絕緣膜的電場的強度為  $-2\text{MV/cm}$ ，且該狀況被保持一小時。接下來， $V_{gs}$  被設定為  $0\text{V}$ 。然後，該等電晶體的  $V_{gs}-I_{ds}$  特徵在  $25^{\circ}\text{C}$  的基材溫度及  $10\text{V}$  的  $V_{ds}$  的條件下被測量。此處理被稱為負 BT 測試。

圖 29A 及 29B 分別顯示樣本 1 的正 BT 測試及負 BT 測試的結果。圖 30A 及 30B 分別顯示樣本 2 的正 BT 測試及負 BT 測試的結果。

樣本 1 的門檻值電壓導因於該正 BT 測試及該負 BT 測試的偏移量分別為  $1.80\text{V}$  及  $-0.42\text{V}$ 。樣本 2 的門檻值電壓導因於該正 BT 測試及該負 BT 測試的偏移量分別為  $0.79\text{V}$  及  $0.76\text{V}$ 。在樣本 1 及樣本 2 的每一者中，在該等 BT 測試之前與之後之該門檻值電壓的偏移量很小且可靠性很高。

該熱處理可在氧氛圍中被實施；或者該熱處理可以首先在氮或鈍氣的氛圍中或在低壓力下，然後在一包含氧的氛圍中被實施。氧在脫水或除氫之後被供應至該氧化物半導體，該熱處理的效果藉此被進一步增加。一種氧離子被一電場加速且被植入到該氧化物半導體膜中的方法可被用作為在脫水或除氫之後提供氧的方法。

一導因於氧空洞的缺陷被輕易地形成在該氧化物半導體中或一介於該氧化物半導體與一和該氧化物半導體接觸的膜層之間的界面處；當過多的氧因該熱處理而被包括在該氧化物半導體中時，稍後造成的氧空洞可用這些過多的氧來予以補償。該過多的氧主要是存在於晶格之間的氧。

當氧的濃度被設定在  $1 \times 10^{16}/\text{cm}^3$  至  $2 \times 10^{20}/\text{cm}^3$  的範圍之間時，過多的氧可被包含在該氧化物半導體內而不會造成晶體混亂或類此者。

當熱處理被實施使得至少一部分的氧化物半導體包括晶體時，一更為穩定的氧化物半導體膜可被形成。例如，當一藉由濺鍍處理（其使用一  $\text{In}:\text{Sn}:\text{Zn}=1:1:1$  的成分比例的靶材）在沒有蓄意加熱基材下被形成的氧化物半導體膜用 X 光繞射（XRD）予以分析時，一光暈圖案被觀察到。該被形成的氧化物半導體膜可藉由接受熱處理而被結晶化。該熱處理的溫度可被適當地設定；當該熱處理例如在  $650^\circ\text{C}$  被實施時，一清楚的繞射峰值可用 X 光繞射觀察到。

一  $\text{In-Sn-Zn}$  膜的 XRD 分析被實施。該 XRD 分析係使用由 Bruker AXS 公司製造的 X 光繞射儀 D8 ADVANCE 來實施，且測量是用平面外（out-of-plane）方法來實施。

樣本 A 及樣本 B 被製備且 XRD 分析被實施於該等樣本上。形成樣本 A 及樣本 B 的方法將於下文描述。

一厚度為 100 奈米的  $\text{In-Sn-Zn-O}$  膜被形成在一已經接受脫水處理的石英基材上。

該  $\text{In-Sn-Zn-O}$  膜是用一功率為 100 W（DC）的濺鍍設備在氧氛圍中被形成。一原子比例為  $\text{In}:\text{Sn}:\text{Zn}=1:1:1$  的  $\text{In-Sn-Zn-O}$  靶材被用作為靶材。應指出的是，在膜形成時的基材加熱溫度被設定在  $200^\circ\text{C}$ 。一以此方式形成的樣本被用作為樣本 A。

接下來，一用類似於樣本 A 的方法形成的樣本在  $650^\circ\text{C}$

接受熱處理。在氮氛圍中的熱處理首先被實施一小時且在氧氛圍中的熱處理在沒有降低溫度之下被進一步實施一個小時以作為該熱處理。一以此方式形成的樣本被用作為樣本 B。

圖 31 顯示樣本 A 及樣本 B 的 XRD 光譜。在樣本 A 中觀察不到由晶體推導出的峰值，而在樣本 B 中可在  $2\theta$  約為 35 度及 37 度至 38 度間觀察到由晶體推導出來的峰值。

如上文所述，藉由在一包含 In、Sn、及 Zn 作為主要成分的氧化物半導體的沉積期間蓄意地加熱一基材及 / 或藉由在該沉積之後實施熱處理，一電晶體的特性可被改善。

這些基材加熱及熱處理具有防止氫及羥基（其對於氧化物半導體而言是所不想要的雜質）被包含在該膜層中的效果或從該膜層中去除氫及羥基的效果。亦即，氧化物半導體可藉由從該氧化物半導體中去除作為施子的氫雜質而被高度地純化，藉以獲得一經常是關閉的電晶體。氧化物半導體的高度純化可讓該電晶體的關閉狀態電流為  $1\text{ aA}/\mu\text{ m}$  或更低。在此處，該關閉狀態電流的單位代表每微米的通道寬度的電流。

圖 32 顯示一但晶體的關閉狀態電流與在測量時的基材溫度（絕對溫度）的倒數之間的關係。在此處，為了簡化，水平軸代表在測量時的基材溫度的倒數乘上 1000 所獲得的數值（ $1000/T$ ）。

詳言之，如圖 32 所示，當該基材溫度分別為 125℃、85℃ 及室溫（27℃）時，該關閉狀態電流可以是  $1\text{ aA}/\mu\text{ m}$

( $1 \times 10^{-18} \text{ A} / \mu \text{ m}$ ) 或更低、 $100 \text{ zA} / \mu \text{ m}$  ( $1 \times 10^{-19} \text{ A} / \mu \text{ m}$ ) 或更低、及  $1 \text{ zA} / \mu \text{ m}$  ( $1 \times 10^{-21} \text{ A} / \mu \text{ m}$ ) 或更低。較佳地，當該基材溫度分別為  $125^\circ\text{C}$ 、 $85^\circ\text{C}$  及室溫時，該關閉狀態電流可以是  $0.1 \text{ aA} / \mu \text{ m}$  ( $1 \times 10^{-19} \text{ A} / \mu \text{ m}$ ) 或更低、 $10 \text{ zA} / \mu \text{ m}$  ( $1 \times 10^{-20} \text{ A} / \mu \text{ m}$ ) 或更低、及  $0.1 \text{ zA} / \mu \text{ m}$  ( $1 \times 10^{-22} \text{ A} / \mu \text{ m}$ ) 或更低。

應指出的是，爲了要防止氫及水氣在該膜形成期間被包含在該氧化物半導體膜中，藉由充分地抑制從沉積室的外面漏氣進來及經由該沉積室的內壁除氣 (degasification) 來提高濺鍍氣體的純度是較佳的。例如，一露點為  $-70^\circ\text{C}$  或更低的氣體較佳地被用作為該濺鍍氣體，以防止水氣被包含在該薄膜中。此外，使用一被高度純化的靶材是較佳的，用以不包含像是氫及水氣等雜質。雖然可藉由熱處理來從一包含 In、Sn、及 Zn 作為主要成分的氧化物半導體中去除水氣，但一原本即不包含水氣的薄膜較佳地被形成，因爲在水氣從該包含 In、Sn、及 Zn 作為主要成分的氧化物半導體中被釋出，其溫度高於一包含 In、Ga、及 Zn 作為主要成分的氧化物半導體。

該基材溫度與使用樣本 B (在該氧化物半導體膜形成之後，熱處理在  $650^\circ\text{C}$  被實施於其上) 的電晶體的電特性之間的關係被評估。

用於測量的該電晶體具有  $3 \mu \text{ m}$  的通道長度  $L$ 、 $10 \mu \text{ m}$  的通道寬度  $W$ 、 $0 \mu \text{ m}$  的  $L_{ov}$ 、及  $0 \mu \text{ m}$  的  $dW$ 。應指出的是， $V_{ds}$  被設定為  $10 \text{ V}$ 。應指出的是，該基材溫度為  $-40^\circ\text{C}$ 、 $-25$

$^{\circ}\text{C}$ 、 $25^{\circ}\text{C}$ 、 $75^{\circ}\text{C}$ 、 $125^{\circ}\text{C}$ 、及 $150^{\circ}\text{C}$ 。在此處，在該電晶體中，一閘極電極與一對電極的一者重疊的部分的寬度被稱為 $L_{ov}$ ，該對電極沒有與氧化物半導體膜重疊的部分的寬度被稱為 $dW$ 。

圖33顯示該 $V_{gs}$ 與該 $I_{ds}$ 的關係（實線）及該 $V_{gs}$ 與場效移動性的關係（虛線）。圖34A顯示基材溫度與門檻值電壓之間的關係，及圖34B顯示該基材溫度與該場效移動性之間的關係。

從圖34A可發現當該基材溫度升高時，該門檻值電壓變低。應指出的是，該門檻值電壓在 $-40^{\circ}\text{C}$ 至 $150^{\circ}\text{C}$ 的範圍內從 $1.09\text{V}$ 降低至 $-0.23\text{V}$ 。

從圖34B可發現當該基材溫度升高時，該場效移動性變低。應指出的是，該場效移動性在 $-40^{\circ}\text{C}$ 至 $150^{\circ}\text{C}$ 的範圍內從 $36\text{cm}^2/\text{Vs}$ 降低至 $32\text{cm}^2/\text{Vs}$ 。因此，在上述的溫度範圍內電特性的變化很小。

在通道是被形成在此一包含 $\text{In}$ 、 $\text{Sn}$ 、及 $\text{Zn}$ 作為主要成分的氧化物半導體中的電晶體中， $30\text{cm}^2/\text{Vs}_{ec}$ 或更高，較佳地 $40\text{cm}^2/\text{Vs}_{ec}$ 或更高，更佳地 $60\text{cm}^2/\text{Vs}_{ec}$ 或更高的場效移動性，可在該關閉狀態電流被保持在 $1\text{aA}/\mu\text{m}$ 或更低時被獲得，這可達成一LSI所需的打開狀態電流。例如，在 $L/W$ 為 $33\text{nm}/40\text{nm}$ 的FET中， $12\mu\text{A}$ 或更高的打開狀態電流可在該閘極電壓為 $2.7\text{V}$ 及該汲極電壓為 $1.0\text{V}$ 時流動。此外，充分的電特性可在電晶體操作所需的溫度範圍內被確保。藉由此等電特性，即使是在一包括氧化物半導體的電晶體被設

置在一使用矽半導體形成的積體電路中時，一具有新穎功能的積體電路仍可在無需降低操作速度下被實現。

此實例可與任何其它實施例及任何其它實例在適當的時候結合實施。

## (實例2)

在此實例中，一電晶體（其中一In-Sn-Zn-O膜被用作為氧化物半導體膜）的一個例子將參考圖35A及35B加以描述。

圖35A及35B為一具有頂閘極頂接觸結構的共平面電晶體的頂視圖及剖面圖。圖35A是該電晶體的頂視圖。圖35B例示沿著圖35A的點畫線A-B所取的剖面A-B。

示於圖35B中的電晶體包括一基材1100；一基礎絕緣膜1102，其被設置在該基材1100上；一保護性絕緣膜1104，其被設置在該基礎絕緣膜1102的週邊；一氧化物半導體膜1106，其被設置在該基礎絕緣膜1102及該保護性絕緣膜1104上且包括一高阻值區1106a及低阻值區1106b；一閘極絕緣膜1108，其被設置在該氧化物半導體膜1106上；一閘極電極1110，其被設置來與該氧化物半導體膜1106重疊且該閘極絕緣膜1108被設置在它們之間；一側壁絕緣膜1112，其被設置成與該閘極電極1110的一側表面接觸；一對電極1114，其被設置成至少與該低阻值區1106b接觸；一中介層絕緣膜1116，其被設置來至少覆蓋該氧化物半導體膜1106、該閘極電極1110、及該對電極1114；及一配線1118

，其被設置成將經由一形成在該中介層絕緣膜 1116 上的開孔而被連接至該對電極 1114 的至少一電極。

雖然未示出，但一保護性膜可被設置來覆蓋該中介層絕緣膜 1116 與配線 1118。藉由此保護性膜，可降低該中介層絕緣膜 1116 的表面傳導所產生的漏電流量，使得該電晶體的關閉狀態電流可被降低。

此實例可與任何其它實施例及任何其它實例在適當的時候結合實施。

### (實例 3)

在此實例中，一電晶體（其中一 In-Sn-Zn-O 膜被用作為氧化物半導體膜）的另一個例子將被描述。

圖 36A 及 36B 為例示一電晶體的結構的頂視圖及剖面圖。圖 36A 為該電晶體的頂視圖。圖 36B 為沿著圖 36A 的點畫線 A-B 所取的剖面圖。

示於圖 36B 的電晶體包括一基材 1200；一基礎絕緣膜 1202，其被設置在該基材 1200 上；一氧化物半導體膜 1206，其被設置在該基礎絕緣膜 1202 上；一對電極 1214，其與該氧化物半導體膜 1206 接觸；一閘極絕緣膜 1208，其被設置在該氧化物半導體膜 1206 及該對電極 1214 上；一閘極電極 1210，其被設置來與該氧化物半導體膜 1206 重疊且該閘極絕緣膜 1208 被設置在它們之間；一中介層絕緣膜 1216，其被設置來覆蓋該閘極絕緣膜 1208 及該閘極電極 1210；配線 1218，其經由形成在該中介層絕緣膜 1216 上的開孔而被

連接至該對電極 1214；及一保護性膜 1220，其被設置來覆蓋該中介層絕緣膜 1216 及該等配線 1218。

一玻璃基材被用作為該基材 1200。一氧化矽膜被用作為該基礎絕緣膜 1202。In-Sn-Zn-O 膜被用作為該氧化物半導體膜 1206。一鎢膜被用作為該對電極 1214。一氧化矽膜被用作為該閘極絕緣膜 1208。該閘極電極 1210 具有一氮化鉬膜與一鎢膜的堆疊式結構。該中介層絕緣膜 1216 具有一氮氧化矽與一聚醯亞胺膜的堆疊式結構。配線 1218 具有一堆疊式結構，在該結構中一鈦膜、一鋁膜、及一鈦膜依此順序被被形成。一聚醯亞胺膜被用作為該保護性膜 1220。

應指出的是，在具有圖 36A 所示的結構的該電晶體中，該閘極電極 1210 與該對電極 1214 的一者重疊的部分的寬度被稱為  $L_{ov}$ 。相類似地，該對電極 1214 之沒有與該氧化物半導體膜 1206 重疊的部分的寬度被稱為  $dW$ 。

此實例可與任何其它實施例及任何其它實例在適當的時候結合實施。

#### （實例 4）

依據本發明的一個實施例的半導體裝置的特徵之一係在於可靠性可藉由降低導因於外部光線的雜訊來予以改善。

依據本發明的一個實施例的半導體裝置可被用於顯示裝置、膝上型電腦、或設有記錄媒質的影像再生裝置（典型地，將記錄在該記錄媒質上，譬如數位多用途光碟（

DVD)，的內容再生且具有用於顯示被再生的影像的顯示器的裝置)。可包括依據本發明的一個實施例的半導體裝置的電子裝置的其它例子為行動電話、可攜式遊戲機、個人數位助理、電子書讀取器、數位攝影機、數位相機、護目鏡式顯示器(頭戴式顯示器)、導航系統、聲音再生裝置(如，汽車音響系統及數位聲音播放器)、影印機、傳真機、印表機、多功能列印機、自動櫃員機(ATM)、及自動販賣機。圖19A至19D例示至些電子裝置的特定例子。

圖19A例示一顯示裝置，其包括一外殼5001、一顯示部分5002、一支撐座5003、及類此者。該依據本發明的一個實施例的半導體裝置可被用於該顯示部分5002。藉由使用依據本發明的一個實施例的半導體裝置於該顯示部分5002，導因於外部光線的雜訊可被降低，使得一具有高可靠性的顯示裝置可被提供。該顯示裝置包括用來顯示資訊的任何顯示裝置，譬如用於個人電腦、TV播送接收、廣告、及類此者的顯示裝置。

圖19B例示一個人數位助理，其包括一外殼5101、一顯示部分5102、操作按鍵5103、及類此者。依據本發明的一個實施例的半導體裝置可被用於該顯示部分5102。藉由使用依據本發明的一個實施例的半導體裝置於該顯示裝部分5102，導因於外部光線的雜訊可被降低，使得一具有高可靠性的個人數位助理可被提供。

圖19C例示一自動櫃員機，其包括一外殼5201、一顯

示部分 5202、一硬幣孔 5203、一紙鈔口 5204、一卡片插入口 5205、一存摺插入口 5206、及類此者。依據本發明的一個實施例的半導體裝置可被用於該顯示部分 5202。藉由使用依據本發明的一個實施例的半導體裝置於該顯示裝部分 5202，導因於外部光線的雜訊可被降低，使得一具有高可靠性的自動櫃員機可被提供。

圖 19D 例示一可攜式遊戲機，其包括一外殼 5301、一外殼 5302、一顯示部分 5303、一顯示部分 5304、一麥克風 5305、一揚聲器 5306、一操作按鍵 5307、一手寫筆 (stylus) 5308、及類此者。依據本發明的一個實施例的半導體裝置可被用於該顯示部分 5303 或該顯示部分 5304。藉由使用依據本發明的一個實施例的半導體裝置於該顯示部分 5303 或該顯示部分 5304，導因於外部光線的雜訊可被降低，使得一具有高可靠性的可攜式遊戲機可被提供。雖然圖 19D 的可攜式遊戲機具有兩個顯示部分 5303 及 5304，包括在該可攜式遊戲機內的顯示部分並不侷限於兩個。

此實例可與任何其它實施例及任何其它實例在適當的時候結合實施。

本申請案與分別於 2010 年 9 月 8 日及 2011 年 5 月 13 日向日本專利局提申的日本專利申請案第 2010-200897 號及第 2011-108192 號有關，這兩個申請案的全部內容藉由此參照而被併於本文中。

【圖式簡單說明】

在附圖中：

圖 1A 及 1B 每一者皆為一光感測器的電路圖，及圖 1C 為被配置成陣列的多個光感測器的電路圖；

圖 2 為一時機圖，其例示一光感測器的操作；

圖 3 為一時機圖，其例示被配置成陣列的多個光感測器的操作；

圖 4 為一包括一光感測器及一液晶元件的半導體裝置的電路圖；

圖 5 為被配置成陣列的多個光感測器的電路圖；

圖 6 為一時機圖，其例示被配置成陣列的多個光感測器的操作；

圖 7 為一包括一光感測器及一液晶元件的半導體裝置的電路圖；

圖 8 為一包括一光感測器及一液晶元件的半導體裝置的一部分的頂視圖；

圖 9 為一液晶元件的頂視圖；

圖 10A 及 10B 為一光感測器的頂視圖及剖面圖；

圖 11 為一包括一光感測器及一液晶元件的半導體裝置的一部分的剖面圖；

圖 12 為一包括一光感測器及一液晶元件的半導體裝置的一部分的頂視圖；

圖 13A 及 13B 的每一者皆為一光感測器的電路圖；

圖 14 為一光感測器的操作的時機圖；

圖 15A 至 15C 為剖面圖，其顯示形成一半導體裝置的方

法；

圖 16A 至 16D 為例示半導體裝置的剖面圖；

圖 17 為一立體圖，其例示一半導體裝置的結構；

圖 18 例示一半導體裝置的結構；

圖 19A 至 19D 例示電子裝置；

圖 20A 至 20E 每一者皆例示一氧化物材料的晶體構造；

圖 21A 至 21C 每一者皆例示一氧化物材料的晶體構造；

圖 22A 至 22C 每一者皆例示一氧化物材料的晶體構造；

圖 23 顯示由計算獲得的移動性的閘極電壓相關性；

圖 24A 至 24C 每一者皆顯示由計算獲得之汲極電流與移動性的閘極電壓相關性；

圖 25A 至 25C 每一者皆顯示由計算獲得之汲極電流與移動性的閘極電壓相關性；

圖 26A 至 26C 每一者皆顯示由計算獲得之汲極電流與移動性的閘極電壓相關性；

圖 27A 及圖 27B 每一者皆例示一在計算中所使用的電晶體的剖面結構；

圖 28A 至 28C 每一者皆顯示一包括氧化物半導體膜的電晶體的  $V_{gs}$ - $I_{ds}$  特徵及場效移動性；

圖 29A 及 29B 顯示樣本 1 的電晶體在 BT 測試之後的  $V_{gs}$ - $I_{ds}$  特徵；

圖 30A 及 30B 顯示樣本 2 的電晶體在 BT 測試之後的  $V_{gs}$ - $I_{ds}$  特徵；

圖 31 顯示樣本 A 及樣本 B 的 XRD 光譜；

圖 32 顯示電晶體的關閉狀態電流與基材溫度測量之間的關係；

圖 33 顯示  $I_{ds}$  的  $V_{gs}$  相依性及場效移動性；

圖 34A 顯示門檻值電壓與基材溫度間的關係及圖 34B 顯示場效移動性與基材溫度間的關係；

圖 35A 及 35B 爲一電晶體的頂視圖及剖面圖；及

圖 36A 及 36B 爲一電晶體的頂視圖及剖面圖。

#### 【主要元件符號說明】

301：光感測器

302：光感測器

303：放大器電路

304：電晶體

306：電晶體

305：電晶體

320：像素

321：顯示元件

322：液晶元件

323：電晶體

324：電容器

201：導電膜

202：導電膜

203：導電膜

204：導電膜

205 : 導電膜  
206 : 導電膜  
253 : 主動層  
210 : 導電膜  
226 : 導電膜  
227 : 導電膜  
211 : 導電膜  
212 : 導電膜  
218 : 導電膜  
222 : 導電膜  
225 : 導電膜  
228 : 閘極絕緣膜  
223 : 導電膜  
224 : 導電膜  
220 : 導電膜  
219 : 導電膜  
213 : 導電膜  
214 : 導電膜  
281 : 絕緣膜  
282 : 絕緣膜  
251 : 基材  
236 : 基材  
233 : 相反電極  
234 : 液晶層

235：遮光膜

241：開孔

242：開孔

307：電晶體

700：基材

704：光二極體

705：n型通道電晶體

701：絕緣膜

702：島狀半導體膜

703：島狀半導體膜

727：區域

728：區域

729：區域

707：閘極電極

708：絕緣膜

711：配線

712：絕緣膜

713：閘極電極

714：閘極絕緣膜

715：氧化物半導體層

716：導電膜

717：導電膜

718：導電膜

719：導電膜

720 : 導電膜

721 : 導電膜

722 : 絕緣膜

724 : 電晶體

730 : 閘極電極

731 : 閘極絕緣膜

732 : 氧化物半導體層

733 : 通道保護膜

734 : 導電膜

735 : 導電膜

736 : 絕緣膜

741 : 閘極電極

742 : 閘極絕緣膜

743 : 導電膜

744 : 導電膜

745 : 氧化物半導體層

746 : 絕緣膜

755 : 氧化物半導體層

753 : 導電膜

754 : 導電膜

752 : 閘極絕緣膜

751 : 閘極電極

762 : 閘極絕緣膜

763 : 導電膜

764 : 導電膜

765 : 氧化物半導體

761 : 閘極電極

903a : 半導體區

903c : 半導體區

903b : 本徵半導體區

902 : 絕緣體

905 : 閘極電極

901 : 基礎絕緣膜

904 : 閘極絕緣膜

906a : 側壁絕緣體

906b : 側壁絕緣體

907 : 絕緣體

908a : 源極電極

908b : 汲極電極

500 : 半導體裝置

501 : 像素電路

502 : 顯示元件控制電路

503 : 光感測器控制電路

507 : 顯示元件驅動電路

508 : 顯示元件驅動電路

509 : 光感測器驅動電路

610 : 光感測器驅動電路

1601 : 面板

- 1602：第一擴散板
- 1603：稜鏡片
- 1604：第二擴散板
- 1605：導光板
- 1606：反射板
- 1607：光源
- 1608：背光
- 1609：電路板
- 1611：可撓性印刷電路
- 1610：可撓性印刷電路
- 1612：手指
- 1100：基材
- 1102：基礎絕緣膜
- 1104：保護性絕緣膜
- 1106：氧化物半導體膜
- 1108：閘極絕緣膜
- 1110：閘極電極
- 1112：側壁絕緣膜
- 1114：電極
- 1106b：低阻值區域
- 1106a：高阻值區域
- 1116：中介層絕緣膜
- 1118：配線
- 1200：基材

1202：基礎絕緣膜

1214：電極

1206：氧化物半導體膜

1208：閘極絕緣膜

1210：閘極電極

1216：中介層絕緣膜

1218：配線

1220：保護膜

5001：外殼

5002：顯示部分

5003：支撐基座

5101：外殼

5102：顯示部分

5103：操作按鍵

5201：外殼

5202：顯示部分

5203：硬幣孔

5204：紙鈔口

5205：卡片插入口

5206：存摺插入口

5301：外殼

5303：顯示部分

5302：外殼

5304：顯示部分

5305：麥克風

5306：揚聲器

5307：操作按鍵

5308：手寫筆

**七、申請專利範圍：**

1. 一種半導體裝置，其包含：

- 一第一光感測器；
- 一第二光感測器；
- 一第一配線；
- 一第二配線；
- 一第三配線；
- 一第四配線；
- 一第五配線；
- 一第六配線；及
- 一第七配線，

其中該第一光感測器和該第二光感測器的每一者包含一光電轉換元件、一第一電晶體、一第二電晶體、及一第三電晶體，

其中該第一配線被電連接至該第一光感測器的該光電轉換元件的一第一電極，

其中該第二配線被電連接至該第二光感測器的該光電轉換元件的一第一電極，

其中該第三配線被電連接至該第一光感測器的該第一電晶體的一閘極，

其中該第四配線被電連接至該第二光感測器的該第一電晶體的一閘極，

其中該第五配線被電連接至該第一光感測器的該第二電晶體的一閘極，

其中該第六配線被電連接至該第二光感測器的該第二電晶體的一閘極，

其中該光電轉換元件的一第二電極被電連接至該第一電晶體的一第一端子，

其中該第一電晶體的一第二端子被電連接至該第三電晶體的一閘極，

其中該第二電晶體的一第一端子和該第三電晶體的第一端子彼此電連接，

其中該第七配線被電連接至該第一光感測器的該第二電晶體的一第二端子及該第二光感測器的該第二電晶體的一第二端子，

其中該第一光感測器被建構來在一背光被打開時藉由供應一第一電位至該第一配線及一第二電位至該第三配線來實施一第一重設操作及藉由供應一第三電位至該第一配線及該第二電位至該第三配線來實施一第一儲存操作，

其中該第二光感測器被建構來在該背光被關閉時藉由供應該第一電位至該第二配線及該第二電位至該第四配線來實施一第二重設操作及藉由供應該第三電位至該第二配線及該第二電位至該第四配線來實施一第二儲存操作，

其中該第一光感測器被建構來實施一第一選取操作以輸出一第一輸出信號至該第七配線，

其中該第二光感測器被建構來實施一第二選取操作以輸出一第二輸出信號至該第七配線，及

其中該第一選取操作及該第二選取操作是在該第一儲

存操作及該第二儲存操作之後藉由依序地供應一第四電位至該第五配線及該第六配線而被依序地實施。

2.如申請專利範圍第1項之半導體裝置，其更包含一顯示元件，

其中該顯示元件是一液晶元件或一發光元件。

3.如申請專利範圍第1項之半導體裝置，其更包含一第一顯示元件、一第二顯示元件、一第三顯示元件、及一第四顯示元件，

其中該第一光感測器被設置在該第一顯示元件與該第二顯示元件之間，及

其中該第一光感測器被設置在該第三顯示元件與該第四顯示元件之間。

4.一種半導體裝置，其包含：

一第一光感測器；

一第二光感測器；

一第一配線；

一第二配線；

一第三配線；

一第四配線；及

一第五配線，

其中該第一光感測器和該第二光感測器的每一者包含一光電轉換元件、一第一電晶體、一第二電晶體、及一第三電晶體，

其中該第一配線被電連接至該第一光感測器的該光電

轉換元件的一第一電極，

其中該第二配線被電連接至該第二光感測器的該光電轉換元件的一第一電極，

其中該第三配線被電連接至該第一光感測器的該第一電晶體的一閘極，

其中該第四配線被電連接至該第二光感測器的該第一電晶體的一閘極，

其中該第五配線被電連接至該第一光感測器的該第二電晶體的一閘極及該第二光感測器的該第二電晶體的一閘極，

其中該光電轉換元件的一第二電極被電連接至該第一電晶體的一第一端子，

其中該第一電晶體的一第二端子被電連接至該第三電晶體的一閘極，

其中該第二電晶體的一第一端子和該第三電晶體的一第一端子彼此電連接，

其中該第一光感測器被建構來在一背光被打開時藉由供應一第一電位至該第一配線及一第二電位至該第三配線來實施一第一重設操作及藉由供應一第三電位至該第一配線及該第二電位至該第三配線來實施一第一儲存操作，

其中該第二光感測器被建構來在該背光被關閉時藉由供應該第一電位至該第二配線及該第二電位至該第四配線來實施一第二重設操作及藉由供應該第三電位至該第二配線及該第二電位至該第四配線來實施一第二儲存操作，

其中該第一光感測器被建構來實施一第一選取操作以輸出一第一輸出信號，

其中該第二光感測器被建構來實施一第二選取操作以輸出一第二輸出信號，及

其中該第一選取操作及該第二選取操作是在該第一儲存操作及該第二儲存操作之後藉由提供一第四電位至該第五配線而被同時實施。

5.如申請專利範圍第4項之半導體裝置，其更包含一顯示元件，

其中該顯示元件是一液晶元件或一發光元件。

6.如申請專利範圍第4項之半導體裝置，其更包含一第一顯示元件、一第二顯示元件，一第三顯示元件、及一第四顯示元件，

其中該第一光感測器被設置在該第一顯示元件與該第二顯示元件之間，及

其中該第一光感測器被設置在該第三顯示元件與該第四顯示元件之間。

7.一種半導體裝置，其包含：

一第一光感測器；

一第二光感測器；

一第一配線；

一第二配線；

一第三配線；

一第四配線；

一 第五配線；

一 第六配線；及

一 第七配線，

其中該第一光感測器及該第二光感測器的每一者包含一光電轉換元件、一第一電晶體、一第二電晶體、及一第三電晶體，

其中該第一配線被電連接至該第一光感測器的該光電轉換元件的第一電極，

其中該第二配線被電連接至該第二光感測器的該光電轉換元件的第一電極，

其中該第三配線被電連接至該第一光感測器的該第一電晶體的閘極，

其中該第四配線被電連接至該第二光感測器的該第一電晶體的閘極，

其中該第五配線被電連接至該第一光感測器的該第二電晶體的閘極，

其中該第六配線被電連接至該第二光感測器的該第二電晶體的閘極，

其中該光電轉換元件的第二電極被電連接至該第一電晶體的第一端子，

其中該第一電晶體的第二端子被電連接至該第三電晶體的閘極，

其中該第二電晶體的第一端子及該第三電晶體的第一端子彼此電連接，

其中該第七配線被電連接至該第一光感測器的第二電晶體的第二端子及該第二光感測器的第二電晶體的第二端子，

其中該第一光感測器被建構來在一背光被打開時，藉由提供一第一電位至該第一配線及一第二電位至該第三配線以實施一第一重設操作，及藉由提供一第三電位至該第一配線及該第二電位至該第三配線以實施一第一儲存操作，

其中該第二光感測器被建構來在該背光被關閉時，藉由提供該第一電位至該第二配線及該第二電位至該第四配線以實施一第二重設操作，及藉由提供該第三電位至該第二配線及該第二電位至該第四配線以實施一第二儲存操作，

其中該第一光感測器被建構來實施一第一選取操作以輸出一第一輸出信號至該第七配線，

其中該第二光感測器被建構來實施一第二選取操作以輸出一第二輸出信號至該第七配線，

其中該第一選取操作及該第二選取操作係在該第一儲存操作及該第二儲存操作之後，藉由依序地提供一第四電位至該第五配線及該第六配線而被依序地實施，及

其中該第一電晶體包含一通道形成區，其包含氧化物半導體層。

8.如申請專利範圍第7項的半導體裝置，其中該氧化物半導體層包含以 In-Sn-Ga-Zn-O 為基質的氧化物半導

體、以 In-Ga-Zn-O 爲基質的氧化物半導體、以 In-Sn-Zn-O 爲基質的氧化物半導體、以 In-Al-Zn-O 爲基質的氧化物半導體、以 Sn-Ga-Zn-O 爲基質的氧化物半導體、以 Al-Ga-Zn-O 爲基質的氧化物半導體、以 Sn-Al-Zn-O 爲基質的氧化物半導體、In-Zn-O 爲基質的氧化物半導體、以 Sn-Zn-O 爲基質的氧化物半導體、以 Al-Zn-O 爲基質的氧化物半導體、以 Zn-Mg-O 爲基質的氧化物半導體、以 Sn-Mg-O 爲基質的氧化物半導體、以 In-Mg-O 爲基質的氧化物半導體、以 In-Ga-O 爲基質的氧化物半導體、以 In-O 爲基質的氧化物半導體、以 Sn-O 爲基質的氧化物半導體、及以 Zn-O 爲基質的氧化物半導體，的任何一者。

9.如申請專利範圍第 7 項的半導體裝置，其中用二次離子質譜儀測得之在該氧化物半導體層內的氫濃度係小於或等於  $5 \times 10^{19}$  原子/cm<sup>3</sup>。

10.如申請專利範圍第 7 項的半導體裝置，其中用二次離子質譜儀測得之在該氧化物半導體層內的鈉濃度係小於或等於  $5 \times 10^{16}$  原子/cm<sup>3</sup>。

11.如申請專利範圍第 7 項的半導體裝置，其中該光電轉換元件是一光二極體或一光電晶體。

12.如申請專利範圍第 7 項的半導體裝置，其更包含一顯示元件，

其中該顯示元件是一液晶元件或一發光元件。

13.如申請專利範圍第 7 項的半導體裝置，其中該背光包含一發出可見光的光源及一發出紅外線的光源的至少一

者。

14. 一種半導體裝置，其包含：

一第一光感測器；

一第二光感測器；

一第一配線；

一第二配線；

一第三配線；

一第四配線；及

一第五配線；

其中該第一光感測器及該第二光感測器包含一光電轉換元件、一第一電晶體、一第二電晶體、及一第三電晶體，

其中該第一配線被電連接至該第一光感測器的該光電轉換元件的第一電極，

其中該第二配線被電連接至該第二光感測器的該光電轉換元件的第一電極，

其中該第三配線被電連接至該第一光感測器的該第一電晶體的閘極，

其中該第四配線被電連接至該第二光感測器的該第一電晶體的閘極，

其中該第五配線被電連接至該第一光感測器的該第二電晶體的閘極及該第二光感測器的第二電晶體的閘極，

其中該光電轉換元件的第二電極被電連接至該第一電晶體的第一端子，

其中該第一電晶體的第二端子被電連接至該第三電晶體的閘極，

其中該第二電晶體的第一端子及該第三電晶體的第一端子彼此電連接，

其中該第一光感測器被建構來在一背光被打開時，藉由提供一第一電位至該第一配線及一第二電位至該第三配線以實施第一重設操作，及藉由提供一第三電位至該第一配線及該第二電位至該第三配線以實施第一儲存操作，

該第二光感測器被建構來在一背光被關閉時，藉由提供該第一電位至該第二配線及該第二電位至該第四配線以實施第二重設操作，及藉由提供該第三電位至該第二配線及該第二電位至該第四配線以實施第二儲存操作，

其中該第一光感測器被建構來實施一第一選取操作以輸出一第一輸出信號，

其中該第二光感測器被建構來實施一第二選取操作以輸出一第二輸出信號，

其中該第一選取操作及該第二選取操作係在該第一儲存操作及該第二儲存操作之後，藉由提供一第四電位至該第五配線而被同時地實施，及

其中該第一電晶體包含一通道形成區，其包含氧化物半導體層。

15.如申請專利範圍第14項的半導體裝置，其中該氧化物半導體層包含以In-Sn-Ga-Zn-O為基質的氧化物半導體、以In-Ga-Zn-O為基質的氧化物半導體、以In-Sn-Zn-O

爲基質的氧化物半導體、以 In-Al-Zn-O 爲基質的氧化物半導體、以 Sn-Ga-Zn-O 爲基質的氧化物半導體、以 Al-Ga-Zn-O 爲基質的氧化物半導體、以 Sn-Al-Zn-O 爲基質的氧化物半導體、In-Zn-O 爲基質的氧化物半導體、以 Sn-Zn-O 爲基質的氧化物半導體、以 Al-Zn-O 爲基質的氧化物半導體、以 Zn-Mg-O 爲基質的氧化物半導體、以 Sn-Mg-O 爲基質的氧化物半導體、以 In-Mg-O 爲基質的氧化物半導體、以 In-Ga-O 爲基質的氧化物半導體、以 In-O 爲基質的氧化物半導體、以 Sn-O 爲基質的氧化物半導體、及以 Zn-O 爲基質的氧化物半導體，的任何一者。

16. 如申請專利範圍第 14 項的半導體裝置，其中用二次離子質譜儀測得之在該氧化物半導體層中的氫濃度係小於或等於  $5 \times 10^{19}$  原子/cm<sup>3</sup>。

17. 如申請專利範圍第 14 項的半導體裝置，其中用二次離子質譜儀測得之在該氧化物半導體層中的鈉濃度係小於或等於  $5 \times 10^{16}$  原子/cm<sup>3</sup>。

18. 如申請專利範圍第 14 項的半導體裝置，其中該光電轉換元件是一光二極體或一光電晶體。

19. 如申請專利範圍第 14 項的半導體裝置，其更包含一顯示元件，

其中該顯示元件是一液晶元件或一發光元件。

20. 如申請專利範圍第 14 項的半導體裝置，其中該背光包含一發出可見光的光源及一發出紅外線的光源的至少一者。

圖 1A

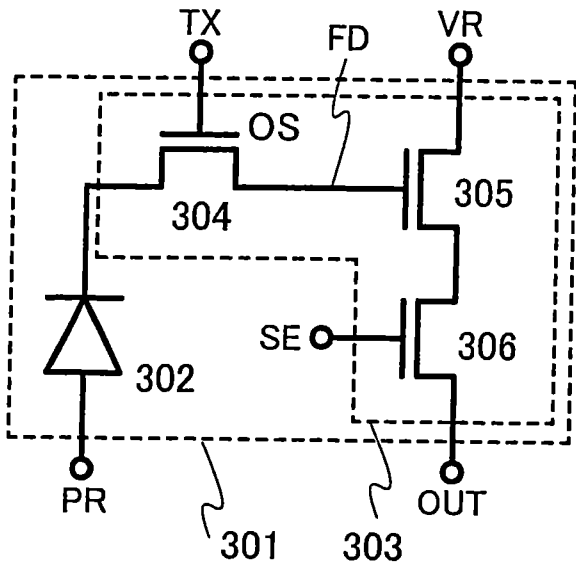


圖 1B

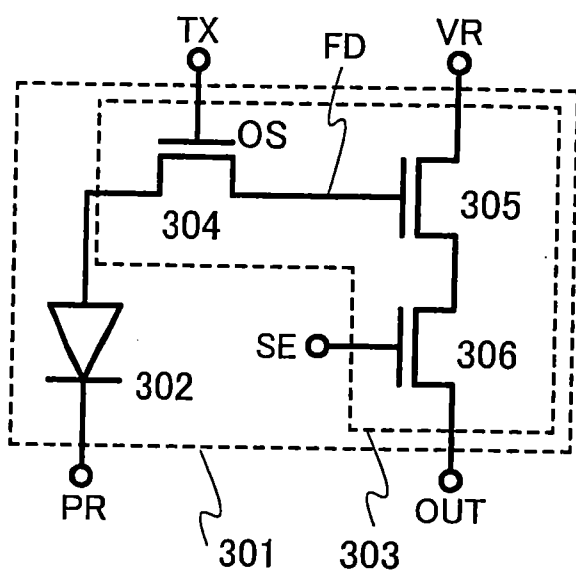


圖 1C

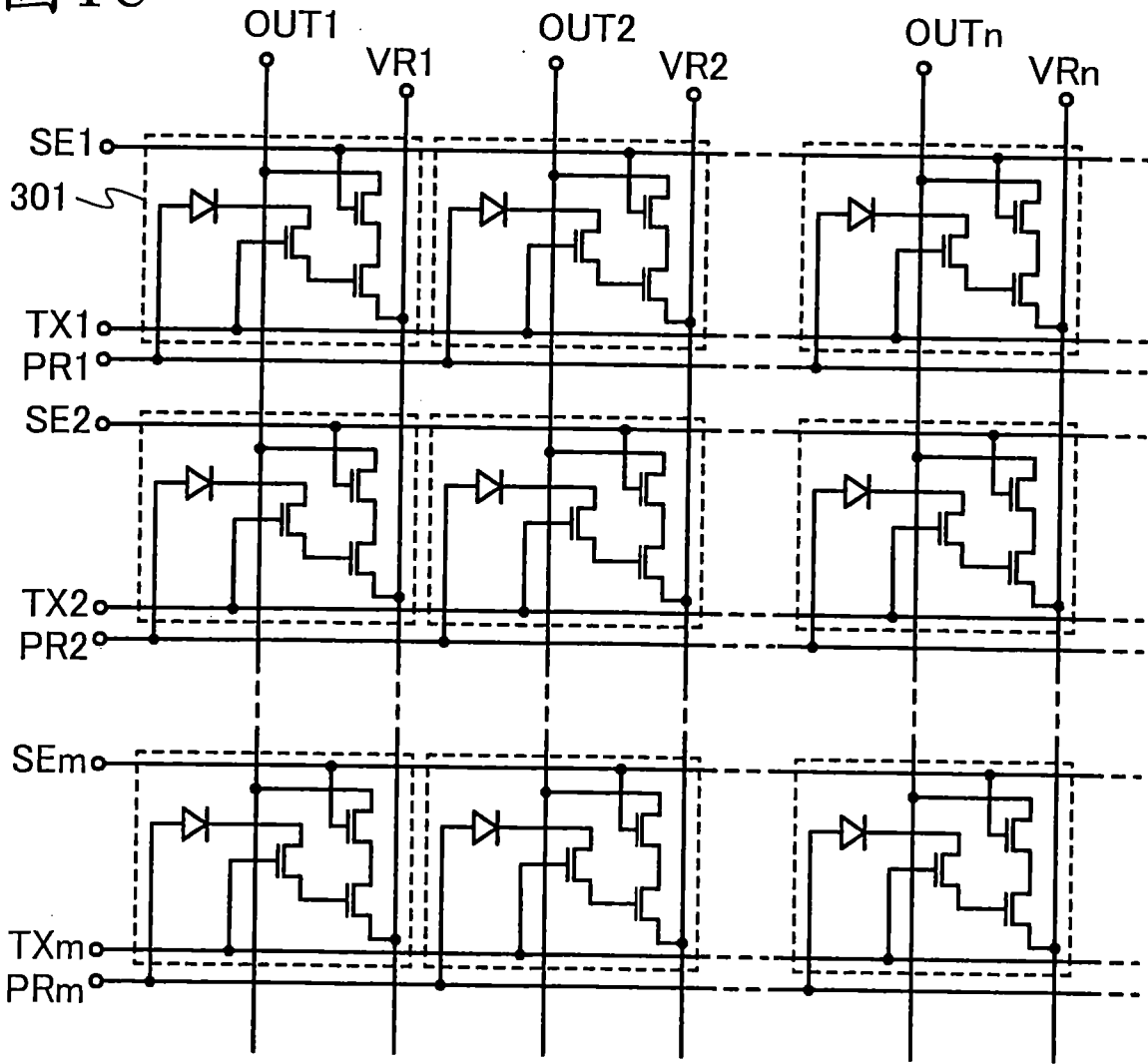


圖 2

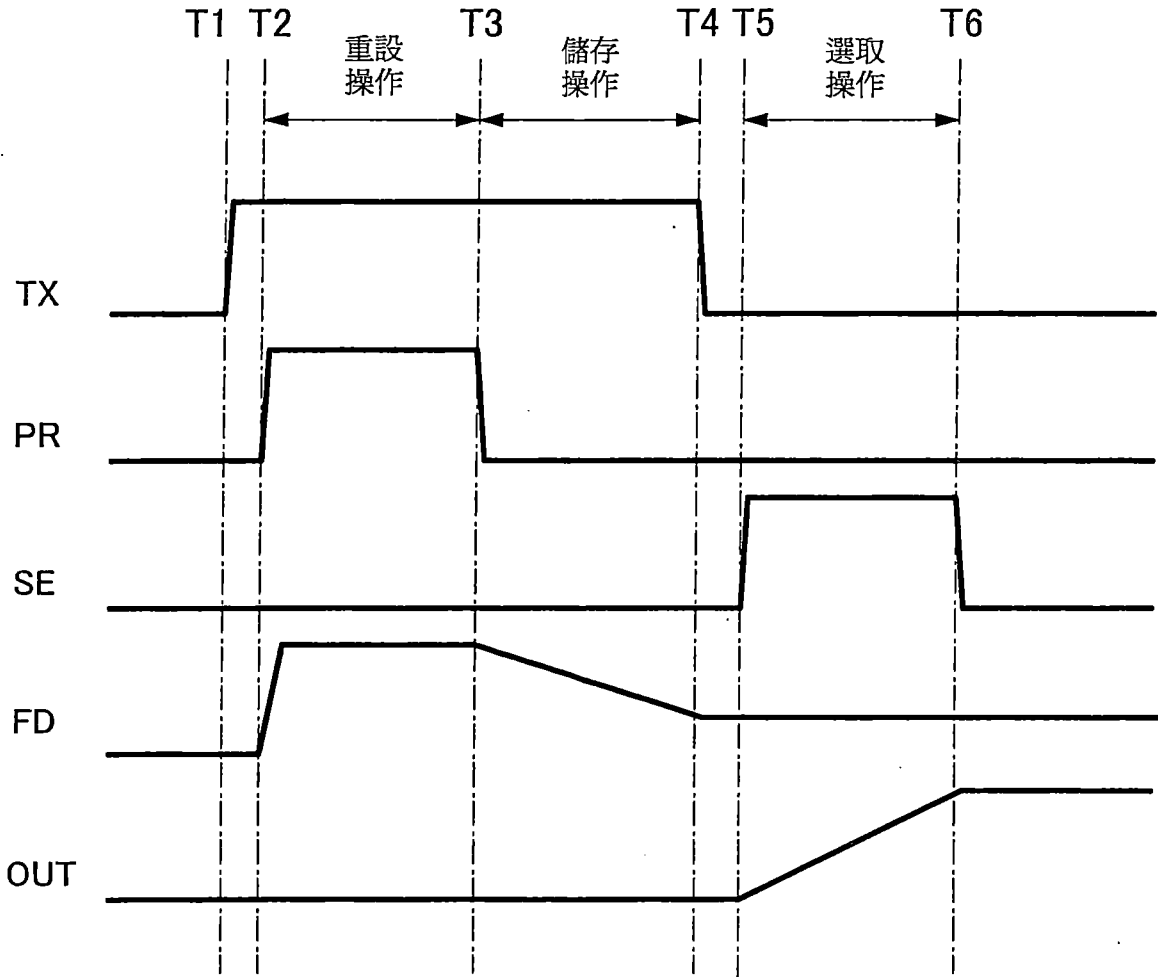


圖 3

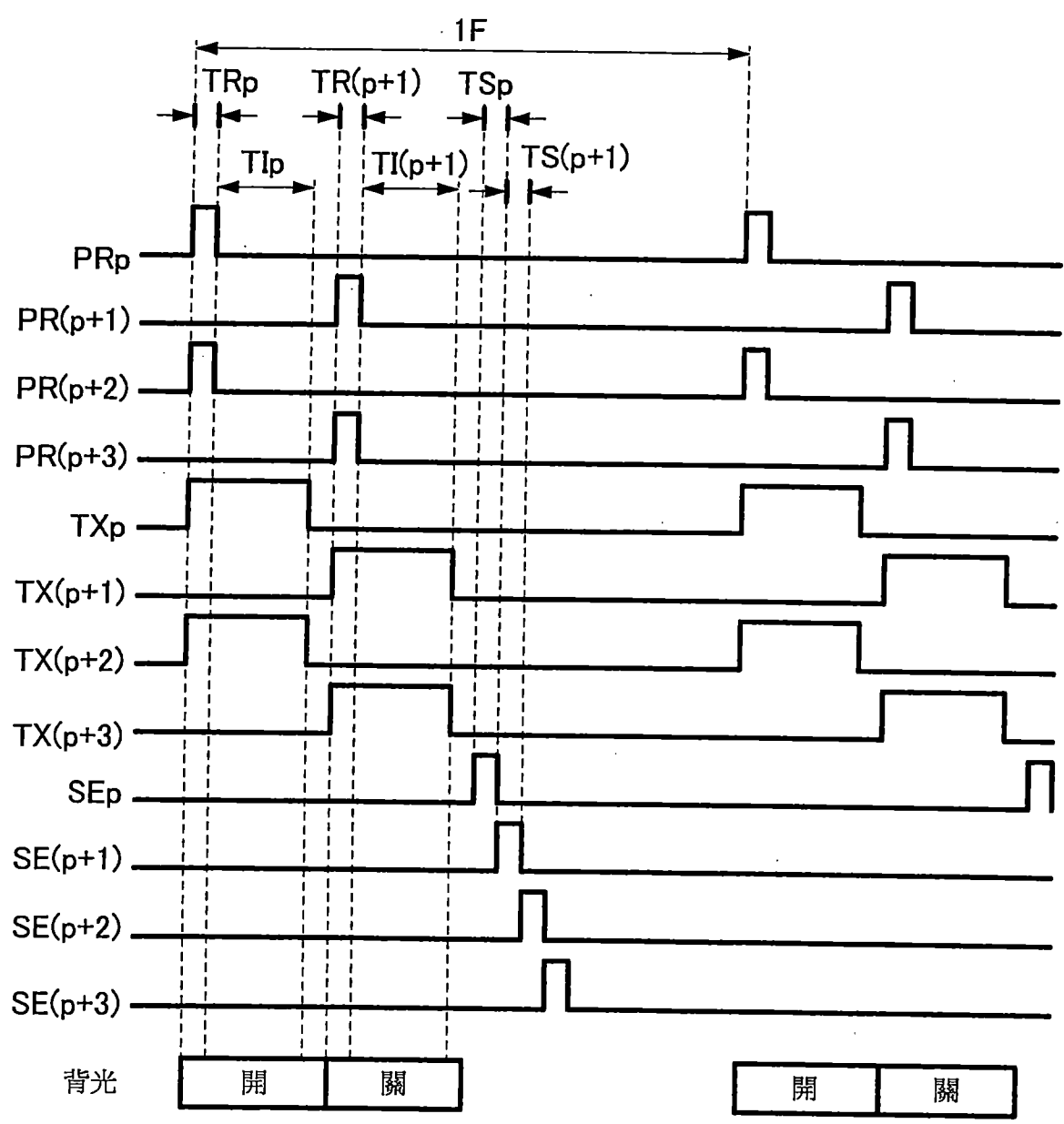
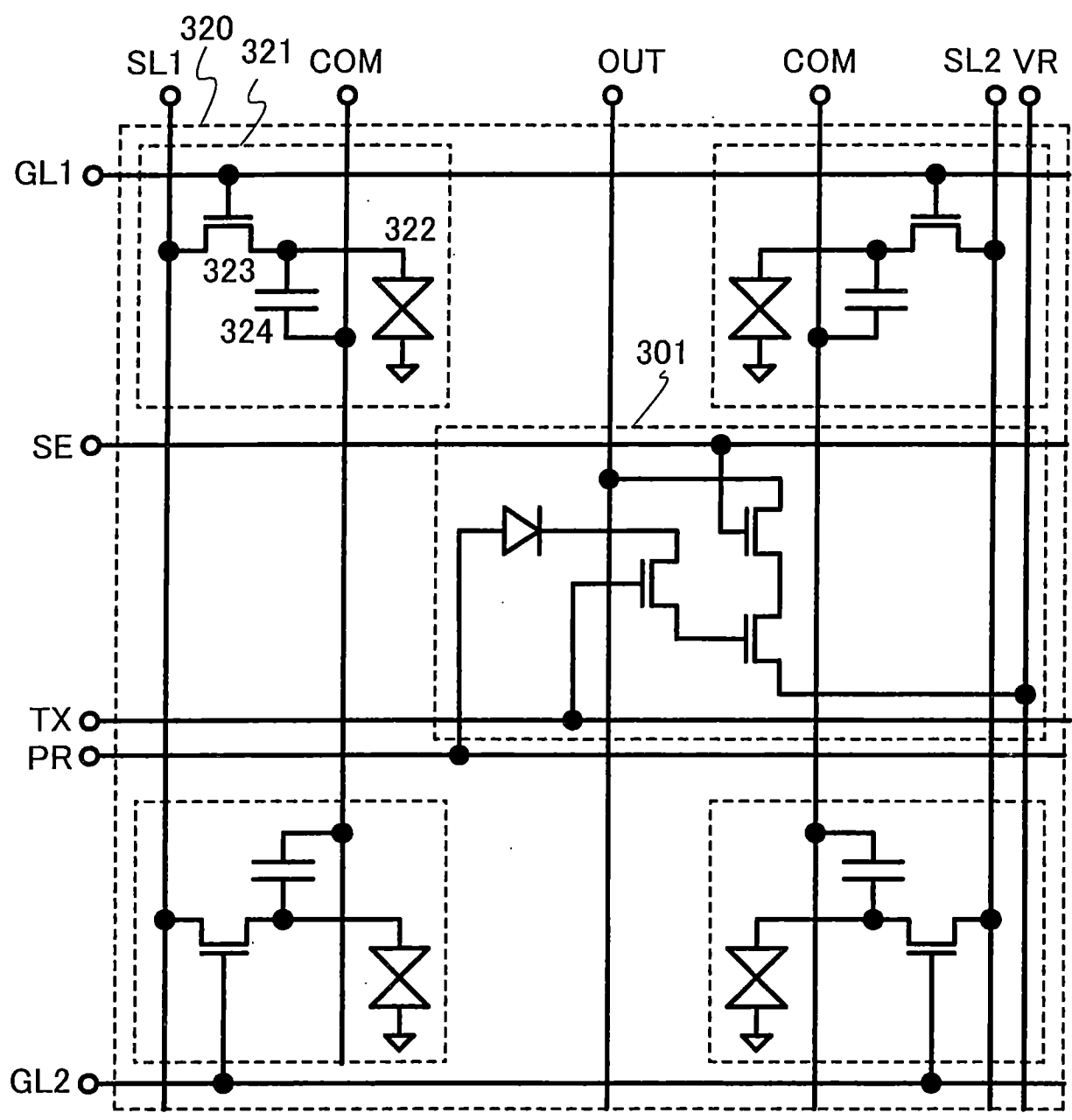


圖 4



301

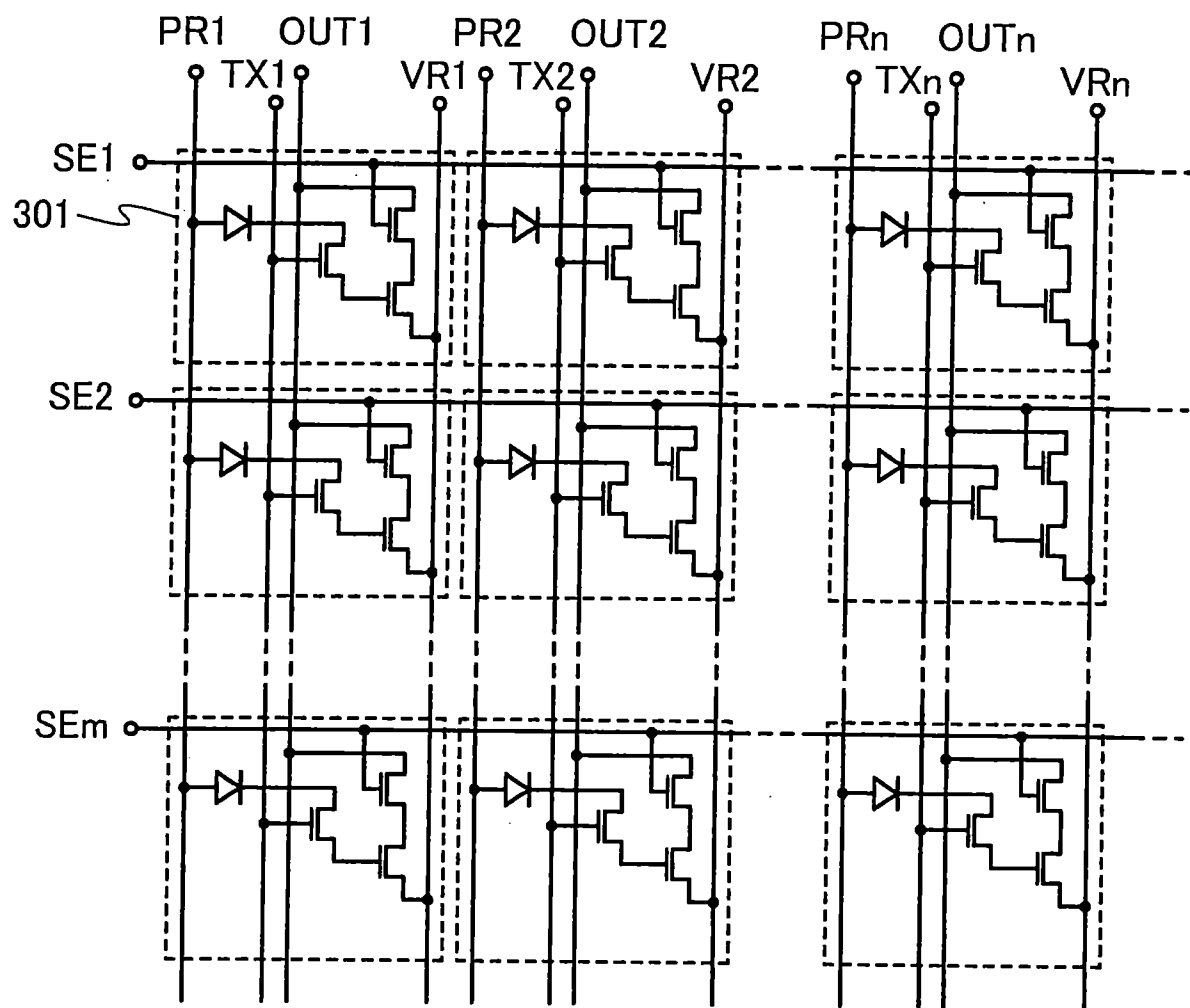


圖 6

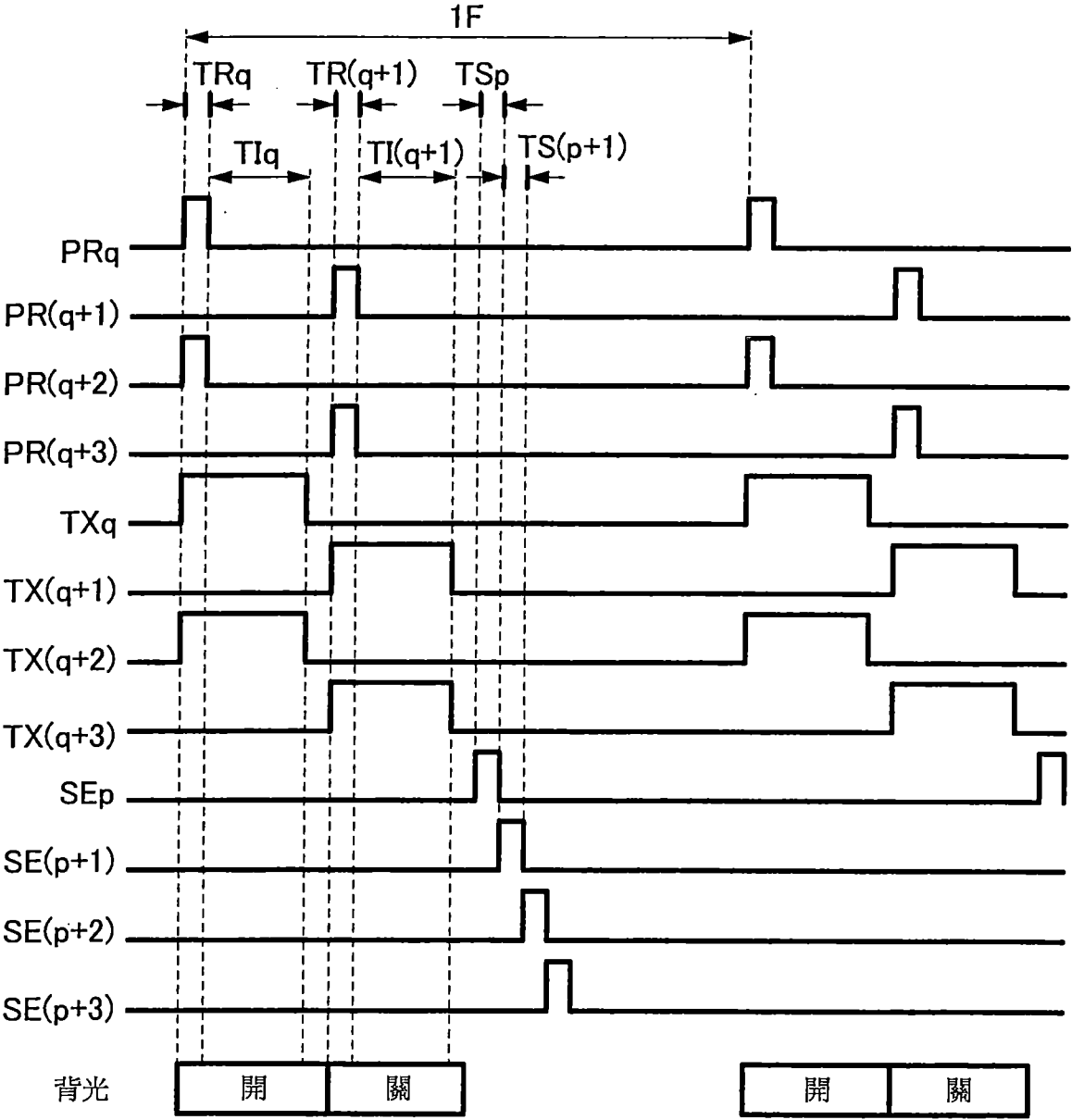


圖 7

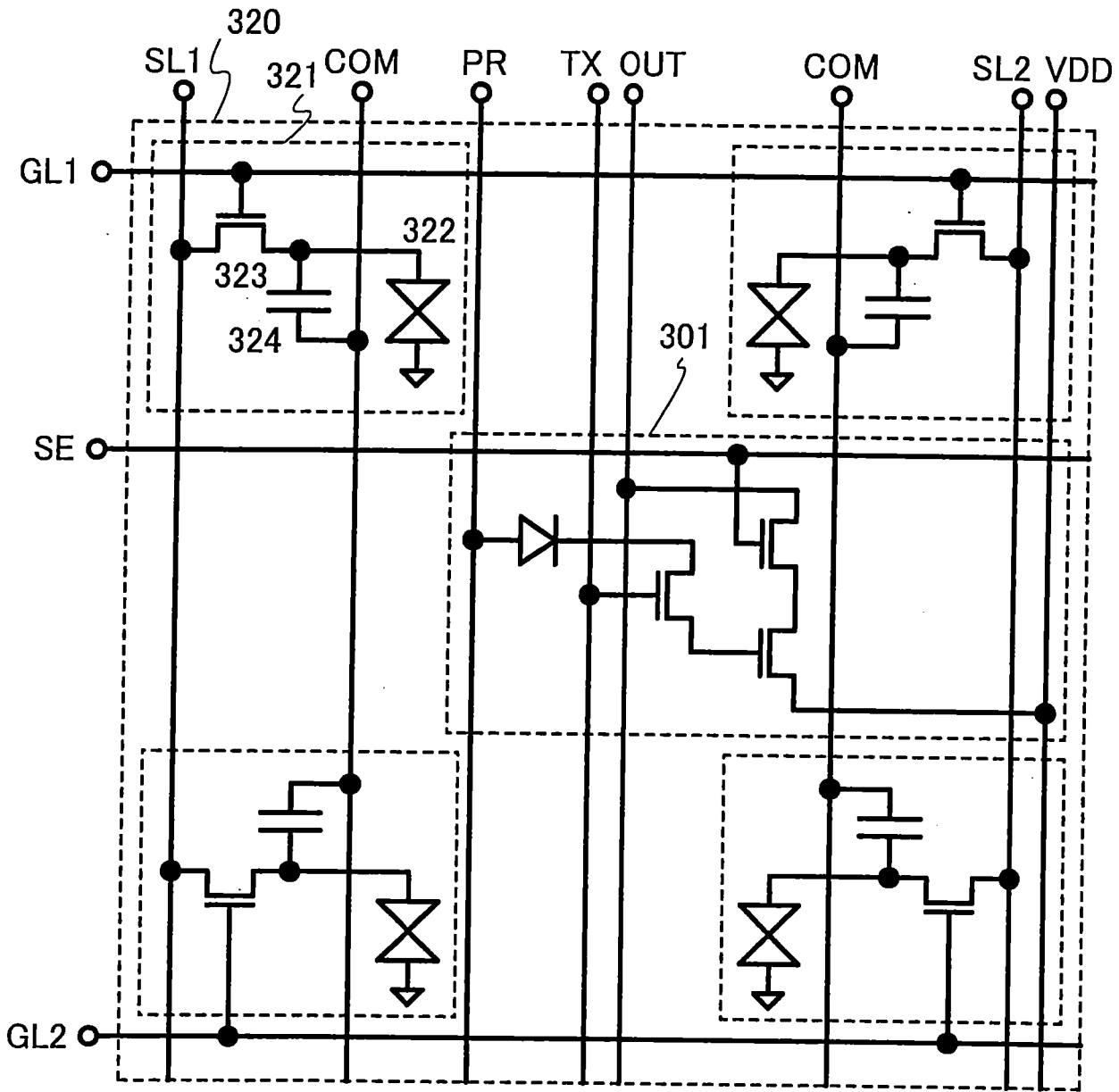


圖8

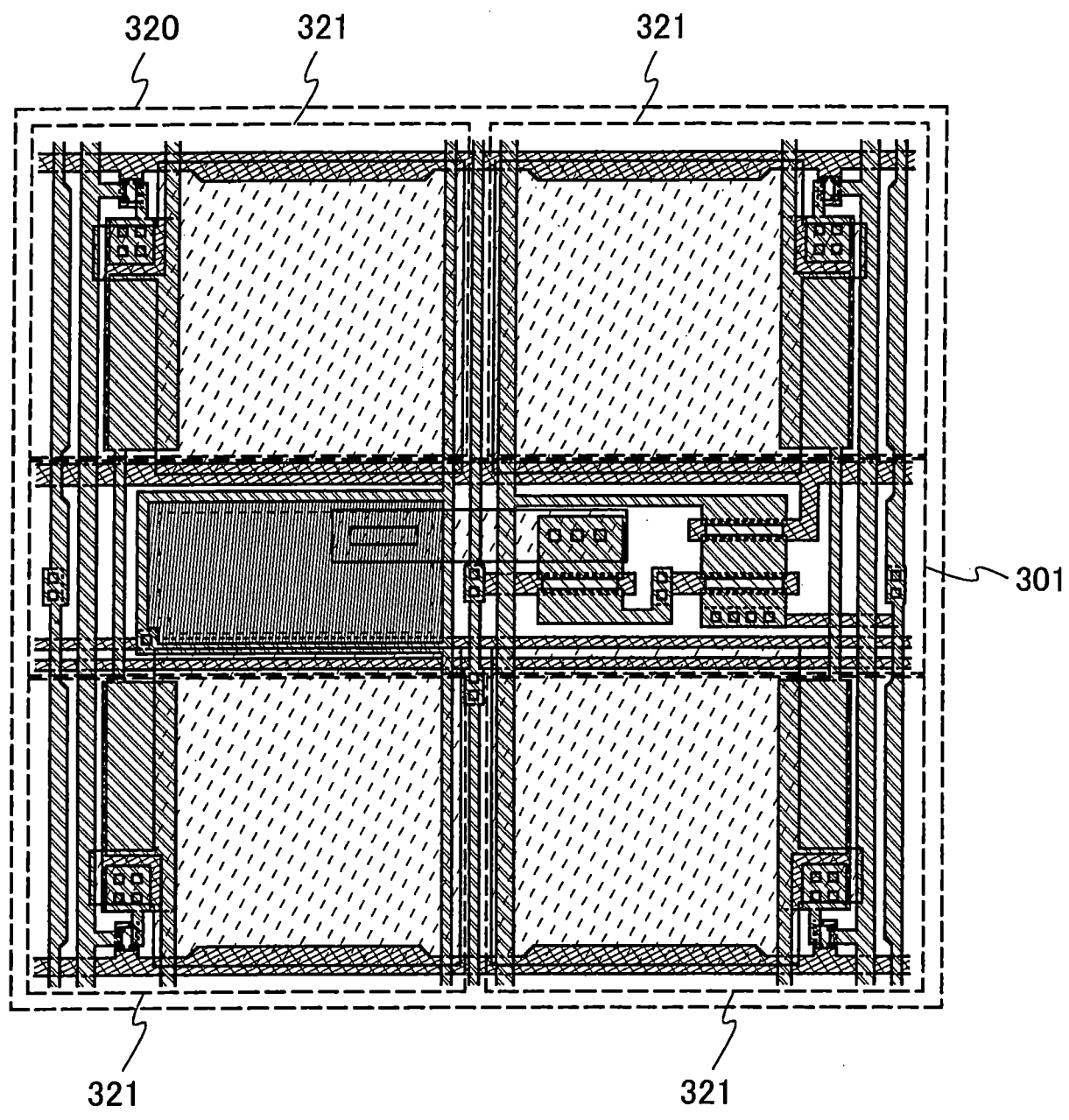


圖 9

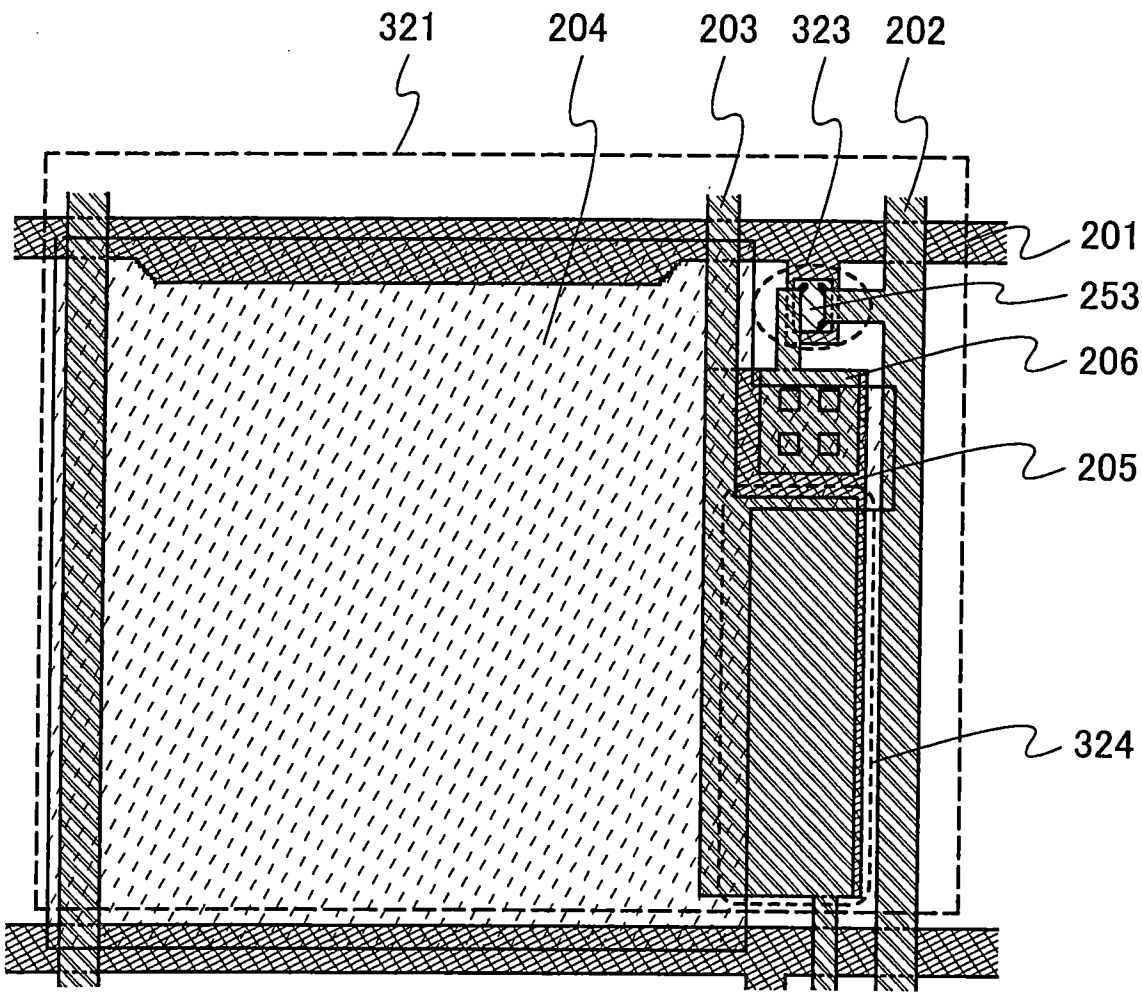


圖10A

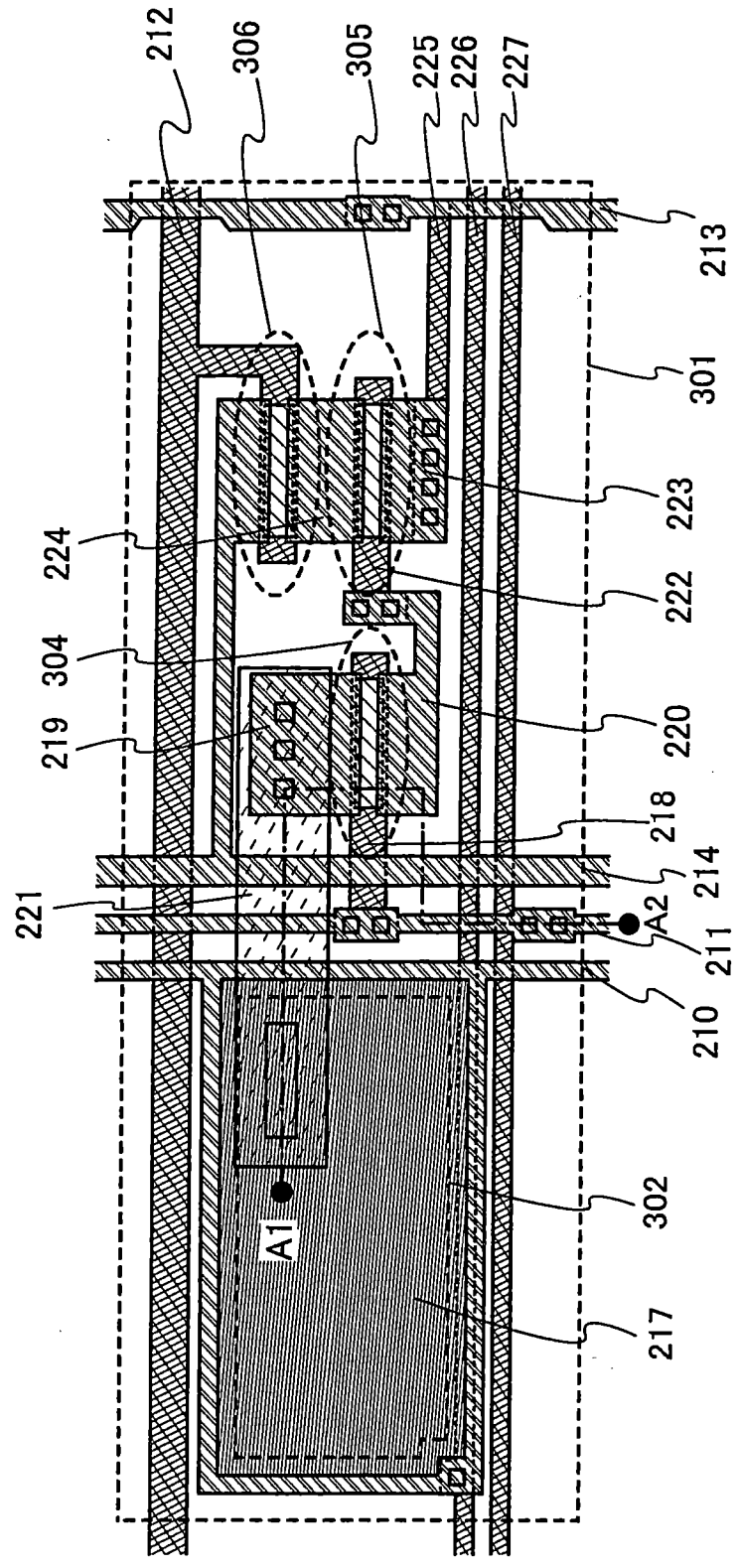


圖10B

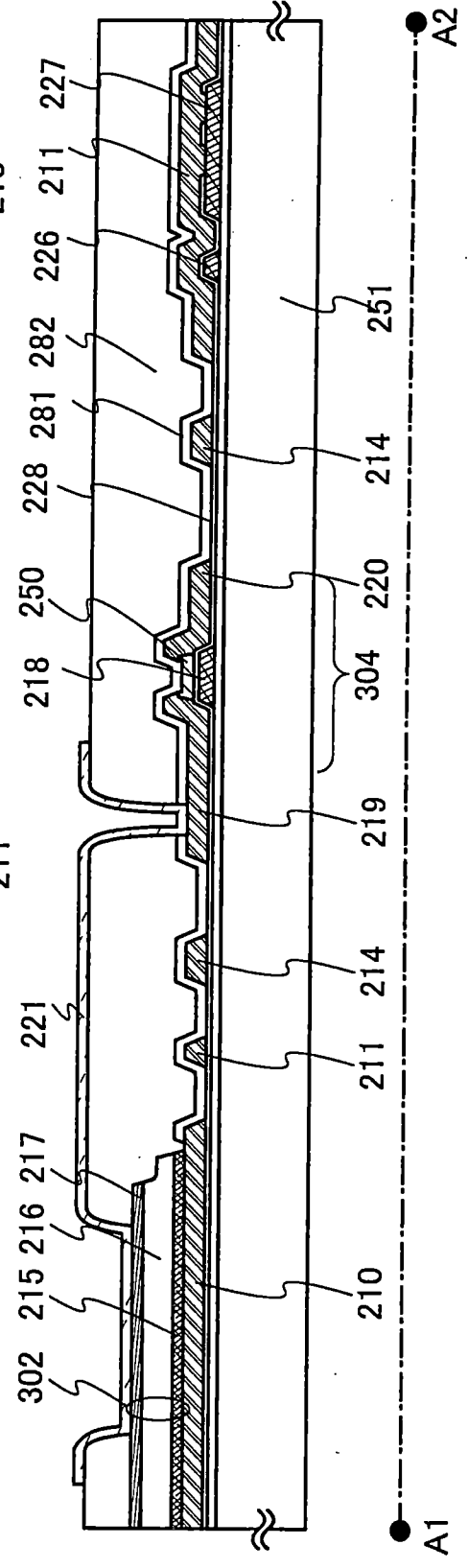


圖11

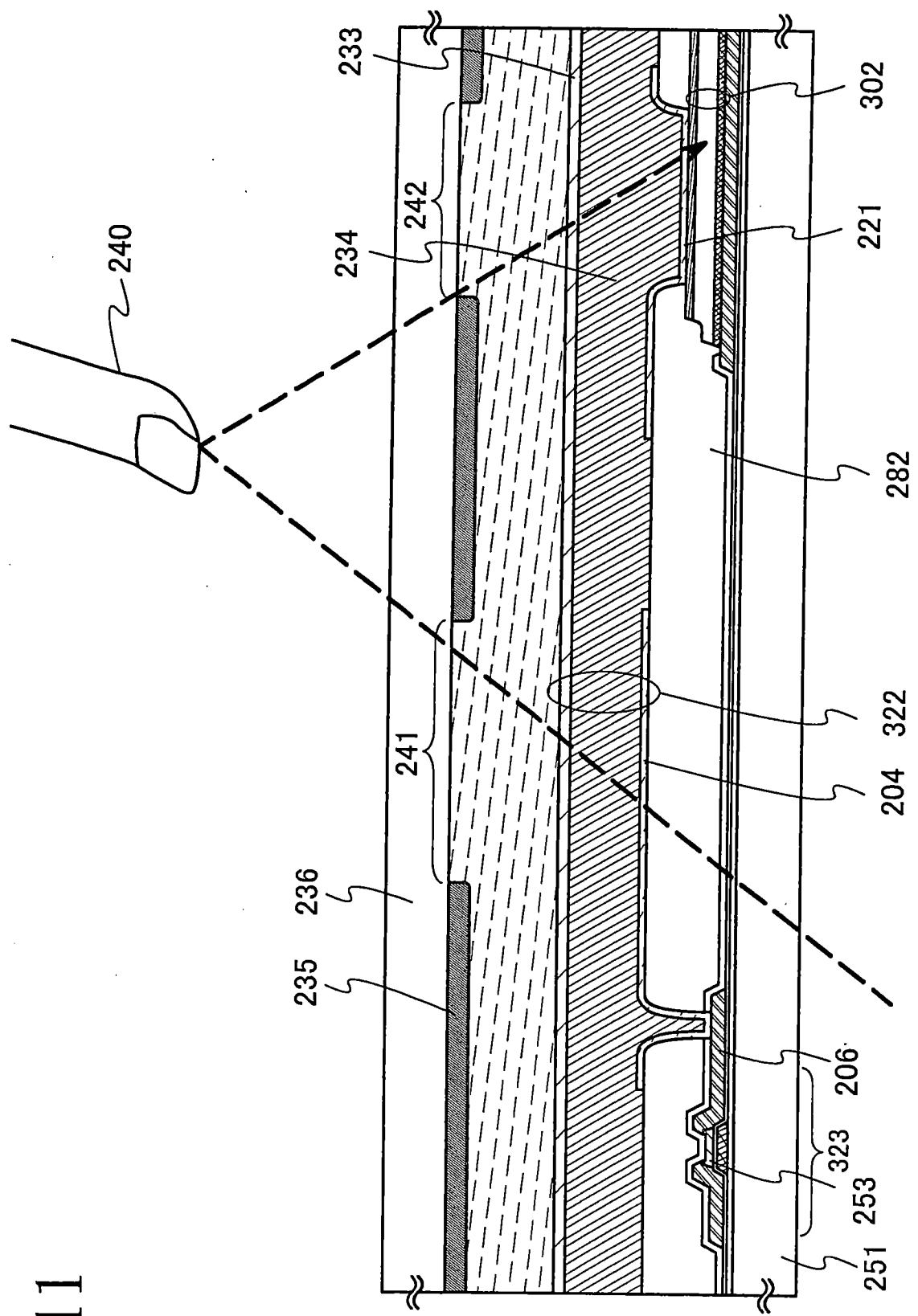
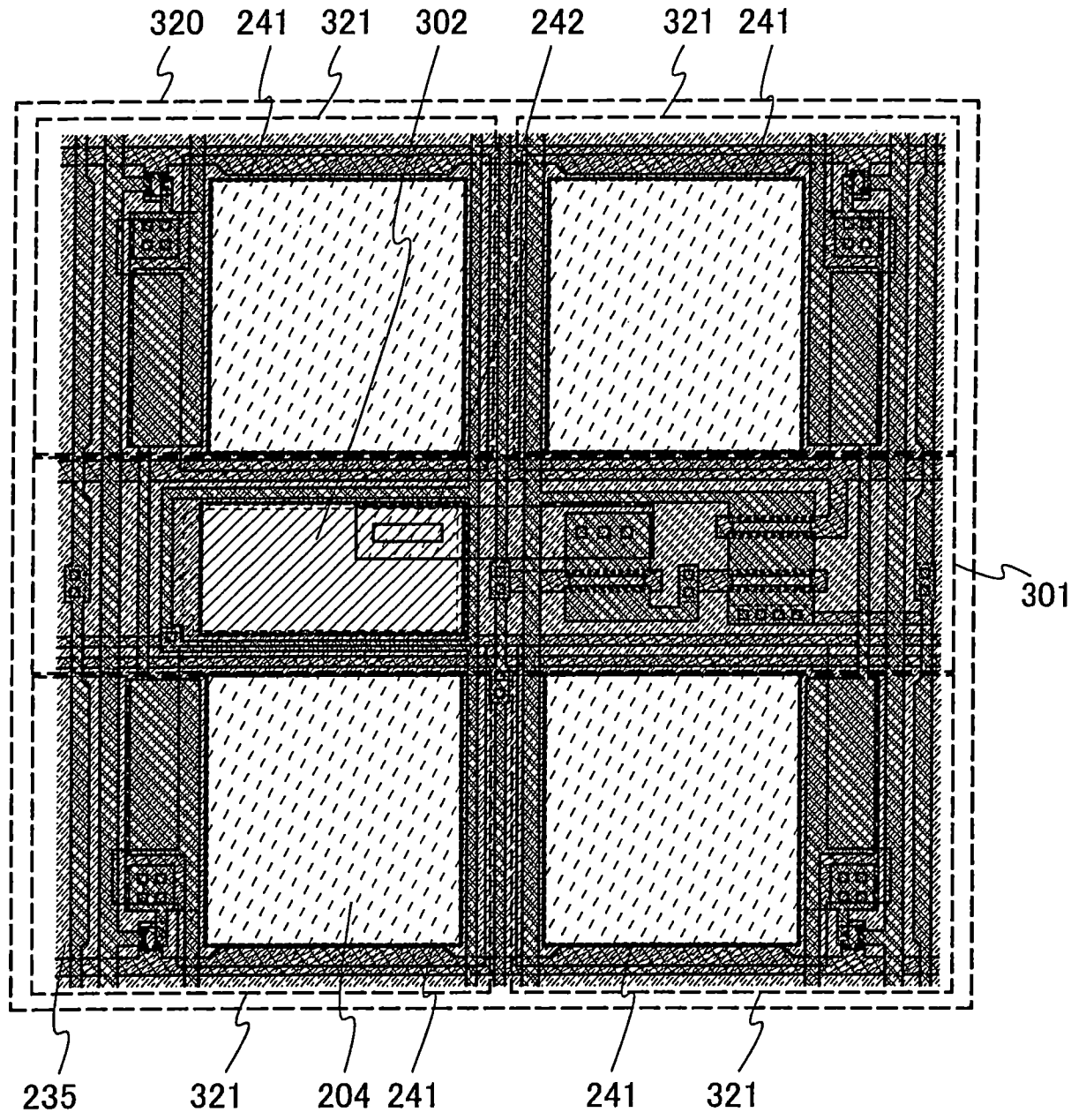


圖12



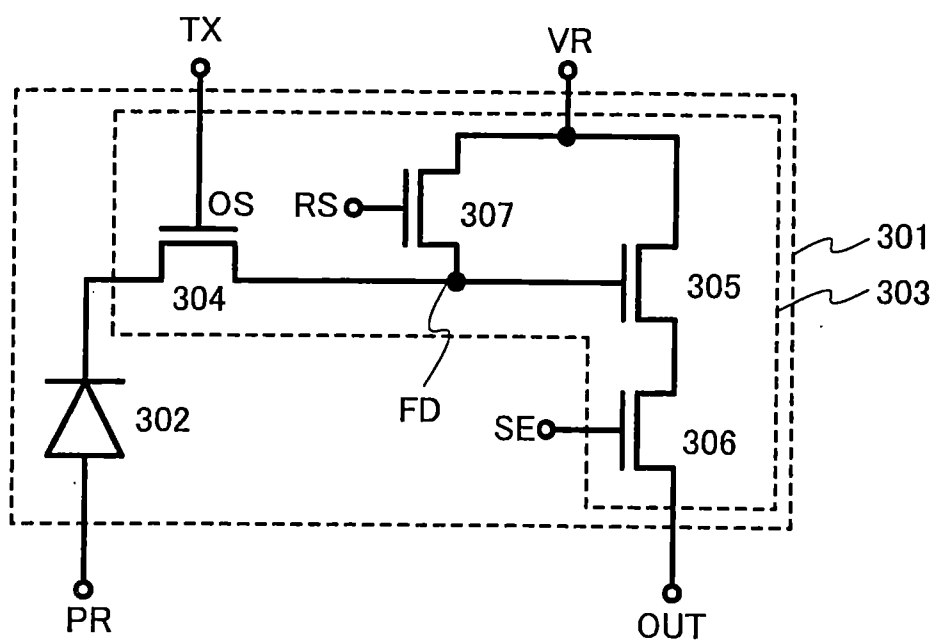


圖 14

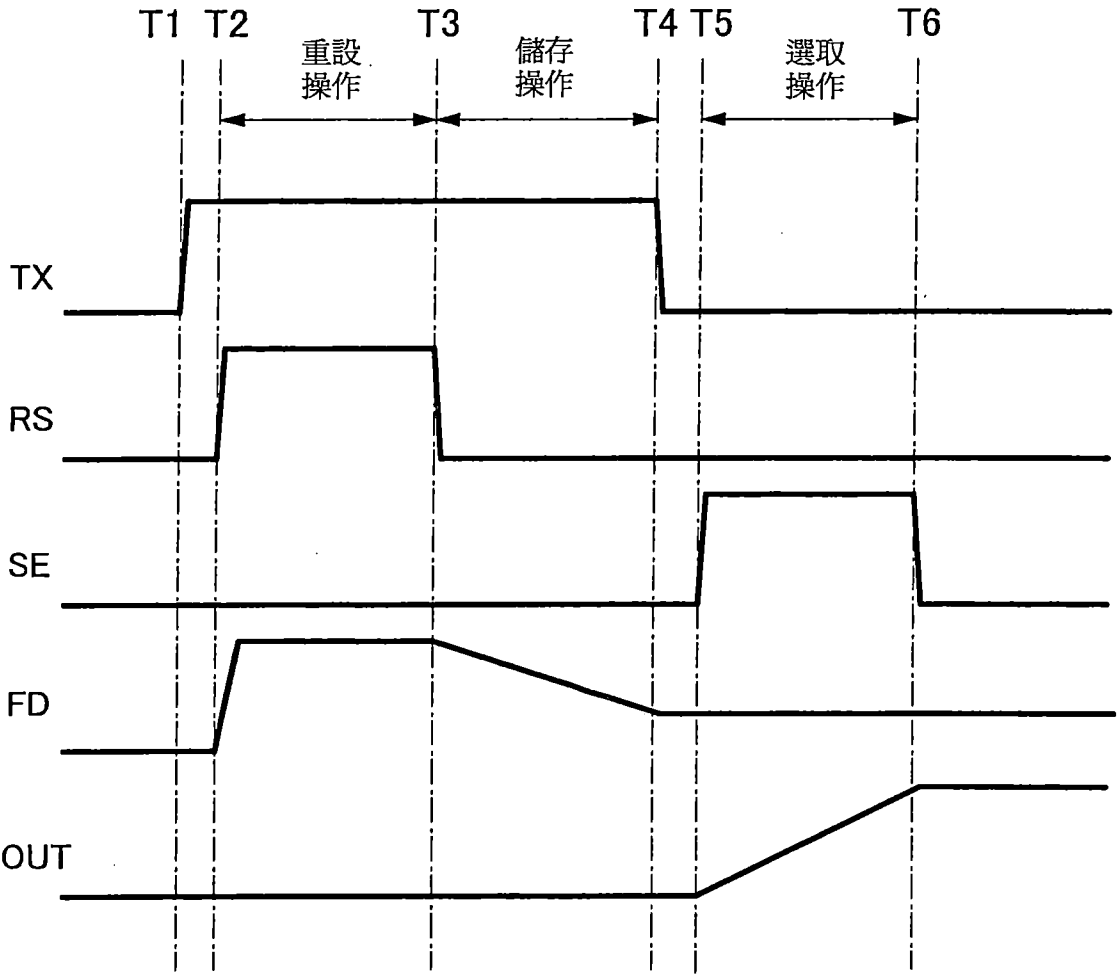


圖 15A

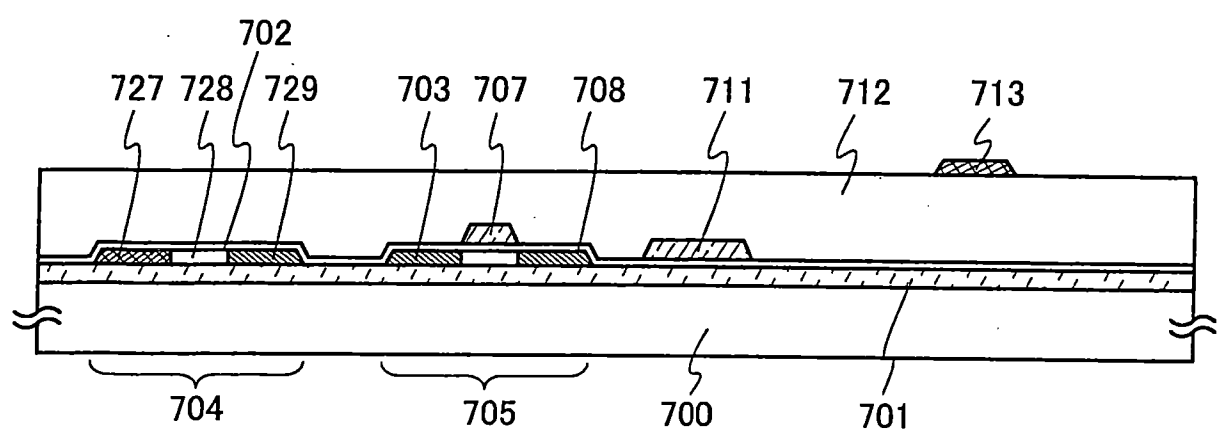


圖 15B

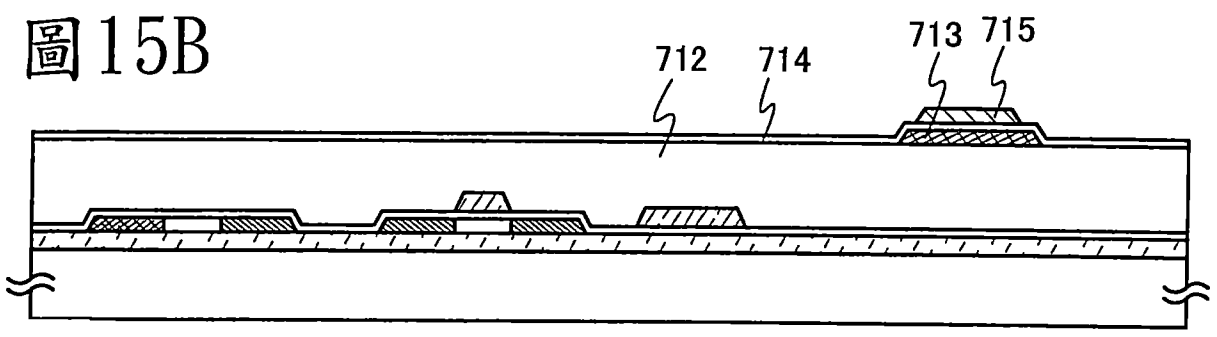


圖 15C

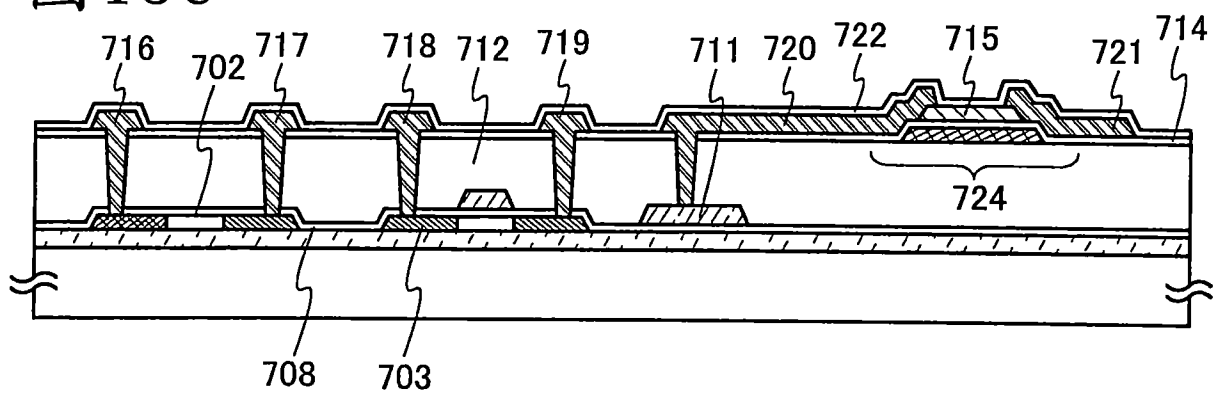


圖 16A

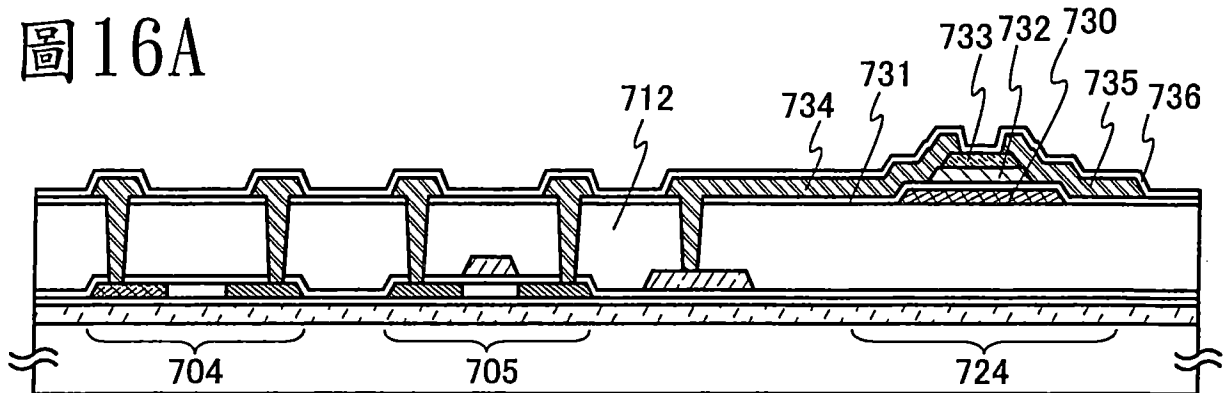


圖 16B

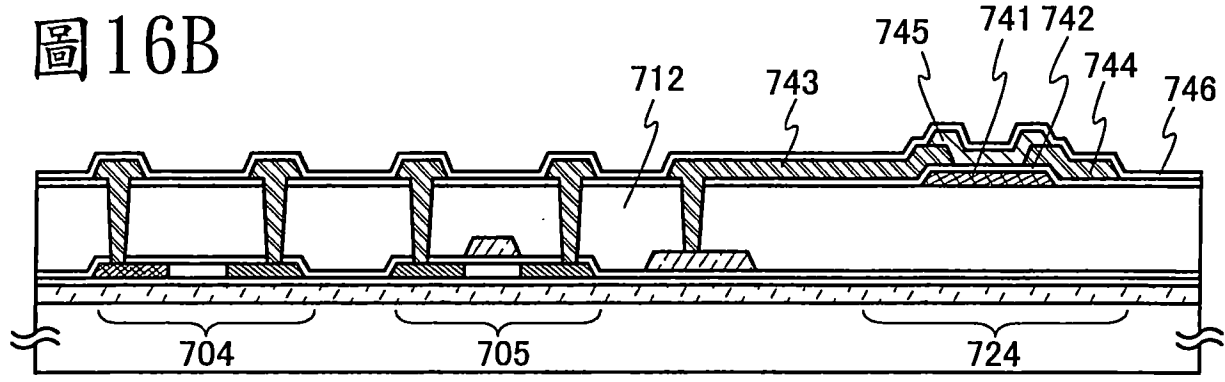


圖 16C

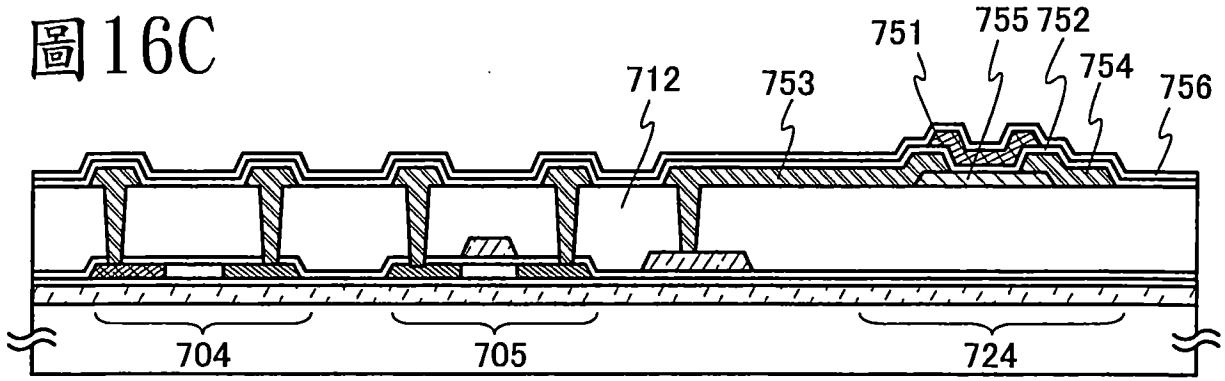


圖 16D

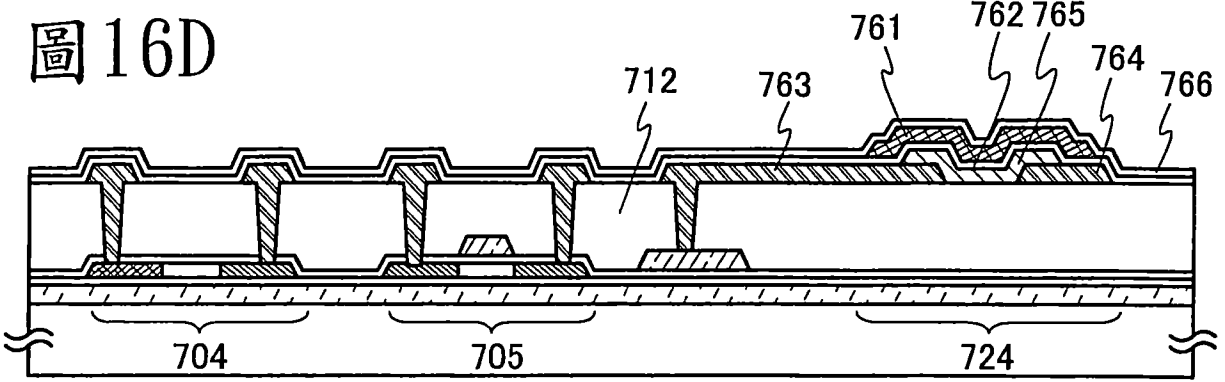


圖 17

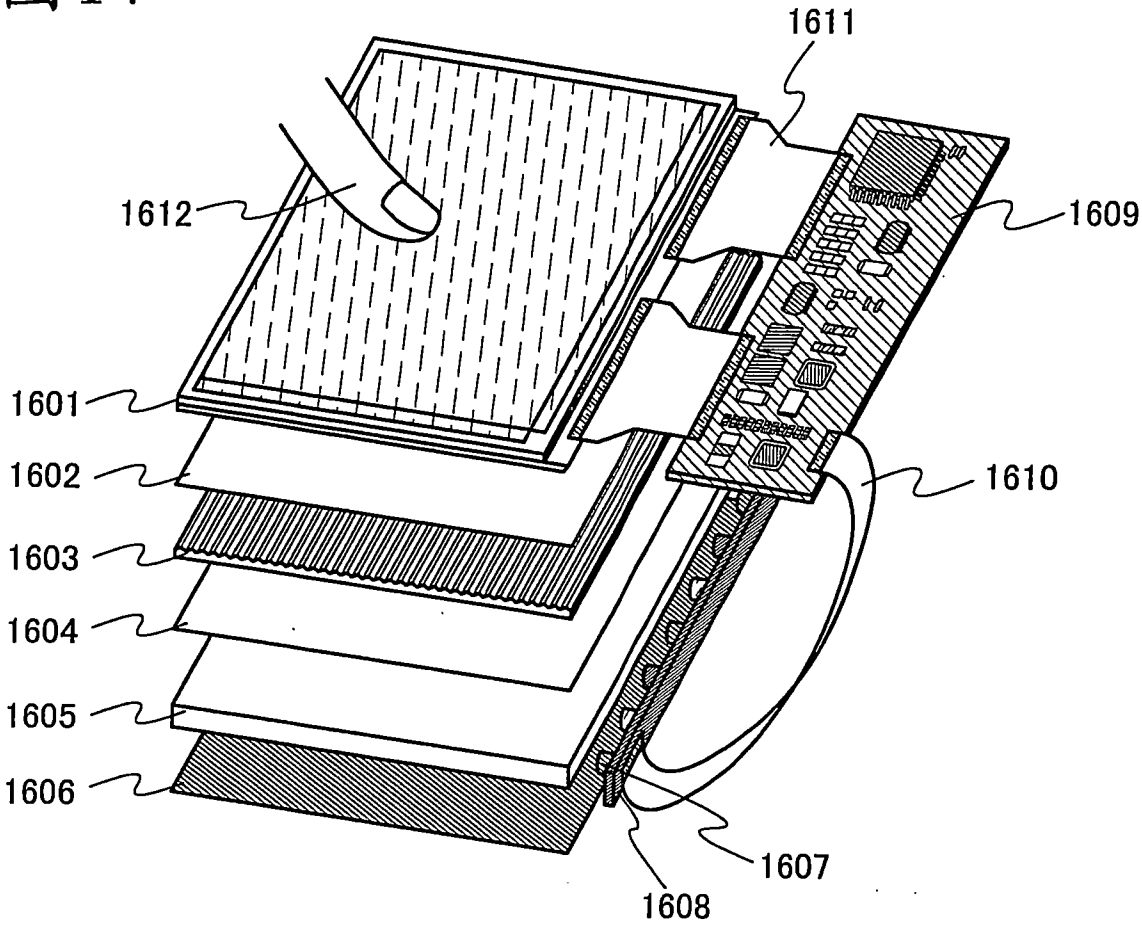


圖 18

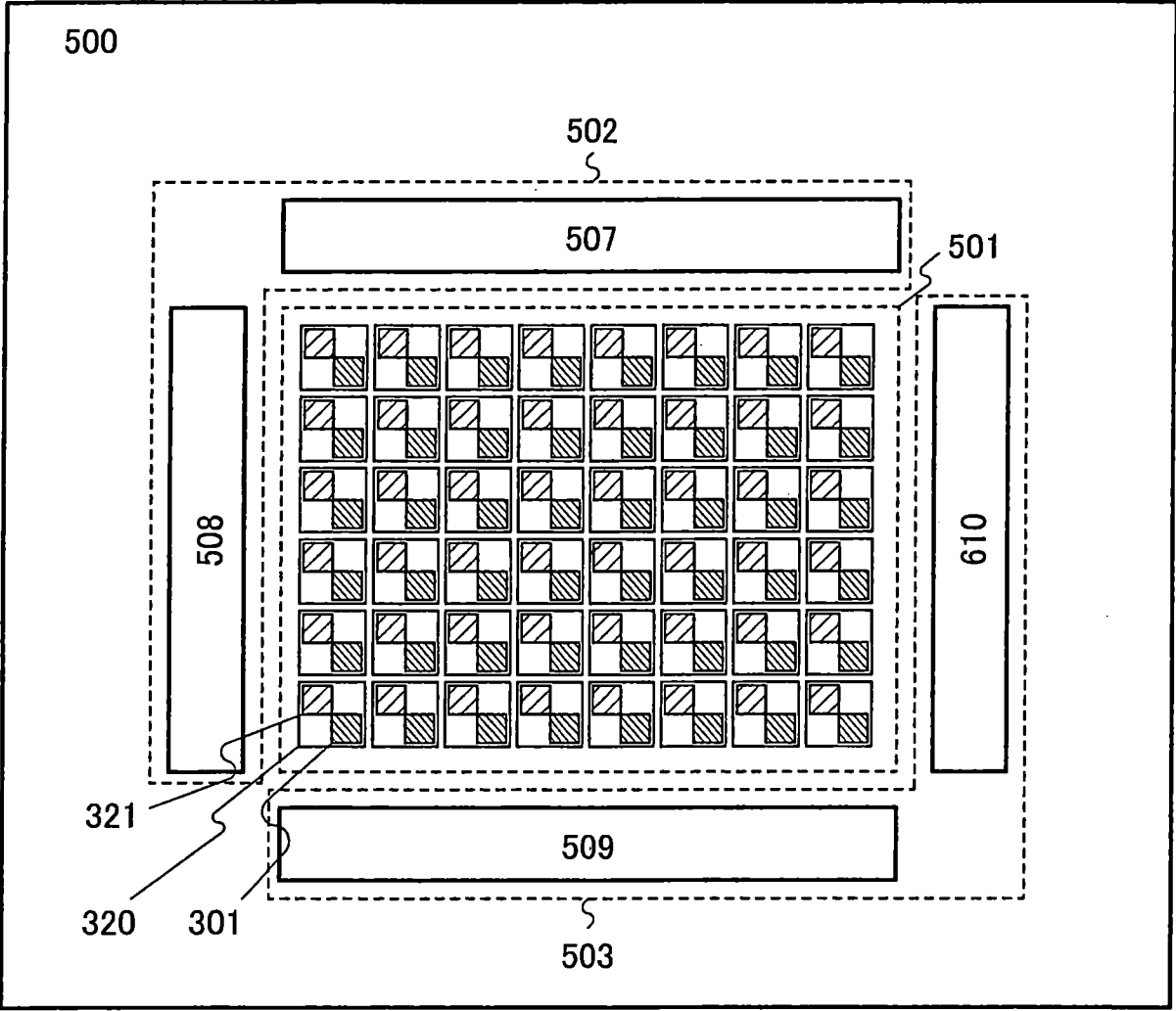


圖 19A

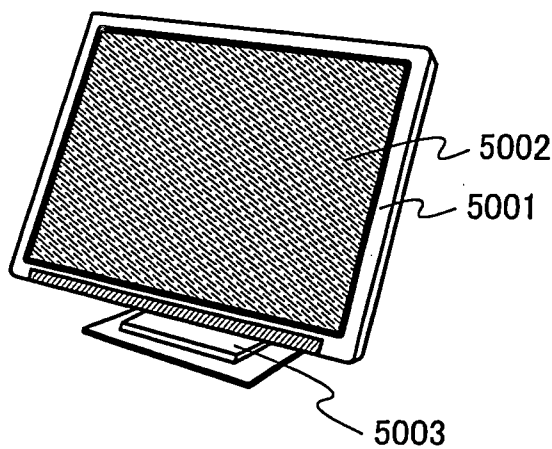


圖 19B

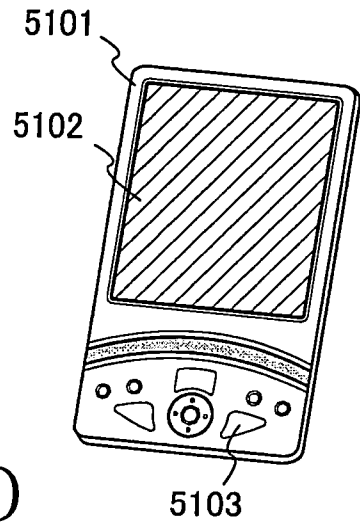


圖 19C

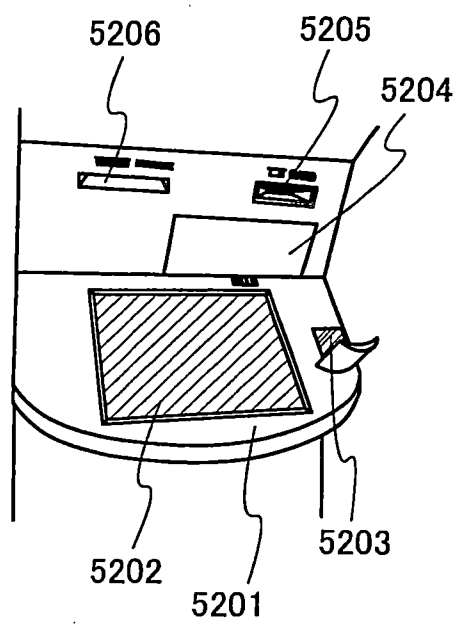


圖 19D

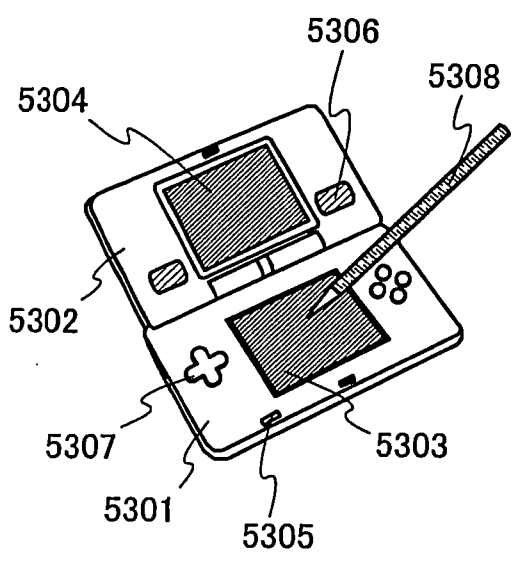


圖 20A

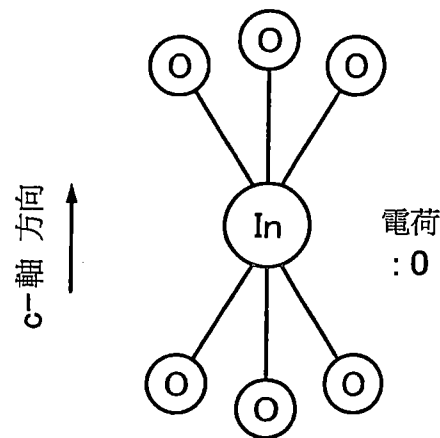


圖 20D

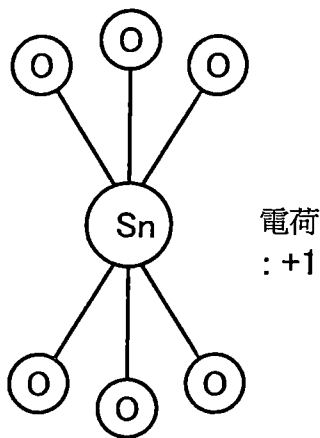


圖 20B

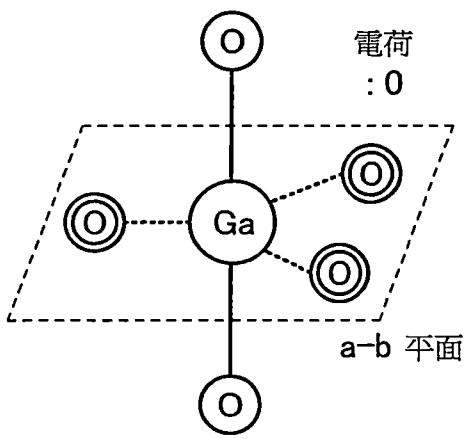


圖 20E

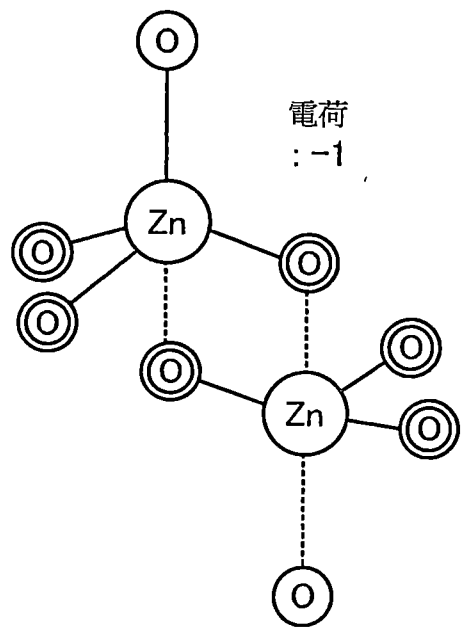


圖 20C

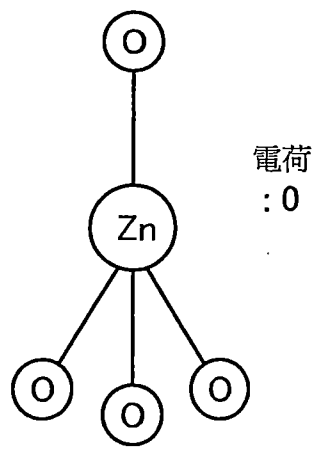


圖 21A

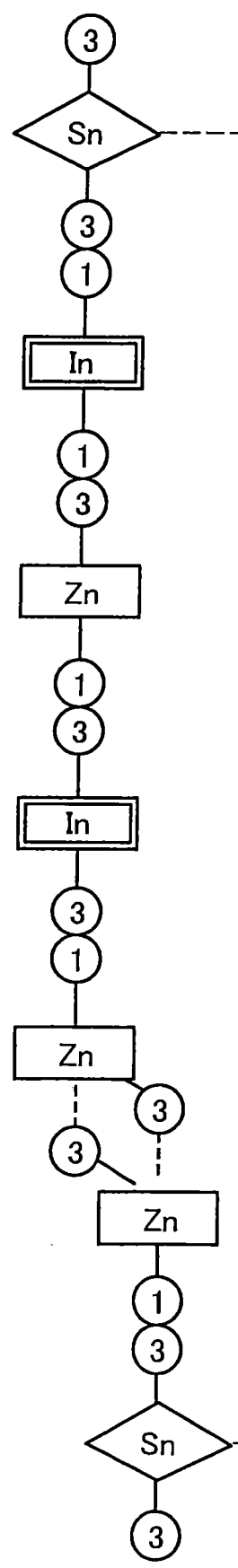


圖 21B

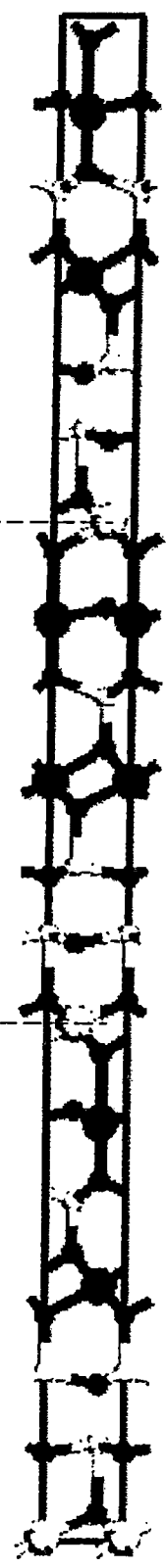
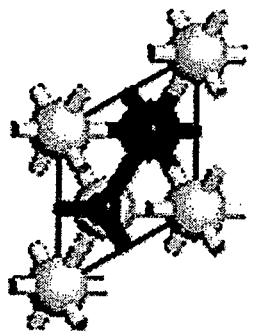


圖 21C



- In
- Sn
- Zn
- O

圖 22A

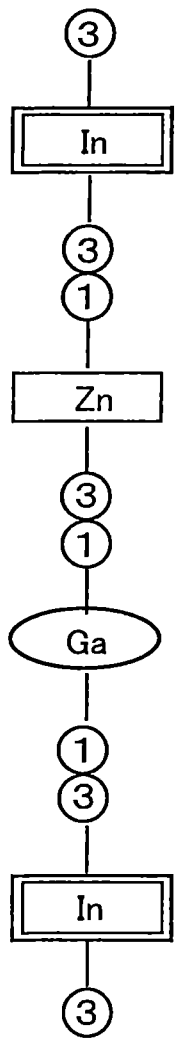


圖 22B

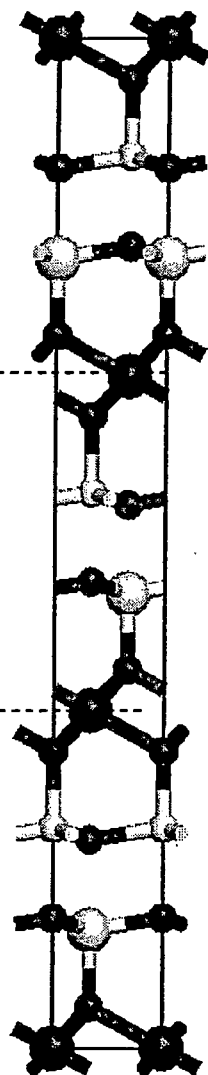
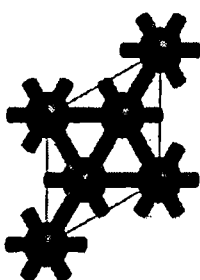


圖 22C



-  In
-  Ga
-  Zn
-  O

圖23

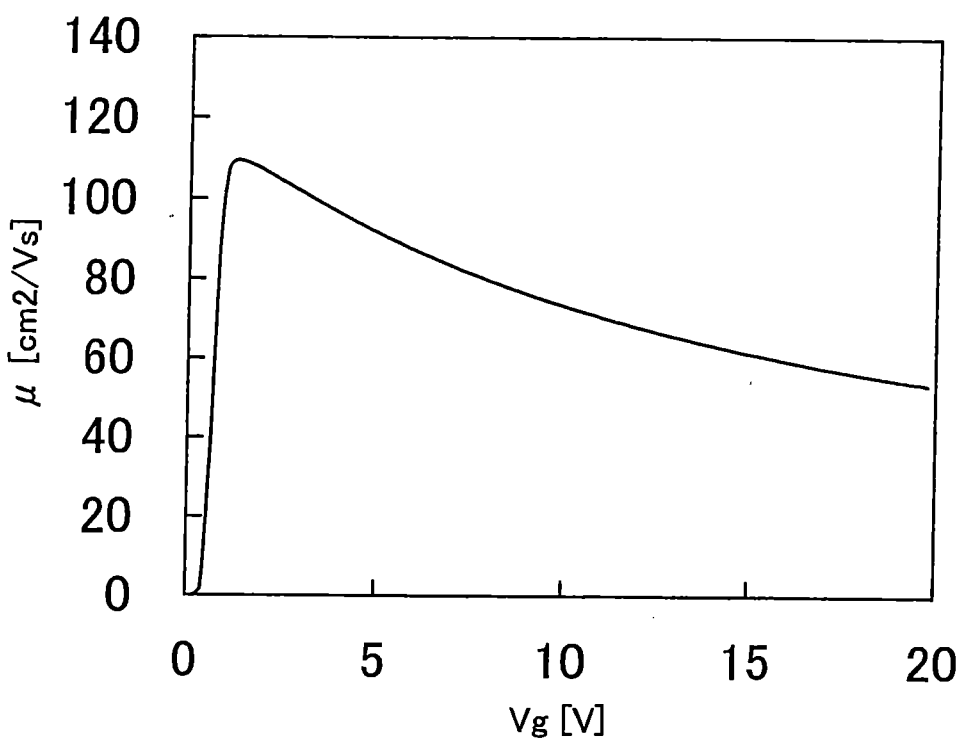


圖 24A

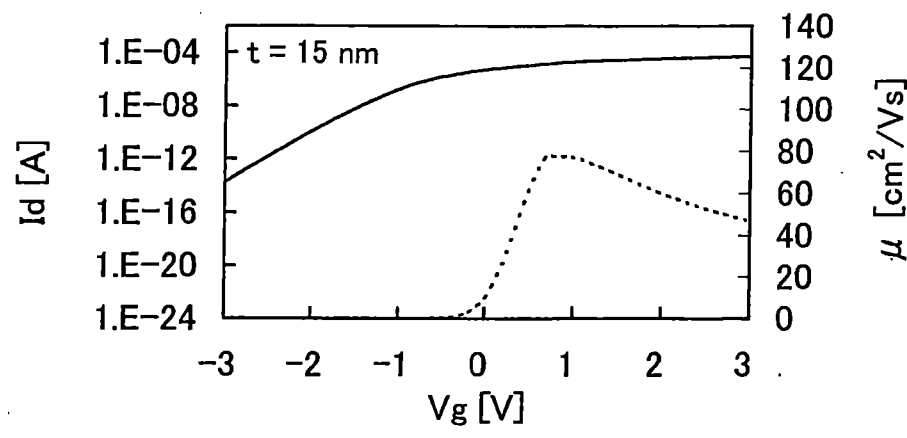


圖 24B

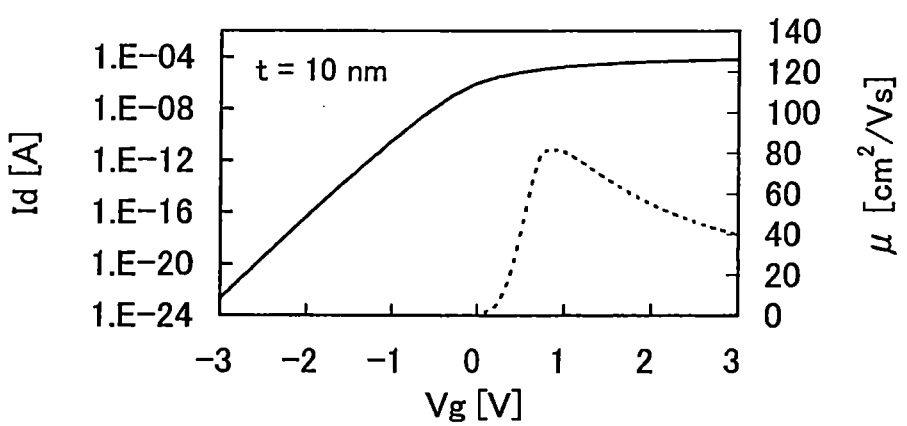


圖 24C

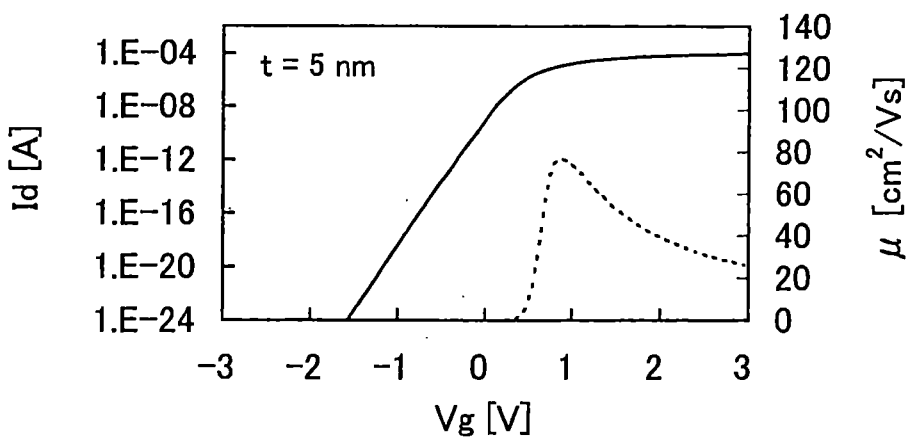


圖 25A

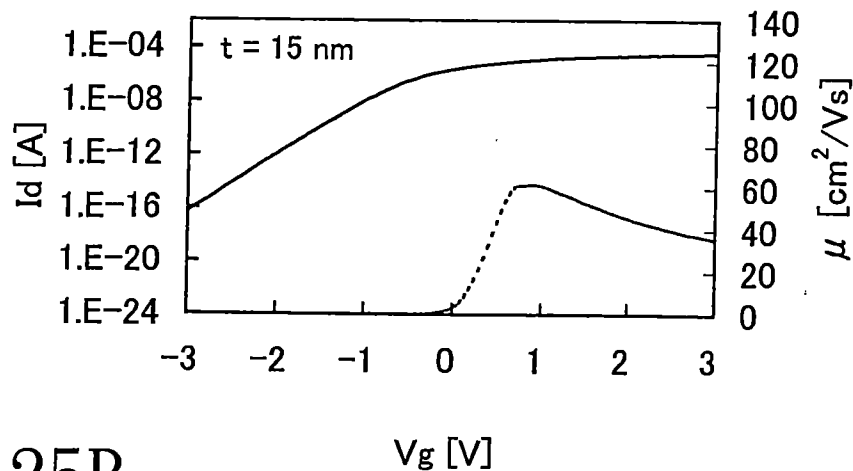


圖 25B

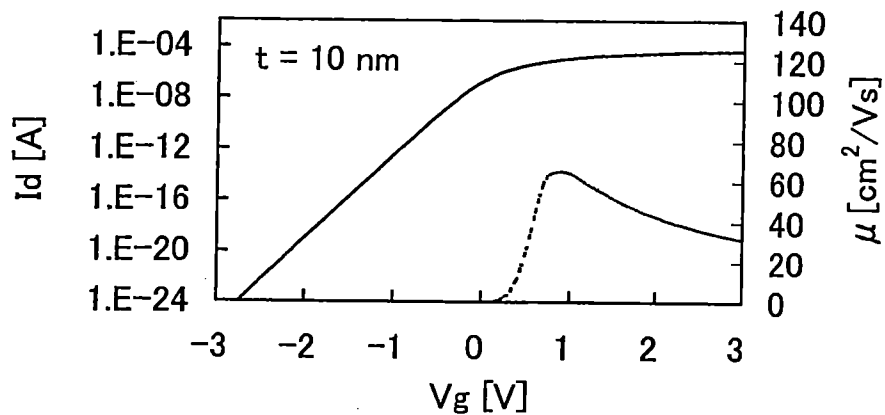


圖 25C

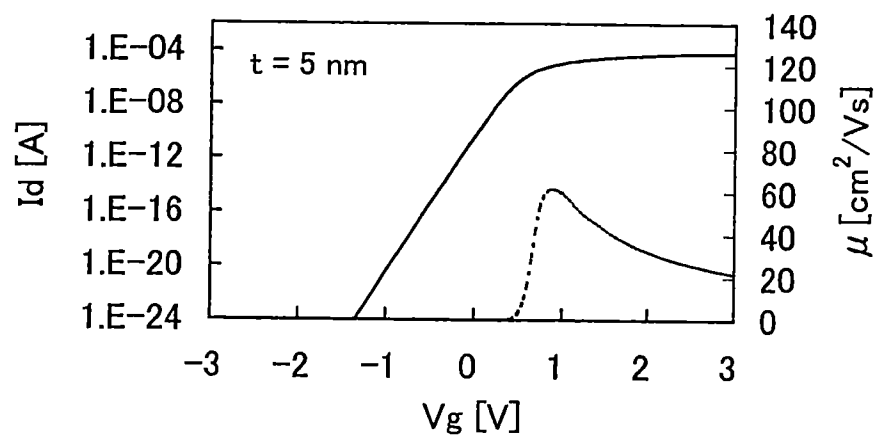


圖 26A

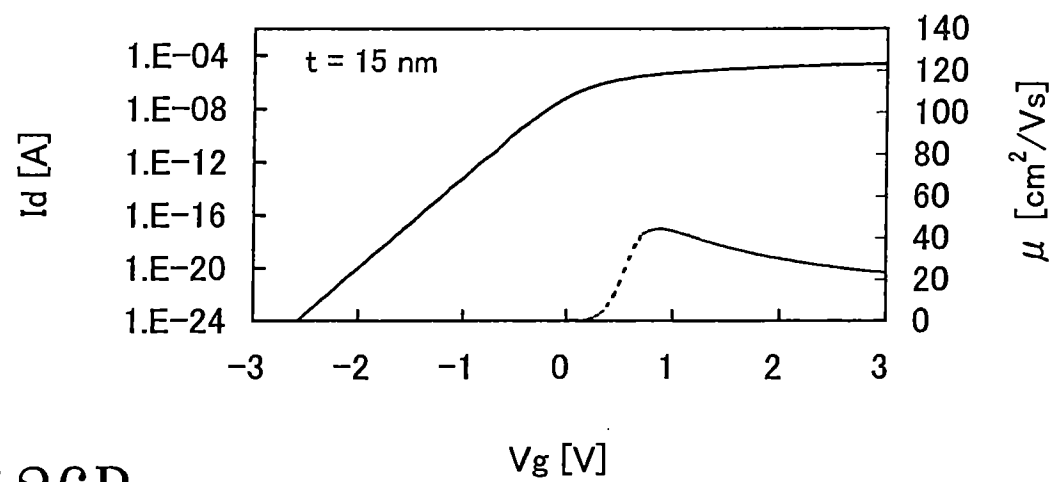


圖 26B

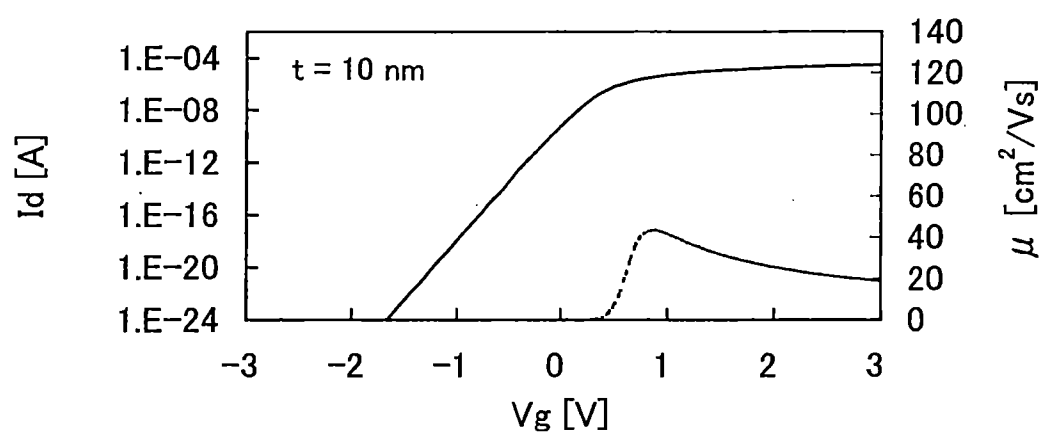


圖 26C

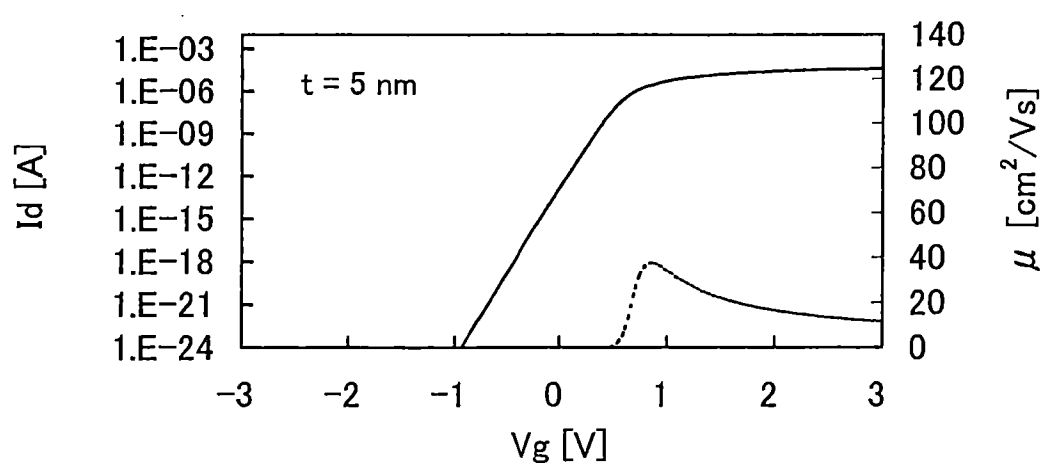


圖 27A

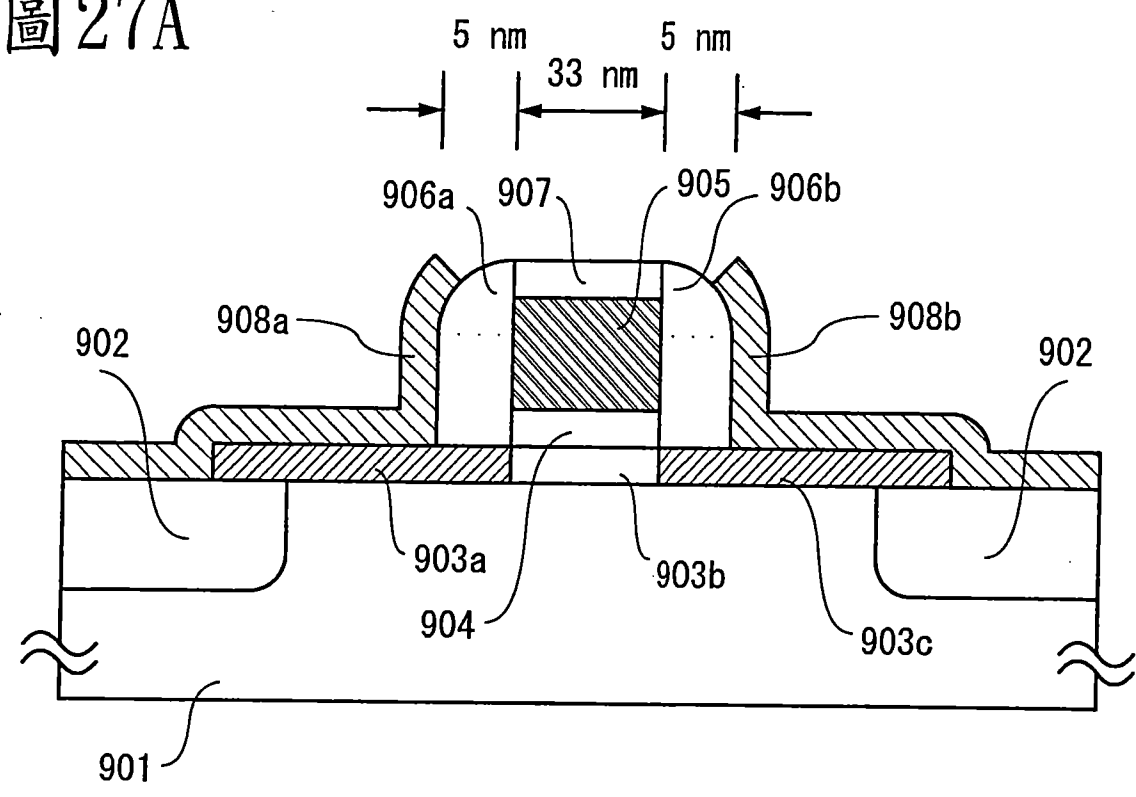


圖 27B

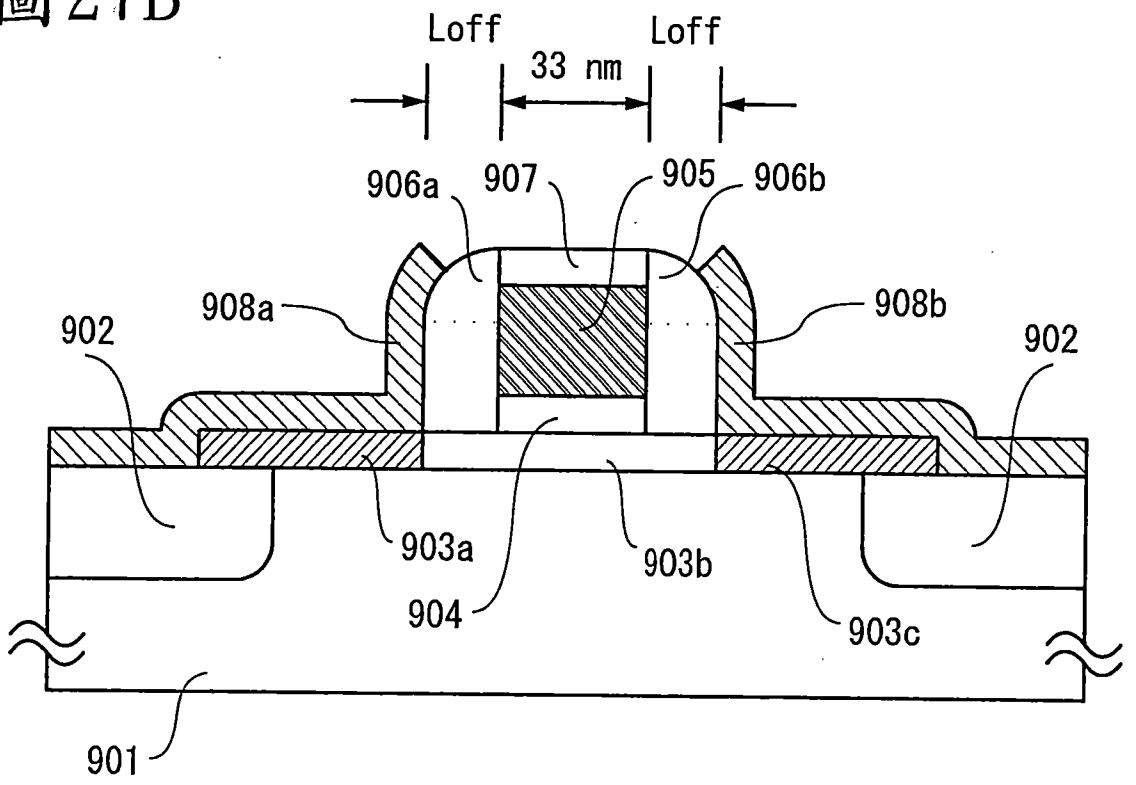


圖 28A

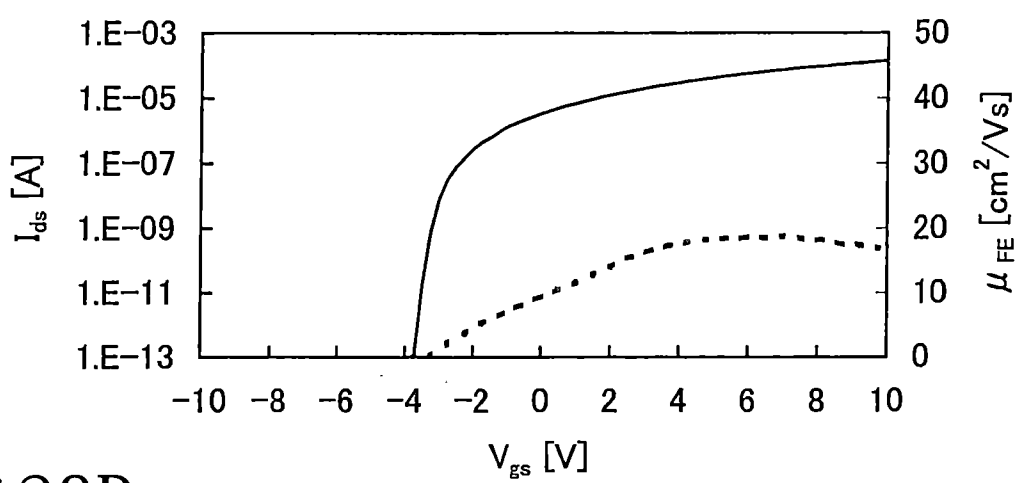


圖 28B

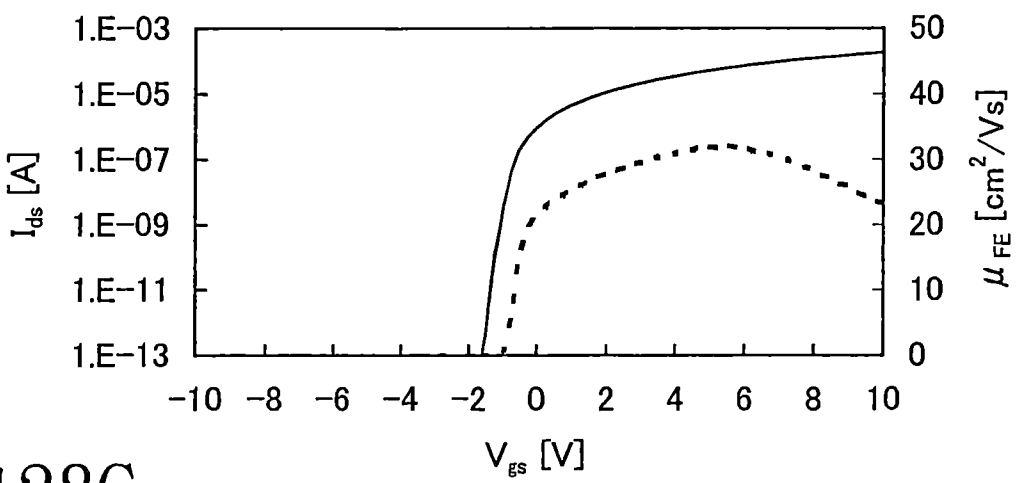


圖 28C

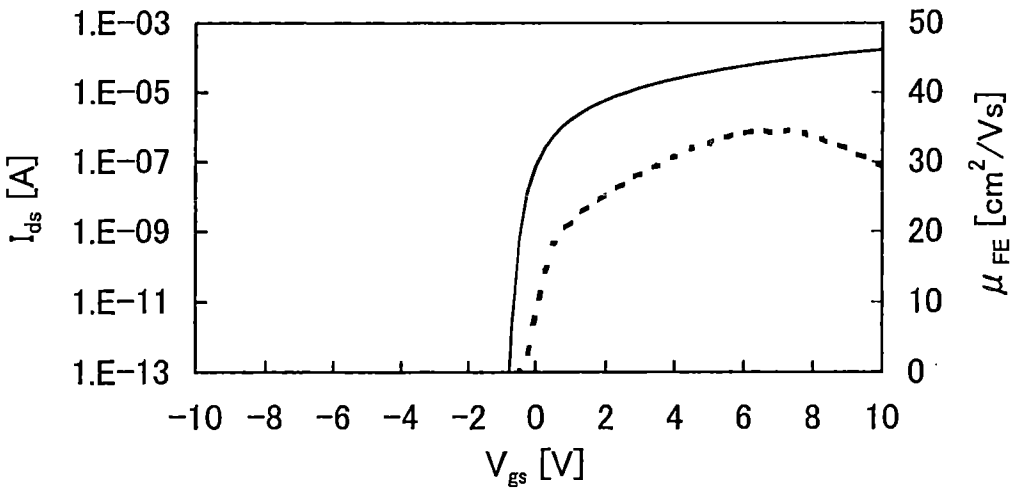


圖 29A

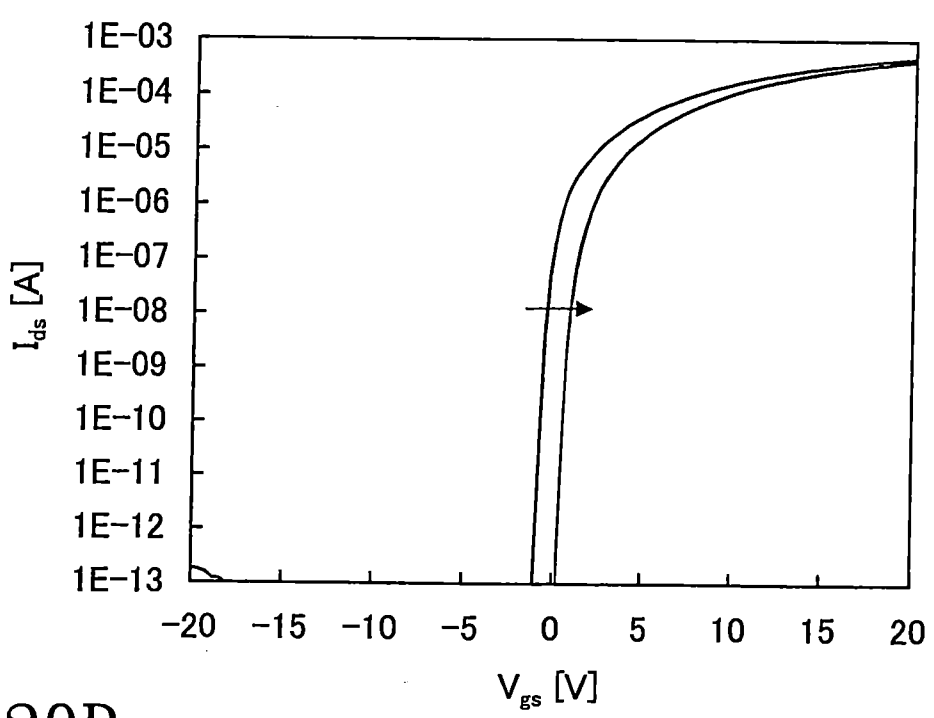


圖 29B

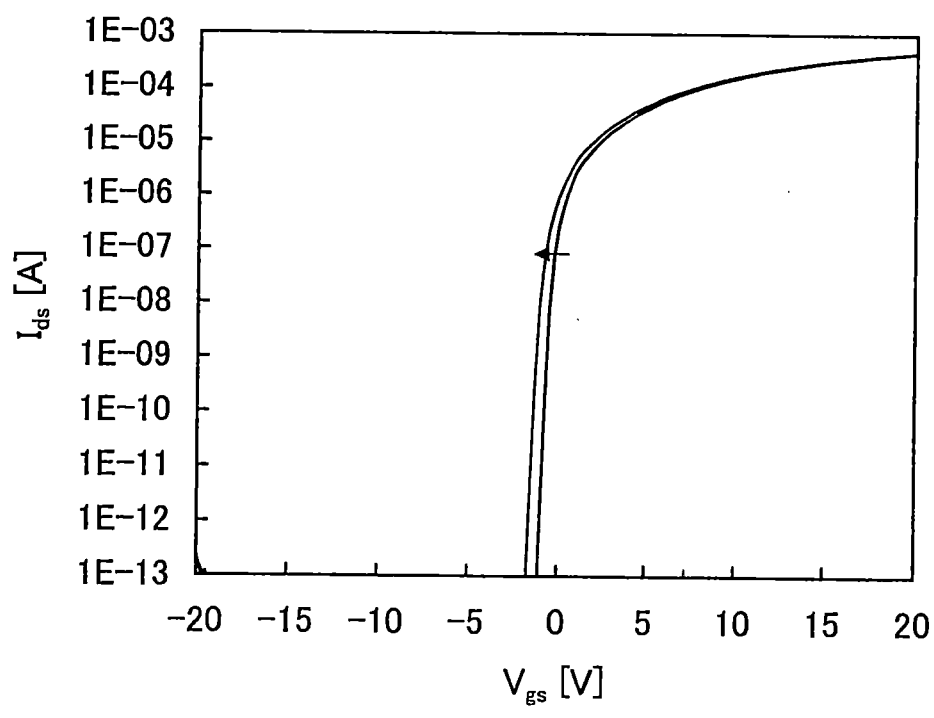


圖 30A

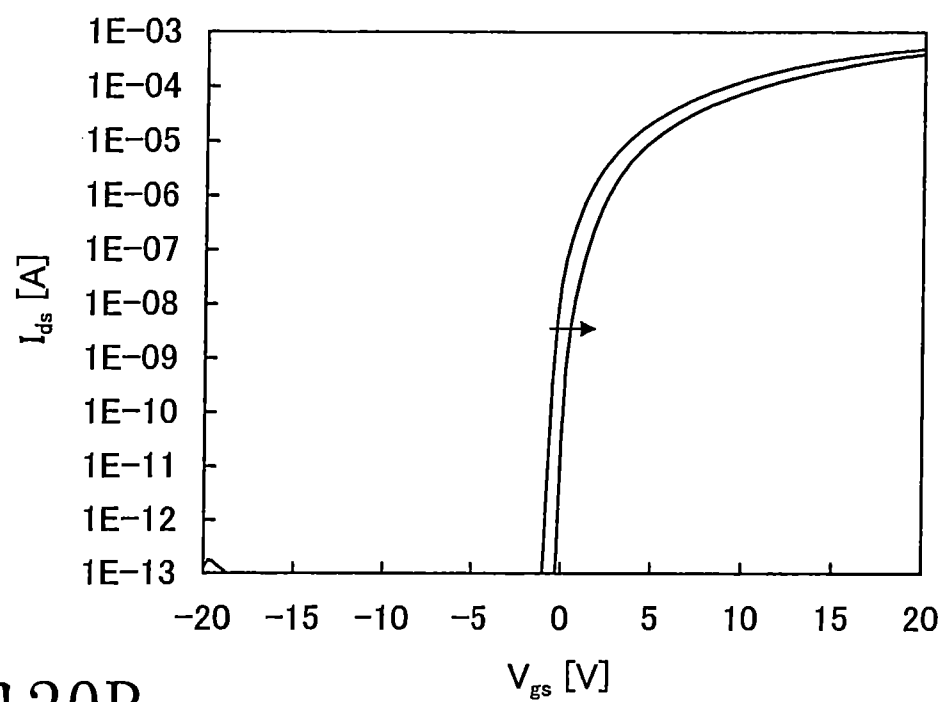


圖 30B

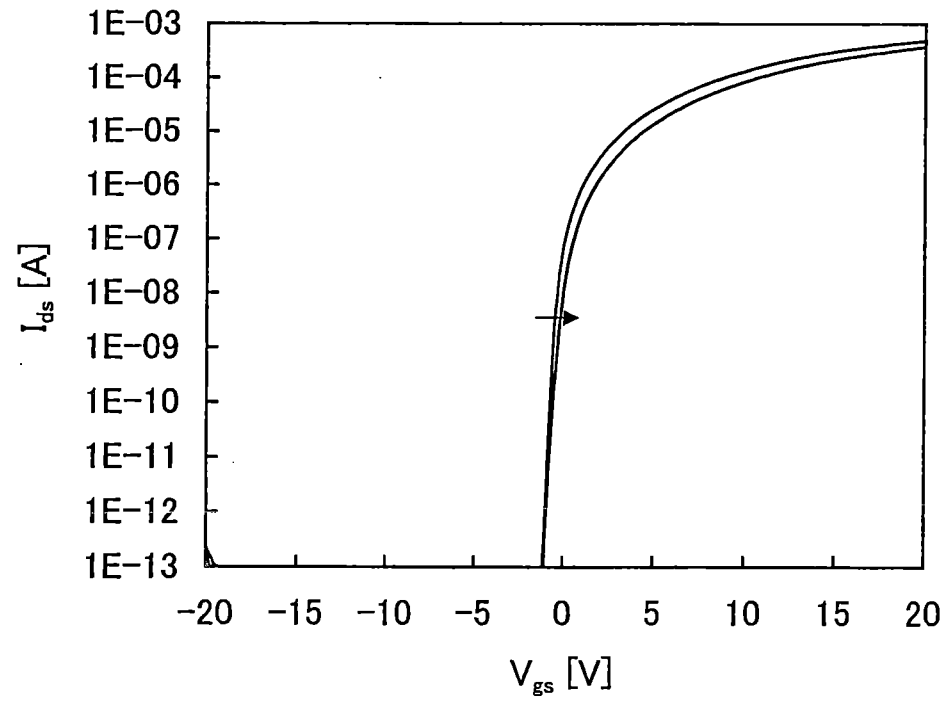


圖31

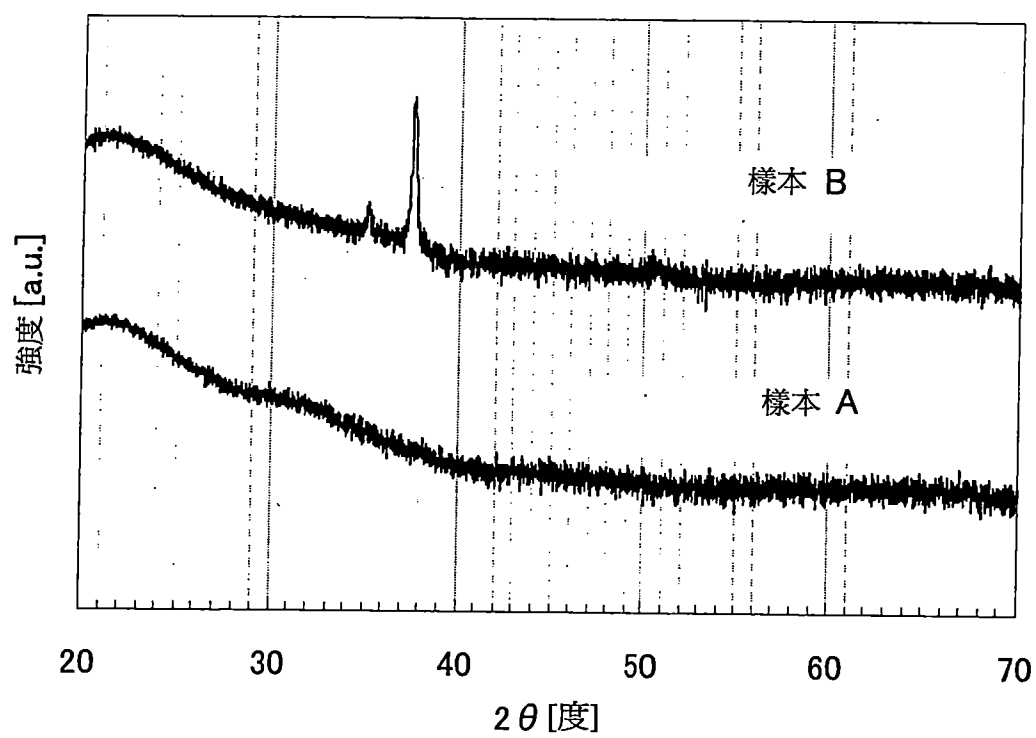


圖 32

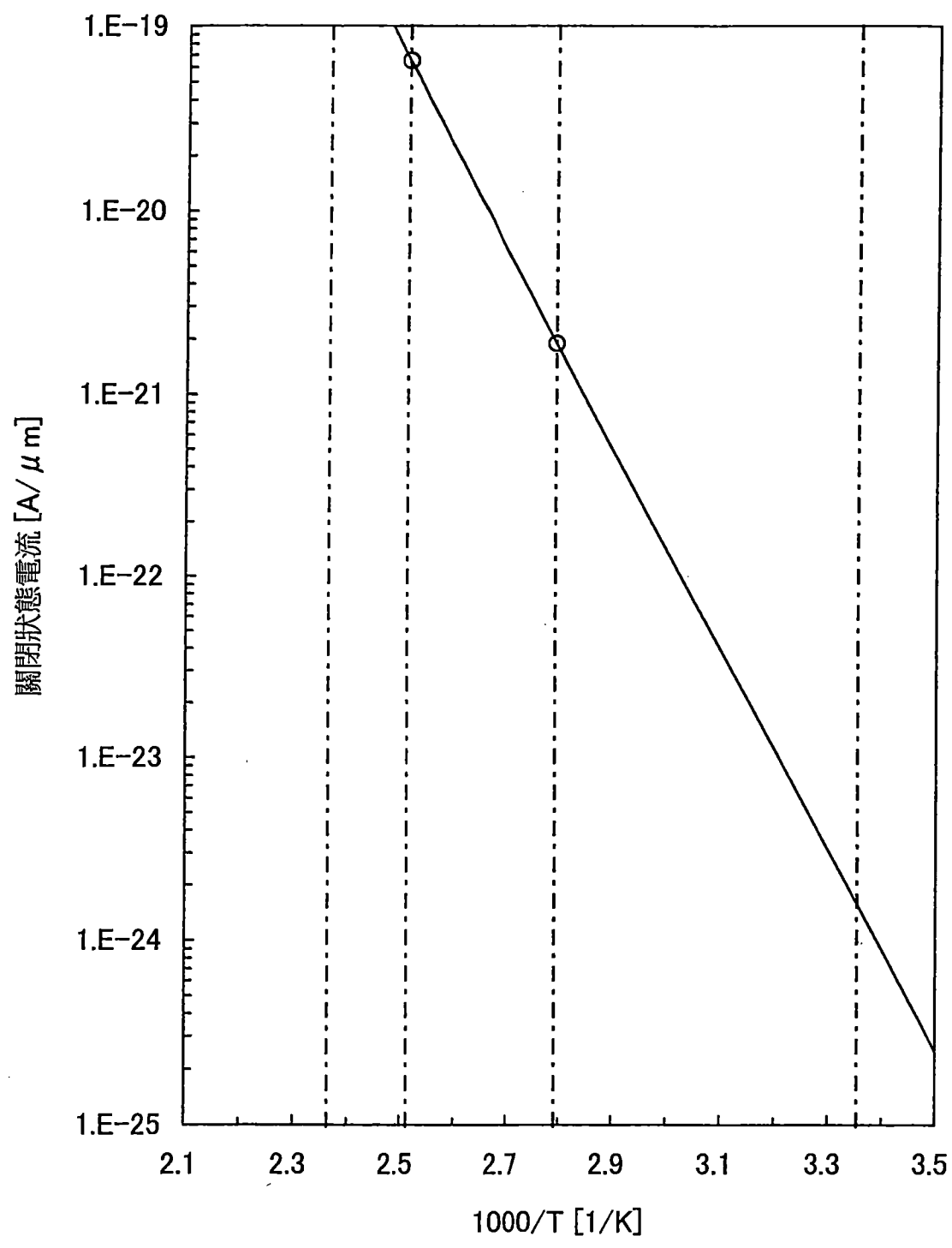


圖 33

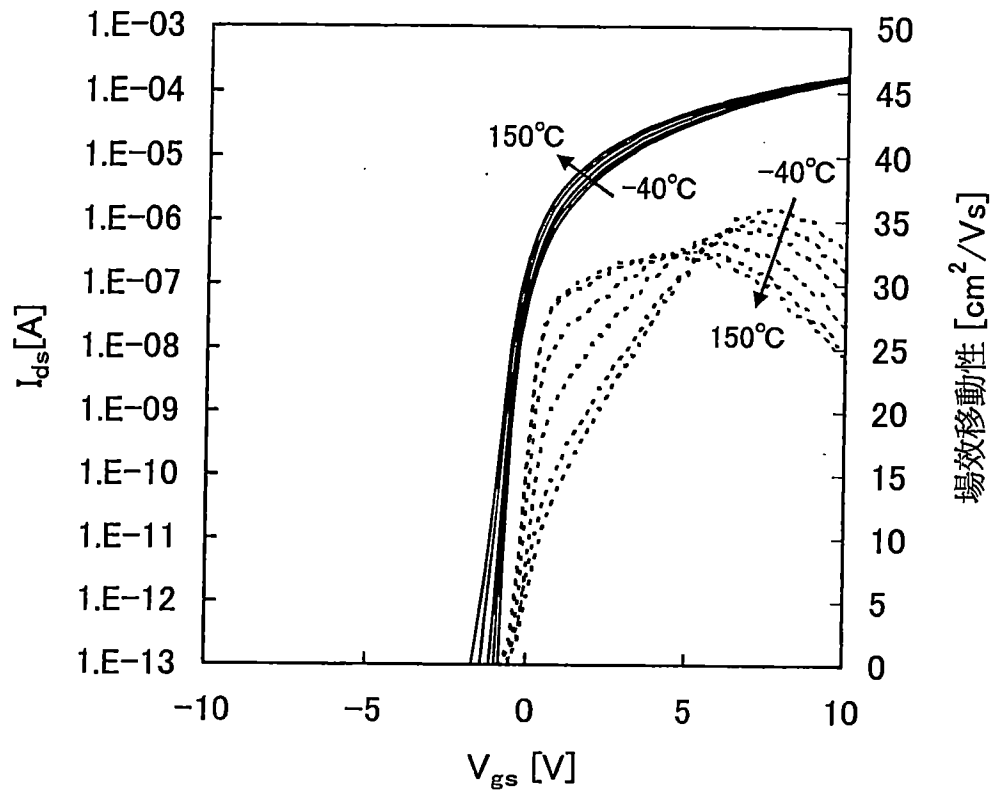


圖 34A

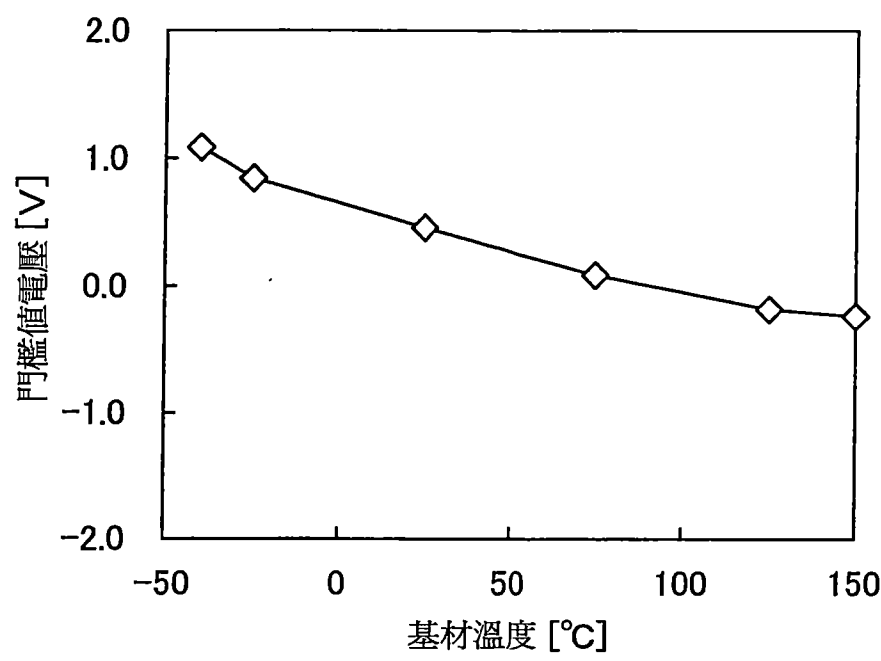


圖 34B

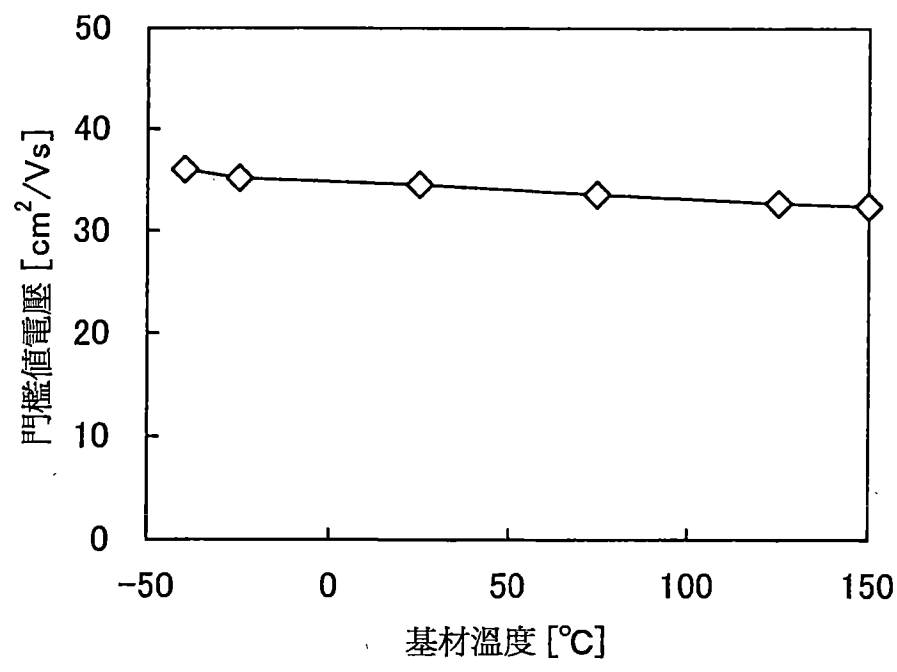


圖 35A

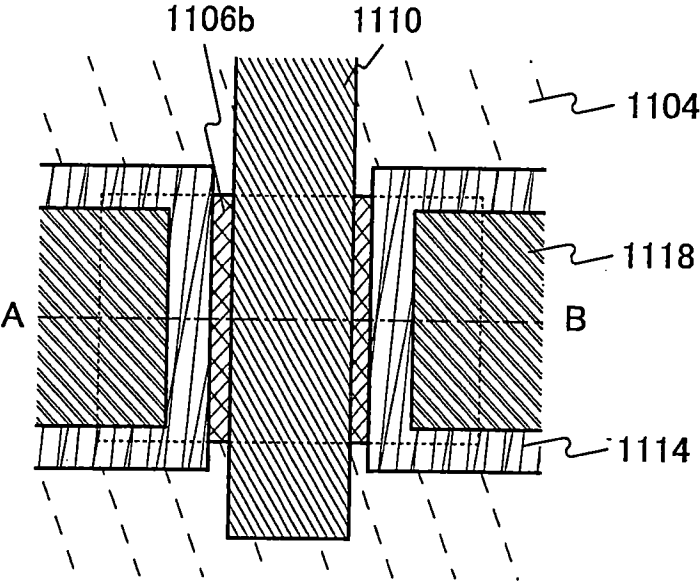


圖 35B

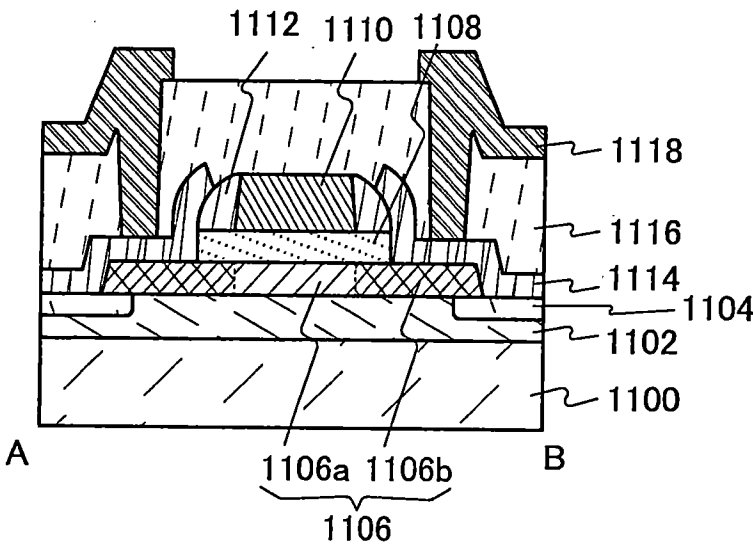


圖 36A

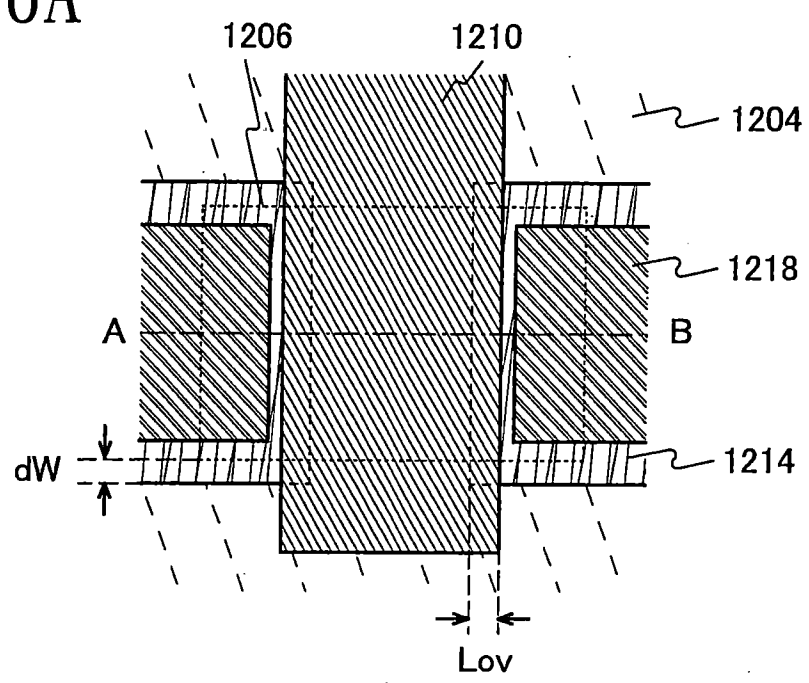


圖 36B

