

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 27/146 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200780012926.0

[43] 公开日 2009年4月29日

[11] 公开号 CN 101421848A

[22] 申请日 2007.4.12

[21] 申请号 200780012926.0

[30] 优先权

[32] 2006.4.12 [33] US [31] 60/791,333

[32] 2007.2.23 [33] US [31] 60/902,986

[32] 2007.4.10 [33] US [31] 11/786,385

[86] 国际申请 PCT/US2007/009002 2007.4.12

[87] 国际公布 WO2007/120748 英 2007.10.25

[85] 进入国家阶段日期 2008.10.10

[71] 申请人 森米科公司

地址 美国加利福尼亚州

[72] 发明人 R·A·梅茨勒 A·O·古什查

[74] 专利代理机构 中国专利代理(香港)有限公司  
代理人 张雪梅 陈景峻

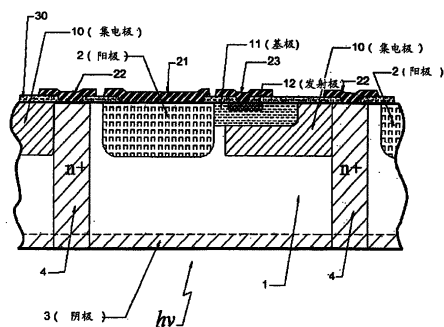
权利要求书 3 页 说明书 8 页 附图 7 页

## [54] 发明名称

用于计算机断层成像和其它成像应用的背照式光电晶体管阵列

## [57] 摘要

用于计算机断层成像和其它成像应用的背照式光电晶体管阵列。公开了实施例，其使用每一像素具有单个光电传感器和晶体管或每一像素具有多个光电传感器和晶体管的双极晶体管和 JFET。



1. 一种光电晶体管阵列，包括：
  - 具有第一和第二面的第一导电类型的衬底；
  - 在衬底的第一面上形成；
  - 具有比衬底更高电导率的第一导电类型的隔离区域的矩阵；
  - 散布在隔离区域的矩阵内的第二导电类型的第一区域；
  - 在隔离的矩阵内的第一导电类型的集电极区域；
  - 在隔离区域的矩阵内并与第一区域和集电极区域接触的第二导电类型的基极区域；
  - 在隔离区域的矩阵内并与基极区域接触的第一导电类型的发射极区域；和
  - 电耦合到发射极区域、隔离区域和集电极区域的接触区域；
- 衬底的第二面具有比衬底更高电导率的第一导电类型的层并且电耦合到集电极区域和隔离区域的矩阵。
2. 权利要求 1 的阵列，其中集电极区域不与第一区域接触。
3. 权利要求 1 的阵列，其中集电极区域与隔离区域接触，并且集电极区域通过隔离区域电耦合到接触区域。
4. 权利要求 3 的阵列，其中隔离区域从衬底的第一表面延伸到衬底的第二面上的比衬底更高电导率的第一导电类型的所述层。
5. 权利要求 4 的阵列，其中衬底的第二面上的比衬底更高电导率的第一导电类型的所述层通过隔离区域电耦合到集电极区域。
6. 权利要求 4 的阵列，其中隔离区域从第一面扩散到衬底中。
7. 权利要求 4 的阵列，其中隔离区域从第一面和第二面扩散到衬底中。
8. 权利要求 1 的阵列，其中第二导电类型的第一区域没有触及隔离区域。
9. 权利要求 1 的阵列，其中第一导电类型是 N 型，第二导电类型是 P 型。
10. 权利要求 1 的阵列，其中第一导电类型是 P 型，第二导电类型是 N 型。
11. 权利要求 1 的阵列，其中隔离区域的矩阵限定像素区域的阵列，每个像素区域在每个像素区域内具有一个第一区域，一个集电极区域，

一个基极区域和一个发射极区域，每个像素的接触区域电耦合到相应像素区域内的发射极区域。

12. 权利要求 1 的阵列，其中隔离区域的矩阵限定像素区域的阵列，每个像素区域在每个像素区域内具有多个第一区域、同样的多个集电极区域，同样的多个基极区域和同样的多个发射极区域，每个像素的接触区域电耦合到相应像素区域内的所有发射极区域。

13. 一种光电晶体管阵列，包括：

具有第一和第二面的第一导电类型的衬底；

在衬底的第一面上形成；

具有比衬底更高电导率的第一导电类型的隔离区域的矩阵；

散布在隔离区域的矩阵内的第二导电类型的第一区域；

在隔离区域的矩阵内并与第一区域接触的第一导电类型的底栅区域；

在底栅区域上并被第二导电类型的互连沟道区域分开的第二导电类型的源和漏区域；

在沟道区域上方并与底栅接触的第一导电类型的底栅区域；和

电耦合到第一区域、漏区域、隔离区域和源区域的接触区域；

衬底的第二面具有比衬底更高电导率的第一导电类型的层并且电耦合到漏区域和隔离区域的矩阵。

14. 权利要求 13 的阵列，其中漏区域与隔离区域接触，并且漏区域通过隔离区域电耦合到接触区域。

15. 权利要求 14 的阵列，其中隔离区域从衬底的第一表面延伸到衬底的第二面上的比衬底更高电导率的第一导电类型的所述层。

16. 权利要求 15 的阵列，其中衬底的第二面上的比衬底更高电导率的第一导电类型的所述层通过隔离区域电耦合到漏区域。

17. 权利要求 15 的阵列，其中隔离区域从第一面扩散到衬底中。

18. 权利要求 15 的阵列，其中隔离区域从第一面和第二面扩散到衬底中。

19. 权利要求 13 的阵列，其中第二导电类型的第一区域没有触及隔离区域。

20. 权利要求 13 的阵列，其中第一导电类型是 N 型，第二导电类型是 P 型。

21. 权利要求 13 的阵列，其中第一导电类型是 P 型，第二导电类型是 N 型。

22. 权利要求 13 的阵列，其中隔离区域的矩阵限定像素区域的阵列，每个像素区域在每个像素区域内具有一个第一区域、一个底栅区域、一个源区域、一个漏区域和一个顶栅区域，每个像素的接触区域电耦合到相应像素区域内的源区域。

23. 权利要求 13 的阵列，其中隔离区域的矩阵限定像素区域的阵列，每个像素区域在每个像素区域内具有多个第一区域，多个底栅区域，多个源区域，多个漏区域和多个顶栅区域，每个像素的接触区域电耦合到相应像素区域内的该多个源区域。

## 用于计算机断层成像和其它成像应用的 背照式光电晶体管阵列

### 与相关申请的交叉引用

本申请要求于 2006 年 4 月 12 日提交的、申请号为 No. 60/791, 333 的美国临时专利申请和于 2007 年 2 月 23 日提交的、申请号为 No. 60/902, 986 的美国临时专利申请的权益。

### 技术领域

本发明涉及光电晶体管阵列领域。

### 背景技术

部分成像探测器（例如，计算机断层成像（CT）扫描探测器）为探测器阵列，该探测器阵列包括将 X 射线辐射转换为可见光的一维或二维闪烁器阵列和配备上述闪烁器阵列的附加的一维或二维光电探测器阵列。光电探测器阵列可以是背照式光电二极管阵列的形式，使用成百上千的 PIN 光电二极管，配置于单一硅片上的规则一维或二维矩阵内。背照式的 PIN 光电二极管阵列是通过具有导电环氧树脂的金柱凸块或者焊料凸块附在电路板上的倒装芯片管芯。也可以使用其它倒装芯片附着方法。下游电子电路连接 PIN 光电二极管的输出到预放大器的输入；每个 PIN 光电二极管正常的情况下连接于其各自的预放大器。目前 CT 扫描仪不使用像素内（in-pixel）放大结构；将预放大器集成到每一个光电探测器像素中可以给系统性能提供一定的优势（例如，改善的噪声性能，功耗等）。

许多公开物描述了允许将不同类型的光电接收器与晶体管相集成的光电探测器阵列，其执行所探测的信号的初始放大的功能。多种这样的公开物描述了前照式阵列。一些工作展示了具有背照式选项的结构。然而，这些主要是基于 GaAs 的结构，并且由于它们的性质和其设计的特征而不能用于医疗成像应用中。目前可用的与前端电子电路集成在一起的用于放大其输出的 Si 基背照式光电探测器阵列主要使用 CCD 和 CMOS 结构，所述结构不提供对阵列的每个像素的直接寻址。

大量已发表的工作探索该结构的特征和与 PIN 光电二极管相集成的双极性和 JFET 晶体管的工作原理。在双极晶体管的情况下，通常通过将 NPN 晶体管的基极与构建在 N 型衬底上的 PIN 光电二极管的阳极连接来实现此集成。在构建在 P 型衬底上的光电二极管的情况下，PNP 晶体管的基极与光电二极管的阴极连接。

对于与 PIN 光电二极管集成的 JFET，提出了几种不同的结构。那些结构或者使用 P 沟道 FET 或者使用 N 沟道 FET，并且可以工作在耗尽模式下或增强模式下。（光）电流集成放大器和（光）电荷集成放大器实现于最近十年。

#### 附图说明

图 1 是试样探测器阵列结构的截面图。该阵列的每个像素包括与 NPN 双极晶体管相集成的 PIN 光电二极管。1 是 N 型 Si 衬底；2 是阳极 p+注入/扩散；3 是阴极 n+均匀注入/扩散；4 是 n+隔离壁，其不必在管芯的整个厚度上延伸；10 是集电极 n 注入/扩散；11 是基极 P 注入/扩散；12 是发射极 n+注入/扩散；21，22 和 23 分别是阳极，阴极/集电极和发射极的金属焊盘（pad）；30 是 Si 氧化层。

图 2 是如图 1 所示的试样 PIN 光电二极管-NPN 双极晶体管光电探测器阵列的像素电路。

图 3 是试样探测器阵列结构的截面图。该阵列的每个像素包括与 JFET 相集成的 PIN 光电二极管。1 是 N 型 Si 衬底；2 是阳极 p+注入/扩散；3 是阴极 n+均匀注入/扩散；4 是 n+隔离壁，其不必在管芯的整个厚度上延伸；13 和 14 分别是源和漏 n+注入/扩散；15 和 16 分别是顶栅和底栅 P 型注入/扩散；12 是发射极 n+注入/扩散；21，22，24 和 25 分别是阳极、阴极/漏、源和栅的金属焊盘；30 是 Si 氧化层。

图 4 是如图 3 所示的试样 PIN 光电二极管-JFET 光电探测器阵列的像素电路。感测电阻器  $R_s$  和栅电阻器  $R_g$  可以在图 3 所示结构的外部。

图 5 是具有微像素结构的光电晶体管阵列的单一像素的示意顶视图的例子。短划线 40 画出了每个微像素的晶体管的轮廓。线 41 以并联的方式连接每个 JFET 微像素的阴极/漏（或，替代地，每个双极光电晶体管微像素的阴极/集电极）。线 42 以并联的方式连接 JFET 微像素的源（或，替代地，双极光电晶体管微像素的发射极）。

图 6 示出根据本发明的 JFET 光电晶体管像素的垂直结构的例子。每个像素包括多个微像素。每个微像素包括电连接于 JFET 的底栅 16 的单独阳极 2、漏 14 和源 13。所有微像素的源焊盘 24 必须以并联的方式连接在芯片上或者连接在芯片所附着的衬底上。所有微像素的漏/阴极焊盘 22 也必须以并联方式连接。

图 7 与图 6 类似，然而示出了根据图 1 和图 2 的具有集成双极晶体管的多个微像素。

### 具体实施方式

本发明提出将晶体管集成到背照式、Si PIN 光电二极管阵列的结构中，该光电二极管阵列近来在专利号为 No. 6, 762, 473 的美国专利和 “The structure and physical properties of ultra-thin, multi-element Si pin photodiode arrays for medical imaging applications” (B. Tabbert 等人, In Medical Imaging 2005: Physics of Medical Imaging, Proceedings of SPIE, 5745 (SPIE Bellingham, WA, 2005), 1146-1154) 中有所描述。当前发明的光电晶体管阵列可以构建在相对高电阻率的 Si 衬底上，该衬底与美国专利号 No. 6, 762, 473, 美国专利申请公开号 No. 2003/0209652 和美国专利号 No. 6, 707, 046 的用于构建背照式、PIN 光电二极管阵列的衬底相似。本发明描述光电晶体管阵列的两种选择：

- 1) 与 PIN 光电二极管集成的双极晶体管；
- 2) 与 PIN 光电二极管集成的 JFET。

注意，存在许多可能的途径来将晶体管和背照式 PIN 光电二极管集成在相同 Si 衬底上从而构建用于成像应用的阵列。那些方法不限于当前描述所呈现的方法，但将使用相似的原理。

#### I. 双极晶体管 - PIN 光电二极管背照式阵列。

构建在高电阻率 Si 晶片上的阵列元件的结构如图 1 所示。该结构可以保留在美国专利号 No. 6, 762, 473 中所描述的隔离扩散壁 4 和深有源区阳极扩散 2。然而，有源区扩散可不必要是深的 - 浅有源区扩散也被认为是本发明的实施例。这对于在相邻单元间的隔离扩散同样是有用的 - 该扩散可以是浅的并且可以不穿透整个管芯。图 1 中的 PIN 光电二极管阵列结构的特点是与双极晶体管相集成。双极晶体管 11 的基

极通过作为相同材料类型（对于图示的 NPN 晶体管为 P 型）的重叠扩散电连接于光电二极管阳极 2。由与衬底 1 相同的材料类型所构成的集电极 10 与光电二极管阴极 3 和 N+隔离 4 共同都是相同材料类型（图示中的 N 型）的重叠扩散。发射极 12 是光电晶体管的输出并提供到下游电子电路的连接。图 1 所示结构的可能电路图如图 2 所示，用于 N 型 Si 衬底和 NPN 双极晶体管。氧化物钝化层 30 施加于硅的顶部。注意，图 1 示出到区域 2 的接触。这是可选的，而且不是合适的功能性阵列必需的。

本发明的双极晶体管 - PIN 光电二极管阵列为应用在背照式系统中而设计在单个 Si 芯片上。光电探测器芯片可以通过使用每个像素一个或多个焊盘附着在下游电子电路上的倒装芯片管芯。对于图 1 的双极 NPN 晶体管 - PIN 光电二极管阵列，单个信号焊盘 23 连接到晶体管发射极。集电极/阴极焊盘 22 可以制作在阴极隔离壁的交叉区域中，其与文献（参见，美国专利号 No. 6, 762, 473 和 “The structure and physical properties of ultra-thin, multi-element Si pin photodiode arrays for medical imaging applications” (B. Tabbert 等人, In Medical Imaging 2005: Physics of Medical Imaging, Proceedings of SPIE, 5745 (SPIE Bellingham, WA, 2005), 1146-1154)) 中所描述的结构相似。偏置施加到集电极/阴极焊盘，其是晶体管发射极 - 集电极偏置并且同时是反向光电二极管偏置。阳极/基极焊盘 21 可以被连接，仅用于诊断，或可以被去除。

起始材料的电阻率可以比在裸 PIN 光电二极管阵列的情况下低，从而最小化光电二极管的泄漏电流。注意，光电二极管的泄漏电流也是晶体管基极电流，其决定晶体管的灵敏度。

图 1 所示的双极晶体管 - PIN 光电二极管阵列结构采用 N 型 Si 衬底为起始材料。也可以使用 P 型衬底并且可以实现具有不同极性的双极晶体管的相似结构。

Si 衬底的厚度可以是 150 $\mu$ m 或更小；然而，在当前发明中没有对衬底厚度的物理限制。衬底厚度会影响阵列元件的一些功能参数。

本发明的双极晶体管 - PIN 光电二极管阵列具有对于 CT 和其它成像应用来说可能是重要的几个优点。这些包括低输出（发射极/基极结）电容，高增益（>100x，相比于裸 PIN 光电二极管阵列），和快的响应



时间（相比于近来在“Ultra-thin, two dimensional, multi-element Si pin photodiode array for multipurpose applications”，R. Metzler 等人，In Semiconductor Photodetectors 2004, Proceedings of SPIE, 5353 (SPIE Bellingham, WA, 2004), 117-125)中报道的PIN 光电二极管阵列的响应时间）。

## II. JFET-PIN 光电二极管背照式阵列

构建在高电阻率 Si 晶片上的 JFET-PIN 光电二极管阵列元件的结构如图 3 所示。在相邻像素间的隔离扩散 4（图 3 中的阴极深扩散）自然并入美国专利号 No. 6, 762, 473 的设计中。有源区扩散 2（在美国专利号 No. 6, 762, 473 中也有描述的图 3 中的阳极扩散）也是该结构的一部分。注意，隔离扩散和有源区注入/扩散两者都不必是深的。浅扩散也可与 JFET 集成，并且因此被认为是本发明的替代实施例。

图 3 的晶体管结构是工作在增强模式或者耗尽模式的 N 沟道 JFET。注意，增强模式对小的光学信号提供更好的灵敏度。在图 3 中，JFET 的栅 16 和 15 与光电二极管阳极 2 是共同的（通过作为重叠 P 型扩散），漏 14 和光电二极管阴极 3 是共同的（两者都是 N 型重叠扩散）。通过施加用作 JFET 的底栅 16 的深的均匀的 p 型扩散来生成该 JFET 结构。然后制作源和漏 N 型扩散 13-14，其形成 JFET 的 N 型沟道。最后，施加用作顶栅 15 的 P 型注入。该顶栅注入被驱动得足够深从而根据需要提供 JFET 工作的耗尽或增强模式。图 3 示出在区域 2 和顶栅区域 15 上的接触。这些接触是可选的，并且不是合适的功能性阵列必需的。图 4 中示出可能的电路图。

如同在双极晶体管 - PIN 光电二极管阵列的情况下，本发明的 JFET-PIN 光电二极管阵列为应用在背照式系统中而设计在单个 Si 芯片上。光电探测器芯片可以通过使用每个像素一个或多个焊盘附着在下游电子电路上的倒装芯片管芯。对于图 3 的 JFET-PIN 光电二极管阵列，该阵列的每个像素的单个信号焊盘是连接到晶体管的源 13 的那个焊盘。该源还可以通过图 4 的栅电阻器  $R_g$  连接到顶栅，其可以在硅的内部或外部。电阻器值的选择基于以下考虑：当光电流被 PIN 光电二极管阳极收集时，它应当在晶体管顶栅上提供合适的工作电位。在一些应用中，该电阻器值可以通过去除它而成为无穷大。漏/阴极焊盘 22 可以制作在阴极隔离壁的交叉区域中，其与文献（美国专利号 No. 6,

762, 473 和 “The structure and physical properties of ultra-thin, multi-element Si pin photodiode arrays for medical imaging applications” (B. Tabbert 等人, In Medical Imaging 2005: Physics of Medical Imaging, Proceedings of SPIE, 5745 (SPIE Bellingham, WA, 2005), 1146-1154) ) 中所描述的结构相似。偏置被施加到漏/阴极焊盘上, 其是 JFET 的 N 沟道偏置并且同时是反向光电二极管偏置。顶栅焊盘 15 可用于诊断测试, 附着于外部控制电路, 或根据所希望的应用的需要而被除去。

图 3 所示的 JFET-PIN 光电二极管阵列结构采用 N 型 Si 衬底为起始材料。也可以使用 P 型衬底并且可以实现具有不同极性的 JFET 的相似结构。

本发明的 JFET-PIN 光电二极管阵列具有对于 CT 和其它成像应用来说可能是重要的几个优点。这些包括低输出 (栅/源结) 电容, 高增益 (1000x 和更大, 相比于裸 PIN 光电二极管阵列), 和低泄漏电流 (显著小于双极晶体管 - PIN 光电二极管阵列的泄漏电流)。

本发明中描述的背照式光电晶体管阵列不仅可用于 CT 扫描仪还可用于诸如 PET, SPECT 的其它医疗成像应用, 以及用于非医疗目的的扫描仪。本发明的设计较常规背照式 PIN 光电二极管阵列的优点除了适用于医疗成像应用之外, 还可适用于多种应用, 例如工业 CT 扫描仪, 激光测距, 振动计, 多普勒成像仪等。相比于常规设计系统, 使用这种阵列还可以显著改善探测器模块的功率负载/损耗参数。

适合构建双极或 JFET-光电探测器阵列的 Si 衬底厚度可以是 150um 或更小; 然而, 在当前发明中无论是从低侧还是从高侧均没有对衬底厚度的物理限制。衬底厚度会影响阵列元件的一些功能参数。

上面所述的具有集成的双极或场效应晶体管的 pin 光电二极管阵列的型式之一包括每一光电二极管像素一个以上的晶体管。这样改进的结构改善了像素的动态范围, 时间响应和信噪比, 这是由于可能能够更好地将放大晶体管的输入电容和光电二极管敏感元件的输入电容相匹配。

图 5 示出具有六个集成的场效应晶体管的阵列的单一像素的顶视图的示意性例子。每个集成在像素中的晶体管用正方形 40 表示。在这种情况下光电探测器阵列的单个像素包括几个以并联方式连接的微

像素。与图 3 的结构相似，阴极焊盘 22 同时提供了到漏的接触。每个微像素可以具有其自身的漏焊盘 22；然而，它们都必须以并联的方式连接在芯片上（如图 5 所示）或者连接在倒装芯片管芯所附着的衬底上。在漏/阴极焊盘 22 间的芯片上电连接的例子以线 41 示出。每个微像素的源焊盘 24 也以并联的方式用线 42 连接。这样的连接可以形成于芯片上或者形成于衬底上。

图 5 也可以被看作是双极光电晶体管阵列的单个像素的顶视图示意性表示。在这种情况下，焊盘 22 将接触微像素的阴极/集电极，而焊盘 23 将接触微像素的发射极。

图 6 示出包含每一像素几个 JFET 放大器的结构的截面图的例子。与图 1 和图 3 所示的结构相似，图 5 和图 6 中的结构的每个像素可由隔离扩散 4 包围。注意，该扩散可以不一定是直通扩散。微像素的阳极扩散 2 彼此隔离，从而为每个微像素提供独立的 P/N 结。在合适的偏置条件下，耗尽从每个 P/N 结传播到 Si 衬底内，产生用于每个微像素的 pin 二极管的正常工作条件。

对于图 1 的双极晶体管阵列的每个像素，可以实现包含与独立阳极（微像素）相集成的多个双极晶体管的结构，如图 7 所示。

也应当注意，上述具有每一光敏像素多个双极或场效应晶体管的结构不仅在设计成像阵列中 useful，还在设计单个像素光电探测器中 useful。这允许生成具有大有源区的高增益、高量子效率和快速的背照式探测器。

在图 5, 6, 7 中所讨论的设计的重要特征是属于整个光敏单元的每个晶体管的光敏元件的小结区。这允许显著地减小敏感元件的电容和改善敏感元件的频率响应特性，而不会损害探测器的其它功能参数。

分离大的探测器像素到以并联方式连接的子像素的阵列上的相似的方法可以用于构建其它类型的阵列探测器，不仅是包括双极型或结型场效应晶体管的那些光电晶体管阵列。提供光电流的初始放大的其它类型的器件也可以加以考虑。在那些类型中有 MOSFET 和许多其它类型的场效应晶体管。另外，包含雪崩光电二极管（APD）、CCD 和 CMOS 的阵列在此被提及。也要注意本发明中提出的想法的一些实现方式对于包含盖革模式（Geiger-mode）的雪崩光电二极管的微像素的阵列的光电探测器已经是可用的。然而，可用的探测器的结构不同于此处所

**提出的结构。**

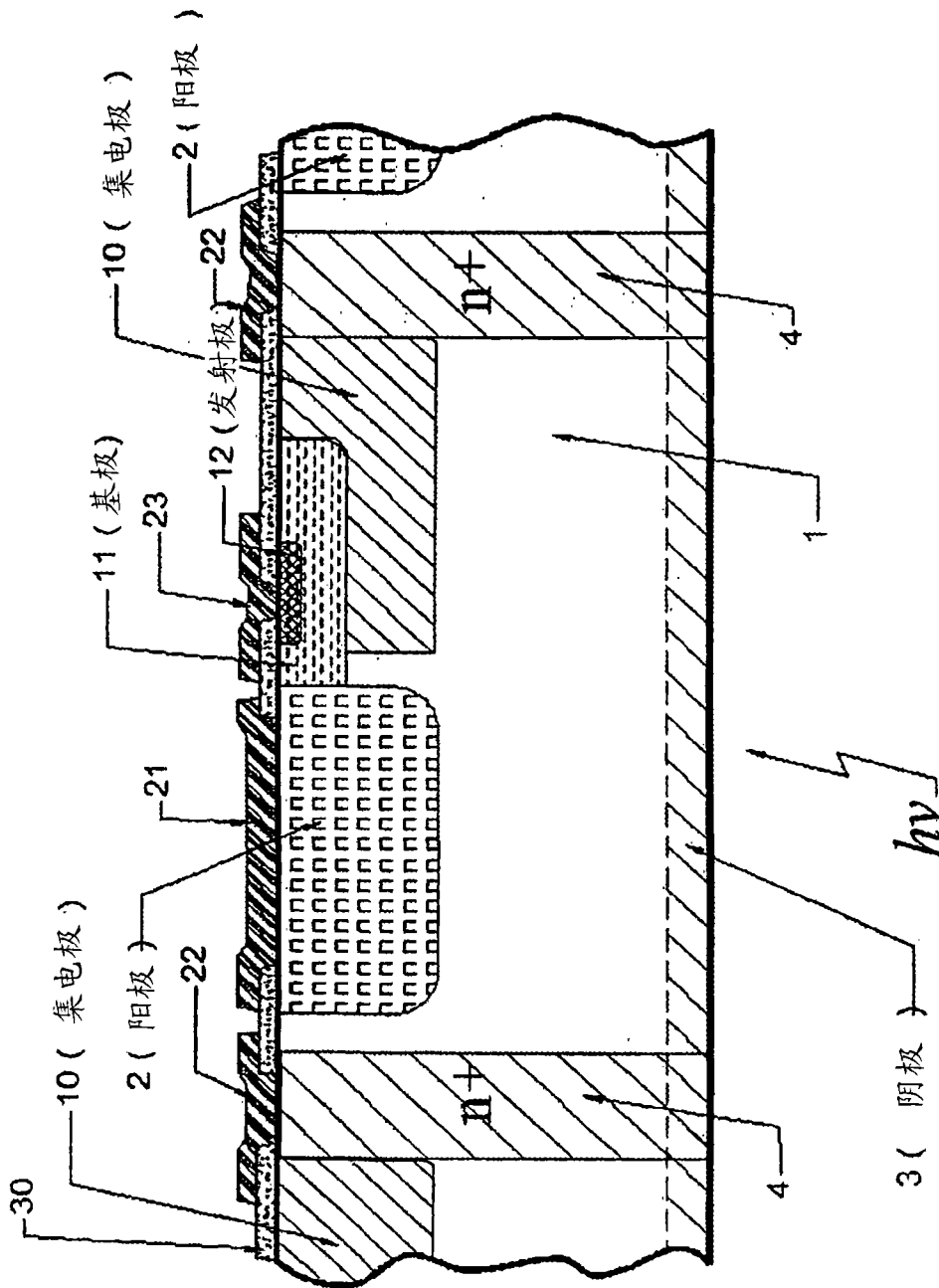


图 1

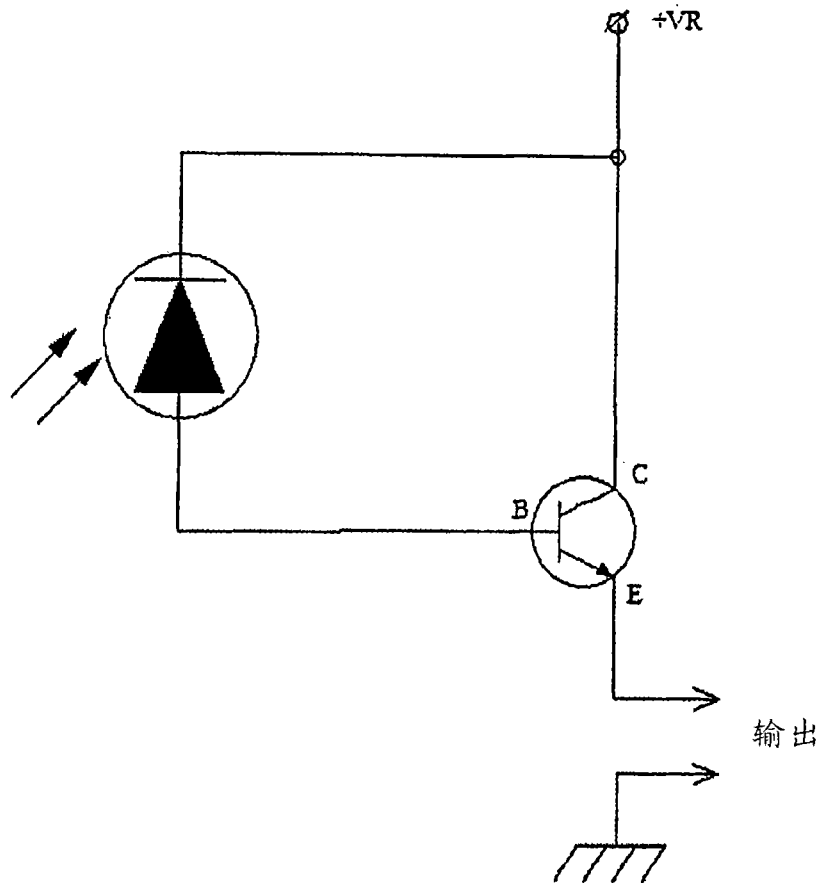


图 2

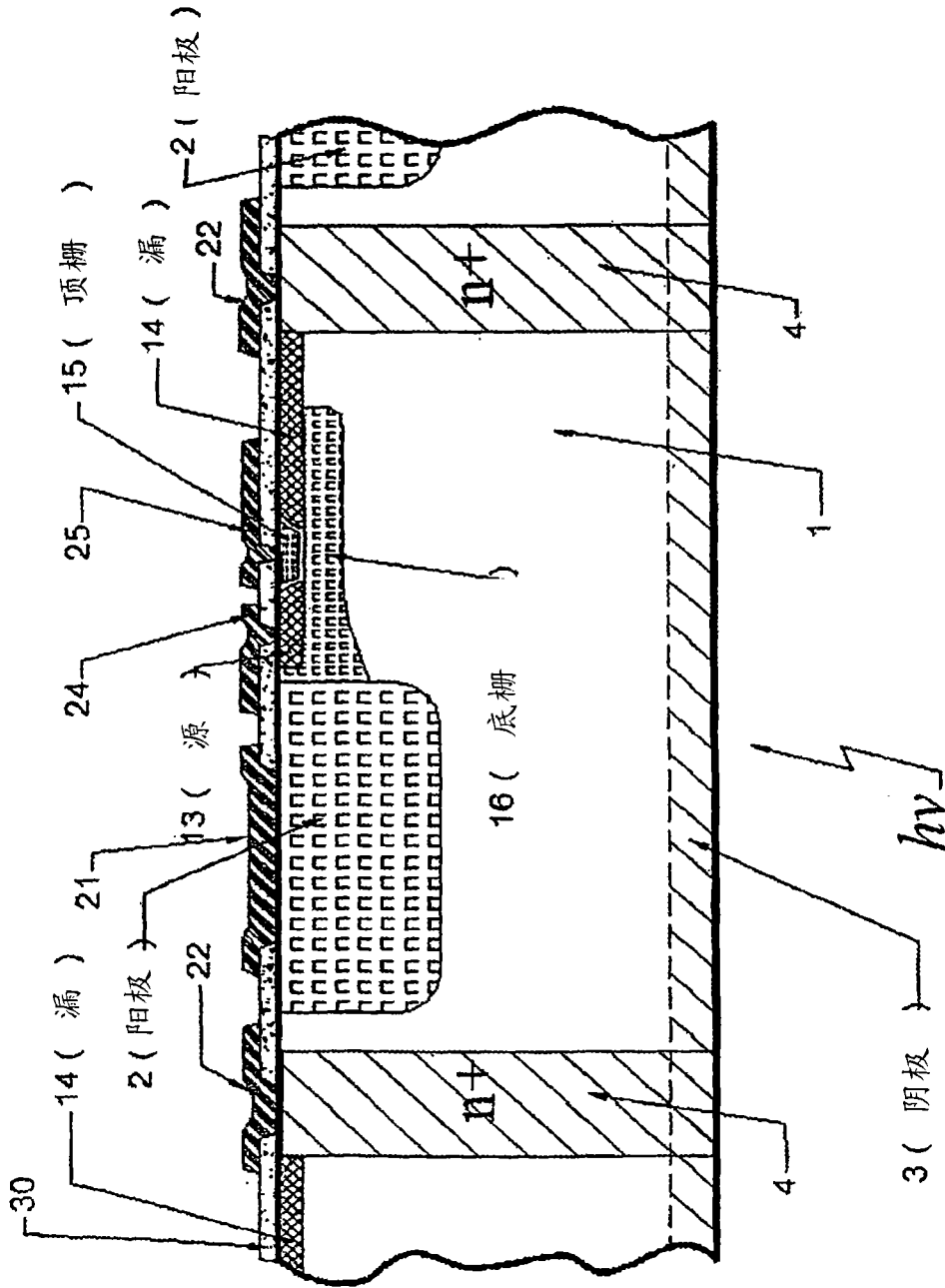


图 3

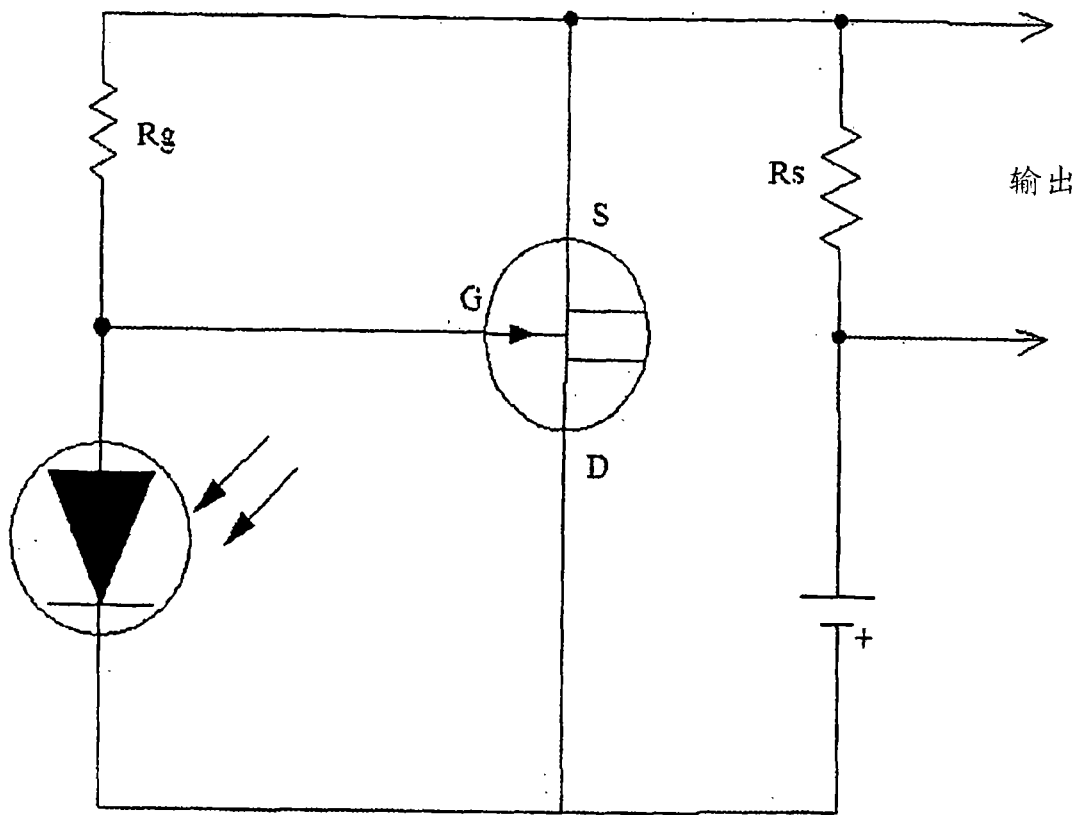


图 4



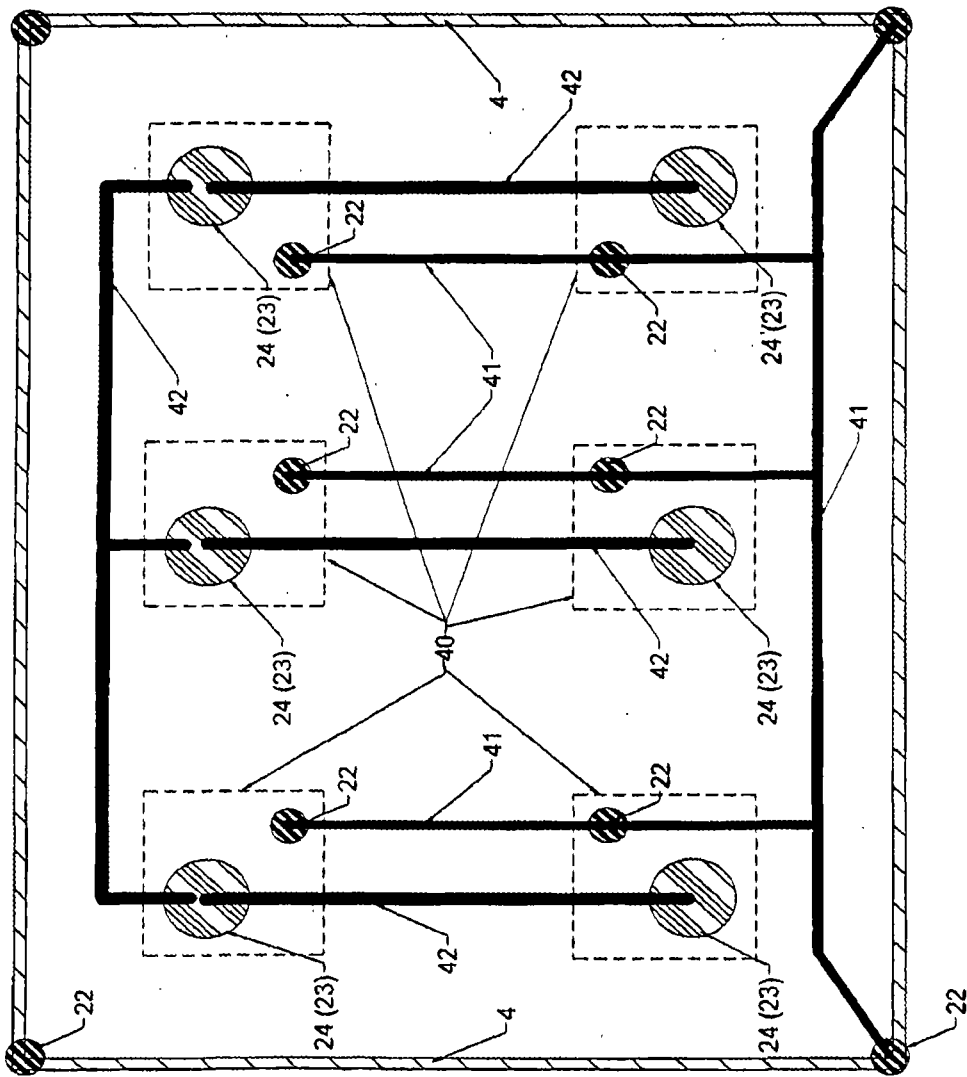


图 5

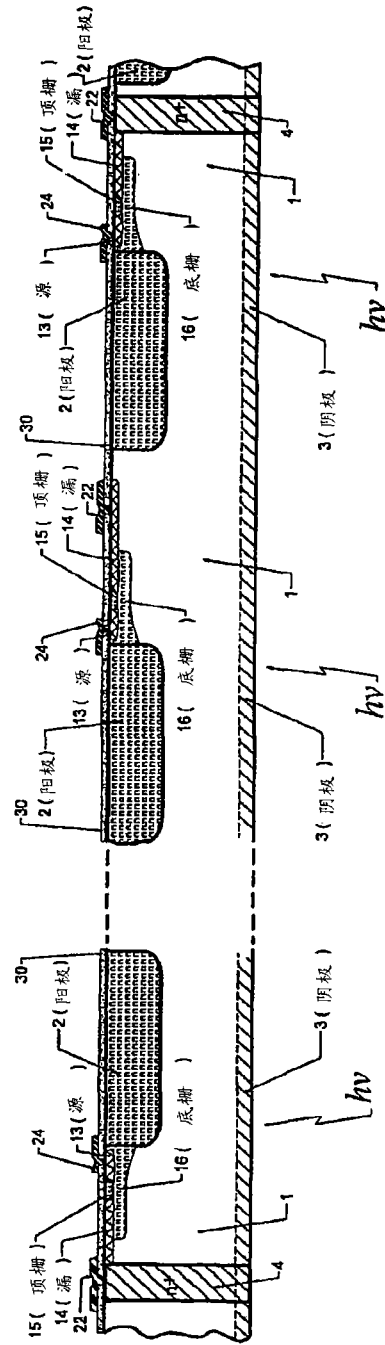


图 6

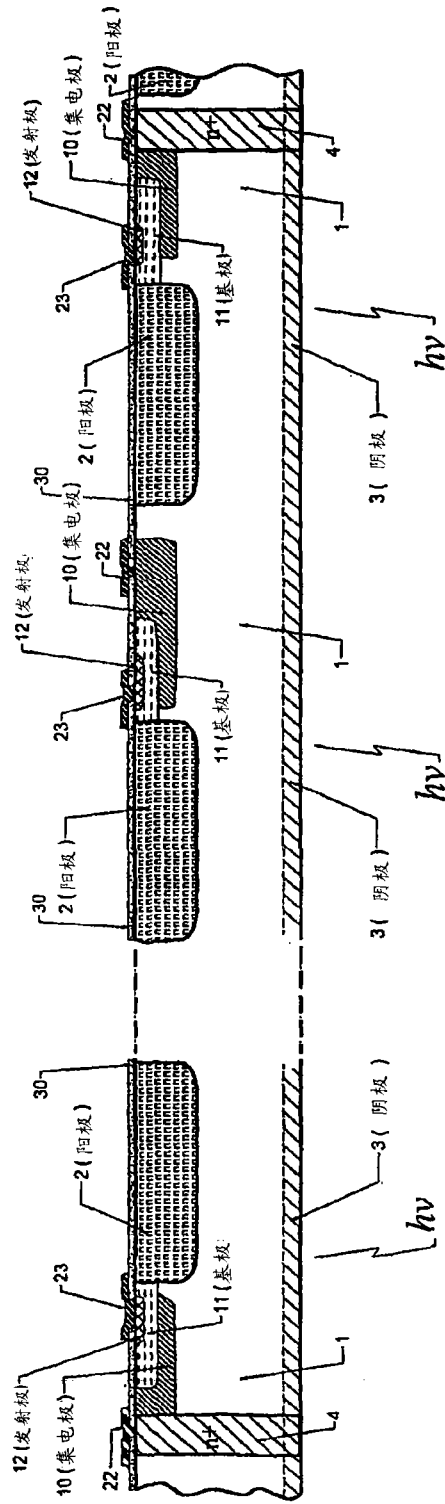


图 7