

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月4日(04.10.2018)



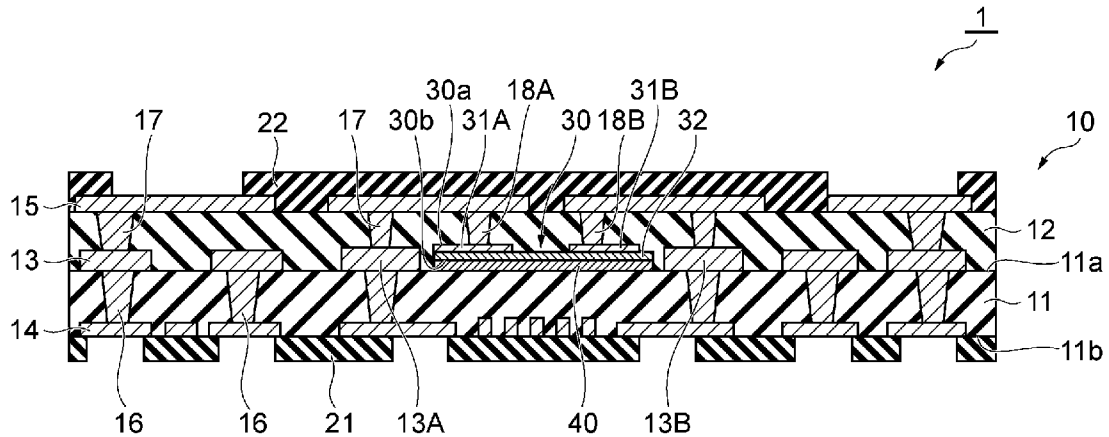
(10) 国際公開番号

WO 2018/180628 A1

- (51) 国際特許分類:
H05K 1/16 (2006.01) *H05K 3/46* (2006.01)
H05K 3/40 (2006.01)
- (21) 国際出願番号: PCT/JP2018/010552
- (22) 国際出願日: 2018年3月16日(16.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-070578 2017年3月31日(31.03.2017) JP
- (71) 出願人: T D K株式会社(TDK CORPORATION)
[JP/JP]; 〒1080023 東京都港区芝浦三丁目
9番1号 Tokyo (JP).
- (72) 発明者: 富川 満広 (TOMIKAWA Mitsuhiro);
〒1080023 東京都港区芝浦三丁目9番1号
T D K株式会社内 Tokyo (JP). 吉川 和弘
(YOSHIKAWA Kazuhiro); 〒1080023 東京都港
区芝浦三丁目9番1号 T D K株式会社内 Tokyo
(JP). 角田 晃一(TSUNODA Koichi); 〒1080023
東京都港区芝浦三丁目9番1号 T D K株
式会社内 Tokyo (JP). 吉田 健一(YOSHIDA
Kenichi); 〒1080023 東京都港区芝浦三丁目9
番1号 T D K株式会社内 Tokyo (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki
et al.); 〒1000005 東京都千代田区丸の内二
丁目1番1号丸の内 M Y P L A Z A

(54) Title: ELECTRONIC COMPONENT-INCORPORATING SUBSTRATE

(54) 発明の名称: 電子部品内蔵基板



(57) Abstract: This electronic component-incorporating substrate comprises: a first insulation layer (11); a first conductor layer (13) as a conductor layer disposed on a first major surface (11a) which is a major surface on one side of the first insulation layer (11); an electronic component (30) which is disposed on the first major surface (11a) of the first insulation layer (11) and in which a pair of electrode layers and a dielectric layer (32) are stacked; and a second insulation layer (12) stacked on the first insulation layer (11). The direction in which the first insulation layer (11) and the second insulation layer (12) are stacked is the same as the direction in which a first electrode layer (31A), a second electrode layer (31B), and the dielectric layer (32) are stacked in the electronic component (30). In the stacking direction, the height position of a major surface on the opposite side from the first major surface (11a) side of the electronic component (30) differs from the height position of a major surface on the opposite side from the first major surface (11a) side of the first conductor layer (13).



(明治安田生命ビル) 9階 創英国際特
許法律事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

layer (13) adjacent to the electronic component (30).

(57) 要約: 第1絶縁層(11)と、第1絶縁層(11)の一方側の主面である第1主面(11a)上に設けられた導体層としての第1導体層(13)と、第1絶縁層(11)の第1主面(11a)上に設けられ、一对の電極層と誘電体層(32)とが積層された電子部品(30)と、第1絶縁層(11)上に積層される第2絶縁層(12)と、を有し、第1絶縁層(11)及び第2絶縁層(12)の積層方向と、電子部品(30)における第1電極層(31A)及び第2電極層(31B)と誘電体層(32)との積層方向が同じであり、積層方向において、電子部品(30)における第1主面(11a)側とは逆側の主面の高さ位置と、電子部品(30)に隣接する第1導体層(13)における第1主面(11a)側とは逆側の主面の高さ位置と、が互いに異なる。

明 細 書

発明の名称：電子部品内蔵基板

技術分野

[0001] 本発明は、電子部品内蔵基板に関する。

背景技術

[0002] 電子製品の小型化に伴い、電子部品内蔵基板についても低背化を含む小型化が求められている。例えば、特許文献1では、配線基板内に電子部品としてチップキャパシタが収容された構成が示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-207957号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、チップキャパシタではなく、薄膜キャパシタ等の薄膜の電子部品を上記のように基板内に内蔵しようとする、以下の問題が生じる。すなわち、薄膜キャパシタは、チップキャパシタと比較して剛性が低いため、電子部品内蔵基板をハンドリングした際などに生じる外力が電子部品に働き、電子部品が変形するおそれがある。

[0005] 本発明は上記を鑑みてなされたものであり、電子部品が外力の影響を受けることを抑制可能な電子部品内蔵基板を提供することを目的とする。

課題を解決するための手段

[0006] 上記目的を達成するため、本発明の一形態に係る電子部品内蔵基板は、第1絶縁層と、前記第1絶縁層の一方側の主面である第1主面上に設けられた導体層と、前記第1絶縁層の前記第1主面上に設けられ、一対の電極層と誘電体層とが積層された電子部品と、前記第1絶縁層上に積層される第2絶縁層と、を有し、前記第1絶縁層及び前記第2絶縁層の積層方向と、前記電子部品における前記電極層と前記誘電体層との積層方向が同じであり、前記積

層方向において、前記電子部品における前記第 1 主面側とは逆側の主面の高さ位置と、前記電子部品に隣接する前記導体層における前記第 1 主面側とは逆側の主面の高さ位置と、が互いに異なる。

[0007] 上記の電子部品内蔵基板では、外力を受けたとき、特に、電子部品内蔵基板の主面方向に沿って、一方側の主面と他方側の主面との間で位置ズレが起きるような外力を受けたときに、第 1 絶縁層上の導体層に沿って外力が伝搬する場合がある。これに対して、電子部品の一方側の主面の高さ位置が、電子部品に隣接する導体層における主面の高さ位置と異なる構成を有することにより、導体層に沿って伝搬した外力により電子部品が影響を受けることを抑制することができる。したがって、上記の電子部品内蔵基板によれば、電子部品が外力の影響を受けることを抑制できる。

[0008] ここで、前記電子部品は、前記第 1 絶縁層の前記第 1 主面上に設けられた接着層の上に設けられる態様とすることができる。

[0009] 上記のように、電子部品が、第 1 絶縁層の第 1 主面上の接着層の上に設けられていることで、電子部品内蔵基板が外力を受けた場合に、電子部品が受ける外力を接着層により緩和させることができる。したがって、上記の電子部品内蔵基板によれば、電子部品が外力の影響を受けることをさらに抑制できる。

[0010] また、前記積層方向において、前記電子部品における前記第 1 主面側の主面の高さ位置と、前記電子部品に隣接する前記導体層における前記第 1 主面側の主面の高さ位置と、が互いに異なる態様とすることができる。

[0011] 上記のように、電子部品における第 1 主面側の主面の高さ位置と、電子部品に隣接する導体層における第 1 主面側の主面の高さ位置と、が互いに異なる構成を有することで、導体層に沿って伝搬した外力により電子部品が影響を受けることをより効果的に抑制することができる。

[0012] また、前記導体層の厚さが略均一である態様とすることができる。

[0013] 上記のように、導体層の厚さが略均一であると、導体層の延在方向に沿って伝搬する外力の他の方向への分散が抑制されるため、電子部品が外力の影

響を大きく受ける可能性があるが、上記のように主面の高さ位置を制御することで、電子部品が外力の影響を受けることを抑制できる。

[0014] また、前記電子部品の前記電極層の一部は、導電ペーストにより前記導体層と接続されている態様とすることができる。

[0015] 上記のように、電子部品の電極層と導体層とを接続する導電ペーストが設けられることで、配線の取り回しを柔軟に変更することができる。また、配線の取り回しの変更を柔軟に行うことができることで、例えば、配線に用いられるビア導体等の配置等も柔軟に変更することができる。

発明の効果

[0016] 本発明によれば、電子部品が外力の影響を受けることを抑制可能な電子部品内蔵基板が提供される。

図面の簡単な説明

[0017] [図1]本発明の一実施形態に係る電子部品内蔵基板を概略的に示す断面図である。

[図2]電子部品内蔵基板の電子部品近傍の平面図である。

[図3]電子部品内蔵基板の電子部品近傍の拡大図である。

[図4]電子部品内蔵基板の製造方法を説明する図である。

[図5]電子部品内蔵基板の製造方法を説明する図である。

[図6]変形例に係る電子部品内蔵基板について説明する断面図である。

[図7]変形例に係る電子部品内蔵基板について説明する電子部品近傍の平面図である。

[図8]本発明の一実施形態に係る電子部品内蔵基板とＩＣ内蔵基板との組み合わせたパッケージ基板の断面図である。

[図9]パッケージ基板の変形例の断面図である。

[図10]パッケージ基板の変形例の断面図である。

[図11]パッケージ基板の変形例の断面図である。

発明を実施するための形態

[0018] 以下、添付図面を参照して、本発明を実施するための形態を詳細に説明す

る。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

[0019] 図1は、本発明の一実施形態に係る電子部品内蔵基板を概略的に示す断面図である。図1に示す電子部品内蔵基板1は、例えば、通信端末などの電子機器に使用される基板である。図1に示すように、電子部品内蔵基板1は、基板10と、基板10に内蔵された電子部品30と、を有している。電子部品20が基板10に「内蔵されている」とは、電子部品20が基板10の主面から露出していない状態をいう。電子部品30は、キャパシタ等として機能する部品である。

[0020] 基板10は、第1絶縁層11と、第2絶縁層12と、を有している。第1絶縁層11及び第2絶縁層12は積層方向（厚さ方向）に積層されている。第1絶縁層11及び第2絶縁層12は、例えばエポキシ樹脂、ポリイミド樹脂、アクリル樹脂、またはフェノール樹脂などの絶縁性材料によって構成される。基板10の全体の厚みは、例えば40 μ m～300 μ m程度とすることができる。また、第1絶縁層11及び第2絶縁層12の厚みをそれぞれ15 μ m～100 μ m程度とすることができる。なお、基板10の全体の厚み、第1絶縁層11の厚み、及び、第2絶縁層12の厚みは特に限定されない。

[0021] また、基板10には、第1絶縁層11と第2絶縁層12とに挟み込まれた第1導体層13と、基板10の主面に設けられた第2導体層14及び第3導体層15と、を有している。第1導体層13、第2導体層14及び第3導体層15は、例えば銅（Cu）などの導電性材料により構成されている。

[0022] 第1導体層13は、第1絶縁層11において第2絶縁層12が積層される側の第1主面11a上に形成される。したがって、第1絶縁層11の第1主面11aは、平坦な状態であって、その上に、第1導体層13が設けられる。

[0023] 第2導体層14は、第1絶縁層11において第1主面11aとは逆側の第2主面11bにおいて導体部分が露出するように設けられる。図1に示す電子部品内蔵基板1では、第2導体層14の表面が第2主面11bと共に平坦

面を形成しているが、第2導体層14は、第2主面11bから突出するように設けられていてもよい。第2導体層14の表面の一部は、ソルダーレジスト等の絶縁材料21により覆われていてもよい。

[0024] 第3導体層15は、第2絶縁層12において第1絶縁層11側の主面とは逆側の主面において導体部分が露出するように設けられる。図1に示す電子部品内蔵基板1では、第3導体層15の表面が第2絶縁層12の主面から突出しているが、第2絶縁層12の主面と共に平坦面を形成していてもよい。第3導体層15の表面の一部は、ソルダーレジスト等の絶縁材料22により覆われていてもよい。

[0025] 第1導体層13、第2導体層14及び第3導体層15は、それぞれ厚さが略均一となっている。導体層の厚さが略均一であるとは、厚さの変動幅が30%以内であることをいう。第1導体層13、第2導体層14及び第3導体層15の厚さは、 $5\mu\text{m}$ ～ $20\mu\text{m}$ 程度とされる。

[0026] また、第1絶縁層11には、厚さ方向に貫通する開口が設けられ、第1導体層13と第2導体層14との間を接続するビア導体16が設けられる。同様に、第2絶縁層12には、厚さ方向に貫通する開口が設けられ、第1導体層13と第3導体層15との間を接続するビア導体17が設けられる。

[0027] 電子部品30は、第1絶縁層11の第1主面11a上において、第2絶縁層12に埋め込まれるように設けられる。電子部品30は、一对の電極層である第1電極層31A及び第2電極層31Bと、誘電体層32を有する。電子部品30は、誘電体層32と一对の電極層と積層構造を有しているが、その積層方向は、電子部品内蔵基板1における第1絶縁層11及び第2絶縁層12の積層方向と同じである。

[0028] 本実施形態では、一对の電極層である第1電極層31A及び第2電極層31Bは、誘電体層32の一方側（第1絶縁層11に対して遠い側）の主面上に設けられている。すなわち、誘電体層32上の互いに異なる位置に、第1電極層31A及び第2電極層31Bが積層されている構造となっている。この結果、電子部品30の一方側の主面である第1主面30aは、第1電極層

3 1 A 及び第 2 電極層 3 1 B の主面により形成されると共に、他方側の主面である第 2 主面 3 0 b は、誘電体層 3 2 の他方側（第 1 絶縁層 1 1 に対して近い側）の主面により形成されている。なお、電子部品 3 0 の第 1 電極層 3 1 A 及び第 2 電極層 3 1 B は、誘電体層 3 2 を挟み込むように設けられていてもよい。また、いずれかの電極層と誘電体層とが交互に複数回積層された多層構造としてもよい。

[0029] 電子部品 3 0 は、合計の厚みが $1\ \mu\text{m} \sim 150\ \mu\text{m}$ 程度である。また、第 1 電極層 3 1 A 及び第 2 電極層 3 1 B の厚みを $0.5\ \mu\text{m} \sim 50\ \mu\text{m}$ 程度とし、誘電体層 3 2 の厚みを $0.5\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度とすることができる。

[0030] 第 1 電極層 3 1 A 及び第 2 電極層 3 1 B の材料としては、主成分がニッケル (Ni)、銅 (Cu)、アルミニウム (Al)、白金 (Pt)、これらの金属を含有する合金、又は金属間化合物である材料が好適に用いられる。ただし、第 1 電極層 3 1 A 及び第 2 電極層 3 1 B の材料は、導電性材料であれば特に限定されない。なお、「主成分」であるとは、当該成分の占める割合が 50 質量%以上であることをいう。また、第 1 電極層 3 1 A 及び第 2 電極層 3 1 B の態様としては、合金や金属間化合物を形成する場合のほか、二種類以上からなる積層体の構造体である場合も含む。なお、第 1 電極層 3 1 A 及び／又は第 2 電極層 3 1 B として純 Ni を使用する場合、その Ni の純度は 99.99% 以上が好ましい。更に、Ni を含有する合金の場合、Ni 以外の金属として含まれる金属は、白金 (Pt)、パラジウム (Pd)、イリジウム (Ir)、ロジウム (Rh)、ルテニウム (Ru)、オスミウム (Os)、レニウム (Re)、タングステン (W)、クロム (Cr)、タンタル (Ta)、銀 (Ag)、銅 (Cu) からなる群より選ばれる少なくとも一種とすれば好適である。

[0031] なお、電子部品 3 0 の第 1 電極層 3 1 A 及び第 2 電極層 3 1 B は、ビア導体等を介して他の導体層等と電氣的に接続される。電子部品内蔵基板 1 の場合は、第 1 電極層 3 1 A 及び第 2 電極層 3 1 B は、それぞれ第 2 絶縁層 1 2

を貫通するビア導体18A, 18Bを介して、第3導体層15と電氣的に接続されている。

[0032] 誘電体層32は、ペロブスカイト系の誘電体材料から構成される。ここで、本実施形態におけるペロブスカイト系の誘電体材料としては、 BaTiO_3 (チタン酸バリウム)、 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ (チタン酸バリウムストロンチウム)、 $(\text{Ba}_{1-x}\text{Ca}_x)\text{TiO}_3$ 、 PbTiO_3 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ 、などのペロブスカイト構造を持った(強)誘電体材料や、 $\text{Pb}(\text{Mg}_{1/3}\text{Nb}_{2/3})\text{O}_3$ などに代表される複合ペロブスカイトリラクサー型強誘電体材などが含まれる。ここで、上記のペロブスカイト構造、ペロブスカイトリラクサー型誘電体材料において、AサイトとBサイトとの比は、通常整数比であるが、特性向上のために意図的に整数比からずらしてもよい。なお、誘電体層32の特性制御のため、誘電体層32に適宜、副成分として添加物質が含有されていてもよい。

[0033] 上記の電子部品30は、第1絶縁層11の第1主面11a上に接着層40を介して積層されている。接着層40は、第1絶縁層11に対して電子部品30を固定することが可能な構成であれば特に限定されないが、例えば、熱硬化前の樹脂(プリプレグ、フィラー含有複合材等)、粘着剤(接着剤付シート、金属粉入りペースト等)等を用いることができる。上記の材料を接着層40として用いた場合、接着層40は、電子部品30よりも弾性を有する構成となる。接着層40の厚みは $0.5\mu\text{m}\sim 30\mu\text{m}$ 程度とすることができる。

[0034] 電子部品30は、第1導体層13と同様に、第1絶縁層11の第1主面11a上に配置されるが、第1導体層13とは離間して配置される。図2は、平面視における電子部品30及び第1導体層13の配置を模式的に示した平面図である。図2に示すように、第1導体層13(導体層13A, 13B)は、電子部品30の第1電極層31A、第2電極層31B及び誘電体層32を取り囲み且つ離間して設けられる。電子部品内蔵基板1においては、電子部品30と第1導体層13との間には第2絶縁層12が配置される。したが

って、電子部品30と第1導体層13との間は絶縁が確保される。

[0035] 電子部品内蔵基板1の場合には、第1電極層31Aは、ビア導体18A、第3導体層15（導体層15A）及びビア導体17を介して、第1電極層31A側の第1導体層13（導体層13A）と接続される。また、第2電極層31Bは、ビア導体18B、第3導体層15（導体層15B）及びビア導体17を介して、第2電極層31B側の第1導体層13（導体層13B）と接続される。図2に示すように、第1電極層31A側の第1導体層13である導体層13A及び第2電極層31B側の第1導体層13である導体層13Bのいずれも、凹型状を呈し、電子部品30が導体層の凹部に入り込んだ状態となっている。このように、第1導体層13は、電子部品30を取り囲むように配置されていると、第1絶縁層11上の電子部品30の周囲を導体層として有効利用できる。なお、電子部品30と第1導体層13とは、絶縁性を確保するために3 μ m以上離間していることが好ましい。

[0036] また、図2では、ビア導体18A、18B及びビア導体17を破線で示しているが、ビア導体18A、18B及びビア導体17は、それぞれが接続する電極層又は導体層の上方に設けられる。このような構成とすることで、隣接するビア導体間の絶縁も第2絶縁層12により確保される。

[0037] 図1に戻り、電子部品30の第1主面30aは、第1導体層13の上面（第3導体層15側の主面）よりも高くなっている。また、電子部品30は、第1絶縁層の第1主面11a上に接着層40を介して積層されているため、第2主面30bは、第1導体層13の下面、すなわち、第1絶縁層11の第1主面11aよりも高くなっている。このように、電子部品内蔵基板1は、厚さ方向（積層方向）に見たときに、電子部品30の第1主面30a及び第2主面30bの高さ位置が、第1導体層13の一对の主面の高さ位置と異なっている。

[0038] 図3は、電子部品内蔵基板の電子部品近傍の拡大図である。ただし、図3に示す電子部品内蔵基板の電子部品50は、図1等で示す電子部品30とは異なり、第1電極層31A及び第2電極層31Bが誘電体層32を挟み込む

ように設けられている。すなわち、図3に示す電子部品内蔵基板の電子部品50では、第2電極層31Bが第1絶縁層（図3では図示せず、図1等参照）の第1主面11a側に配置されている点が電子部品30と相違する。この場合には、第2絶縁層12を貫通するビア導体18Aのみが設けられ、ビア導体18Aを介して第1電極層31Aと第3導体層15とが電氣的に接続される。なお、第2電極層31Bについては、図示しない領域において、第2電極層31Bと導体層とを接続する導体配線が設けられる。

[0039] 図3においても、電子部品50の第1主面30aは、第1導体層13の上面（第3導体層15側の主面）よりも高くなっている。また、電子部品50は、第1絶縁層の第1主面11a上に接着層40を介して積層されているため、第2主面30bは、第1導体層13の下面、すなわち、第1絶縁層11の第1主面11aよりも高くなっている。

[0040] 本実施形態に係る電子部品内蔵基板1は、図1、図3等に示すように、厚さ方向で見たときに、電子部品の主面の高さ位置が、隣接する第1導体層13の主面の高さ位置と互いに異なることを特徴とする。この結果、電子部品内蔵基板1に対して外力が加わった場合に、電子部品が外力の影響を受けることを防ぐことができる。この点については後述する。

[0041] 次に、電子部品内蔵基板1の製造方法について、図4及び図5を参照しながら説明する。本実施形態で説明する電子部品内蔵基板1の製造方法は、キャリア付き銅箔の一对の主面上において2つの電子部品内蔵基板を同時に製造する方法であるが、一方の主面上においてのみ電子部品内蔵基板を製造してもよい。

[0042] まず、図4（A）に示すように、キャリア付き銅箔60を準備し、キャリア付き銅箔60上に所定のパターンを有する第2導体層14を形成する。キャリア付き銅箔60とは、基材61の両方の主面に剥離層62を介して極薄銅箔63が積層されたものである。第2導体層14の形成方法は特に限定されないが、例えば、極薄銅箔63上に導体層を形成した後にパターニングを行うことで形成することができる。なお、以降の製造工程においても、キャ

リア付き銅箔 60 の両面において同様の処理を行うが、両面において同様の処理を行う点については説明を省略する場合がある。

[0043] 次に、図 4 (B) に示すように、第 2 導体層 14 上に、第 1 絶縁層 11 を積層する。さらに、第 1 絶縁層 11 の所定の位置にレーザ等により開口を設けて、導体材料を導入することでビア導体 16 を形成する。さらに、第 1 絶縁層 11 の第 1 主面 11 a 上に、所定の配線パターンを有する第 1 導体層 13 を形成する。

[0044] その後、図 4 (C) に示すように、第 1 絶縁層 11 の第 1 主面 11 a 上に、接着層 40 を形成すると共に、接着層 40 上に電子部品 30 を積層する。電子部品 30 は、第 1 電極層 31 A、第 2 電極層 31 B 及び誘電体層 32 が所望の形状に加工された状態で、接着層 40 上に積層される。

[0045] 次に、第 1 絶縁層 11 の第 1 主面 11 a、第 1 導体層 13、及び電子部品 30 を全て覆うように、第 2 絶縁層 12 を積層する。そして、第 2 絶縁層 12 の所定の位置にレーザ等により開口を設けて、導体材料を導入することで、ビア導体 17、18 A、18 B を形成する。また、第 2 絶縁層 12 の主面上に所定の配線パターンを有する第 3 導体層 15 を形成する。さらに、第 2 絶縁層 12 及び第 3 導体層 15 の表面の所定位置に絶縁材料 22 を設ける。その結果、図 5 (A) に示すように、キャリア付き銅箔 60 の両面に、第 1 絶縁層 11、第 2 絶縁層 12 が積層されて、その内部に電子部品 30 が内蔵された積層体を得られる。

[0046] 次に、キャリア付き銅箔 60 の剥離層 62 においてキャリア付き銅箔 60 の基材 61 と極薄銅箔 63 とを分離する。その結果、第 1 絶縁層 11、第 2 絶縁層 12 が積層されて、その内部に電子部品 30 が内蔵された積層体が基材 61 から分離される。その後、研磨等により第 1 絶縁層 11 及び第 2 導体層 14 の表面に付着する極薄銅箔 63 を除去する。その結果、図 5 (B) に示すように、下面側において第 1 絶縁層 11 及び第 2 導体層 14 が露出した状態となる。その後、第 1 絶縁層 11 及び第 2 導体層 14 の表面の所定位置に絶縁材料 21 を設けると、図 1 に示す電子部品内蔵基板 1 が得られる。

[0047] 本実施形態に係る電子部品内蔵基板 1 は、上述の通り、電子部品内蔵基板 1 は、厚さ方向（積層方向）に見たときに、電子部品 30 の第 1 主面 30 a 及び第 2 主面 30 b の高さ位置が、隣接する第 1 導体層 13 の一対の主面の高さ位置と異なっている。より具体的には、電子部品 30 の第 1 主面 30 a は、第 1 導体層 13 の上方（第 3 導体層 15 側）の主面よりも高く、電子部品 30 の第 2 主面 30 b は、第 1 導体層 13 の下方（第 2 導体層 14 側）の主面（すなわち第 1 絶縁層 11 の第 1 主面 11 a に対応する）よりも高くなっている。この結果、電子部品内蔵基板 1 が外力を受けた場合も、電子部品 30 が外力の影響を受けて破損することを防ぐことができる。

[0048] 本実施形態に係る電子部品内蔵基板 1 は、近年の電子機器の低背化の要求等に伴って低背化されたものである。すなわち、電子部品内蔵基板 1 としての厚みが、従来の電子部品内蔵基板と比較して非常に小さい。そのため、電子部品内蔵基板 1 は、外力の影響を受けやすい。電子部品内蔵基板 1 が外力を受ける位置、外力の方向、及びその大きさによって、電子部品内蔵基板 1 が受ける影響は変化する。しかしながら、電子部品 30 が内蔵されている領域及びその周辺は、外力の影響が集中しがちな場所である。特に電子部品内蔵基板 1 のように、第 1 絶縁層 11 及び第 2 絶縁層 12 が積層されていて、その界面近傍に第 1 導体層 13 が形成されている場合には、第 1 絶縁層 11 と第 2 絶縁層 12 との界面をずらす力を受けると、第 1 絶縁層 11 と第 2 絶縁層 12 との界面に配置される電子部品 30 はその影響を受けやすい。より具体的には、電子部品内蔵基板 1 の主面方向に沿った、一方側の主面と他方側の主面との間で位置ズレが起きるような外力を受けると、電子部品内蔵基板 1 では、第 1 絶縁層 11 の第 1 主面 11 a と、第 1 主面 11 a に対向する第 2 絶縁層 12 の主面との間が最も影響を受けやすく、これらの相対位置が変化するように外力を受ける。この結果、第 1 絶縁層 11 の第 1 主面 11 a 上に設けられている第 1 導体層 13 が外力を受けることになる。そして、第 1 導体層 13 を介して外力が第 1 主面 11 a に沿って伝搬され、電子部品 30 もその影響を受けると考えられる。第 1 導体層 13 は、周辺の第 1 絶縁層

1 1 及び第2絶縁層 1 2より剛性が高い場合が多く、その場合は特に外力の伝搬能力が高くなると考えられる。ここで、電子部品 3 0と隣接する第1導体層 1 3とが積層方向で見たときに同一の高さ位置にあると、第1導体層 1 3により伝搬された外力が電子部品 3 0にも伝搬される。電子部品 3 0は、誘電体層 3 2を有する構造であるため、第1導体層 1 3と比較して剛性が低く、外力の影響を受けると破損する可能性が高い。特に、本実施形態に係る電子部品 3 0のように、第1電極層 3 1 A及び第2電極層 3 1 Bと、誘電体層 3 2と、の積層方向が、第1絶縁層 1 1と第2絶縁層 1 2との積層方向が同じであると、電子部品 3 0が外力の影響を大きく受ける可能性が考えられる。

[0049] これに対して、本実施形態に係る電子部品内蔵基板 1では、電子部品 3 0の第1主面 3 0 a及び第2主面 3 0 bの高さ位置の両方が、隣接する第1導体層 1 3の一对の主面の高さ位置と異なっている。このような構成を有していることで、電子部品内蔵基板 1の主面方向に沿った、一方側の主面と他方側の主面との間で位置ズレが起きるような外力を受けた場合に、上記のように第1導体層 1 3により外力が伝搬されたとしても、高さ位置の違いによって電子部品 3 0が受ける外力を低減することができる。すなわち、電子部品 3 0の一对の主面（第1主面 1 1 a及び第2主面 1 1 b）の高さ位置と、隣接する第1導体層 1 3の一对の主面と、が同じ場合と比較して、第1導体層 1 3による外力の伝搬方向と電子部品 3 0の一对の主面の延在方向とを異ならせることができる。したがって、電子部品 3 0が受ける第1導体層 1 3により伝搬された外力の影響を低減することができる。したがって、電子部品が外力の影響を受けることを抑制することができる。

[0050] また、本実施形態に係る電子部品内蔵基板 1において、電子部品 3 0は、第1絶縁層 1 1の第1主面 1 1 a上に接着層 4 0を介して積層されている。そして、このような構成を有することで、第1導体層 1 3の下面の高さ位置と、電子部品 3 0の第2主面 3 0 bの高さ位置とが互いに異なっている。このように、電子部品 3 0が、第1絶縁層 1 1の第1主面 1 1 a上の接着層 4

0の上に設けられていることで、第1絶縁層11の第1主面11aと、第1主面11aに対向する第2絶縁層12の主面との間に位置ズレを生じさせるような力を接着層40により緩和させることができる。また、外力に由来して、電子部品30の積層方向（電子部品内蔵基板1の積層方向）の力が電子部品30にかかった場合でも、接着層40によりこれを緩和させることができる。したがって、電子部品30が外力の影響を受けることをさらに抑制することができる。

[0051] また、上記の電子部品30において外力の影響を抑制することができるという効果は、電子部品内蔵基板1のように、第1導体層13の厚さが略均一である場合に顕著となる。第1導体層13の厚さが略均一である場合、第1導体層13の延在方向に沿って伝搬する外力の他の方向への分散が抑制される。したがって、第1導体層13により外力の大きさが維持された状態で電子部品30まで伝搬される可能性がある。そのため、第1導体層13の厚さが略均一である場合に、電子部品30の主面の高さ位置を隣接する第1導体層13の一对の主面の高さ位置とは異ならせることで、電子部品30が受ける第1導体層13により伝搬された外力の影響を低減する効果が顕著となる。

[0052] 本実施形態の電子部品内蔵基板1では、第1導体層13の上面よりも電子部品30の第1主面11aが高く（第3導体層15側である）、且つ、第1導体層13の下面（第1絶縁層の第1主面11a）よりも電子部品30の第2主面11bが高い例を示している。しかしながら、電子部品30の主面の高さ位置と隣接する第1導体層13の一对の主面の高さ位置とが互いに異なっていれば、電子部品30が受ける外力の影響を抑制する効果は得られる。したがって、例えば、第1導体層13の主面の上面よりも電子部品30の第1主面11aが低い（第2導体層14側である）場合であっても、電子部品30が受ける外力の影響を抑制する効果は得られる。

[0053] また、少なくとも電子部品30の第1主面11aの高さ位置と隣接する第1導体層13の上面の高さ位置とが互いに異なっていれば、電子部品30が

受ける外力の影響を抑制する効果は得られる。すなわち、電子部品 30 の第 2 主面 11 b の高さ位置と隣接する第 1 導体層 13 の下面の高さ位置とが同じであったとしても、電子部品 30 の第 1 主面 11 a の高さ位置と隣接する第 1 導体層 13 の上面の高さ位置とが異なることで、電子部品 30 が受ける外力の影響を抑制することができる。

[0054] 電子部品 30 の第 1 主面 30 a の高さ位置と、第 1 導体層の主面（上面）の高さ位置との差は、 $10\ \mu\text{m}$ 以下であることが好ましい。上述のように、電子部品内蔵基板 1 及び内蔵される電子部品 30 はどちらも非常に薄いため、電子部品 30 の第 1 主面 11 a の高さ位置と、第 1 導体層の主面（上面）の高さ位置との差が大きくなると、電子部品 30 に対して外力に由来する応力が集中する可能性がある。また、電子部品内蔵基板 1 を製造する際にも、第 2 絶縁層 12 の厚さが電子部品 30 上部とその周囲で大きく異なることとなり、電子部品 30 に応力が集中する可能性がある。したがって、電子部品 30 の第 1 主面 11 a の高さ位置と、第 1 導体層の主面（上面）の高さ位置との差を $10\ \mu\text{m}$ 以下とすることで、電子部品 30 に対する応力の集中を抑制することができる。

[0055] また、電子部品 30 の第 2 主面 30 b の高さ位置と、第 1 導体層の主面（下面）の高さ位置とが互いに異なる場合も、その差は $10\ \mu\text{m}$ 以下であることが好ましい。電子部品 30 の第 2 主面 30 b の高さ位置と、第 1 導体層の主面（下面）の高さ位置を大きく異ならせる構成とした場合にも、電子部品 30 に対して外力に由来する応力が集中する可能性がある。したがって、高さ位置の差を $10\ \mu\text{m}$ 以下とすることで、電子部品 30 に対する応力の集中を抑制することができる。

[0056] （変形例）

次に、図 6 及び図 7 を参照しながら、変形例に係る電子部品内蔵基板について説明する。図 6（A）～図 6（C）は、電子部品内蔵基板の電子部品と他の導体層等の接続を変更した例である。また、図 7 は、電子部品及び第 1 導体層の配置に関する変形例である。

[0057] 図6（A）に示す電子部品内蔵基板1Aは、電子部品30の電極層と第1導体層13とが導電ペーストによって接続されている。より具体的には、電子部品30の第1電極層31Aと、第1導体層13のうち電子部品30の第1電極層31A側で隣接する導体層13Aとの間に、これらを接続するように導電ペースト45Aが充填されている。また、電子部品30の第2電極層31Bと、第1導体層13のうち電子部品30の第2電極層31B側で隣接する導体層13Bとの間に、これらを接続するように導電ペースト45Bが充填されている。導電ペースト45A、45Bは、導電性を有する材料であれば特に限定されず、例えば、Sn（スズ）を主成分とする材料等を用いることができる。導電ペースト45A、45Bは、第1絶縁層11の第1主面11a上に第1導体層13を形成すると共に接着層40を介して電子部品30を配置した後に、第1導体層13（導体層13A又は導体層13B）と電子部品30の電極層（第1電極層31A又は第2電極層21B）とを接続するように導入される。

[0058] 電子部品内蔵基板1Aのように、第1導体層13（導体層13A又は導体層13B）と電子部品30の電極層（第1電極層31A又は第2電極層21B）とが導電ペースト45A、45Bにより接続される構成であると、第3導体層15のうち第1電極層31Aと電氣的に接続される導体層15Aと、導体層13Aとを接続するビア導体を省略することができる。すなわち、図1に示す電子部品内蔵基板1の場合、導体層13Aと導体層15Aとを接続するビア導体17が設けられていたが、電子部品内蔵基板1Aでは、導電ペースト45Aにより第1電極層31Aと導体層13Aとが電氣的に接続されているため、上記のビア導体17を省略できる。同様に、電子部品内蔵基板1Aでは、導電ペースト45Bにより第2電極層31Bと導体層13Bとが電氣的に接続されているため、導体層13Bと導体層15Bとを接続するビア導体17を省略することができる。このように、電子部品内蔵基板1Aでは、電子部品30の電極層と第1導体層13とを接続する導電ペースト45A、45Bを用いることで、配線の取り回しを簡略化することができる。な

お、電子部品内蔵基板 1 A では、配線の取り回しが簡略化されているが、簡略化されていない場合でも、配線の取り回しを柔軟に変更することができる。

[0059] 図 6 (B) に示す電子部品内蔵基板 1 B は、図 6 (A) に示す電子部品内蔵基板 1 A と同様に導電ペースト 4 5 A, 4 5 B により、電子部品 3 0 の電極層と第 1 導体層 1 3 とが電氣的に接続されている。さらに、電子部品内蔵基板 1 B では、電子部品 3 0 の第 1 電極層 3 1 A と、第 3 導体層 1 5 の導体層 1 5 A とを接続するビア導体 1 8 A、及び、第 2 電極層 3 1 B と、第 3 導体層 1 5 の導体層 1 5 B とを接続するビア導体 1 8 B が設けられていない。電子部品内蔵基板 1 B では、ビア導体 1 8 A, 1 8 B に代えて、導体層 1 3 A と導体層 1 5 A とを接続するビア導体 1 7、及び、導体層 1 3 B と導体層 1 5 B とを接続するビア導体 1 7 が設けられている。導体層 1 3 A, 1 3 B が導電ペースト 4 5 A, 4 5 B によって第 1 電極層 3 1 A 及び第 2 電極層 3 1 B とそれぞれ接続されているため、導体層 1 3 A, 1 3 B と導体層 1 5 A, 1 5 B とを接続することで、第 1 電極層 3 1 A, 導体層 1 3 A 及び導体層 1 5 A を同電位とすることができると共に、第 2 電極層 3 1 B, 導体層 1 3 B 及び導体層 1 5 B を同電位とすることができる。したがって、電子部品内蔵基板 1 B においても、電子部品 3 0 の電極層と第 1 導体層 1 3 とを接続する導電ペースト 4 5 A, 4 5 B を用いることで、配線の取り回しを簡略化することができる。

[0060] また、電子部品内蔵基板 1 B のように、電子部品 3 0 の第 1 電極層 3 1 A 及び第 2 電極層 3 1 B の主面に対して電氣的に接続するビア導体 1 8 A, 1 8 B が設けられていない構成とすることで、電子部品内蔵基板 1 B が外力を受けた場合に、電子部品 3 0 の積層方向（電子部品内蔵基板 1 の積層方向）の力がビア導体 1 8 A, 1 8 B を経て電子部品 3 0 にかかることを抑制することができる。したがって、電子部品 3 0 が受ける外力の影響をさらに抑制することができる。

[0061] 図 6 (C) に示す電子部品内蔵基板 1 C は、図 6 (B) に示す電子部品内

蔵基板 1 B と比較して、電子部品 3 0 の上下方向が逆転している。すなわち、電子部品 3 0 の第 1 電極層 3 1 A 及び第 2 電極層 3 1 B が誘電体層 3 2 よりも第 1 絶縁層 1 1 側に配置されている。ただし、第 1 絶縁層 1 1 の第 1 主面 1 1 a と電子部品 3 0 の第 1 電極層 3 1 A 及び第 2 電極層 3 1 B とは離間していて、第 1 絶縁層 1 1 の第 1 主面 1 1 a と第 1 電極層 3 1 A との間には、導電ペースト 4 5 A 及び第 2 絶縁層 1 2 が介在している。また、第 1 絶縁層 1 1 の第 1 主面 1 1 a と第 2 電極層 3 1 B との間には、導電ペースト 4 5 B 及び第 2 絶縁層 1 2 が介在している。また、誘電体層 3 2 の上方（第 3 導体層 1 5 側）には、接着層 4 0 が設けられている。ただし、接着層 4 0 は設けられていなくてもよい。

[0062] 電子部品内蔵基板 1 C を製造する場合には、第 1 絶縁層 1 1 の第 1 主面 1 1 a 上に第 1 導体層 1 3 を形成すると共に所定の位置に導電ペースト 4 5 A , 4 5 B を配置する。その後、導電ペースト 4 5 A , 4 5 B 上に電子部品 3 0 を配置する。また、必要に応じて接着層 4 0 を電子部品 3 0 上に配置する。

[0063] 電子部品内蔵基板 1 C のように、電子部品 3 0 の天地が逆転している場合であっても、導電ペースト 4 5 A , 4 5 B により、電子部品 3 0 の電極層と第 1 導体層 1 3 とが電氣的に接続されている。また、導体層 1 3 A と導体層 1 5 A とを接続するビア導体 1 7 、及び、導体層 1 3 B と導体層 1 5 B とを接続するビア導体 1 7 により、第 1 電極層 3 1 A , 導体層 1 3 A 及び導体層 1 5 A を同電位とすると共に、第 2 電極層 3 1 B , 導体層 1 3 B 及び導体層 1 5 B を同電位としている。

[0064] また、電子部品内蔵基板 1 C では、導電ペースト 4 5 A , 4 5 B が接着層として機能し、導電ペースト 4 5 A , 4 5 B により電子部品 3 0 が第 1 絶縁層 1 1 に対して離間した状態とされている。したがって、電子部品内蔵基板 1 , 1 A , 1 B と同様に、電子部品 3 0 が第 1 絶縁層 1 1 の第 1 主面 1 1 a 上に接着層を介して積層された状態となり、電子部品 3 0 が外力の影響を受けることをさらに抑制することができる。

[0065] 図7は、電子部品30が複数設けられている場合の第1導体層13の配置の例を示す図であり、図2に対応する平面図である。図7に示す例では、2つの電子部品30が、第1導体層13と同様に、第1絶縁層11の第1主面11a上に配置される。このとき、2つの電子部品30は、いずれも第1導体層13とは離間して配置される。このとき、図2に示すように、第1導体層13（導体層13A、13B）は、2つの電子部品30それぞれの第1電極層31A、第2電極層31B及び誘電体層32を取り囲み且つ離間して設けられる。電子部品内蔵基板では、電子部品30と第1導体層13との間には第2絶縁層12が配置されるため、電子部品30と第1導体層13との間は絶縁が確保される。

[0066] また、図7に示す第1導体層13（導体層13A、13B）は、それぞれ隣接する電子部品30の間に突出する突出部13Cを有している。このような形状を呈している場合、第1導体層13が2つの電子部品30それぞれの周囲に設けられていることで、電子部品内蔵基板が大きな外力を受けた場合に、2つの電子部品30同士が当接することを防ぐことができる。また、電子部品内蔵基板の製造時には、第1導体層13の形状を電子部品30の配置の目安として利用することができるため、製造効率の向上にも寄与すると考えられる。

[0067] 以上、本発明の実施形態について説明してきたが、本発明は上記の実施形態に限定されず、種々の変更を行うことができる。

[0068] 例えば、電子部品内蔵基板1に含まれる電子部品30、ビア導体16、17、18A、18B等の形状及び配置は適宜変更することができる。また、第1導体層13、第2導体層14、及び第3導体層15の形状についても適宜変更することができる。また、第2導体層14及び第3導体層15は設けられなくてもよく、いずれか一方のみが設けられていてもよい。また、絶縁材料21、22についても、形状を適宜変更することができるし、設けられていなくてもよい。

[0069] また、上記実施形態では、絶縁層が第1絶縁層11及び第2絶縁層12の

2層である場合について説明したが、絶縁層は3層以上であってもよい。絶縁層が3層以上であっても、電子部品及び導体層が2層の絶縁層の間が設けられている構成であれば、本実施形態で説明した構成、すなわち、導体層の主面と電子部品的主面との高さ位置が異なる構成を有することで、電子部品が外力を受けることを抑制することができる。

[0070] 図8から図11に、本発明の電子部品内蔵基板をIC内蔵基板と組み合わせたパッケージ基板に係る実施形態を示す。

[0071] 図8は、IC54が絶縁層55に内蔵されたIC内蔵基板56と、本発明の実施形態に係る電子部品内蔵基板1Dとを、第3絶縁層51を介して接続したパッケージ基板2Aを概略的に示す断面図である。

[0072] 電子部品内蔵基板1Dは、電子部品内蔵基板1等と概略構造は同じであるが、電子部品30の構造が第1電極層31A及び第2電極層31Bが誘電体層32を挟み込むように設けられている。また、絶縁材料21, 22は除去された状態となっている。さらに、電子部品内蔵基板1Dは、上下を逆転した状態となっている。すなわち、第2導体層14側に第3絶縁層51及びIC内蔵基板56が積層されている。

[0073] 電子部品内蔵基板1Dと、IC内蔵基板56とは、第3絶縁層51に設けられたビア導体52及び接続用の導体層53を介して電氣的に接続することができる。ただし、電子部品内蔵基板1Dにおける導体層とIC54とを電氣的に接続するビア導体及び導体層の形状及び配置等は適宜変更することができる。したがって、導体層53とは別の配線層等が設けられていてもよい。

[0074] 図8に示すパッケージ基板2Aは、例えば以下の方法で製造することができる。まず、絶縁層55内にIC54を埋め込むことでIC内蔵基板56を製造する。このとき、IC54を絶縁層55の表面に露出させた上で当該表面（IC内蔵基板56の下面側に対応する面）を平坦にする。その後、IC54が露出する表面上に導体層53を形成した後に、第3絶縁層51を設けて、内部にビア導体52を形成する。その後、電子部品内蔵基板1Dの各部

を形成することで、パッケージ基板 2 A を得ることができる。なお、I C 内蔵基板 5 6 の製造は、I C 5 4 表面に予め半導体プロセス等により再配線の導体層 5 3 を形成した後、絶縁層 5 5 内に埋め込む手順で行われてもよい。

[0075] 図 8 のように I C 内蔵基板と組み合わせたパッケージ基板 2 A の構造とした場合、外力により電子部品 3 0 が影響を受けることをさらに効果的に抑制することができる。

[0076] 図 9 は、パッケージ基板 2 A に対して電子部品 5 8 を追加したパッケージ基板 2 B を示している。パッケージ基板 2 B では、第 3 絶縁層 5 1 内に I C 5 4 に対して直接接続される電子部品 5 8 が設けられている。電子部品 5 8 は、一对の電極層が誘電体層を挟み込む電子部品 3 0 と同様の構造を有していてもよいが特に限定されない。電子部品 5 8 は、導電性材料 5 7 を介して I C 5 4 と電氣的に接続されていてもよい。図 9 に示すパッケージ基板 2 B のように、I C 内蔵基板 5 6 と電子部品内蔵基板 1 D との間に設けられる第 3 絶縁層 5 1 には、電子部品内蔵基板 1 D 内の電子部品 3 0 とは別の電子部品 5 8 を設けることができる。このように、電子部品 3 0 と、電子部品 5 8 とを組み合わせることにより、I C 2 3 への電源供給がより安定するという副次的な効果が得られる。

[0077] 図 1 0 は、パッケージ基板 2 A に対して電子部品 5 8 を追加したパッケージ基板 2 C を示している。パッケージ基板 2 C では、電子部品 5 8 が第 3 導体層 1 5 に対して外側に、外付けの状態でも電氣的に接続された例を示している。電子部品 5 8 を取り付ける際には必要に応じて導電性材料 5 7 が設けられていてもよい。図 1 0 に示すパッケージ基板 2 C のように、電子部品内蔵基板 1 D 内の電子部品 3 0 とは別の電子部品 5 8 を外付けする構造としてもよい。

[0078] 図 1 1 は、図 9 に示すパッケージ基板 2 B と図 1 0 に示すパッケージ基板 2 C とを組み合わせたパッケージ基板 2 D を示している。すなわち、電子部品内蔵基板 1 D 内の電子部品 3 0 とは別の電子部品 5 8 が、第 3 絶縁層 5 1 内と、第 3 導体層 1 5 の外側と、の両方に設けられている。このように、パ

ッケー基板 2 D に含まれる電子部品の数や配置等は適宜変更することができる。

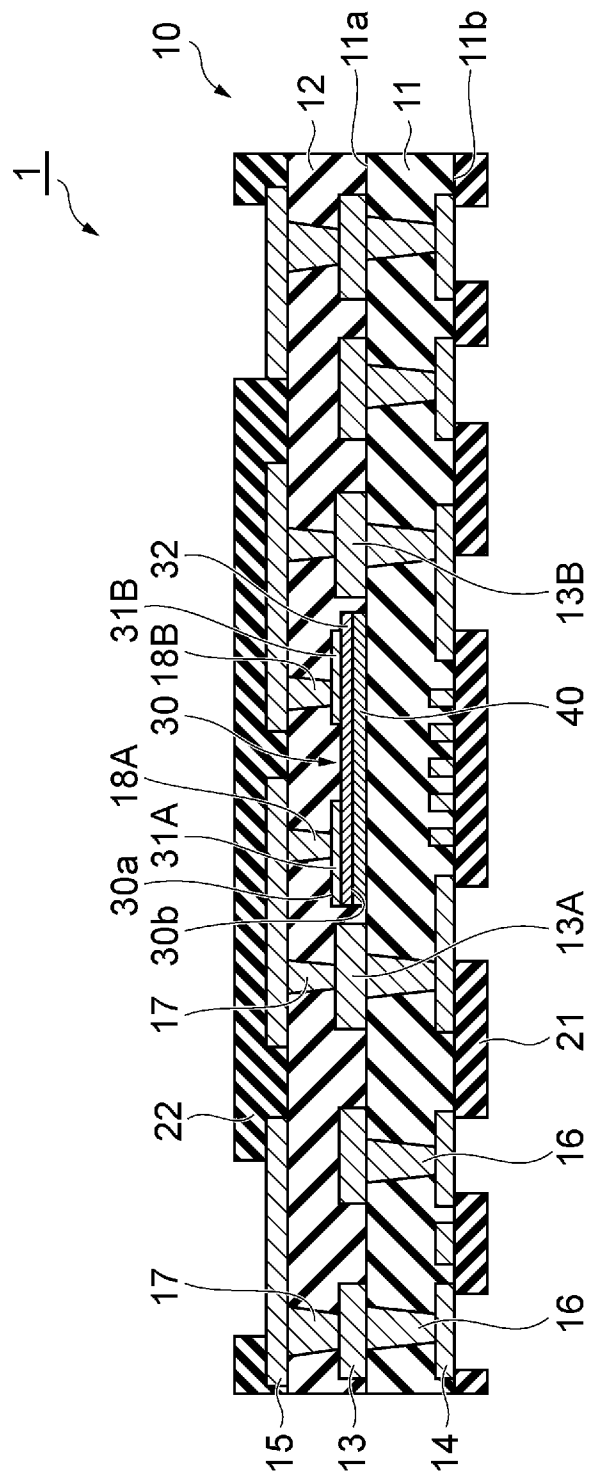
符号の説明

[0079] 1, 1 A ~ 1 C … 電子部品内蔵基板、2 A ~ 2 D … パッケージ基板、1 0 … 基板、1 1 … 第 1 絶縁層、1 2 … 第 2 絶縁層、1 3 … 第 1 導体層、1 4 … 第 2 導体層、1 5 … 第 3 導体層、1 6, 1 7, 1 8 A, 1 8 B … ビア導体、2 1, 2 2 … 絶縁材料、3 0, 5 0 … 電子部品、3 1 A … 第 1 電極層、3 1 B … 第 2 電極層、4 0 … 接着層、5 1 … 第 3 絶縁層、5 4 … I C、5 6 … I C 内蔵基板、5 8 … 電子部品。

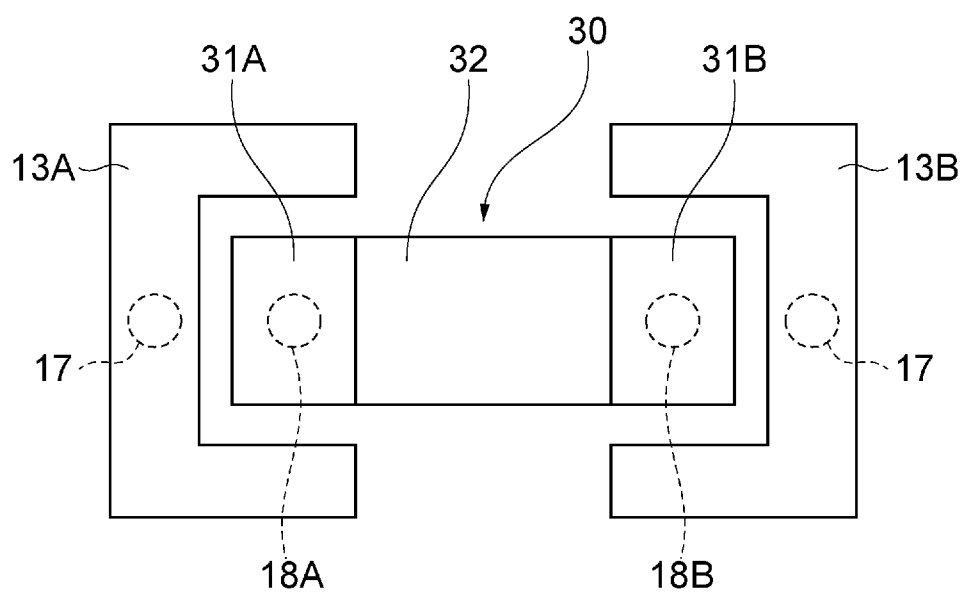
請求の範囲

- [請求項1] 第1絶縁層と、
前記第1絶縁層の一方側の主面である第1主面上に設けられた導体層と、
前記第1絶縁層の前記第1主面上に設けられ、一対の電極層と誘電体層とが積層された電子部品と、
前記第1絶縁層上に積層される第2絶縁層と、を有し、
前記第1絶縁層及び前記第2絶縁層の積層方向と、前記電子部品における前記電極層と前記誘電体層との積層方向が同じであり、
前記積層方向において、前記電子部品における前記第1主面側とは逆側の主面の高さ位置と、前記電子部品に隣接する前記導体層における前記第1主面側とは逆側の主面の高さ位置と、が互いに異なる、電子部品内蔵基板。
- [請求項2] 前記電子部品は、前記第1絶縁層の前記第1主面上に設けられた接着層の上に設けられる、請求項1に記載の電子部品内蔵基板。
- [請求項3] 前記積層方向において、前記電子部品における前記第1主面側の主面の高さ位置と、前記電子部品に隣接する前記導体層における前記第1主面側の主面の高さ位置と、が互いに異なる、請求項1又は2に記載の電子部品内蔵基板。
- [請求項4] 前記導体層の厚さが略均一である、請求項1～3のいずれか一項に記載の電子部品内蔵基板。
- [請求項5] 前記電子部品の前記電極層の一部は、導電ペーストにより前記導体層と接続されている、請求項1～4のいずれか一項に記載の電子部品内蔵基板。

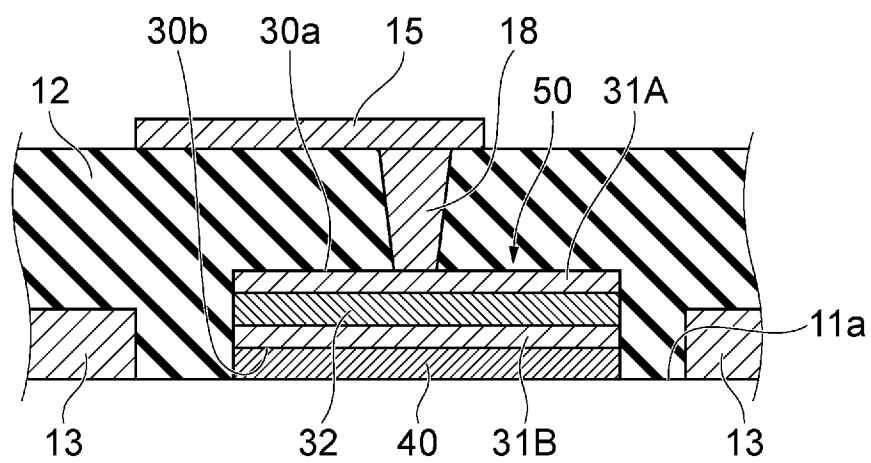
[図1]



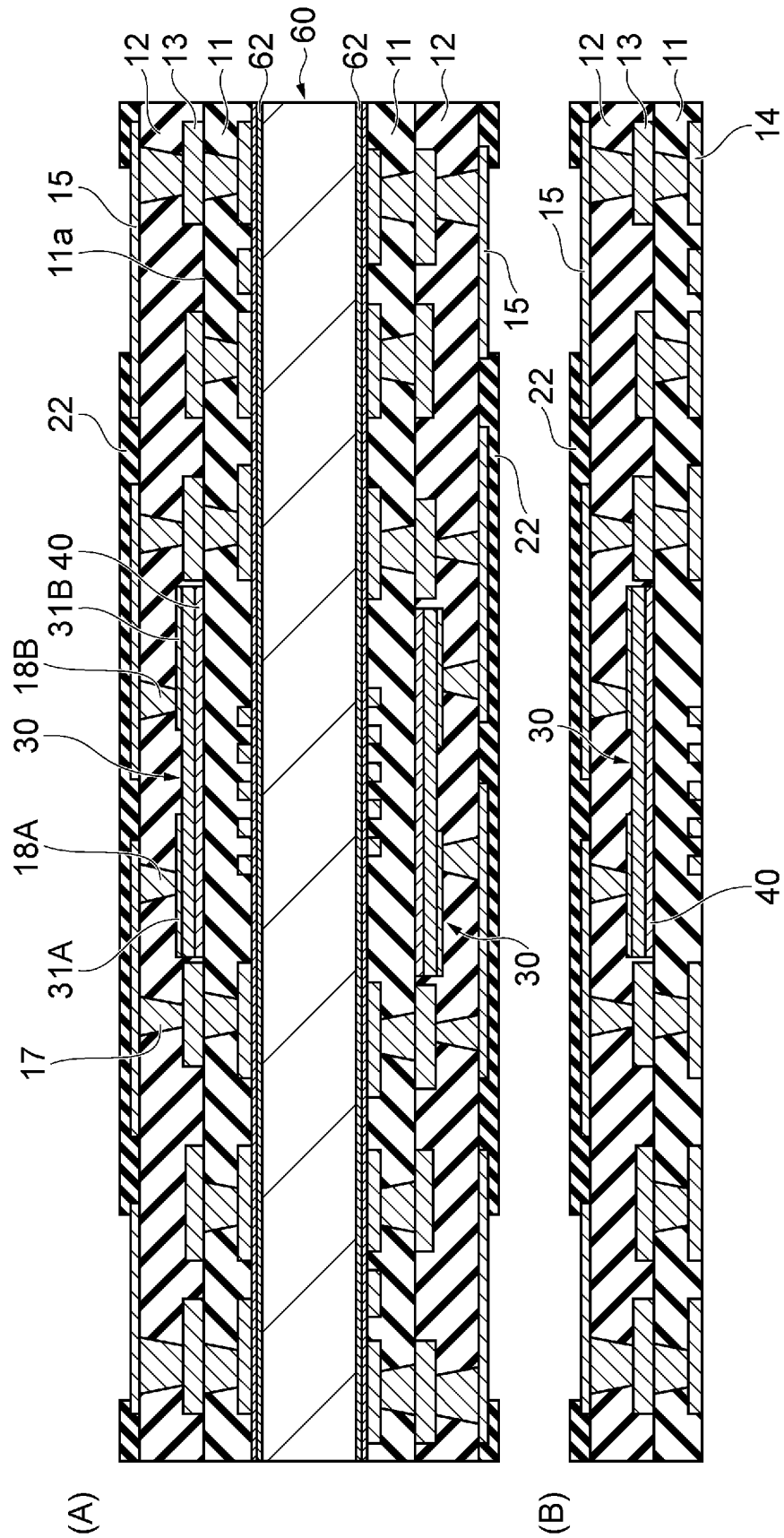
[図2]



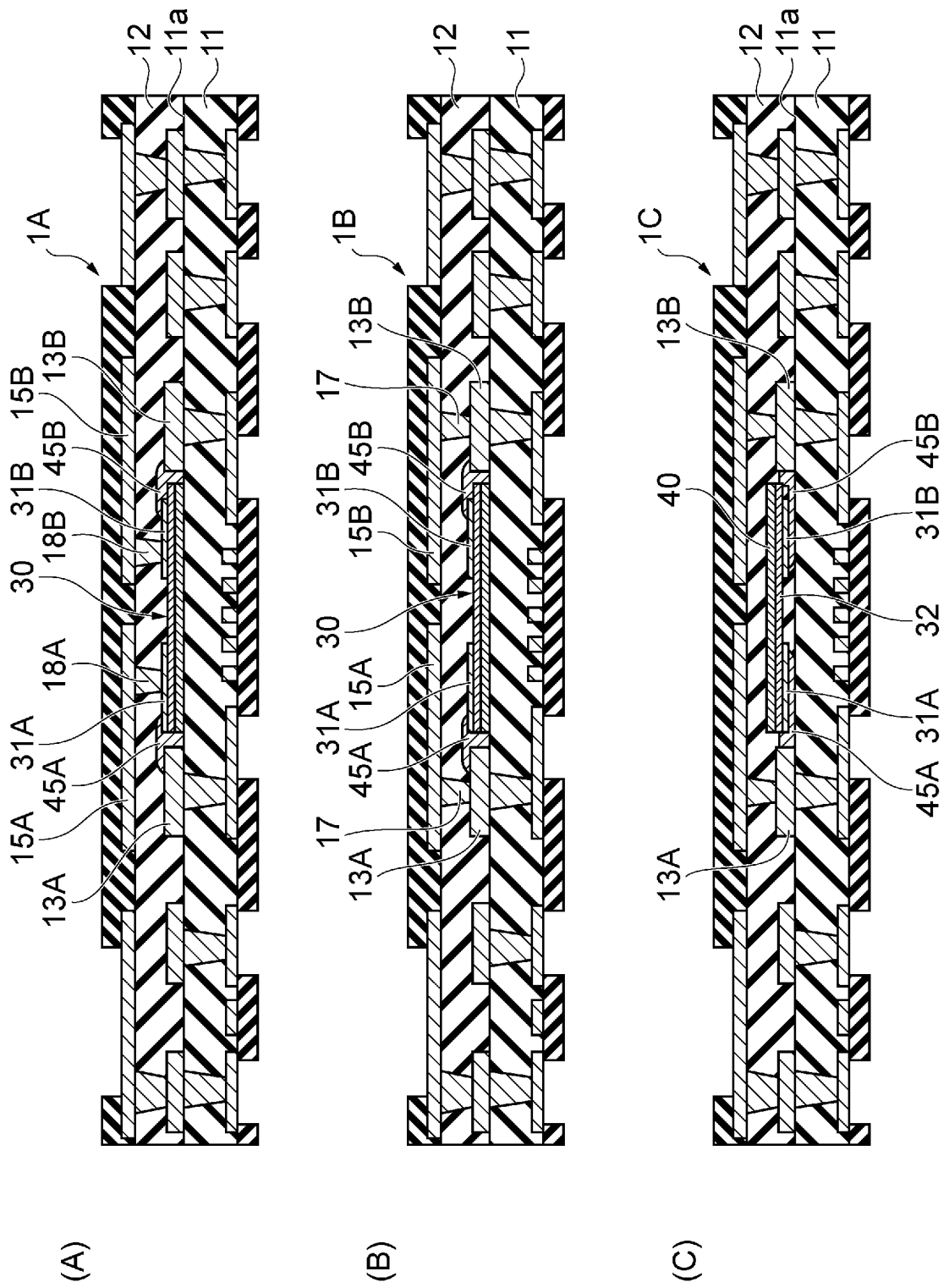
[図3]



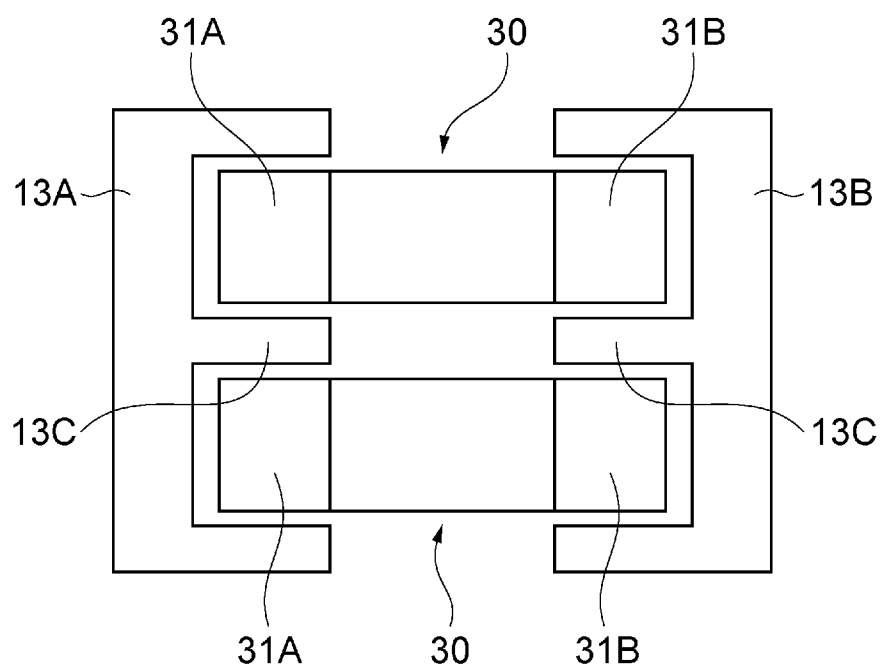
[図5]



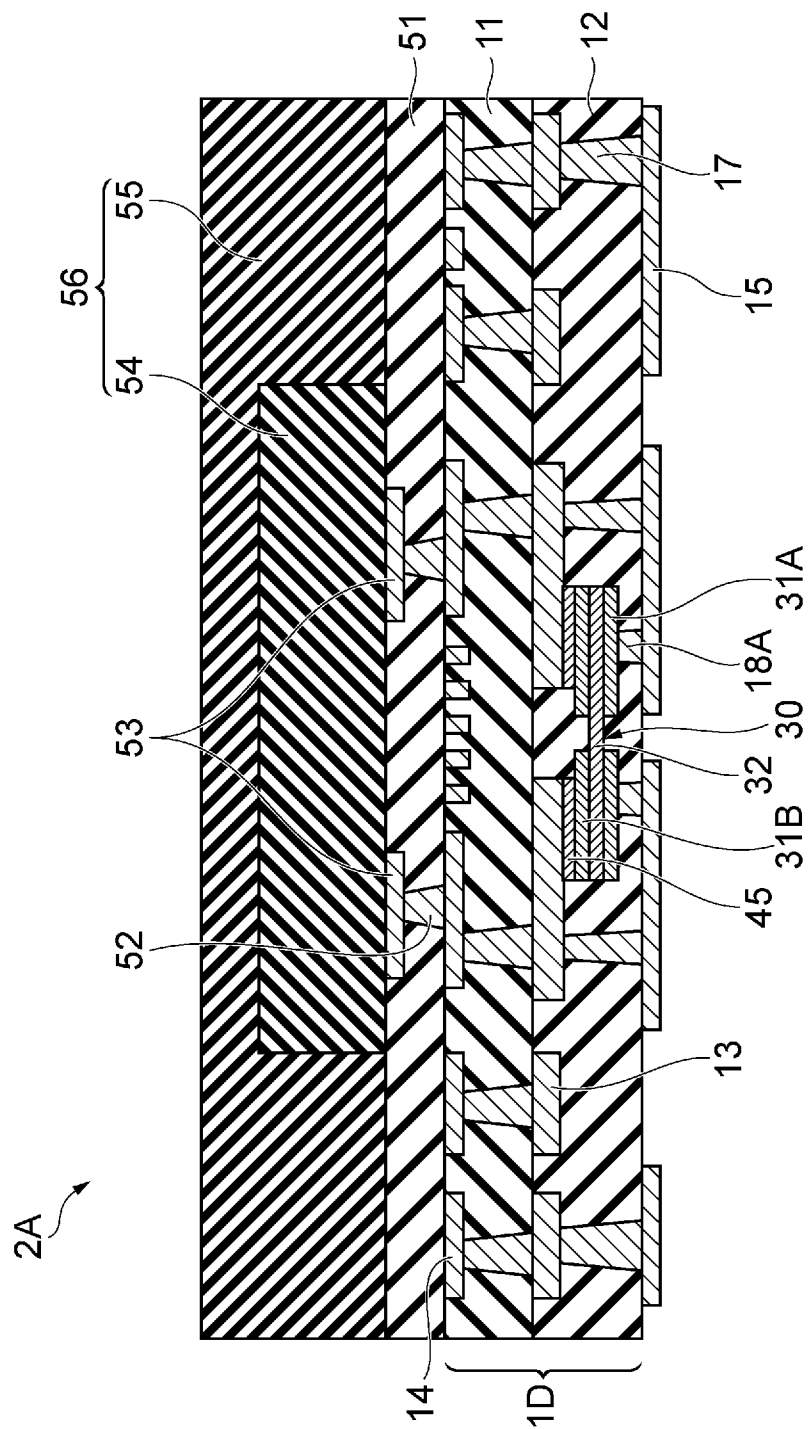
[図6]



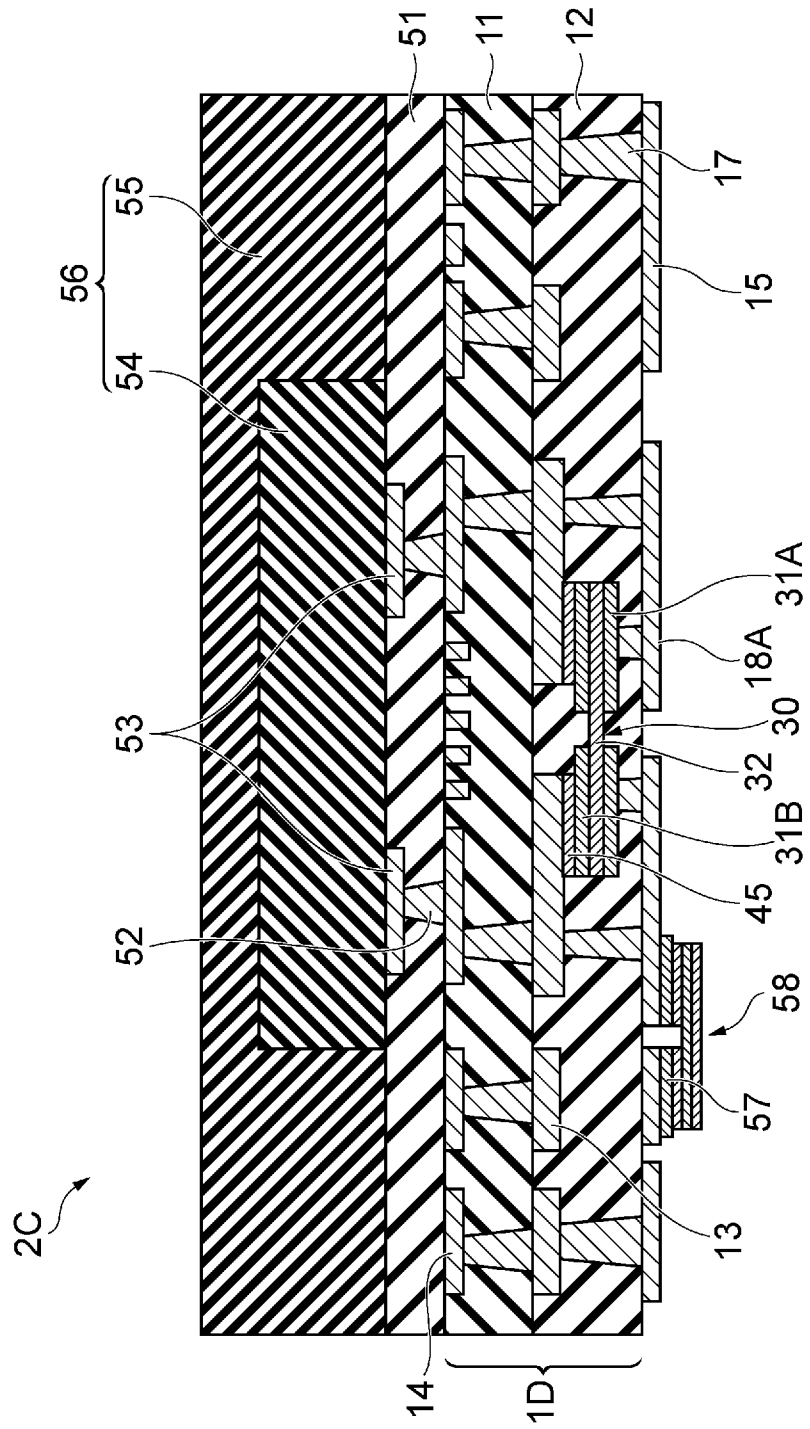
[図7]



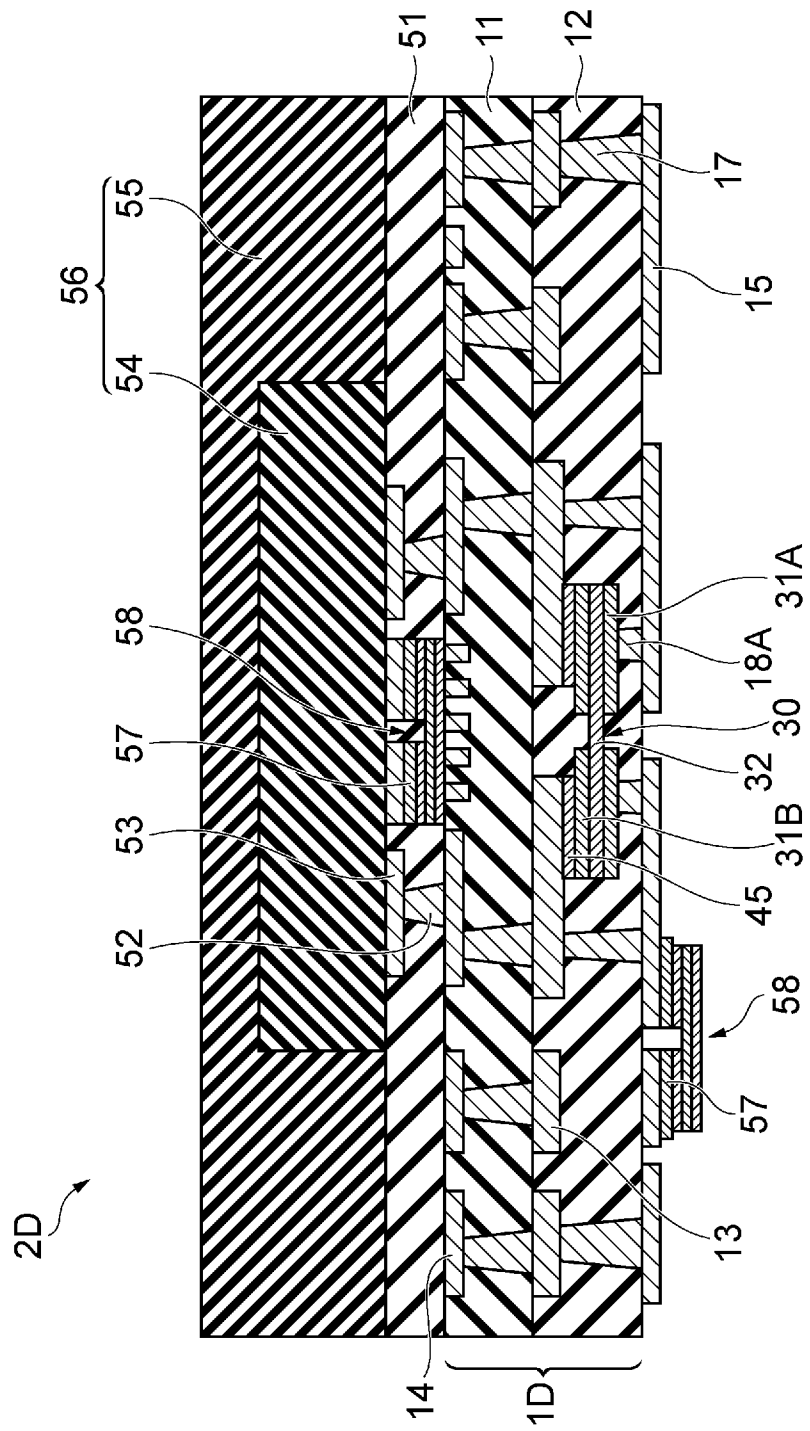
[図8]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/010552

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H05K1/16 (2006.01) i, H05K3/40 (2006.01) i, H05K3/46 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H05K1/00-3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-251530 A (CMK CORPORATION) 04 November 2010, fig. 1-5, paragraphs [0037]-[0103] (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
---	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 May 2018 (21.05.2018)	Date of mailing of the international search report 29 May 2018 (29.05.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K1/16(2006.01)i, H05K3/40(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K1/00-3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2010-251530 A(日本シイエムケイ株式会社)2010.11.04, 図1から図5, 段落0037から0103. (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.05.2018

国際調査報告の発送日

29.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

齊藤 健一

5D

9742

電話番号 03-3581-1101 内線 3551