

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6888956号  
(P6888956)

(45) 発行日 令和3年6月18日 (2021.6.18)

(24) 登録日 令和3年5月24日 (2021.5.24)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 2 H

H O 1 L 29/12 (2006.01)

H O 1 L 29/78 6 5 2 T

H O 1 L 29/739 (2006.01)

H O 1 L 29/78 6 5 5 A

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 5 8 A

H O 1 L 29/78 6 5 8 E

請求項の数 26 (全 20 頁)

(21) 出願番号 特願2016-557300 (P2016-557300)  
 (86) (22) 出願日 平成27年1月12日 (2015.1.12)  
 (65) 公表番号 特表2017-508300 (P2017-508300A)  
 (43) 公表日 平成29年3月23日 (2017.3.23)  
 (86) 国際出願番号 PCT/US2015/011015  
 (87) 国際公開番号 W02015/160393  
 (87) 国際公開日 平成27年10月22日 (2015.10.22)  
 審査請求日 平成29年9月22日 (2017.9.22)  
 審判番号 不服2019-10542 (P2019-10542/J1)  
 審判請求日 令和1年8月8日 (2019.8.8)  
 (31) 優先権主張番号 14/212,991  
 (32) 優先日 平成26年3月14日 (2014.3.14)  
 (33) 優先権主張国・地域又は機関  
 米国 (US)

(73) 特許権者 592054856  
 クリー インコーポレイテッド  
 C R E E I N C .  
 アメリカ合衆国 ノースカロライナ州 2  
 7 7 0 3 ダラム シリコン ドライブ  
 4 6 0 0  
 (74) 代理人 110000578  
 名古屋国際特許業務法人  
 (72) 発明者 パーラ ヴィピントス  
 アメリカ合衆国 ノースカロライナ州 2  
 7 5 6 0 モリスビル クウェイル ハイ  
 ブルーバード 3 6 1 1

最終頁に続く

(54) 【発明の名称】 ワイドバンドギャップ半導体材料用 I G B T 構造

(57) 【特許請求の範囲】

【請求項 1】

絶縁ゲートバイポーラトランジスタ ( I G B T ) 素子であって、前記 I G B T 素子が、

- ・インジェクタ領域と、
- ・前記インジェクタ領域上のドリフト領域と、
- ・前記ドリフト領域上にある拡散領域であって、前記ドリフト領域とは反対側の前記拡散領域の面が I G B T スタックの第 1 の面を提供し、前記拡散領域のドーピング濃度は前記ドリフト領域のドーピング濃度より高く、前記拡散領域のうち、前記第 1 の面に隣接する部分の方が、前記ドリフト領域に隣接する部分よりも、ドーピング濃度が高い、拡散領域と、
- ・前記拡散領域における一対の接合インプラントと、を含む
- ・ I G B T スタックと、
- ・前記 I G B T スタックの前記第 1 の面上のゲートコンタクトおよびエミッタコンタクトと、
- ・前記ドリフト領域とは反対側の前記インジェクタ領域の面により提供される前記 I G B T スタックの第 2 の面の上にあるコレクタコンタクトと、を含み、
- ・前記一対の接合インプラントが、チャネルによって分離され、前記 I G B T スタックの前記第 1 の面から前記 I G B T スタックの側縁に沿って前記ドリフト領域に向かって第 1 の深さに延在し、
- ・前記拡散領域の厚さが、前記第 1 の深さの 3 倍を超える、 I G B T 素子。

## 【請求項 2】

前記拡散領域の厚さが、前記第 1 の深さの 4 倍未満である、請求項 1 に記載の I G B T 素子。

## 【請求項 3】

前記 I G B T スタックがワイドバンドギャップ半導体材料である、請求項 1 に記載の I G B T 素子。

## 【請求項 4】

前記 I G B T スタックがシリコンカーバイド ( S i C ) である、請求項 1 に記載の I G B T 素子。

## 【請求項 5】

前記一対の接合インプラントそれぞれが、  
・ベースウェルと、  
・ソースウェルと、  
・オーミックウェルと、を備え、前記ベースウェル、前記ソースウェル、前記オーミックウェルのドーピング濃度が互いに異なっている、請求項 1 に記載の I G B T 素子。

## 【請求項 6】

・前記ゲートコンタクトが前記一対の接合インプラントの各ソースウェルに部分的に重なり、  
・前記エミッタコンタクトが、前記ゲートコンタクトに接触することなく、前記一対の接合インプラントそれぞれのソースウェルとオーミックウェル両方にそれぞれ部分的に重なり、請求項 5 に記載の I G B T 素子。

## 【請求項 7】

前記ゲートコンタクトと前記 I G B T スタックの第 1 の面との間にゲート酸化層をさらに含む、請求項 6 に記載の I G B T 素子。

## 【請求項 8】

・前記ドリフト領域が、ドーピング濃度が  $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{15} \text{ cm}^{-3}$  の間の N 領域であり、  
・前記インジェクタ領域が、ドーピング濃度が  $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  の間の P 領域であり、  
・前記拡散領域が、ドーピング濃度が  $5 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$  の間の N 領域である、請求項 1 に記載の I G B T 素子。

## 【請求項 9】

・前記ドリフト領域が、ドーピング濃度が  $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{15} \text{ cm}^{-3}$  の間の P 型領域であり、  
・前記インジェクタ領域が、ドーピング濃度が  $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  の間の N 領域であり、  
・前記拡散領域が、ドーピング濃度が  $5 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$  の間の P 領域である、請求項 1 に記載の I G B T 素子。

## 【請求項 10】

・前記第 1 の深さが  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  の範囲であり、  
・前記拡散領域の厚さが  $1.5 \mu\text{m} \sim 10 \mu\text{m}$  の範囲である、請求項 1 に記載の I G B T 素子。

## 【請求項 11】

前記接合インプラント間の前記チャネルの幅が  $1 \mu\text{m} \sim 4 \mu\text{m}$  の間である、請求項 1 に記載の I G B T 素子。

## 【請求項 12】

絶縁ゲートバイポーラトランジスタ ( I G B T ) 素子であって、前記 I G B T 素子が、  
・インジェクタ領域と、  
・前記インジェクタ領域上のドリフト領域と、  
・前記ドリフト領域上にある拡散領域であって、前記ドリフト領域とは反対側の前記

10

20

30

40

50

拡散領域の面が I G B T スタックの第 1 の面を提供し、前記拡散領域のドーピング濃度は前記ドリフト領域のドーピング濃度より高く、前記拡散領域のうち、前記第 1 の面に隣接する部分の方が、前記ドリフト領域に隣接する部分よりも、ドーピング濃度が高い、拡散領域と、

- ・前記拡散領域における一対の接合インプラントと、を含む
- ・ I G B T スタックと、
- ・前記 I G B T スタックの前記第 1 の面上のゲートコンタクトおよびエミッタコンタクトと、
- ・前記ドリフト領域とは反対側の前記インジェクタ領域の面により提供される前記 I G B T スタックの第 2 の面の上にあるコレクタコンタクトと、を含み、
- ・前記一対の接合インプラントが、接合型電界効果トランジスタ ( J F E T ) 領域によって分離され、前記 I G B T スタックの前記第 1 の面から前記 I G B T スタックの側縁に沿って前記ドリフト領域に向かって第 1 の深さに延在し、
- ・前記接合インプラント間のチャンネルの幅が  $1\ \mu\text{m} \sim 4\ \mu\text{m}$  の間であり、
- ・前記拡散領域が、少なくとも  $1.5\ \mu\text{m}$  だけ前記第 1 の深さを越えて延在する、 I G B T 素子。

【請求項 13】

前記拡散領域が、 $10.0\ \mu\text{m}$  未満だけ前記第 1 の深さを越えて延在する、請求項 12 に記載の I G B T 素子。

【請求項 14】

前記拡散領域が、少なくとも  $2.0\ \mu\text{m}$  だけ前記第 1 の深さを越えて延在する、請求項 12 に記載の I G B T 素子。

【請求項 15】

前記 I G B T スタックが、ワイドバンドギャップ半導体材料からなる、請求項 12 に記載の I G B T 素子。

【請求項 16】

前記 I G B T スタックが、シリコンカーバイド ( S i C ) からなる、請求項 12 に記載の I G B T 素子。

【請求項 17】

- 前記一対の接合インプラントそれぞれが、
- ・ベースウェルと、
- ・ソースウェルと、
- ・オーミックウェルと、を備え、前記ベースウェル、ソースウェル、オーミックウェルのドーピング濃度が互いに異なっている、請求項 12 に記載の I G B T 素子。

【請求項 18】

- ・前記ゲートコンタクトが前記一対の接合インプラントの各ソースと部分的に重なり共にその間に延在し、
- ・前記エミッタコンタクトが、前記ゲートコンタクトに接触することなく、前記一対の接合インプラントそれぞれの前記ソースウェルおよび前記オーミックウェル両方にそれぞれ部分的に重なる、請求項 17 に記載の I G B T 素子。

【請求項 19】

前記ゲートコンタクトおよび前記 I G B T スタックの前記第 1 の面との間にゲート酸化物層をさらに含む、請求項 18 に記載の I G B T 素子。

【請求項 20】

- ・前記ドリフト領域が、ドーピング濃度が  $1 \times 10^{13}\ \text{cm}^{-3} \sim 1 \times 10^{15}\ \text{cm}^{-3}$  の間の N 領域であり、
- ・前記インジェクタ領域が、ドーピング濃度が  $1 \times 10^{16}\ \text{cm}^{-3} \sim 1 \times 10^{21}\ \text{cm}^{-3}$  の間の P 領域であり、
- ・前記拡散領域が、ドーピング濃度が  $5 \times 10^{15}\ \text{cm}^{-3} \sim 5 \times 10^{16}\ \text{cm}^{-3}$  の間の N 領域である、請求項 12 に記載の I G B T 素子。

## 【請求項 2 1】

・前記ドリフト領域が、ドーピング濃度が  $1 \times 10^{13} \text{ cm}^{-3} \sim 1 \times 10^{15} \text{ cm}^{-3}$  の間の P 型領域であり、  
・前記インジェクタ領域が、ドーピング濃度が  $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  の間の N 領域であり、  
・前記拡散領域が、ドーピング濃度が  $5 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$  の間の P 領域である、請求項 1 2 に記載の IGBT 素子。

## 【請求項 2 2】

前記第 1 の深さが、 $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$  の範囲である、請求項 1 2 に記載の IGBT 素子。

## 【請求項 2 3】

前記 IGBT 素子の全体の幅が  $5 \mu\text{m} \sim 15 \mu\text{m}$  の間である、請求項 1 2 に記載の IGBT 素子。

## 【請求項 2 4】

インジェクタ領域と、前記インジェクタ領域上のドリフト領域と、前記ドリフト領域上の拡散領域とを含む絶縁ゲートバイポーラトランジスタ (IGBT) スタックを提供する工程であって、前記ドリフト領域とは反対側の前記拡散領域の面が前記 IGBT スタックの第 1 の面を提供し、前記拡散領域のドーピング濃度は前記ドリフト領域のドーピング濃度より高く、前記拡散領域のうち、前記第 1 の面に隣接する部分の方が、前記ドリフト領域に隣接する部分よりも、ドーピング濃度が高い、工程と、

前記 IGBT スタックの前記第 1 の面に一對の接合インプラントを提供する工程であって、前記一對の接合インプラントがチャネルによって分離され、前記 IGBT スタックの前記第 1 の面から前記ドリフト領域に向かって第 1 の深さに延在し、前記拡散領域の厚さが少なくとも前記第 1 の深さの 3 倍を超え、前記接合インプラント間の前記チャネルの幅が  $1 \mu\text{m} \sim 4 \mu\text{m}$  の間である工程と、

前記 IGBT スタックの前記第 1 の面上にゲートコンタクトおよびエミッタコンタクトを提供する工程と、

前記ドリフト領域とは反対側の前記インジェクタ領域の面により提供される前記 IGBT スタックの第 2 の面の上にあるコレクタコンタクトを提供する工程と、を含む方法。

## 【請求項 2 5】

前記拡散領域の厚みが、前記第 1 の深さの 4 倍未満である、請求項 2 4 に記載の方法。

## 【請求項 2 6】

前記 IGBT スタックがシリコンカーバイド (SiC) である、請求項 2 4 に記載の方法。

## 【発明の詳細な説明】

## 【発明の詳細な説明】

## 【0001】

## [ 政府支援 ]

本発明は、米国陸軍によって授与された契約番号 W911NF - 10 - 2 - 0038 に基づき政府の資金で行われたものである。米国政府は本発明における権利を有する。

## [ 開示の分野 ]

本発明は、絶縁ゲートバイポーラトランジスタ (IGBT) 素子及び構造に関する。

## [ 背景 ]

絶縁ゲートバイポーラトランジスタ (IGBT) は、電界効果トランジスタ (FET) の多くの望ましい特性をバイポーラ接合トランジスタ (BJT) の多くの望ましい特性と組み合わせた半導体素子である。例示的な従来の IGBT 素子 10 を図 1 に示す。図 1 に示す従来の IGBT 素子は、単一の IGBT セルを示し、IGBT スタック 12 と、コレクタコンタクト 14 と、ゲートコンタクト 16 と、エミッタコンタクト 18 とを含む。IGBT スタック 12 は、コレクタコンタクト 14 に隣接するインジェクタ領域 20 と、ゲートコンタクト 16 及びエミッタコンタクト 18 に隣接する、インジェクタ領域 20 上の

10

20

30

40

50

ドリフト領域 22 と、ドリフト領域 22 における一対の接合インプラント 24 とを含む。ドリフト領域 22 は IGBT スタック 12 の第 1 の面 26 を提供し、その上にはゲートコンタクト 16 及びエミッタコンタクト 18 が配置されている。さらに、インジェクタ領域 20 は第 1 の面 26 の反対側の IGBT スタック 12 の第 2 の面 28 を提供し、その上にはコレクタコンタクト 14 が配置されている。

【0002】

各接合インプラント 24 は、一般に、イオン注入法により形成され、ベースウェル 30 と、ソースウェル 32 と、オーミックウェル 34 とを含む。ベースウェル 30 は、IGBT スタック 12 の第 1 の面 26 に注入され、IGBT スタック 12 の側縁 36 に沿ってインジェクタ領域 20 に向かって下方に延在している。ソースウェル 32 及びオーミックウェル 34 は、IGBT スタック 12 の第 1 の面 26 の浅い部分に形成され、ベースウェル 30 に囲まれている。JFET ギャップ 38 は、各接合インプラント 24 を分離し、従来の IGBT 素子 10 における各接合インプラント 24 間の距離として JFET ギャップ幅  $W_{JFET}$  を定義している。

【0003】

ゲート酸化物層 40 は IGBT スタック 12 の第 1 の面 26 上に配置され、それぞれのソースウェル 32 の一部の表面間に横方向に延在している。そのため、ゲート酸化層 40 は接合インプラント 24 における各ソースウェル 32 の表面間に部分的に重なって広がっている。ゲートコンタクト 16 は、ゲート酸化物層 40 の上に配置されている。エミッタコンタクト 18 は、「U」形状であり、2つの部分で IGBT スタック 12 の第 1 の面 26 と接触している。IGBT スタック 12 の第 1 の面 26 上のエミッタコンタクト 18 の各部分は、ゲートコンタクト 16 又はゲート酸化物層 40 に接触することなく、一方の接合インプラント 24 のソースウェル 32 及びオーミックウェル 34 の両方にそれぞれ部分的に重なる。

【0004】

インジェクタ領域 20 とドリフト領域 22 との間の第 1 接合部  $J_1$ 、各ベースウェル 30 とドリフト領域 22 との間の第 2 接合部  $J_2$ 、各ソースウェル 32 と各ベースウェル 30 との間の第 3 接合部  $J_3$  は、従来の IGBT 素子 10 の付勢力に基づいて順方向バイアス動作モード又は逆バイアス動作モードのいずれかで動作するように制御されている。これにより、コレクタコンタクト 14 とエミッタコンタクト 18 との間の電流の流れが制御される。

【0005】

従来の IGBT 素子 10 は、3つの主要動作モードを有している。正のバイアスがゲートコンタクト 16 及びエミッタコンタクト 18 に印加され、負のバイアスがコレクタコンタクト 14 に印加されると、従来の IGBT 素子 10 は、逆ブロッキングモードで動作する。従来の IGBT 素子 10 の逆ブロッキングモードでは、第 1 接合部  $J_1$  及び第 3 接合部  $J_3$  が逆バイアスされる一方、第 2 接合部  $J_2$  が順方向にバイアスされる。当業者によって理解されるように、逆バイアス接合部  $J_1$  及び  $J_3$  は、コレクタコンタクト 14 からエミッタコンタクト 18 へ電流が流れるのを防ぐ。したがって、ドリフト領域 22 は、コレクタコンタクト 14 及びエミッタコンタクト 18 の両端の電圧の大部分をサポートしている。

【0006】

負のバイアスがゲートコンタクト 16 及びエミッタコンタクト 18 に印加され、正のバイアスがコレクタコンタクト 14 に印加されると、従来の IGBT 素子 10 は、順方向ブロッキングモードで動作する。従来の IGBT 素子 10 の順方向ブロッキングモードでは、第 1 接合部  $J_1$  及び第 3 接合部  $J_3$  が順方向バイアスされる一方、第 2 接合部  $J_2$  が逆バイアスされる。当業者によって理解されるように、第 2 接合部  $J_2$  の逆バイアスは、IGBT 素子 10 の JFET ギャップ 38 を効果的にピンチオフし、電流がコレクタコンタクト 14 からエミッタコンタクト 18 に流れるのを防止する空乏領域を生成する。したがって、ドリフト領域 22 は、コレクタコンタクト 14 及びエミッタコンタクト 18 の両端

の電圧の大部分をサポートする。

【 0 0 0 7 】

正のバイアスがゲートコンタクト 1 6 及びコレクタコンタクト 1 4 に印加され、負のバイアスがエミッタコンタクト 1 8 に印加されると、従来の I G B T 素子 1 0 は、順方向導通動作モードで動作する。従来の I G B T 素子 1 0 の順方向導通動作モードでは、第 1 接合部  $J_1$  及び第 3 接合部  $J_3$  は順方向バイアスされる一方、第 2 接合部  $J_2$  は逆バイアスされる。したがって、電流はコレクタコンタクト 1 4 からエミッタコンタクト 1 8 に流れることができる。具体的には、ゲートコンタクト 1 6 に印加される正バイアスが I G B T スタック 1 2 の第 1 の面 2 6 上に反転チャネルを生成し、これにより、電子がエミッタコンタクト 1 8 から各ソースウェル 3 2 及び各ベースウェル 3 0 を介してドリフト領域 2 2 に流れ込むための低抵抗経路を作成する。電子がドリフト領域 2 2 に流入するとドリフト領域 2 2 の電位が低下し、それにより第 1 接合部  $J_1$  が順方向バイアス動作モードになる。第 1 接合部  $J_1$  が順方向バイアスになると、正孔がインジェクタ領域 2 0 からドリフト領域 2 2 に流入することができる。正孔は効果的にドリフト領域 2 2 のドーピング濃度を増加し、それによって、その導電率を増加させる。したがって、エミッタコンタクト 1 8 からの電子は、ドリフト領域 2 2 を通ってコレクタコンタクト 1 4 により容易に流れることができる。

【 0 0 0 8 】

従来の I G B T 素子 1 0 の I G B T スタック 1 2 は、シリコン ( S i ) であり、その利点及び欠点は当業者によく知られている。I G B T 素子の性能をさらに向上させる試みにおいて、多くは I G B T スタック 1 2 にシリコンカーバイド ( S i C ) などのワイドバンドギャップ材料を使用することに努力が集中している。有望ではあるが、図 1 に示されるような従来の I G B T 構造は、S i C などのワイドバンドギャップ材料で使用するには一般的には不適當である。S i C の製造プロセスに固有の制限のために、S i C の I G B T 素子のインジェクタ領域 2 0 におけるキャリア移動度及び / 又はキャリア濃度は大幅に減少する可能性がある。具体的には、インジェクタ領域 2 0 における導電性は、欠陥密度が低い高品質の P 型エピタキシャル層を成長させるのが困難であるために、S i C デバイスでは低くなる。さらに、接合インプラント 2 4 のイオン注入によるドリフト領域 2 2 内の損傷により、各接合インプラント 2 4 の直下の領域内のキャリアの寿命が大幅に減少する。S i C の I G B T 素子における上記の状態の原因は、インジェクタ領域 2 0 からの正孔がインジェクタ領域 2 0 から一定距離上方のドリフト領域 2 2 の部分の導電率を適切に調節しないことによる。したがって、エミッタコンタクト 1 8 からの電子はドリフト領域 2 2 の上部の高抵抗経路に遭い、それにより、従来の I G B T 素子 1 0 のオン抵抗  $R_{ON}$  を著しく上げるか、又は完全に素子内の電流の流れを遮断する。よって、S i C などのワイドバンドギャップ半導体材料での使用に適した I G B T 構造が必要とされている。

[ 概要 ]

本発明は、絶縁ゲートバイポーラトランジスタ ( I G B T ) 素子及び構造に関する。一実施形態によれば、I G B T 素子は、I G B T スタックと、コレクタコンタクトと、ゲートコンタクトと、エミッタコンタクトとを含む。I G B T スタックは、インジェクタ領域と、インジェクタ領域上のドリフト領域と、ドリフト領域上の拡散領域と、拡散領域における一対の接合インプラントとを含む。拡散領域は、ドリフト領域と反対側の I G B T スタックの第 1 の面を提供する。一対の接合インプラントは、J F E T ギャップによって分離され、また I G B T スタックの第 1 の面からドリフト領域に向かって I G B T スタックの側縁に沿って第 1 の深さまで延在している。そのため、拡散領域の厚さは、第 1 の深さよりも少なくとも 1 倍半大きい。各接合インプラントの深さよりも少なくとも 1 倍半厚い拡散層を含むことにより、I G B T 素子のオン抵抗  $R_{ON}$  及び前面側射出能力を向上させる得る。

【 0 0 0 9 】

様々な実施形態によれば、拡散層の厚さは、接合インプラントの第 1 の深さよりも少なくとも 2 ~ 4 倍大きい。

一実施形態によれば、I G B Tスタックは、ワイドバンドギャップ半導体材料で形成される。例えば、I G B Tスタックはシリコンカーバイド ( S i C ) 基板であってもよい。

【 0 0 1 0 】

一実施形態によれば、ドリフト領域は低濃度にドーピングされたN領域であり、インジェクタ領域は高濃度にドーピングされたP領域であり、拡散領域は高濃度にドーピングされたN領域である。

【 0 0 1 1 】

一実施形態によれば、I G B T素子は、I G B Tスタックと、コレクタコンタクトと、ゲートコンタクトと、エミッタコンタクトとを含む。I G B Tスタックは、インジェクタ領域と、インジェクタ領域上のドリフト領域と、ドリフト領域上の拡散領域と、拡散領域における一対の接合インプラントとを含む。拡散領域は、ドリフト領域と反対側のI G B Tスタックの第1の面を提供する。一対の接合インプラントはJ F E Tギャップによって分離され、またI G B Tスタックの第1の面からドリフト領域に向かってI G B Tスタックの側縁に沿って第1の深さに延在している。そのため、拡散領域の少なくとも $1.5 \mu\text{m}$ が各接合インプラントの底部とドリフト領域との間に存在するように、拡散領域は第1の深さの少なくとも $1.5 \mu\text{m}$ を超えて延在している。上述したように、各接合インプラントの深さの少なくとも $1.5 \mu\text{m}$ を超えて延在する拡散層を有することにより、I G B T素子のオン抵抗 $R_{ON}$ 及び前面側射出能力を向上させ得る。

【 0 0 1 2 】

様々な実施形態によれば、拡散領域は、各接合インプラントの第1の深さよりも少なくとも $2.0 \mu\text{m} \sim 10.0 \mu\text{m}$ 厚い。

当業者は、本開示の範囲を理解し、添付の図面に関連する好ましい実施形態の以下の詳細な説明を読んだ後、そのさらなる態様を理解するであろう。

【 0 0 1 3 】

本明細書に組み込まれると共にその一部を形成する添付の図面は、本開示のいくつかの態様を例示し、その説明と共に、本開示の原理を説明するのに役立つ。

【図面の簡単な説明】

【 0 0 1 4 】

【図1】従来のI G B T素子の平面図を示す。

【図2】本開示の一実施形態によるワイドバンドギャップ半導体材料に適したI G B T素子の平面図を示す。

【図3】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明するフローチャートを示す。

【図4A】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図4B】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図4C】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図4D】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図4E】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図4F】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図4G】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図4H】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図4I】本開示の一実施形態による、図2に示すI G B T素子の製造方法を説明する。

【図5】本開示の一実施形態によるワイドバンドギャップ半導体材料に適したI G B T素子の平面図を示す。

【図6】本開示の一実施形態による、図5に示すI G B T素子の製造方法を説明するフローチャートを示す。

【図7A】本開示の一実施形態による、図5に示すI G B T素子の製造方法を示す。

【図7B】本開示の一実施形態による、図5に示すI G B T素子の製造方法を示す。

【図7C】本開示の一実施形態による、図5に示すI G B T素子の製造方法を示す。

【図7D】本開示の一実施形態による、図5に示すI G B T素子の製造方法を示す。

【図 7 E】本開示の一実施形態による、図 5 に示す I G B T 素子の製造方法を示す。

【図 7 F】本開示の一実施形態による、図 5 に示す I G B T 素子の製造方法を示す。

【発明を実施するための形態】

【 0 0 1 5 】

[ 詳細な説明 ]

以下に記載する実施形態は、当業者に実施形態を実施可能にすると共に実施形態を実施する最良の形態を説明するために必要な情報を示す。添付の図面に照らして以下の説明を読めば、当業者は、本開示の概念を理解し、特に本明細書中で扱われていないこれらの概念の応用を認識するであろう。これらの概念及び応用は、本開示及び添付の特許請求の範囲内であることが理解されるべきである。

10

【 0 0 1 6 】

第 1、第 2 などの用語が様々な要素を説明するために本明細書で使用されるかもしれないが、これらの要素はこれらの用語によって限定されるべきではないことが理解されるであろう。これらの用語は、ある要素を別の要素と区別するためにのみ使用される。例えば、第 1 の要素は第 2 の要素と呼ぶことができ、同様に、第 2 の要素は、本開示の範囲から逸脱することなく、第 1 の要素と呼ぶことができる。本明細書において、用語「及び/又は」は、列挙された関連項目の一つ又はそれ以上の任意の及び全ての組み合わせを含む。

【 0 0 1 7 】

層、領域、又は基板などの要素が別の要素の「上に ( o n ) 」存在する又は「上に ( o n t o ) 」延在するものとして言及されるとき、それは他の要素上に直接存在するか又はその上に直接延在することができるかあるいは介在する要素が存在してもよいことが理解されるであろう。対照的に、要素が別の要素の「上に直接 ( d i r e c t l y o n t o ) 」存在する、又は「上に直接 ( d i r e c t l y o n t o ) 」延在すると称される場合、介在する要素は存在しない。同様に、層、領域、又は基板などの要素が別の要素の「上に ( o v e r ) 」存在する又は「上に ( o v e r ) 」延在するものとして言及されるとき、それは他の要素の真上に存在するか又はその真上に延在することができるかあるいは介在する要素が存在してもよいことが理解されるであろう。対照的に、要素が別の要素の「真上に ( d i r e c t l y o v e r ) 」存在する、又は「真上に ( d i r e c t l y o v e r ) 」延在すると称される場合、介在する要素は存在しない。また、要素が別の要素に「接続される」又は「連結」されるものとして言及されるとき、それは他の要素に直接接続又は連結することができるかあるいは介在する要素が存在してもよいことが理解されるであろう。対照的に、要素が別の要素に「直接接続」又は「直接連結」されると称されるとき、介在する要素は存在しない。

20

30

【 0 0 1 8 】

相対的な用語「下」又は「上」又は「上部」又は「下部」又は「水平」又は「垂直」は、本明細書では図に示すように 1 つの要素、層又は領域の別の要素、層、又は領域との関係を説明するために使用され得る。これらの用語及び上述の用語は、図に示された方位に加えて素子の異なる向きを包含することが意図されることが理解されるであろう。

【 0 0 1 9 】

本明細書で使用される用語は、特定の実施形態を説明する目的のためだけのものであり、開示を限定することを意図するものではない。本明細書で使用される場合、単数形「a」、「an」及び「the」は、文脈が明らかに他を示さない限り、複数形も含むことを意図している。さらに、用語「含む ( c o m p r i s e s ) 」、「含む ( c o m p r i s i n g ) 」、「含む ( i n c l u d e s ) 」、及び/又は「含む ( i n c l u d i n g ) 」が本明細書で使用される場合、述べられた特徴、整数、ステップ、動作、要素、及び/又は構成要素の存在を特定するが、1 つ以上の他の特徴、整数、ステップ、動作、要素、構成要素、及び/又はそのグループの存在又は追加を排除するものではないということが理解されるであろう。

40

【 0 0 2 0 】

別段の定義がない限り、本明細書で使用される ( 技術用語及び科学用語を含む ) 全ての

50



用語は、一般的に、本開示が属する技術分野の当業者によって理解されるのと同じ意味を有する。さらに、本明細書中で使用される用語は、明確にそのように本明細書に定義されない限り、本明細書及び関連技術の文脈におけるそれらの意味と一致する意味を有すると解釈されるべきであり、理想化又は過度に形式的な意味に解釈されないことが理解されるであろう。

#### 【0021】

図2を参照すると、ワイドバンドギャップ半導体材料系での使用に適したIGBT素子42が、本開示の一実施形態に従って示されている。図2に示すIGBT素子42は、複数のセルを含むより大きなIGBT素子の一部であり得る単一のIGBTセルを表す。IGBT素子42は、IGBTスタック44と、コレクタコンタクト46と、ゲートコンタクト48と、エミッタコンタクト50とを含む。IGBTスタック44は、コレクタコンタクト46に隣接するインジェクタ領域52と、インジェクタ領域52上のドリフト領域54と、ドリフト領域54上にあると共に、コンタクト48及びエミッタコンタクト50に隣接する拡散領域56と、拡散領域56における一対の接合インプラント58とを含む。拡散領域56は、IGBTスタック44の第1の面60を提供し、その上にはゲートゲートコンタクト48及びエミッタコンタクト50が配置されている。さらに、インジェクタ領域52は、第1の面60に反対側のIGBTのスタック44の第2の面62を提供し、その上にはコレクタコンタクト46が配置されている。拡散領域56の厚さ( $T_s$ )は、拡散領域56及びドリフト領域54の接合部とIGBTスタック44の第1の面60との間の距離として定義される。

#### 【0022】

各接合インプラント58は、イオン注入法により形成され、ベースウェル64と、ソースウェル66と、オーミックウェル68とを含んでもよい。各ベースウェル64はIGBTスタック44の第1の面60に埋め込まれており、IGBTスタック44の側縁70に沿ってインジェクタ領域52に向かって第1の深さ( $D_B$ )まで下方に延在している。なお、第1の深さ( $D_B$ )は、拡散領域56の厚さ( $T_s$ )よりも実質的に小さい、各接合インプラント58のドリフト領域54に最も近い部分を示し、それによって、以下にさらに詳細に説明するように、接合インプラント58の下方に配置された1つ以上の損傷領域の影響を軽減するために各接合インプラント58とドリフト領域54との間に拡散層バッファ72を残す。拡散層バッファ72の厚さは、ベースウェル64の第1の深さ( $D_B$ )を差引いた拡散領域56の厚さ( $T_s$ )である。ソースウェル66及びオーミックウェル68は、IGBTスタック44の第1の面60の浅い部分に形成され、ベースウェル64に囲まれている。JFETギャップ74は各接合インプラント58を分離し、IGBT素子42における各接合インプラント間の距離としてJFETギャップ幅 $W_{JFET}$ を定義する。以下でさらに詳細に説明するように、追加の接合型電界効果トランジスタ(JFET)インプラント76をJFETギャップ74内に設けてもよい。

#### 【0023】

一実施形態によれば、拡散領域56の厚さ( $T_s$ )は、約 $1.5\mu m \sim 10\mu m$ の間である。ベースウェル64の第1の深さ( $D_B$ )は約 $0.5\mu m \sim 1.5\mu m$ の間であってもよい。以下でさらに詳細に説明するように、拡散領域56の厚さ( $T_s$ )は拡散層バッファ72を提供するために、各接合インプラント58のベースウェル64の第1の深さ( $D_B$ )よりも実質的に大きく、接合インプラント58の下方に配置された1つ以上の損傷領域の影響を軽減する。例えば、拡散領域56の厚さ( $T_s$ )は、各ベースウェル64の第1の深さ( $D_B$ )の1倍半から4倍大きくてもよい。さらなる例としては、拡散領域56の厚さ( $T_s$ )は、ベースウェル64の第1の深さ( $D_B$ )より少なくとも $1.5\mu m \sim 10.0\mu m$ 大きくてもよく、拡散層バッファ72は少なくとも $1.5\mu m \sim 10.0\mu m$ である。

#### 【0024】

ゲート酸化物層78は、IGBTのスタック44の第1の面60上に配置されてもよく、各ソースウェル66の一部の表面間に横方向に延在してもよい。それにより、ゲート酸

化膜 7 8 は接合インプラント 5 8 の各ソースウェル 6 6 の表面に部分的に重なりと共にその間に延在する。エミッタコンタクト 5 0 は、「U」字形状であってもよく、I G B T スタック 4 4 の第 1 の面 6 0 と接触する 2 つの部分を含んでもよい。I G B T のスタック 4 4 の第 1 の面 6 0 上のエミッタコンタクト 5 0 の各部分は、ゲート酸化膜 7 8 のゲートコンタクト 4 8 に接触することなく、一方の接合インプラント 5 8 のソースウェル 6 6 及びオーミックウェル 6 8 の両方にそれぞれ部分的に重なっていてもよい。

#### 【 0 0 2 5 】

インジェクタ領域 5 2 とドリフト領域 5 4 との間の第 1 接合部  $J_1$  と、各ベースウェル 6 4 とドリフト領域 5 4 との間の第 2 接合部  $J_2$  と、各ソースウェル 6 6 と各ベースウェル 6 4 との間の第 3 接合部  $J_3$  とは、I G B T 素子 4 2 の付勢力に基づいて順方向バイアス動作モード又は逆バイアス動作モードのいずれかで動作するように制御される。これにより、コレクタコンタクト 4 6 とエミッタコンタクト 5 0 との間の電流の流れが制御される。

#### 【 0 0 2 6 】

一実施形態によれば、インジェクタ領域 5 2 は、ドーピング濃度が  $1 \text{ E } 16 \text{ cm}^{-3} \sim 1 \text{ E } 21 \text{ cm}^{-3}$  の間である高濃度にドーピングされた P 領域 5 2 である。ドリフト領域 5 4 は、ドーピング濃度が  $1 \text{ E } 13 \text{ cm}^{-3} \sim 1 \text{ E } 15 \text{ cm}^{-3}$  の間である低濃度にドーピングされた N 領域であってもよい。以下でさらに詳細に説明するように、いくつかの実施形態では、ドリフト領域 5 4 は、I G B T 素子 4 2 の一つ以上の性能パラメータを向上させるために、かなり低濃度のドーパントを含んでもよい。拡散領域 5 6 は、ドーピング濃度が  $5 \text{ E } 15 \text{ cm}^{-3} \sim 5 \text{ E } 16 \text{ cm}^{-3}$  の間である高濃度にドーピングされた N 領域であってもよい。さらに、いくつかの実施形態では、拡散領域 5 6 は段階的ドーピング濃度を含み、拡散領域 5 6 が、I G B T スタック 4 4 の第 1 の面 6 0 から離れるように延在すると、拡散領域 5 6 のドーピング濃度が徐々に減少するようにしてもよい。例えば、I G B T スタック 4 4 の第 1 の面 6 0 に直接隣接する拡散領域 5 6 の部分が約  $5 \text{ E } 16 \text{ cm}^{-3}$  の濃度にドーピングされる一方、ドリフト領域に直接隣接する拡散領域の一部 5 4 が約  $5 \text{ E } 15 \text{ cm}^{-3}$  の濃度にドーピングされてもよい。J F E T 領域 7 6 はまた、ドーピング濃度が  $1 \text{ E } 16 \text{ cm}^{-3} \sim 1 \text{ E } 17 \text{ cm}^{-3}$  の間である高濃度にドーピングされた N 領域であってもよい。さらに、ベースウェル 6 4 は、ドーピング濃度が  $5 \text{ E } 17 \text{ cm}^{-3} \sim 1 \text{ E } 19 \text{ cm}^{-3}$  の間である P ドーピングされた領域であってもよいし、ソースウェル 6 6 は、ドーピング濃度が  $1 \text{ E } 19 \text{ cm}^{-3} \sim 1 \text{ E } 21 \text{ cm}^{-3}$  の間である高濃度にドーピングされた N 領域であってもよく、オーミックウェル 6 8 は、ドーピング濃度が  $1 \text{ E } 19 \text{ cm}^{-3} \sim 1 \text{ E } 21 \text{ cm}^{-3}$  の間である高濃度にドーピングされた P 層であってもよい。

#### 【 0 0 2 7 】

インジェクタ領域 5 2 は、アルミニウム、ホウ素などをドーピングしてもよい。当業者は、インジェクタ領域 5 2 をドーピングするのに適切であり得る多くの異なるドーパントが存在し、そのすべてが本明細書において意図されることを理解するであろう。ドリフト領域 5 4 、拡散領域 5 6 、J F E T 領域 7 6 は、窒素、リンなどをドーピングしてもよい。当業者は、ドリフト領域 5 4 と、拡散領域 5 6 と、J F E T 領域とをドーピングするのに適切であり得る多くの異なるドーパントが存在し、そのすべてが本明細書において意図されることを理解するであろう。

#### 【 0 0 2 8 】

一実施形態によれば、インジェクタ領域 5 2 はエピタキシャル法によって生成される。さらなる実施形態によれば、インジェクタ領域 5 2 はイオン注入法により形成される。当業者は、多数の異なるプロセスがインジェクタ領域 5 2 を生成するために存在し、そのすべてが本明細書において意図されることを理解するであろう。拡散領域 5 6 及び J F E T 領域 7 6 は、同様にエピタキシャル法又はイオン注入法のいずれかによって形成されてもよい。当業者は、多数の異なるプロセスが拡散領域 5 6 及び J F E T 領域 7 6 を生成するために存在し、そのすべてが本明細書において意図されることを理解するであろう。

#### 【 0 0 2 9 】

一実施形態によれば、IGBTスタック44は、ワイドバンドギャップ半導体材料である。例えば、IGBTスタック44は、シリコンカーバイド(SiC)であってもよい。上述したように、現在のSiC技術に固有の製造上の制限により、一般に、SiCのIGBT素子のインジェクタ領域においてキャリア寿命及び/又はキャリア濃度は減少する。その結果、SiCのIGBT素子は、通常「背面側射出」量の減少を被り、SiCのIGBT素子の伝導率変調が貧弱になると共に抵抗値( $R_{ON}$ )が上がる。さらに、ワイドバンドギャップIGBT素子を設計する試みにおいて、SiCのIGBT素子の各接合インプラントの下の損傷領域が、これらの損傷領域の又はその付近のキャリア寿命を著しく低下させることが本発明者らによって発見された。これらのいわゆる「エンドブレンジ」欠陥が効果的にSiCのIGBT素子のドリフト層の上部における電流の変調を防止し、今度は、この領域の抵抗を著しく増加させる。ドリフト領域の上部の抵抗が増加した結果、SiCのIGBT素子における電流の流れを大幅に低減することができ、さらには完全に遮断し得る。IGBT素子42の拡散領域56は、したがって、各接合インプラント58の下に損傷領域をバイパスするように設けられ、それによってSiCのIGBT素子42の性能を向上させている。

10

#### 【0030】

各接合インプラント58の下に損傷領域をバイパスすることにより、エミッタコンタクト50からの電子は、ドリフト領域54における高伝導度変調の領域に直接配送される。したがって、電子は簡単にドリフト領域54に入り、IGBT素子42のコレクタコンタクト46に渡る。当業者は、オン抵抗( $R_{ON}$ )がIGBT素子42において著しく低減し、それにより、その性能を向上させることを認識するであろう。

20

#### 【0031】

拡散領域56が効果的にIGBT素子42のON抵抗( $R_{ON}$ )を低減する一方、拡散領域56の導入は、IGBT素子42の阻止電圧( $V_{BLK}$ )を減少させる。この事実を補償するために、ドリフト領域54のドーピング濃度を、上述のように、ドリフト領域54のドーピング濃度が非常に低くなるように、減少させてもよい。これにより、IGBT素子42のオン抵抗( $R_{ON}$ )及び阻止電圧( $V_{BLK}$ )のバランスがとられてもよい。

#### 【0032】

上述の利点に加えて、IGBT素子42はさらに「前面側」射出の主な使用から恩恵を受ける。すなわち、図2に示されているIGBT素子42は、インジェクタ領域52からの正孔射出の結果としてではなく、主にエミッタコンタクト50から供給される電子を使用することにより、コレクタコンタクト46からエミッタコンタクト50へ電流を送る。当業者によって理解されるように、従来のIGBT素子に共通である支配的な背面側射出の使用は、多くの場合、著しいスイッチング損失を生じ、それによってIGBT素子の性能を劣化させる。このため、素子の背面側に設けられた正孔射出量を減らすと同時にエミッタコンタクトから供給される電子の量を増加させる多数の技術が開発された。IGBTスタック44内の様々な領域の配置により、IGBT素子42は、本質的に支配的な「前面側」射出モードで動作し、それによって、素子の性能を向上させる。

30

#### 【0033】

さらに、拡散領域56を設けることはまた、従来のIGBT素子と比較した場合、JFETギャップ幅( $W_{JFET}$ )及び素子全体の幅( $W_D$ )を大幅に縮小することを可能にする。例えば、IGBT素子42のJFETギャップ幅( $W_{JFET}$ )は $1\mu m \sim 4\mu m$ の間であってもよく、IGBT素子42の素子全体の幅( $W_D$ )は $5\mu m \sim 15\mu m$ の間であってもよい。

40

#### 【0034】

最後に、拡散領域56を設けることは、IGBT素子42の望ましい熱特性をもたらす。当業者によって理解されるように、従来のIGBT素子は、一般に相当量の温度依存性に悩まされる。すなわち、従来のIGBTの性能特性は、通常、温度と共に変化する。具体的には、IGBT素子の温度が上昇するにつれて、ドリフト領域内のキャリアの寿命が延び、それによって、素子を通る電流の流れが増加する。その結果、IGBT素子を通る電流

50

る電流の増加により素子の温度がさらに上昇し、I G B T素子がもはや素子を通る電流の量を処理できなくなって機能しなくなるという危険なサイクルがもたらされ得る。上述したように、I G B T素子42に拡散領域56を設けることにより、大きな変動されていない領域がI G B Tスタック44の第1の面60の下に生成される。当業者によって理解されるように、この変動されていない領域は、その中の電流の流れと温度との間で逆の関係を有する。ドリフト領域54及び拡散領域56の寸法を慎重に選択することにより、設計者は、I G B T素子42における電流の流れに対する温度の影響を効果的に打ち消し、著しくその性能を向上させることができる。

#### 【0035】

図3及び図4A-4Iは、本開示の一実施形態による、図2に示したI G B T素子42の製造方法を説明する。まず、インジェクタ領域52を、犠牲基板80（ステップ100及び図4A）上でエピタキシャル法によって成長させる。当業者によって理解されるように、S i C材料系に利用可能なP基板の欠如のため、犠牲基板80を図2に示すI G B T素子42を生成するために使用しなければならない。その後、ドリフト領域54を基板80（ステップ102及び図4B）の反対側のインジェクタ領域52上で成長させる。次に、拡散領域56をインジェクタ領域52（ステップ104及び図4C）の反対側のドリフト領域54上でエピタキシャル法によって成長させる。拡散領域56は、ドリフト領域54の反対側である第1の面60を提供する。その後、接合インプラント58がI G B Tスタック44の第1の面60から第1の深さD<sub>B</sub>に延在するように、接合インプラント58をI G B Tスタック44（ステップ106及び図4D）の第1の面60に設ける。接合インプラント58は、一般に、1つ以上のイオン注入法を介して提供されるが、本明細書に開示される原理から逸脱することなく、任意の適切な方法を使用して接合インプラント58を提供してもよい。特に、上述したように、拡散領域56及び接合インプラント58は、拡散領域56が第1の深さD<sub>B</sub>よりも1倍半から4倍厚い、厚さT<sub>S</sub>を有するように設けられ、それによって完成したI G B T素子42の性能を向上させる。

#### 【0036】

J F E T領域76は、次に、接合インプラント58（ステップ108及び図4E）間のチャンネル74に設けられる。J F E T領域76は、エピタキシャル法、イオン注入法、又は他の任意の適切なプロセスによって提供されてもよい。次に、ゲート酸化膜78及びゲートコンタクト48をI G B Tスタック44（ステップ110及び図4F）の第1の面60に設ける。具体的には、ゲート酸化膜78が一对の接合インプラント58の各ソースウェル66と部分的に重なると共にその間に延在するように、ゲート酸化膜78を設け、ゲートコンタクト48をゲート酸化膜78の上部に設ける。当業者によって理解されるように、ゲート酸化膜78及びゲートコンタクト48それぞれを提供するためにいくつかの異なる酸化及び金属化技術が存在し、そのすべてが本明細書中で意図されている。次に、エミッタコンタクト50を、I G B Tスタック44（ステップ112及び図4G）の第1の面60上に設ける。具体的には、エミッタコンタクト50を、エミッタがゲートコンタクト48に接触することなく、一对の接合インプラント58それぞれのソースウェル66及びオーミックウェル68にそれぞれ部分的に重なるように設ける。エミッタコンタクト50は任意の適切な金属化プロセスによって設けられてもよい。次に、基板80をI G B Tスタック44（ステップ114及び図4H）から除去する。基板80は、例えば、エッチング又は研削加工により、除去されてもよい。最後に、コレクタコンタクト46をI G B Tスタック44（ステップ116及び図4I）の第2の面62全体上に設ける。コレクタコンタクト46は、任意の適切な金属化プロセスによって提供されてもよい。

#### 【0037】

図3及び図4A~4Iに示す工程は特定の順序で配置された特定の数の個別のステップで示されているが、本発明はこれに限定されるものではない。それぞれの工程は、実際には一つ以上のステップを含んでもよく、本明細書に記載の原理から逸脱することなく他のステップに対し任意の順序で行われてもよい。

#### 【0038】

10

20

30

40

50

図5は、本発明の追加の実施形態に係るIGBT素子42を示している。図2に関して上述したIGBT素子42はN-IGBTであるが、図5のIGBT素子42はP-IGBT素子である。従って、IGBT素子42内の別個の各領域のドーピングは図2に示すものとは反対であり、インジェクタ領域52は、ドーピング濃度が $1E16\text{ cm}^{-3} \sim 1E21\text{ cm}^{-3}$ の間である高濃度にドーピングされたN領域であってもよく、ドリフト領域54は、ドーピング濃度が $1E13\text{ cm}^{-3} \sim 1E15\text{ cm}^{-3}$ の間である低濃度にドーピングされたP領域であってもよく、拡散領域56は、ドーピング濃度が $5E15\text{ cm}^{-3} \sim 5E16\text{ cm}^{-3}$ の間である高濃度にドーピングされたP領域であってもよく、JFET領域76は、ドーピング濃度が $1E16\text{ cm}^{-3} \sim 1E17\text{ cm}^{-3}$ の間である高濃度にドーピングされたP領域であってもよい。さらに、ウェルベース64は、ドーピング濃度が $5E17\text{ cm}^{-3} \sim 1E19\text{ cm}^{-3}$ の間であるNドーピングされた領域であってもよく、ソースウェル66は、ドーピング濃度が $1E19\text{ cm}^{-3} \sim 1E21\text{ cm}^{-3}$ の間である高濃度にドーピングされたP領域であってもよく、オーミックウェル68は、ドーピング濃度が $1E19\text{ cm}^{-3} \sim 1E21\text{ cm}^{-3}$ の間である高濃度にドーピングされたN層であってもよい。図5に示されるIGBT素子42は図2に関して上述したIGBT素子42と実質的に同様に機能することができ、その違いは当業者によって容易に理解されるであろう。

#### 【0039】

図6及び図7A-7Fは、本開示の一実施形態による図5に示したIGBT素子42の製造方法を説明する。まず、ドリフト領域54をインジェクタ領域52（ステップ200及び図7A）の上に成長させる。IGBT素子42におけるインジェクタ領域52はN型ドーピング層であるため、当業者によって理解されるように、インジェクタ領域は、IGBTスタック44の他の領域を成長させるための基質としての役割をすることができる。その後、拡散領域56をインジェクタ領域52（ステップ202及び図7B）の反対側のドリフト領域54上に成長させる。拡散領域56は、IGBTスタック44の反対側にある第1の面60を提供する。次に、接合インプラント58がIGBTスタック44の第1の面60から第1の深さ $D_B$ まで延在するように、接合インプラント58をIGBTスタック44（ステップ204及び図7C）の第1の面60に設ける。接合インプラント58は、一般に、1つ以上の注入プロセスを介して提供されるが、本明細書に開示される原理から逸脱することなく、任意の適切な方法を使用して接合インプラント58を提供してもよい。特に、上述したように、拡散領域56及び接合インプラント58は、拡散領域56の厚さ $T_S$ が第1の深さ $D_B$ よりも2分の1～4倍の厚さになるように設けられ、それによって完成したIGBT素子42性能を向上させる。

#### 【0040】

次に、JFET領域76を接合インプラント58（ステップ206及び図7D）間のチャンネル74に設ける。JFET領域76は、エピタキシャル法、イオン注入法、又は他の任意の適切なプロセスによって提供されてもよい。次に、ゲート酸化膜78及びゲートコンタクト48をIGBTスタック44（ステップ208及び図7E）の第1の面60上に設ける。具体的には、ゲート酸化膜78が一对の接合インプラント58の各ソースウェル66と部分的に重なり共にその間に延在するように、ゲート酸化膜78を設け、ゲートコンタクト48をゲート酸化膜78の上部に設ける。当業者によって理解されるように、ゲート酸化膜78及びゲートコンタクト48それぞれを提供するためのいくつかの異なる酸化及び金属化技術が存在するが、そのすべてが本明細書中で意図されている。最後に、コレクタコンタクト46をIGBTスタック44の第2の面62上に設け、エミッタコンタクト50をIGBTスタック44（ステップ210及び図4F）の第1の面60上に設ける。具体的には、エミッタコンタクト50を、エミッタコンタクト50が、ゲートコンタクト48に接触することなく、一对の接合インプラントそれぞれにおけるソースウェル66及びオーミックウェル68にそれぞれ部分的に重なるように設ける一方、コレクタコンタクト46をIGBTスタック44の第2の面62全体上に設ける。コレクタコンタクト46及びエミッタコンタクト50は任意の適切な金属化プロセスによって提供されてもよい。

10

20

30

40

50

## 【 0 0 4 1 】

図 6 及び図 7 A ~ 7 F に示すプロセスは特定の順序で配置された特定の数の個別のステップで示されているが、本発明はこれに限定されるものではない。それぞれのステップは、実際には一つ以上のステップを含んでもよく、本明細書に記載の原理から逸脱することなく他のステップに対し任意の順序で行うことができる。

## 【 0 0 4 2 】

当業者は、本開示の好ましい実施形態に対する改良及び修正を認識するであろう。すべてのそのような改良や変更は、本明細書に開示された概念及び添付の特許請求の範囲の範囲内であると考えられる。

【 図 1 】

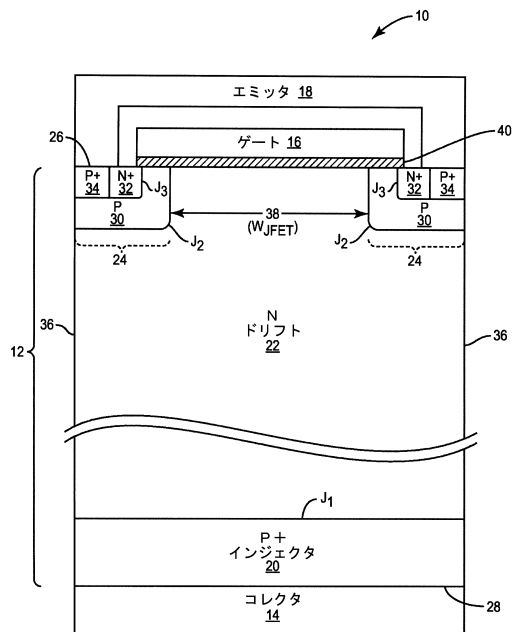


FIG. 1  
(関連技術)

【 図 2 】

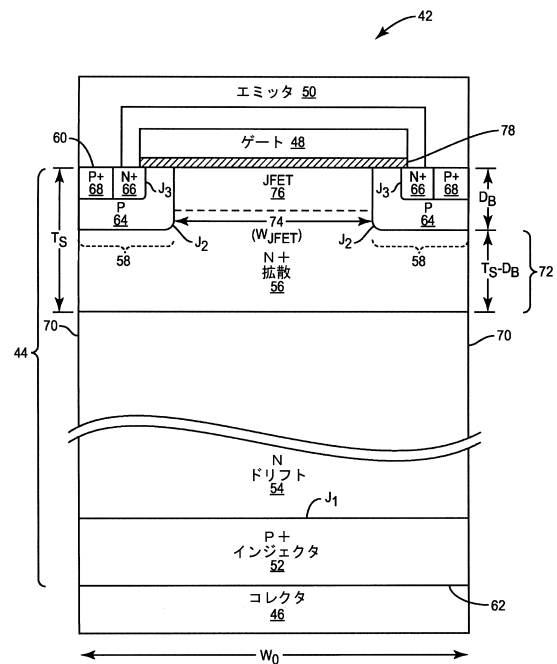


FIG. 2

【図 3】

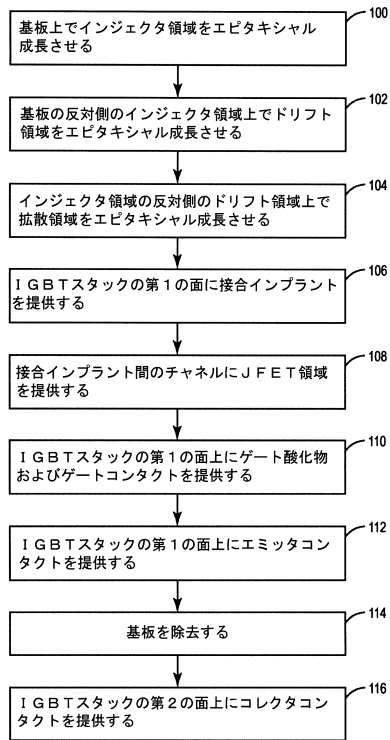


FIG. 3

【図 4 A】

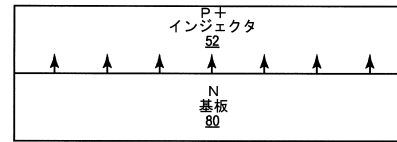


FIG. 4A

【図 4 B】

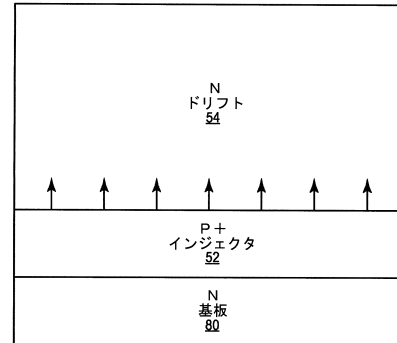


FIG. 4B

【図 4 C】

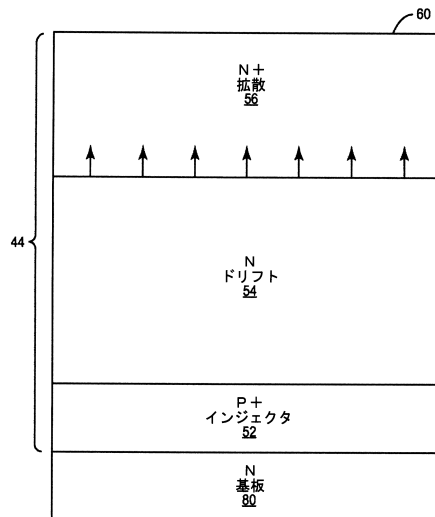


FIG. 4C

【図 4 D】

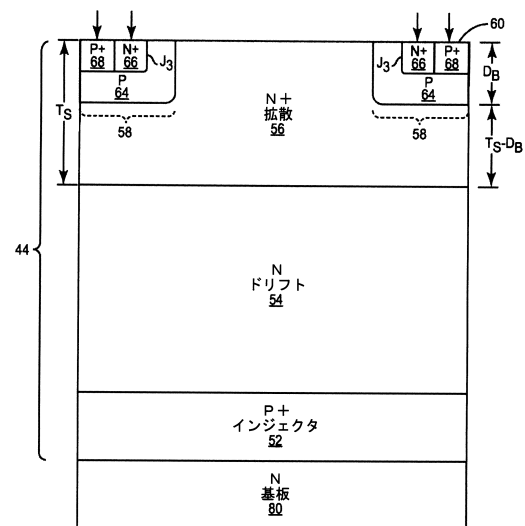


FIG. 4D

【図 4 E】

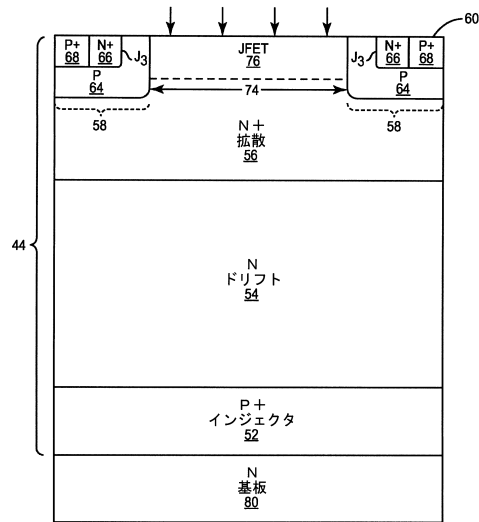


FIG. 4E

【図 4 F】

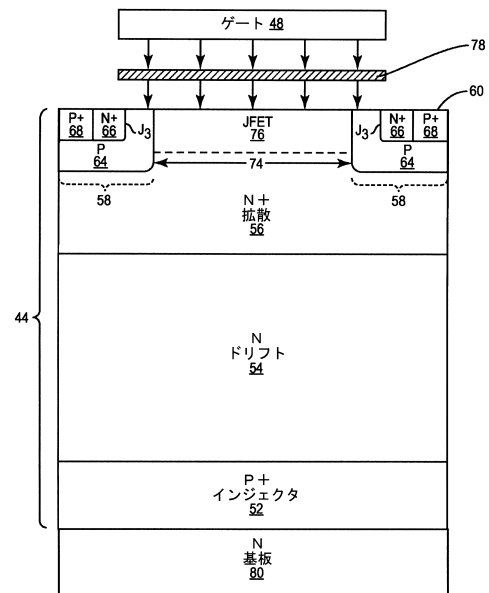


FIG. 4F

【図 4 G】

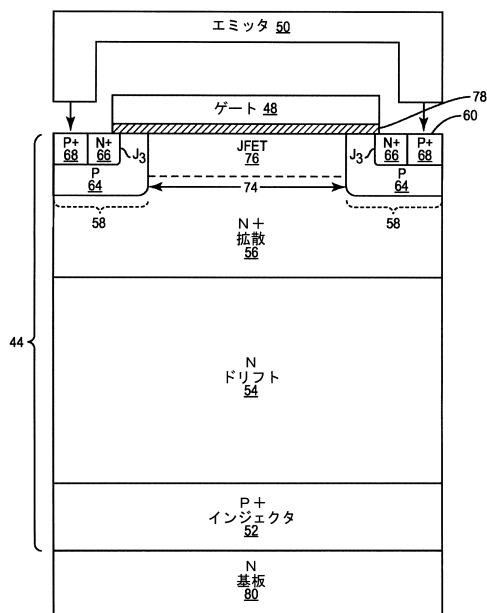


FIG. 4G

【図 4 H】

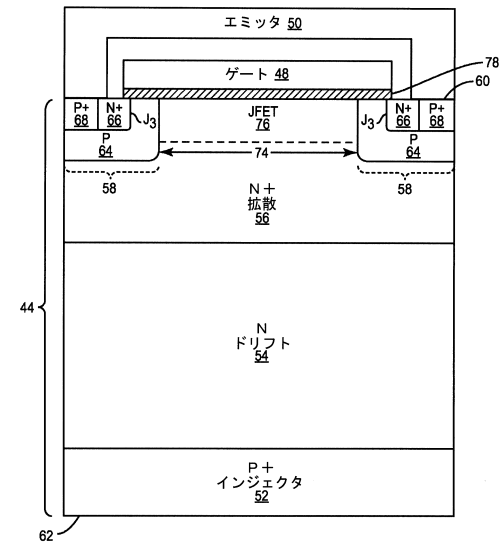


FIG. 4H



【図 4 I】

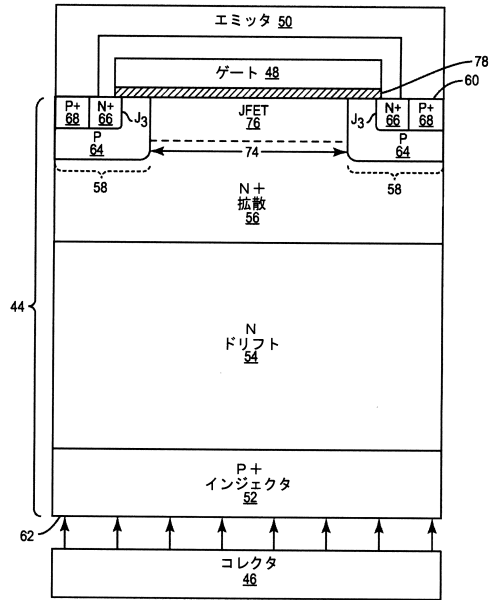


FIG. 4I

【図 5】

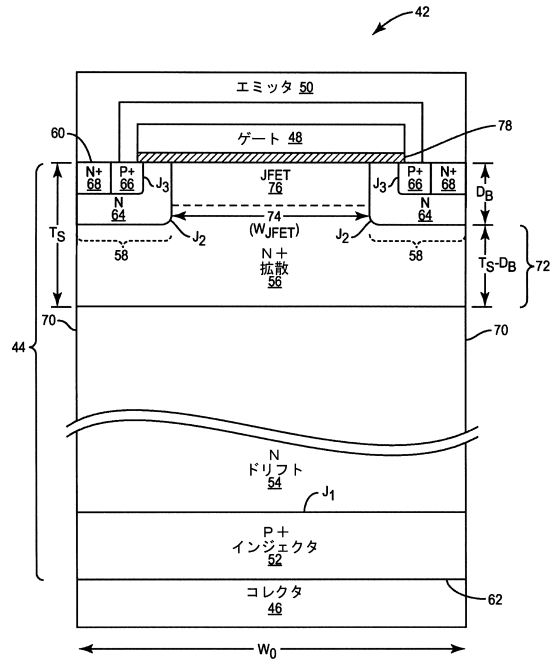


FIG. 5

【図 6】

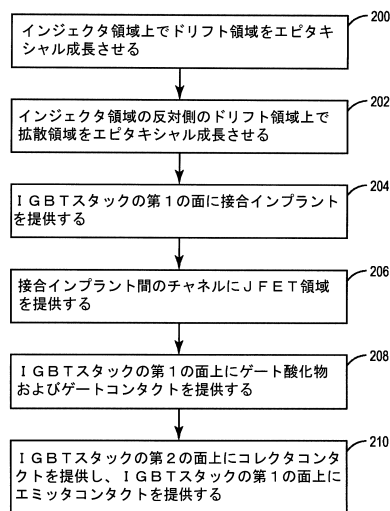


FIG. 6

【図 7 A】

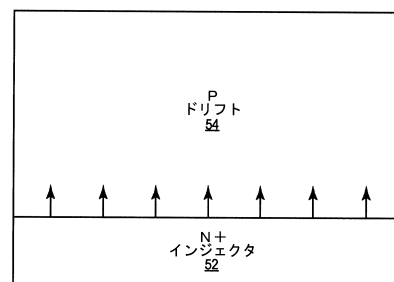


FIG. 7A

【図 7 B】

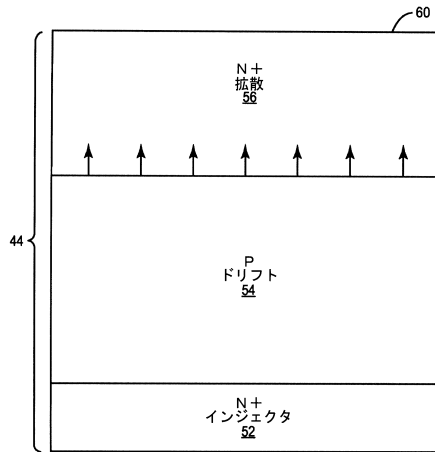


FIG. 7B

【図 7 C】

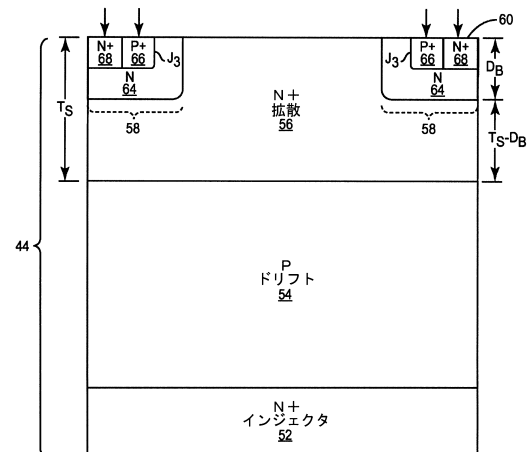


FIG. 7C

【図 7 D】

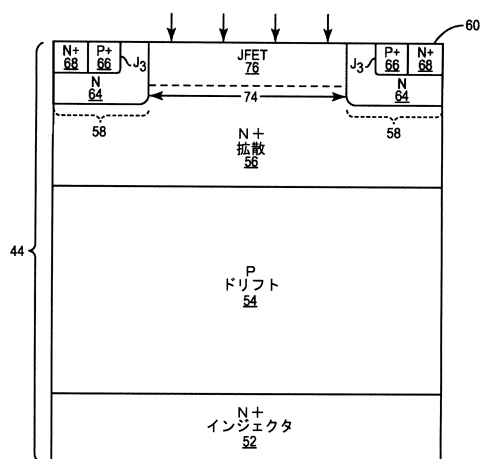


FIG. 7D

【図 7 E】

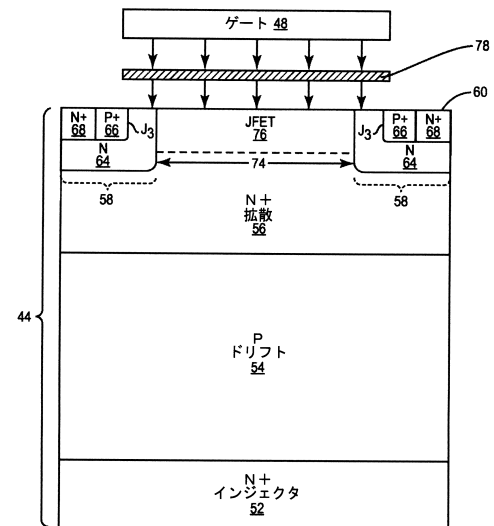


FIG. 7E

Fig. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 44, a drift region 54 (P-type), an N+ injection layer 52, and a collector 46. A JFET 76 is formed in the drift region 54, with a gate 48 and a drain 78. The JFET 76 has N+ regions 68 and P+ regions 66, and is surrounded by N+ regions 64. The gate 48 is connected to the emitter 50. The collector 46 is connected to the emitter 50. The device is labeled with various numbers: 44, 46, 48, 50, 52, 54, 58, 60, 62, 64, 66, 68, 74, 76, 78.

**FIG. 7F**

---

フロントページの続き

- (72)発明者 ヴァン ブラント エドワード ロバート  
アメリカ合衆国 ノースカロライナ州 27606 ローリー カールトン アベニュー 100  
9 アpartment イー
- (72)発明者 チェン リン  
アメリカ合衆国 ノースカロライナ州 27514 チャペル ヒル エス クラブツリー ノー  
ルズ 103

## 合議体

審判長 加藤 浩一

審判官 恩田 春香

審判官 井上 和俊

- (56)参考文献 特開2014-22708(JP,A)  
特開2013-89700(JP,A)  
国際公開第2011/027523(WO,A1)  
特開2012-104648(JP,A)  
特開2011-60930(JP,A)  
特開2013-149837(JP,A)  
国際公開第2014/013821(WO,A1)

## (58)調査した分野(Int.Cl., DB名)

H01L21/336

H01L29/78

H01L29/12

H01L29/739