



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0069678
(43) 공개일자 2013년06월26일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>H01L 31/18</i> (2006.01) <i>H01L 31/042</i> (2006.01)</p> <p>(21) 출원번호 10-2013-0050291(분할)</p> <p>(22) 출원일자 2013년05월03일
 심사청구일자 2013년05월03일</p> <p>(62) 원출원 특허 10-2011-0069601
 원출원일자 2011년07월13일
 심사청구일자 2011년07월13일</p> | <p>(71) 출원인
 고려대학교 산학협력단
 서울 성북구 안암동5가 1</p> <p>(72) 발명자
 김동환
 서울특별시 서초구 반포4동 591-1 효성빌라 1-104
 탁성주
 서울특별시 노원구 중계4동 137-39 정진아트리움 101동 1102호
 (뒷면에 계속)</p> <p>(74) 대리인
 특허법인이지</p> |
|--|--|

전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **고상성장을 이용한 태양전지 도핑층 형성방법**

(57) 요약

본 발명은 태양전지 제조방법에 관한 것으로, 보다 구체적으로는 전극 소성 공정시 에미터 또는 전면전계 및 후면전계를 동시 형성하는 것을 특징으로 하는 태양전지 제조방법에 관한 것이다. 본 발명에 따라 제조된 태양전지는 p-n 접합 면적이 확대되어 태양광 수광 능력이 향상되고, 높은 표면 재결합 방지 효과를 나타내어 광전기 변환 효율을 향상시킬 수 있는 효과가 있다.

대표도 - 도1



(72) 발명자

박효민

서울특별시 성북구 석관동 185-47번지

김영도

서울특별시 서초구 서초3동 대림5차e편한세상아파트502동1001호

박성은

부산광역시 남구 대연4동 920-1

이 발명을 지원한 국가연구개발사업

과제고유번호 20093021010010-12-1-000

부처명 한국에너지기술평가원

연구사업명 지식경제기술혁신사업

연구과제명 고효율 결정질 실리콘 태양전지

주관기관 고려대학교 산학협력단

연구기간 2011.06.01 ~ 2012.05.31

특허청구의 범위

청구항 1

결정질 실리콘 기판 전면에 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 층을 PECVD법으로 증착하는 단계;

상기 불순물이 도핑된 비정질 층 상에 반사방지막을 증착하는 단계;

상기 반사방지막 상 및 결정질 실리콘 기판 후면에 금속 페이스트를 인쇄하는 단계; 및

상기 금속 페이스트가 인쇄된 결정질 실리콘 기판을 소성하는 단계;

를 포함하고, 상기 금속 페이스트가 인쇄된 결정질 실리콘 기판을 소성하는 단계에서, 소성으로 인해 상기 불순물이 도핑된 비정질 층은 고상성장하게 되고 상기 비정질층의 불순물을 결정질 실리콘 기판으로 확산시켜 에미터 또는 전면전계를 형성함과 동시에 전면전극은 오믹접촉을 하게 되고 후면전극 물질은 결정질 실리콘 기판으로 도핑되어 후면전계가 형성되는 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법.

청구항 2

제 1항에 있어서,

상기 비정질 층에 도핑된 에미터 또는 전면전계로 작용하는 불순물의 농도는 10^{18} cm^{-3} 내지 10^{21} cm^{-3} 인 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법.

청구항 3

제 1항에 있어서,

상기 에미터 또는 전면전계로 작용하는 불순물은 인(P), 비소(As) 및 안티몬(Sb)로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법.

청구항 4

제 1항에 있어서,

상기 결정질 기판 전면에 증착된 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 층은 0.05 내지 $1\mu\text{m}$ 의 두께인 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법.

청구항 5

제 1항에 있어서,

상기 반사방지막은 실리콘 질화막(SiN_x) 또는 실리콘 산화막(SiO_2)인 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법.

청구항 6

제 1항에 있어서,

상기 금속 페이스트는 은(Ag) 페이스트 또는 알루미늄(Al) 페이스트인 것을 특징으로 하는 고상성장을 이용한

태양전지 도핑층 형성방법.

청구항 7

제 1항에 있어서,

상기 금속 페이스트가 인쇄된 결정질 실리콘 기판을 소성하는 단계는 600 내지 750℃의 온도에서 수행함으로써, 결정질 실리콘 기판 전면의 도핑층 및 전극을 동시에 형성하는 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법.

청구항 8

제1항 내지 제7항 중 어느 한 항에 따른 고상성장을 이용한 태양전지 도핑층 형성방법으로 제조된 태양전지.

명세서

기술분야

[0001] 본 발명은 고상성장(solid phase epitaxy)을 이용한 태양전지 도핑층 형성방법에 관한 것으로, 보다 구체적으로는 전극 소성단계에서 에미터 또는 전면전계를 동시 형성하는 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법에 관한 것이다.

배경기술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예측되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양 에너지로부터 전기 에너지를 생성하는 전지로서, 친환경적이고 에너지원인 태양 에너지가 무한할 뿐만 아니라 수명이 길다는 장점이 있다.

[0003] 일반적으로 태양전지는 반도체를 사용하여 광자(Photon)의 에너지를 전기적 에너지로 전환하는 광기전력 효과를 이용한 것으로서, p형 반도체와 n형 반도체를 접합시킨 p-n 접합(junction)을 형성하여 만든다. 이때 p-n 접합부에 입사하는 빛 에너지에 의해 반도체의 내부에서는 전자와 정공이 발생하며, 이러한 전자와 정공은 내부의 전계에 의해 각각 n형 및 p형의 반도체층으로 이동하여 양쪽의 두 전극에 축적된다. 이때 전극을 서로 전기적으로 연결하면 도선에는 전류가 흐르게 되며 외부에서는 이를 전력으로 이용할 수 있게 된다.

[0004] 이러한 태양전지는 기판의 양면에 두 개의 전극이 형성되어 있으며, 기판 내부의 전면 및 후면에 n+형 및 p+형의 불순물이 도핑되어 있는 반도체층이 형성되어 있다. 이러한 태양전지를 제조하는 방법에 있어서는 제 1 도전형(p형 또는 n형)을 가지는 반도체 기판의 상부에 반대의 도전형을 가지는 제 2 도전형(n형 또는 p형)의 반도체층을 형성한다. 이후 기판의 전면에 반사방지막과 전면전극 및 후면에 후면전계와 후면전극을 형성한다. 이하에서는 기판은 p형 실리콘기판으로 가정하고 제 2 도전형의 반도체층은 n형 실리콘층인 것으로 설명한다.

[0005] n형 실리콘 층의 형성을 위해서는 p형 반도체 기판에 인(P) 페이스트를 스크린 인쇄법으로 도포하거나 p형 반도체 기판을 열확산 장치에 로딩한 후 포스포러스(phosphorous:POCl₃)를 도핑함으로써 n형 도핑층인 에미터(emitter)를 형성하는 것이 가장 일반적인 방법이다.

[0006] 이와 같이 n형 실리콘 층의 형성을 위해 p형 반도체 기판에 인(P) 페이스트를 스크린 인쇄법으로 도포하는 경우 반도체 기판의 표면에는 PSG(PhosphoSilicate Glass)와 같은 부산물이 형성된다. PSG와 같은 글래스류의 부산물은 기판 표면의 절연 특성을 악화시키는 문제가 있으므로 반드시 제거하는 공정을 거친 뒤 그 위에 반사방지막을 형성해야 하며, 이때 반사방지막은 일반적으로 PECVD 방법으로 증착시킨다.

[0007] 또한, 포스포러스(phosphorous:POCl₃)를 도핑하여 n형 실리콘 층을 형성하는 경우에는 반도체 기판의 측면 및 후면까지 제 2 도전형(n+)의 불순물층이 형성되어 전기적으로 연결됨으로써 효율감소의 원인이 되기 때문에 태양전지의 p-n 접합에서 반도체 기판의 소정 부분에 도핑된 부분을 제거하여 전면전극과 후면전극을 서로 전기적으로 분리하는 에지 아이솔레이션(edge isolation) 공정이 반드시 수행되어야만 한다. 에지 아이솔레이션 공정

은 공정 형태에 따라 레이저장비, 절단톱, 금속 스크라이버들 중 특정 장비가 별도로 필요하기 때문에, 결국 태양전지의 생산 단가가 높아지는 문제를 초래하며 에지 아이솔레이션 공정으로 인해 태양광을 수광할 수 있는 p-n 접합 면적이 에지 아이솔레이션 공정으로 인해 제거된 부분만큼 실질적으로 감소하게 되고 그로 인해 태양광 수광면적이 상대적으로 작아지게 되고, 이에 태양전지의 효율은 그만큼 저하되게 되는 문제점이 있다.

[0008] 에지 아이솔레이션 공정을 생략하는 것을 목적으로 하는 연구에 있어서는, 대한민국 등록특허공보 0954827호에는 n형 불순물이 포함된 반사방지막층을 제조함으로써 기관의 에지에 n형 불순물이 확산되지 않아 에지 아이솔레이션 공정이 불필요한 태양전지 제조방법이 공개되어 있다.

[0009] 또한, 대한민국 등록특허공보 0964153에는 이온 주입으로 에미터층을 형성하여 PSG 제거 공정 및 에지아이솔레이션 공정을 거칠 필요가 없는 태양전지 제조방법이 공개되어 있다.

발명의 내용

해결하려는 과제

[0010] 이와 같은 기술적 배경 하에서, 본 발명자들은 상술한 종래 기술상의 문제점을 해결하고 고효율의 태양전지를 제조하고자 예의 노력한 결과 본 발명을 완성하기에 이르렀다.

[0011] 결국, 본 발명의 목적은 고상성장을 이용하여 전극 소성 공정시 에미터 또는 전면전계를 동시에 형성하여 PSG(PhosphoSilicate Glass) 제거 및 에지 아이솔레이션(edge isolation) 공정이 생략되어, 생산 효율이 증가된 태양전지를 제조하는 방법을 제공하는데 있다.

과제의 해결 수단

[0012] 상기 목적을 달성하기 위하여 본 발명에서는 결정질 실리콘 기관 전면면에 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 층을 증착하는 단계; 상기 불순물이 도핑된 비정질 층 상에 반사방지막을 증착하는 단계; 상기 반사방지막 상 및 결정질 실리콘 기관 후면에 금속 페이스트를 인쇄하는 단계; 및 상기 결과물을 동시에 소성하는 단계;를 포함하며, PGS(PhosphoSilicate Glass) 제거 및 에지 아이솔레이션(edge isolation) 공정이 제거된 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법이 제공된다.

[0013] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 바람직한 일 실시예에 따르면, 상기 비정질 층에 도핑된 에미터 또는 전면전계로 작용하는 불순물의 농도는 10^{18} cm^{-3} 내지 10^{21} cm^{-3} 일 수 있다.

[0014] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 바람직한 일 실시예에 따르면, 상기 에미터 또는 전면전계로 작용하는 불순물은 인(P), 비소(As) 및 안티몬(Sb)로 이루어진 군에서 선택된 어느 하나일 수 있다.

[0015] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 바람직한 일 실시예에 따르면, 상기 결정질 기관 전면면에 증착된 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 층은 0.05 내지 $1\mu\text{m}$ 의 두께일 수 있다.

[0016] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 바람직한 일 실시예에 따르면, 상기 결정질 실리콘 기관 전면면에 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 층을 증착하는 단계는 PECVD법으로 수행할 수 있다.

[0017] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 바람직한 일 실시예에 따르면, 상기 반사방지막은 실리콘 질화막(SiNx) 또는 실리콘 산화막(SiO_2)일 수 있다.

[0018] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 바람직한 일 실시예에 따르면, 상기 금속 페이스트는 은(Ag) 페이스트 또는 알루미늄(Al) 페이스트일 수 있다.

[0019] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 바람직한 일 실시예에 따르면, 상기 결과물을 동시에 소성하는 단계는 600 내지 750°C 의 온도에서 수행함으로써, 결정질 실리콘 기관 전면의 도핑층 및 전극을 동시에 형성할 수 있다.

[0020] 본 발명의 다른 측면에 따르면, 상기 고상성장을 이용한 태양전지 도핑층 형성방법으로 제조된 태양전지가 제공된다.

발명의 효과

[0021] 본 발명에 따른 태양전지 제조방법에 의하면, 종래 태양전지 제조공정에서 반드시 필요한 PSG(PhosphoSilicate Glass) 제거 공정 및 에지 아이솔레이션(edge isolation) 공정이 생략되어 반도체 기판의 p-n 접합부분이 제거되지 않게 되어 실질적으로 p-n 접합 면적이 확대되기 때문에 태양전지의 태양광 수광 능력이 향상되고, 공정이 단축되어 생산효율이 증가되는 효과가 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 태양전지 제조 공정을 나타내는 순서도이다.
 도 2는 결정질 실리콘 기판이 p형일 경우 (a) 소성 전, 및 (b) 소성 후의 태양전지의 단면도이다.
 도 3은 결정질 실리콘 기판이 n형일 경우 (a) 소성 전, 및 (b) 소성 후의 태양전지의 단면도이다.
 도 4는 본 발명에 따라 제조된 태양전지의 이동도를 나타내는 그래프이다.
 도 5는 본 발명에 따라 제조된 태양전지의 수명 및 개방전압을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0024] 본 발명에서는 결정질 실리콘 기판 전면 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 층을 증착하는 단계; 상기 불순물이 도핑된 비정질 층 상에 반사방지막을 증착하는 단계; 상기 반사방지막 상 및 결정질 실리콘 기판 후면에 금속 페이스트를 인쇄하는 단계; 및 상기 결과물을 동시에 소성하는 단계;를 포함하며, PGS(PhosphoSilicate Glass) 제거 및 에지 아이솔레이션(edge isolation) 공정이 제거된 것을 특징으로 하는 고상성장을 이용한 태양전지 도핑층 형성방법이 제공된다.

[0025] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 개략적인 과정은 도 1에 도시되어 있다. 도 1에 나타난 바와 같이, 태양전지 도핑층을 형성하기 위해서 먼저, 결정질 실리콘 기판을 준비한다(S110). 결정질 실리콘 기판을 준비하는 단계는 결정질 실리콘 기판은 절단 및 에칭공정을 수행하여 준비한다. 상기 결정질 실리콘 기판은 p형 또는 n형이다.

[0026] 본 발명에 따른 고상성장을 이용한 태양전지 도핑층 형성방법의 일 실시예에 의하면, 광포획을 최대화 하기 위해 상기 결정질 실리콘 기판을 스크래칭 하는 텍스처링을 하는 것이 바람직하다(S120). 결정질 실리콘 기판을 텍스처링 하는 공정은 결정질 실리콘 기판의 전면 또는 후면에 수행될 수 있지만, 고효율의 태양전지를 제조하기 위해서는 결정질 실리콘 기판의 전면 및 후면에 모두 수행되는 것이 더욱 바람직하다.

[0027] 이후, 결정질 실리콘 기판 전면 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 층을 증착하는 단계를 수행한다(S130).

[0028] 이 단계에서는 텍스처링된 결정질 실리콘 기판 상에 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 실리콘 층을 0.05 내지 1 μ m의 두께로 증착한다. 불순물이 도핑된 비정질 층의 두께가 0.05 μ m 미만일 경우 후 공정 시 누설(shunting)이 발생할 위험성이 증가하는 반면 1 μ m를 초과할 경우 기판 전면에서 재결합(recombination)의 증가를 가져 올 수 있다.

[0029] 이때 에미터 또는 전면전계로 작용하는 불순물이 도핑된 비정질 실리콘 층은 PECVD 방법을 이용하여 형성한다. 상기 에미터 또는 전면전계로 작용하는 불순물은 인(P), 비소(As) 및 안티몬(Sb)로 이루어진 군에서 선택된 어

느 하나일 수 있으며, 바람직하게는 인(P)일 수 있다. 불순물이 인(P)일 경우 불순물 도핑 가스로서 PH_3 와 수소화 규소 및 H_2 의 혼합가스를 사용하여 인(P)이 도핑된 비정질 실리콘 박막을 결정질 실리콘 기판에 증착한다. 상기 수소화 규소는 SiH_4 , Si_2H_6 , Si_3H_8 또는 Si_4H_{10} 일 수 있으며, 바람직하게는 SiH_4 일 수 있다.

[0030] 상기 비정질 층에 도핑된 에미터 또는 전면전계로 작용하는 불순물의 농도는 10^{18} cm^{-3} 내지 10^{21} cm^{-3} 일 수 있다. 불순물의 농도가 10^{18} cm^{-3} 미만일 경우 excess carrier 의 발생에 문제가 생길 수 있으며, 10^{21} cm^{-3} 를 초과할 경우, Auger recombination이 증가할 수 있다.

[0031] 그 다음, 불순물이 도핑된 비정질 실리콘 층 상에 반사방지막을 증착는 단계를 수행한다(S140). 반사방지막은 태양 전지의 상부에서 입사되는 태양광의 반사를 최소화 시키기 위한 막으로서, 태양 광에 의해 생성되는 전자의 재결합을 최소화 시켜 전면 전극으로 보내주는 역할을 함으로써 전자의 재결합을 최소화시켜 주게 되어 태양 전지의 효율이 증가될 수 있다. 상기 반사방지막은 실리콘 질화막(SiN_x) 또는 실리콘 산화막(SiO_2)일 수 있다.

[0032] 이후, 반사방지막 상 및 결정질 실리콘 기판 후면에 전극 형성을 위한 금속 페이스트를 인쇄하는 단계를 수행한다(S150 및 S160). 전면전극 형성을 위한 금속 페이스트로는 대표적으로 은(Ag) 페이스트가 사용되며, 후면전극 형성을 위한 금속 페이스트로는 대표적으로 알루미늄(Al) 페이스트가 사용된다.

[0033] 이후, 상기 결과물을 동시에 소성하는 단계를 수행한다(S170). 이 단계에서는 확산로(diffusion furnace) 또는 벨트로(belt furnace)에 상기 금속 페이스트가 인쇄된 결정질 실리콘 기판을 장착시킨 뒤 전극 소성 한다. 전극 소성 공정을 수행함으로써 불순물이 도핑된 비정질 실리콘 층은 고상성장(solid phase epitaxy)하게 되고 비정질 실리콘 층의 불순물을 결정질 실리콘 기판으로 확산시켜 에미터(결정질 실리콘 기판이 p형일 경우) 또는 전면전계(결정질 실리콘 기판이 n형일 경우)를 형성함과 동시에 전면전극은 옴접촉을 하게 되고 후면전극 물질은 결정질 실리콘 기판으로 도핑되어 후면전계가 형성된다.

[0034] 본 발명에서 "고상성장(solid phase epitaxy)"이란 물질에 열에너지가 가해질 때 비정질상이 결정질상으로 전이 되는 현상을 의미한다.

[0035] 상기 소성단계는 600 내지 750℃의 온도에서 수행하는 것이 바람직하다. 소성온도가 600 ℃ 미만일 경우 전극의 소성 (fire through)이 충분히 발생하지 않을 수 있으며, 750℃를 초과할 경우 과소성(over firing) 되어 누설 현상(shunting) 이 발생할 수 있다.

[0036] 이하에서는 실시예를 통하여 본 발명을 더욱 상세히 설명하고자 한다. 다만, 이들 실시예는 오로지 본 발명을 예시하기 위한 것으로서, 본 발명의 범위가 이들 실시예에 의해 제한되는 것으로 해석되지는 않는다 할 것이다.

[0037] 실시예: 태양전지의 제조

[0038] 에칭 및 텍스처링 된 실리콘 기판 전면에 인(P)이 도핑된 비정질 실리콘 박막을 PECVD 법으로 증착하였다. 이후 반사방지막으로써, 실리콘 질화막(SiN_x)을 증착한 뒤 실리콘 기판의 전면에는 은(Ag) 페이스트를 인쇄하고 실리콘 기판의 후면에는 알루미늄(Al) 페이스트를 인쇄하였다. 이후 로(furnace)에서 소성공정을 수행하였다. 참고 예 및 각 실시예에 따른 소성조건, 불순물 도핑 농도 및 불순물이 도핑된 비정질층의 두께는 표 1에 나타내었다.

표 1

[0039]	소성조건 (온도, 시간)	불순물(P)이 도핑된 비정질층의 두께	불순물(P) 도핑 농도
참고예	-	66 nm	$8.88 \times 10^{17} \text{ cm}^{-3}$
실시예 1	620℃, peak	63 nm	$4.51 \times 10^{18} \text{ cm}^{-3}$
실시예 2	700℃, 3 min	58 nm	$2.24 \times 10^{20} \text{ cm}^{-3}$
실시예 3	750℃, 3 min	51 nm	$2.26 \times 10^{20} \text{ cm}^{-3}$

[0040] 상기 제조과정 중 소성단계에서 불순물이 도핑된 비정질 층의 고상 성장(solid phase epitaxy)에 따른 결정성을 측정하였다. 그 결과는 하기 표 2에 나타내었다.

표 2

[0041]

	결정성(poly Si)
참고예	1.25%
실시예 1	1.52%
실시예 2	73.7%
실시예 3	71.5%

[0042] 표 2에서 알 수 있는 바와 같이 본 발명의 소성 단계에서 고상성장이 일어남에 따라 불순물이 도핑된 비정질층이 비정질 상에서 결정질 상으로 변화하여 에미터 또는 전면전계의 역할을 할 수 있을 정도의 결정성을 띠는 것을 확인하였다.

[0043] 시험예: 제조된 태양전지의 이동도, 수명 및 개방전압 측정

[0044] 상기 실시예에서 제조된 태양전지의 특성을 평가하고자 이동도, 수명 및 개방전압을 측정하였다. 그 결과는 하기 표 3과 도 4 및 5에 나타내었다.

표 3

[0045]

	이동도	수명(μ s)	개방전압(V_{oc})
참고예	83.3	15.8	595
실시예 1	5.03	8.7	578
실시예 2	4.53	5.6	581
실시예 3	4.82	8.2	589

[0046] 일반적으로 비정질 상이 결정질 상으로 바뀔 경우, 계면에서 결함이 발생하여 수명과 이동도가 저하된다. 따라서 표 3의 결과는 동시 소성단계시 불순물이 도핑된 비정질층의 결정성 증가를 뒷받침한다.

[0047] 상술한 바와 같이 본 발명에 따른 태양전지 제조방법은 종래 태양전지 제조시 반드시 필요한 PSG(PhosphoSilicate Glass) 제거 공정 및 에지 아이솔레이션(edge isolation) 공정이 감축되어 태양전지 제조 공정을 단순화 시켜 생산 효율을 증가시킬 수 있을 뿐만 아니라 반도체 기판의 p-n 접합 부분이 제거되지 않게 되어 실질적으로 p-n 접합 면적이 확대되기 때문에 태양전지의 태양광 수광 능력이 향상될 수 있는 효과가 있다.

[0048] 이상으로 본 발명 내용의 특정한 부분을 상세히 기술하였는 바, 당업계의 통상의 지식을 가진 자에게 있어서, 이러한 구체적 기술은 단지 바람직한 실시 양태일 뿐이며, 이에 의해 본 발명의 범위가 제한되는 것이 아닌 점은 명백할 것이다. 따라서 본 발명의 실질적인 범위는 첨부된 청구항들과 그것들의 등가물에 의하여 정의된다고 할 것이다.

부호의 설명

[0049]

- 1: p형 결정질 실리콘 기판
- 2: 불순물이 도핑된 비정질 실리콘 층
- 3: 반사방지막

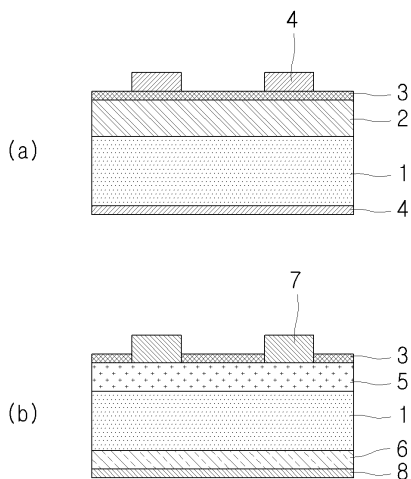
- 4: 금속 페이스트
- 5, 11: 에미터
- 6: 후면전극
- 7: 전면전극
- 8: 후면전극
- 9: n형 결정질 실리콘 기판
- 10: 전면전계

도면

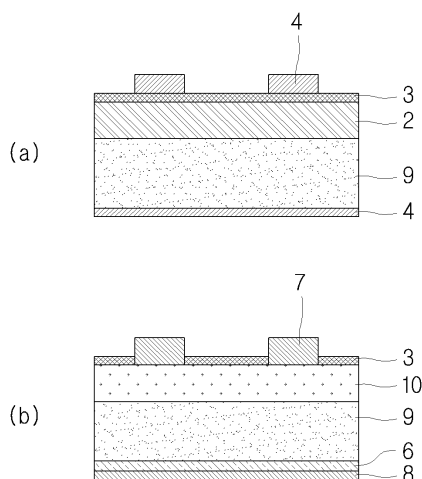
도면1



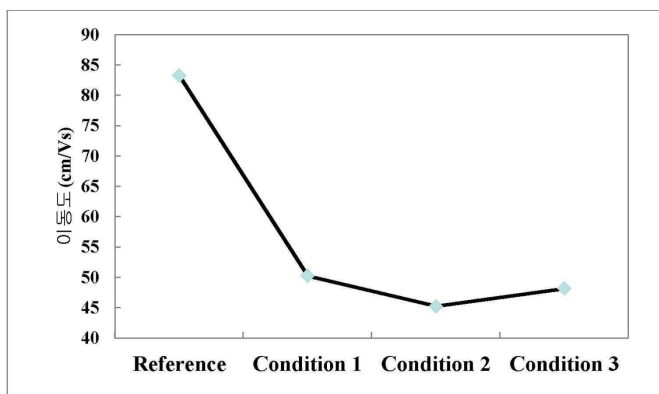
도면2



도면3



도면4



도면5

