

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93132342

※ 申請日期：93/10/26

※IPC 分類：

H01L 21/76

## 一、發明名稱：(中文/英文)

半導體裝置之製造方法 / MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞薩科技股份有限公司

Renesas Technology Corp. (株式会社ルネサステクノロジ)

代表人：(中文/英文)

伊藤達 / Satoru ITO

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸の内二丁目 4 番 1 號

4-1, Marunouchi 2-chome, Chiyoda-ku, TOKYO JAPAN

國 籍：(中文/英文)

日本 / Japan

## 三、發明人：(共 2 人)

姓 名：(中文/英文)

(1)辻内幹夫 / Mikio TSUJIUCHI

(2)岩松俊明 / Toshiaki IWAMATSU

國 籍：(中文/英文)

(1)~(2)日本 / Japan

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003/11/06；2003-376639

2.

3.

4.

5.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明有關於半導體裝置之製造方法，可以適用在例如電晶體或積體電路及記憶器。

### 【先前技術】

在先前技術中，用來製造半導體裝置之技術之一是在 SOI 基板 (Silicon on Insulating Substrate: 絕緣層上覆矽基板) 上形成具有 MOS (Metal Oxide Semiconductor: 金氧半) 構造等之裝置。另外，為著進行元件間之隔離，使用有 pn 接面隔離或氧化膜隔離 (例如 LOCOS (Local Oxidation of Silicon: 矽的局部氧化) 法等) 等。

另外，使矽基板中之污染物質之濃度降低，藉以防止污染物質擴散到其後形成之氧化膜之技術，被揭示在專利文獻 1。用來形成溝渠隔離區域藉以進行元件間之隔離之技術，被揭示在專利文獻 2。另外，氮化矽膜和多晶矽。氧化矽膜之疊層構造，採用後面所述之 CMP (化學機械研磨) 之遮罩之技術已在非專利文獻 1 中介紹。污染金屬之擴散係數和溫度之關係已在非專利文獻 2 中介紹。

[專利文獻 1] 日本專利特開平 10-209446 號公報

[專利文獻 2] 日本專利特表平 11-513538 號公報

[非專利文獻 1] K. Horita, 其他 7 名「(Advanced Shallow Trench Isolation to Suppress the Inverse Narrow Channel Effects for 0.24  $\mu$  m Pitch Isolation and Beyond)」, (2000 Symposium on VLSI Technology

Digest of Technical Papers), 2000 年, p. 178~179

[非專利文獻 2] 大見忠弘, 他監修, 「矽之科學」,  
(REALIZE Inc)公司, p.1015

## 【發明內容】

(發明所欲解決之問題)

但是, 當在 SOI 基板上形成裝置時, 金屬污染物會殘留在層間, 和當形成溝渠藉以進行元件隔離時, 金屬污染物質會附著在溝渠底部。金屬污染物質是使半導體裝置所具有之性能和可靠度降低之原因。

至目前提案有去除金屬污染物質之方法。亦即, 當在矽表面上形成閘絕緣膜之前, 在形成該閘絕緣膜之位置, 形成犧牲氧化膜。然後, 使金屬污染物質擴散。凝聚到矽和犧牲氧化膜之界面, 隨著犧牲氧化膜之去除用來去除金屬污染物質。

但是, 此種方法要考慮到下列之可能性。亦即, 該凝聚之金屬污染物質在矽表面上殘留凹部之痕跡, 當在該矽表面上形成閘絕緣膜時, 在該凹部之痕跡會發生應力, 在絕緣膜產生龜裂, 發生絕緣破壞。

本發明針對上述之問題, 其目的是防止半導體裝置所具有之性能和可靠度之降低。

(解決問題之手段)

本發明之第 1 半導體裝置之製造方法包含如下步驟:(a) 在氧化矽基板上之矽膜上, 順序地疊層氧化矽膜、多晶矽和氮化矽;(b)對指定區域之上述氮化矽膜、上述多晶矽、

上述氧化矽膜和上述矽膜進行蝕刻，用來形成在上述矽膜中具有底面之溝渠；(c)以  $600^{\circ}\text{C}$  以下之溫度，在露出到上述溝渠之上述矽膜之表面形成絕緣膜；(d)去除上述絕緣膜；和(e)將絕緣材料埋入到上述溝渠。

本發明之第 2 半導體裝置之製造方法包含如下步驟：(a)在氧化矽基板上之矽膜上，順序地疊層氧化矽膜、多晶矽和氮化矽膜；(b)對指定區域之上述氮化矽膜、上述多晶矽、上述氧化矽膜和上述矽膜進行蝕刻，用來形成在上述矽膜中具有底面之溝渠；(c)以  $800^{\circ}\text{C}$  至  $1200^{\circ}\text{C}$  之溫度，進行 30 秒至 4 小時之退火，用來在露出到上述溝渠之上述矽膜之表面形成絕緣膜；(d)去除上述絕緣膜；和(e)將絕緣材料埋入到上述溝渠。

本發明之第 3 半導體裝置之製造方法包含如下步驟：(a)在氧化矽基板上之矽膜上，順序地疊層氧化矽膜、多晶矽和氮化矽膜；(b)對指定區域之上述氮化矽膜、上述多晶矽、上述氧化矽膜和上述矽膜進行蝕刻，用來形成在上述矽膜中具有底面之溝渠；(c)利用濕式蝕刻，將露出到上述溝渠之上述矽膜之表面去除 1nm 至 20nm 之厚度；和(d)將絕緣材料埋入到上述溝渠。

本發明之第 4 半導體裝置之製造方法包含如下步驟：(a)在氧化矽基板上之矽膜上，順序地疊層氧化膜、多晶矽和氮化矽膜；(b)對指定區域之上述氮化矽膜、上述多晶矽、上述氧化矽膜和上述矽膜進行蝕刻，用來形成在上述矽膜中具有底面之溝渠；(c)在露出到上述溝渠之上述矽膜之表

面形成氧化膜；(d)將絕緣材料埋入到上述溝渠；和(e)以 $600^{\circ}\text{C}$ 以下之溫度進行1小時以上之退火。

(發明效果)

依照本發明之第1或第2半導體裝置之製造方法時，利用步驟(c)可以使金屬污染物質擴散・凝聚在矽膜和絕緣膜之界面，可以隨著絕緣膜之去除，一起去除該金屬污染物質。利用此種方式可以防止半導體裝置所具有性能和可靠度之降低。

依照本發明之第3半導體裝置之製造方法時，利用步驟(c)可以去除附著在矽膜之表面之金屬污染物質。因此可以防止半導體裝置所具有之性能和可靠度之降低。

依照本發明之第4半導體裝置之製造方法時，利用步驟(e)可以使金屬污染物質擴散・凝聚在矽膜和氧化膜之界面。因此可以防止半導體裝置所具有之性能和可靠度之降低。

## 【實施方式】

實施形態1.

在本實施形態中，使溝渠內部以低溫進行氧化。圖1是利用本實施形態所說明之方法製作成之半導體裝置之平面圖。圖10和圖11分別為圖1所示之位置Y-Y和位置X-X之概念剖面圖，圖2至圖10是順序表示在位置Y-Y之SOI基板上形成MOS裝置之過程之剖面圖。但是，本說明書中之MOS裝置並不只限於以金屬(Metal)作為閘電極材料者，亦包含使用導電性半導體之情況。

第 1，以氧化矽基板 1 和矽膜 2 形成 SOI 基板。在氧化矽基板 1 之相反側，於矽膜 2 之表面上利用氧化形成氧化矽膜 3。然後在氧化矽膜 3 上，順序地疊層多晶矽 4 和氮化矽膜 5。區域 R1 用來形成元件隔離用之構造，區域 R2 用來形成元件。在氮化矽膜 5 上，疊層抗蝕劑樹脂 6，成為覆蓋在於區域 R1 開口之區域 R2。抗蝕劑樹脂 6 之端面 7a 位於區域 R1, R2 之境界(圖 2)。

在形成氧化矽膜 3 或多晶矽 4、氮化矽膜 5 之每一個階段，均有可能附著金屬污染物質。金屬污染物質包括有鐵(Fe)或鎳(Ni)、鈷(Co)、鈦(Ti)、鋁(Al)、鉻(Cr)等。

第 2，依照以抗蝕劑樹脂 6 之端面 7a 形成之圖案，對氮化矽膜 5 和多晶矽 4、氧化矽膜 3、矽膜 2 進行蝕刻，用來在區域 R1 形成溝渠 7。在於抗蝕劑 6 之表面上開口之內部中空之溝渠 7，使底面位於矽膜 2 中(圖 3)。在溝渠 7 之形成時，在溝渠 7 之底面亦有可能附著金屬污染物質。

第 3，去除抗蝕劑樹脂 6，以 600℃ 以下之溫度，在露出到溝渠 7 之矽膜 2 之表面，形成絕緣膜。形成絕緣膜所採用之方法是使矽膜 2 自由基氧化，或高密度電漿氧化。例如在進行高密度電漿氧化時，使基板溫度成為 200℃ 至 600℃，以電漿施加激勵能量。利用此種方式，在溝渠 7 之露出之矽膜 2 之表面上發生氧化反應，形成氧化矽膜 8 作為絕緣膜。因此，對於露出在溝渠 7 之側面之多晶矽 4 亦被氧化，形成氧化矽膜 21。附著在溝渠 7 之底面之金屬污染物質，凝聚在氧化矽膜 8 和矽膜 2 之界面，或氧化矽膜 8

之內部，成為金屬矽化物 9(圖 4)。

所形成之氧化矽膜 8 之厚度之決定可以依照附著在溝渠 7 之底面之金屬污染物質之侵入到矽膜 2 之深度，和金屬污染物質是否凝聚。金屬污染物質可能凝聚在矽膜 2 和氧化矽膜 8 之界面，亦可能凝聚在氧化矽膜 8 之內部。例如，當金屬污染物質之侵入深度最大為 10nm 時，在污染金屬凝聚在矽膜 2 和氧化矽膜 8 之界面之情況，氧化矽膜 8 之厚度成為 1~10nm 程度，在金屬污染物質凝聚在氧化矽膜 8 之內部之情況，氧化矽膜之厚度成為 1~30nm 程度。此種膜厚之決定方法亦可適用在形成於矽膜 2 之表面之絕緣膜為後面所述之氮化矽膜之情況。

第 4，利用 HF(氟化氫酸)系溶液去除在第 3 步驟形成之氧化矽膜 8。金屬矽化物 9 亦隨著被去除，在溝渠 7 之矽膜 2 形成凹陷 11。這時，對於在溝渠 7 之側面露出之部份，在第 1 步驟所形成之氧化矽膜 3 亦被 HF 系溶液侵蝕，該被侵蝕之部份成為凹陷 10。另外，在第 3 步驟所形成之氧化矽膜 21 亦被 HF 系溶液去除(圖 5)。

第 5，再度進行氧化，在溝渠 7 之露出之矽膜 2 之表面形成氧化矽膜 12。因此，對於露出到溝渠 7 之側面之部份，多晶矽 4 亦被氧化，形成氧化矽膜 22。這時之氧化與氧化矽膜 8 之形成時不同，不需要在 600℃ 以下。然後，沈積絕緣材料，例如氧化矽膜 13，使其埋入到溝渠 7 和覆蓋在氮化矽膜 5 之表面上。在前者和後者所沈積之氧化矽膜 13 成為連續(圖 6)。

在氧化矽膜 12 之形成時，在凹陷 10 產生應力，有可能產生龜裂。但是，埋入有氧化矽膜 13 之溝渠 7 之功能是作為元件隔離用之構造，所以龜裂之發生對該功能不會有問題。

第 6，利用 CMP (Chemical and Mechanical Polishing: 化學機械研磨) 對在第 5 步驟形成之氧化矽膜 13 進行研磨使其平坦化，和使氮化矽膜 5 之表面全體露出 (圖 7)。這時，殘留在溝渠 7 之內部之氧化矽膜 12, 13 成為用來使元件隔離之氧化膜，亦即成為隔離氧化膜 30。

第 7，去除氮化矽膜 5 和多晶矽 4。氧化矽膜 3。氧化矽膜 22 (圖 8)。利用該等之去除而露出之矽膜 2 之表面進行氧化，用來形成氧化矽膜 40 (圖 9)。然後，在氧化矽膜 13, 40 之表面上，沈積多晶矽 50 (圖 10)。

第 8，在第 7 步驟後，經由多晶矽 50 之圖案蝕刻，絕緣膜之形成和絕緣膜之圖案蝕刻，在多晶矽 50 之側面形成絕緣膜 60。然後，利用雜質離子之植入和金屬矽化物膜 70 之形成，用來製作半導體裝置 (圖 11)。

金屬污染物質易於擴散，凝聚在半導體裝置中之應力較大之部份。施加在溝渠 7 之應力比其他部份大，所以附著在溝渠 7 之底面之金屬污染物質在氧化時易於殘留在該處。

另外一方面，金屬污染物質之擴散與溫度具有相關性。金屬污染物質之溫度與擴散距離之關係依照金屬污染物質之種類如圖 24 至圖 29 所示。金屬污染物質之擴散距離以

$\sqrt{(D \times t)}$ 求得。此處之  $D$  表示擴散係數(單位為  $\text{cm}^2/\text{sec}$ )， $t$  表示擴散時間(單位為  $\text{sec}$ )。擴散係數  $D$  可以利用非專利文獻 2 中之圖 1 所介紹之擴散係數  $D$  和溫度之關係，求得每一種金屬污染物質之擴散係數  $D$ 。

因為形成在矽膜 2 之表面上之氧化矽膜 8 之溫度為  $600^\circ\text{C}$  (圖中所示之圖形之橫軸所示之溫度之單位為凱式溫標(K)，對應到  $873\text{K}$ ) 以下，所以由圖 24~圖 29 可以瞭解，金屬污染物質之擴散距離變小。因此，在溝渠 7 之底面之金屬污染物質不容易從區域 R1 擴散到區域 R2，而是容易凝聚在氧化矽膜 8 和矽膜 2 之界面，或氧化矽膜 8 之內部。如圖 26~圖 29 所示，在  $600^\circ\text{C}$  以下， $\text{Co} \cdot \text{Ti} \cdot \text{Al} \cdot \text{Cr}$  之擴散距離非常小，特別是對於該等之污染物質，本實施形態非常有效。因此，可以去除在半導體裝置之製作過程混入之金屬污染物質，可以防止半導體裝置所具有之性能和可靠度之降低。

不只在去除附著於溝渠 7 之底面之金屬污染物質之情況，即使在去除存在於第 1 步驟所述之矽膜 2 或氧化矽膜 3、多晶矽 4、氮化矽膜 5 之各個之界面(區域 R2 之界面)之金屬污染物質之情況，亦可以有效的形成氧化矽膜 8。亦即，利用氧化矽膜 8 之形成，使存在於區域 R2 之界面之金屬污染物質，擴散、凝聚在矽膜 2 和氧化矽膜 8 之界面，或氧化矽膜 8 之內部，用來使金屬污染物質成為金屬矽化物 9。因此，如圖 24、圖 25 所示，即使在  $600^\circ\text{C}$  以下之溫度，對於大擴散距離之  $\text{Fe} \cdot \text{Ni}$  等特別有效。

在此種情況亦與上述之內容同樣的，利用 HF 系溶液將氧化矽膜 8 和金屬矽化物 9 一起去除。因此，可以去除在半導體裝置之製作過程混入之金屬污染物質，可以防止半導體裝置所具有之性能和可靠度之降低。

在上述第 3 步驟，亦可以使露出到溝渠 7 之矽膜 2 之表面上電漿氮化。在此種情況，使基板溫度成為 200℃ 至 600℃，以電漿施加激勵能量。利用此種方式，在溝渠 7 露出之矽膜 2 和多晶矽 4 之表面上產生氮化反應，用來形成氮化矽膜作為絕緣膜。金屬污染物質擴散，凝聚在氮化矽膜和矽膜 2 之界面，或氮化矽膜之內部，成為金屬矽化物 9。然後，在第 4 步驟，代替 HF 系溶液者，使用磷酸系溶液一起去除氮化矽膜和金屬矽化物 9。

在上述第 3 步驟，亦可以利用臭氧系溶液，使露出在溝渠 7 之矽膜 2 之表面上進行氧化。在此種情況使基板溫度成為 20℃ 至 120℃。利用此種方式，在溝渠 7 之矽膜 2 和多晶矽 4 之表面上發生氧化反應，用來形成氧化矽膜 8 作為絕緣膜。金屬污染物質擴散，凝聚在氧化矽膜 8 和矽膜 2 之界面，或氧化矽膜 8 之內部。然後，在第 4 步驟利用 HF 系溶液一起去除氧化矽膜 8 和金屬矽化物 9。

使矽膜 2 之表面上利用電漿氮化和利用臭氧系溶液氧化之任一種方法，與上述之例如利用電漿氧化之方法相同的，可以去除在半導體裝置之製作過程混入之金屬污染物質。因此可以防止半導體裝置所具有之性能和可靠度之降低。

## 實施形態 2.

本實施形態是在氮氣之環境氣體中進行退火。圖 12 至圖 14 是圖 1 所示之位置 Y-Y 之概念剖面圖，順序地表示在 SOI 基板上形成 MOS 裝置之過程。

第 1，與實施形態 1 所記載之第 1 和第 2 步驟同樣的，在 SOI 基板上形成各種膜，然後形成溝渠 7 (圖 3)。這時要考慮到在形成矽膜 2 或氧化矽膜 3・多晶矽 4・氮化膜 5 之各個階段可能附著金屬污染物質，和在溝渠 7 之底面可能附著金屬污染物質。

第 2，去除抗蝕劑樹脂 6，進行氮化。在該氮化時，在 800℃ 至 1200℃ 之氮氣環境氣體中，對矽膜 2 之表面進行 30 秒至 4 小時之退火。利用此種方式，在溝渠 7 之露出之矽膜 2 之表面，形成氮化矽膜 15 作為絕緣膜。因此，露出在溝渠 7 之側面之部份之多晶矽 4 亦被氮化，用來形成氮化矽膜 23。在矽膜 2 或氧化矽膜 3・多晶矽 4・氮化矽膜 5 之各個之界面之金屬污染物質，擴散・凝聚在矽膜 2 和氮化矽膜 15 之界面，或氮化矽膜 15 之內部，成為金屬矽化物 9 (圖 12)。

與實施形態 1 同樣的，所形成之氮化矽膜 15 之厚度之決定是依照附著在溝渠 7 之底面之金屬污染物質侵入到矽膜 2 之深度，和金屬污染物質之凝聚位置。

第 3，利用 20℃ 至 180℃ 之磷酸系溶液，去除在第 2 步驟形成之氮化矽膜 15。隨著該去除，金屬矽化物 9 亦被去除，在溝渠 7 之矽膜 2 形成凹陷 11。這時，對於在溝渠 7

之側面露出之部份，於第 1 步驟形成之氮化矽膜 5 亦被磷酸系溶液侵蝕。另外，氮化矽膜 23 亦被磷酸系溶液去除。這時，氧化矽膜 3 因為不與磷酸系溶液反應，所以氧化矽膜 3 之突出之形狀 16 呈現在溝渠 7 之側面（圖 13）。

在氮化矽膜 15 之去除時，亦可以使用 20℃ 至 100℃ 之 HF 溶液。在此種情況亦同樣的可以去除金屬矽化物 9。

第 4，進行氧化用來在露出到溝渠 7 之矽膜 2 之表面，形成氧化矽膜 12。因此，對於露出到溝渠 7 之側面之部份，多晶矽 4 亦被氧化，用來形成氧化矽膜 22。然後，沈積絕緣材料，例如氧化矽膜 13 使其埋入到溝渠 7 而且覆蓋在氮化矽膜 5 之表面上。沈積在前者和後者之氧化矽膜 13 成為連續（圖 14）。

在該氧化矽膜 12 之形成時，需要考慮可能在凹陷 10 發生應力而產生龜裂。但是，因為埋入有氧化矽膜 13 之溝渠 7 具有作為元件隔離用之構造之功能，所以龜裂之發生對該功能不會成為問題。

第 5，與實施形態 1 所記載之第 6 至 8 步驟同樣的，製作半導體裝置。

當與半導體裝置之其他部份比較時，視為施加在溝渠 7 之應力變大。因此，由於退火擴散到矽膜 2 和氮化矽膜 15 之界面之金屬污染物質，變成易於殘留和凝聚在該界面。另外，設定為 30 秒鐘至 4 小時之退火時間，被視為具有充分之時間使金屬污染物質到達矽膜 2 和氮化矽膜 15 之界面。

例如對於 Fe 或 Ni · Co · Cr，該等之金屬污染物質進行擴散所必需之距離成為 0.1mm 之情況時，在 1200℃ 需要 1.22 秒至 18.3 秒之擴散時間，在 800℃ 需要 2.60 秒至 53.6 分之擴散時間。另外，在擴散所必需之距離為 1mm 之情況時，在 1200℃ 需要 2.03 分至 30.4 分之擴散時間，在 800℃ 需要 4.34 分至 89.4 小時之擴散時間。依照此種方式，退火時間依照金屬污染物質之種類或溫度·擴散距離設定。

依照上述之內容，在 800℃ 至 1200℃ 之氮氣環境氣體中，以 30 秒鐘至 4 小時對矽膜 2 之表面進行退火，區域 R2 中之金屬污染物質變成易於擴散到 R1，凝聚在矽膜 2 和氮化矽膜 15 之界面。因此，可以去除在半導體裝置之製作過程混入之金屬污染物質，可以防止半導體裝置所具有之性能和可靠度之降低。

不只在對存在於矽膜 2 或氧化矽膜 3 · 多晶矽 4 · 氮化矽膜 5 之各個之界面之金屬污染物質進行去除之情況，在對附著於溝渠 7 之底面之金屬污染物質進行去除之情況，本實施形態之特徵中之在 800℃ 至 1200℃ 之氮氣環境氣體中進行退火非常有效。

在上述第 2 步驟中，亦可以在 800℃ 至 1200℃ 之氮氣 / 氧氣之環境氣體中，對露出到溝渠 7 之矽膜 2 之表面進行退火。在此種情況，矽膜 2 之表面上被氧化用來形成作為絕緣膜之氧化矽膜，和在矽膜 2 和氧化矽膜之界面，形成微細之凹凸。因此，容易殘留在該處之金屬污染物質，凝聚在氧化矽膜和矽膜 2 之界面，或氧化矽膜之內部，成為

第 1，與實施形態 1 所記載之第 1 和第 2 步驟同樣的，在 SOI 基板上形成各種膜，然後形成溝渠 7(圖 3)。這時，需要考慮到在形成矽膜 2 或氧化矽膜 3·多晶矽 4·氮化矽膜 5 之各個階段會附著金屬污染物質，和在溝渠 7 之底面會附著金屬污染物質之可能性。

第 2，去除抗蝕劑樹脂 6，進行氧化，用來形成露出在溝渠 7 之氧化矽膜 8。因此，露出在溝渠 7 之側面之部份之多晶矽 4 亦被氧化，用來形成氧化矽膜 21(圖 18)。然後，沉積絕緣材料，例如氧化矽膜 13 使其埋入到溝渠 7 和覆蓋在氮化矽膜 5 之表面上。沈積在前者和後者之氧化矽膜 13 成為連續(圖 19)。

第 3，利用 CMP 對在第 2 步驟形成之氧化矽膜 13 進行研磨使其平坦，和使氮化矽膜 5 之表面全體露出(圖 20)。這時，殘留在溝渠 7 之內部之氧化矽膜 8, 13, 21 成為隔離氧化膜 30。然後，去除氮化矽膜 5 和多晶矽 4(圖 21)。

第 4，以 600℃ 以下之溫度，對在第 3 步驟所製作之半導體裝置全體進行 1 小時以上之退火。利用此種方式，在第 1 步驟混入之金屬污染物質凝聚在矽膜 2 和氧化矽膜 8 之界面，成為金屬矽化物 17a, 17b。金屬矽化物 17a 之形成是凝聚當溝渠 7 之形成時附著之金屬污染物質，和金屬矽化物 17b 之形成是使存在於矽膜 2 或矽氧化膜 3·多晶矽 4·氮化矽膜 5 之各個之界面之金屬污染物質進行擴散·凝聚(圖 22)。

第 5，在氧化矽膜 3, 13, 21 之表面上沈積多晶矽 50。然

後，與實施形態 1 之第 8 步驟同樣的製作半導體裝置。

在應力比半導體裝置之其他部份大之溝渠 7，容易殘留金屬污染物質。然後，凝聚在該處之金屬污染物質成為金屬矽化物 17a, 17b。因此，進行裝置之動作之主要部份(區域 R2)大多未存在有金屬污染物質，可以防止半導體裝置所具有之性能和可靠度之降低。

在上述之半導體裝置之製作時，在需要於矽膜 2 形成井區域之情況，亦可以在第 3 步驟和第 4 步驟之間，亦即在圖 21 所示之狀態，從氧化矽膜 3 側，對矽膜 2 進行雜質之植入，用來形成井區域。在此種情況，利用第 4 步驟所進行之退火，被植入到井區域之雜質和金屬污染物質一起擴散，井區域之雜質濃度有可能偏離設定值。因此，最好退火後再調整井區域之雜質濃度。

當需要在矽膜 2 形成井區域之情況時，亦可以在第 4 步驟之後，在上述矽膜 2 形成井區域。在此種情況不需要再調整井區域之雜質濃度，藉以使步驟單純化。

在實施形態 1 之第 7 步驟(包含採用實施形態 2 之第 4 步驟或實施形態 3 之第 5 步驟之情況)，在去除氧化矽膜 3 之前，使用本實施形態之第 4 步驟所說明之退火方法，可以更有效的防止半導體裝置所具有之性能和可靠度之降低。

在上述之任一實施形態中，亦可以在將絕緣材料 13 埋入到溝渠 7 之後，使露出在表面之絕緣材料 13 之氧化矽膜 2 側成為曲面形狀。在圖 23，例如對應到圖 8，所示之情

況是使露出在表面之絕緣材料 13 之氧化矽膜 2 側之部份 26 成為曲面形狀。

在絕緣材料 13 之部份 26 成為曲面形狀之情況時，可以使絕緣材料 13 之部份 26 對矽膜 2 之表面之傾斜變為和緩。因此，形成閘極之處理變為容易。

## 【圖式簡單說明】

圖 1 是用來表示半導體裝置之概念平面圖。

圖 2 是用來表示實施形態 1 所說明之製造階段之半導體裝置之剖面圖。

圖 3 是用來表示實施形態 1 所說明之製造階段之半導體裝置之剖面圖。

圖 4 是用來表示實施形態 1 所說明之製造階段之半導體裝置之剖面圖。

圖 5 是用來表示實施形態 1 所說明之製造階段之半導體裝置之剖面圖。

圖 6 是用來表示實施形態 1 所說明之製造階段之半導體裝置之剖面圖。

圖 7 是用來表示實施形態 1 所說明之製造階段之半導體裝置之剖面圖。

圖 8 是用來表示實施形態 1 所說明之製造階段之半導體裝置之剖面圖。

圖 9 是用來表示實施形態 1 所說明之製造階段之半導體裝置之剖面圖。

圖 10 是用來表示實施形態 1 所說明之製造階段之半導體

裝置之剖面圖。

圖 11 是用來表示實施形態 1 所說明之被製造之半導體裝置之剖面圖。

圖 12 是用來表示實施形態 2 所說明之製造階段之半導體裝置之剖面圖。

圖 13 是用來表示實施形態 2 所說明之製造階段之半導體裝置之剖面圖。

圖 14 是用來表示實施形態 2 所說明之製造階段之半導體裝置之剖面圖。

圖 15 是用來表示實施形態 3 所說明之製造階段之半導體裝置之剖面圖。

圖 16 是用來表示實施形態 3 所說明之製造階段之半導體裝置之剖面圖。

圖 17 是用來表示實施形態 3 所說明之製造階段之半導體裝置之剖面圖。

圖 18 是用來表示實施形態 4 所說明之製造階段之半導體裝置之剖面圖。

圖 19 是用來表示實施形態 4 所說明之製造階段之半導體裝置之剖面圖。

圖 20 是用來表示實施形態 4 所說明之製造階段之半導體裝置之剖面圖。

圖 21 是用來表示實施形態 4 所說明之製造階段之半導體裝置之剖面圖。

圖 22 是用來表示實施形態 4 所說明之製造階段之半導體

裝置之剖面圖。

圖 23 是用來表示絕緣材料和矽膜呈現曲面形狀之製造階段之半導體裝置之剖面圖。

圖 24 用來表示實施形態 1 所說明之 Fe 之溫度和擴散距離之關係。

圖 25 用來表示實施形態 1 所說明之 Ni 之溫度和擴散距離之關係。

圖 26 用來表示實施形態 1 所說明之 Co 之溫度和擴散距離之關係。

圖 27 用來表示實施形態 1 所說明之 Ti 之溫度和擴散距離之關係。

圖 28 用來表示實施形態 1 所說明之 Al 之溫度和擴散距離之關係。

圖 29 用來表示實施形態 1 所說明之 Cr 之溫度與擴散距離之關係。

#### 【主要元件符號說明】

|                              |       |
|------------------------------|-------|
| 1                            | 氧化矽基板 |
| 2                            | 矽膜    |
| 3, 8, 12, 13, 15, 21, 22, 23 | 氧化矽膜  |
| 4                            | 多晶矽   |
| 5                            | 氮化矽膜  |
| 7                            | 溝渠    |
| 7a                           | 端面    |
| 9                            | 金屬矽化物 |

|          |                  |
|----------|------------------|
| 10, 11   | 凹 陷              |
| 14, 16   | 突 出 形 狀          |
| 17a, 17b | 金 屬 矽 化 物        |
| 25       | 邊 緣 部 份          |
| 26       | 絕 緣 材 料 13 之 部 份 |
| 40       | 氧 化 矽 膜          |
| 50       | 多 晶 矽            |
| 60       | 絕 緣 膜            |
| 70       | 金 屬 矽 化 物 膜      |
| R1       | 區 域              |

## 五、中文發明摘要：

本發明之目的是防止半導體裝置所具有之性能和可靠度因為金屬污染物質而降低。

本發明之解決手段是利用氧化矽基板 1 和矽膜 2 形成 SOI(絕緣層上覆矽)基板。使矽膜 2 之表面被氧化用來形成氧化矽膜 3。多晶矽 4 和氮化矽膜 5 順序地形成在氧化矽膜 3 上。然後，在區域 R1 形成溝渠 7。在溝渠 7 埋入絕緣材料之氧化矽膜 13。

## 六、英文發明摘要：

An SOI substrate is formed of a silicon oxide substrate and a silicon film. A surface of the silicon film is oxidized and a silicon oxide film is thereby formed. A polycrystalline silicon and a silicon nitride film are formed on the silicon oxide film in this order. Then, a trench is formed in a region. The trench is filled with an insulating material, e.g., a silicon oxide film.

## 十、申請專利範圍：

1. 一種半導體裝置之製造方法，其包含如下步驟：

(a)在氧化矽基板上之矽膜上，順序地疊層氧化矽膜、多晶矽和氮化矽膜；

(b)對指定區域之上述氮化矽膜、上述多晶矽、上述氧化矽膜和上述矽膜進行蝕刻，用來形成在上述矽膜中具有底面之溝渠；

(c)以  $600^{\circ}\text{C}$  以下之溫度，在露出到上述溝渠之上述矽膜之表面形成絕緣膜；

(d)去除上述絕緣膜；和

(e)將絕緣材料埋入到上述溝渠。

2. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中上述步驟(c)是以  $200^{\circ}\text{C}$  至  $600^{\circ}\text{C}$  之溫度，使上述矽膜之表面進行自由基氧化，電漿氧化或電漿氮化。

3. 如申請專利範圍第 1 項之半導體裝置之製造方法，其中上述步驟(c)是使用臭氧系溶液，以  $20^{\circ}\text{C}$  至  $120^{\circ}\text{C}$  之溫度使上述矽膜之表面氧化。

4. 一種半導體裝置之製造方法，其包含如下步驟：

(a)在氧化矽基板上之矽膜上，順序地疊層氧化矽膜、多晶矽和氮化矽膜；

(b)對指定區域之上述氮化矽膜、上述多晶矽、上述氧化矽膜和上述矽膜進行蝕刻，用來形成在上述矽膜中具有底面之溝渠；

(c)以  $800^{\circ}\text{C}$  至  $1200^{\circ}\text{C}$  之溫度，進行 30 秒至 4 小時之退

十一、圖式：

圖 1

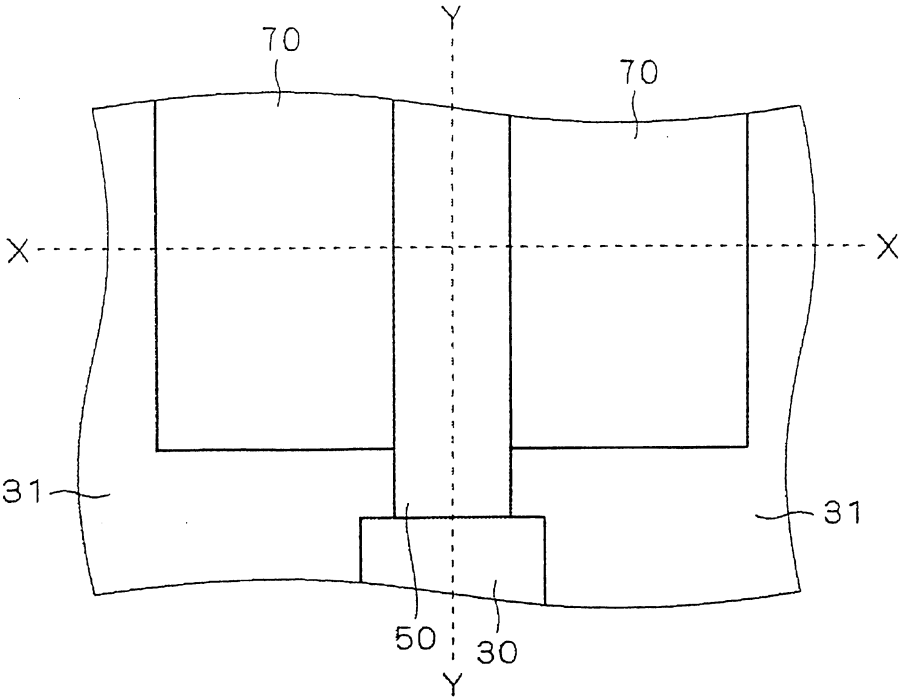


圖 2

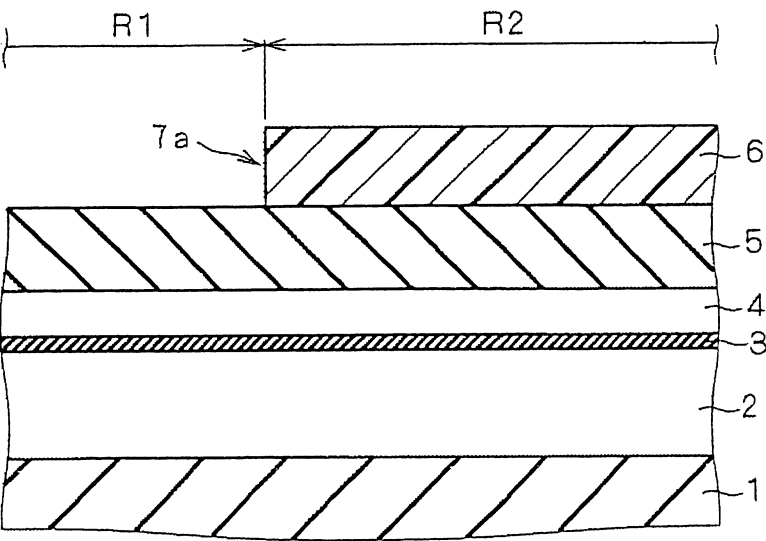


圖 3

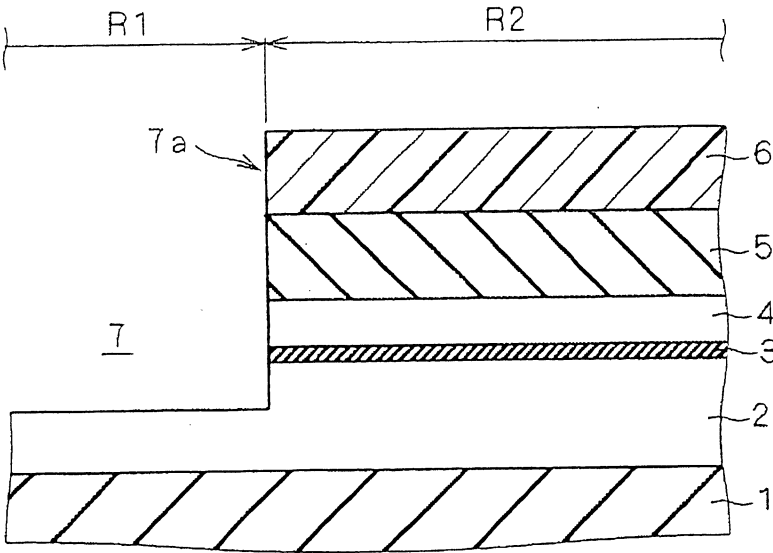


圖 4

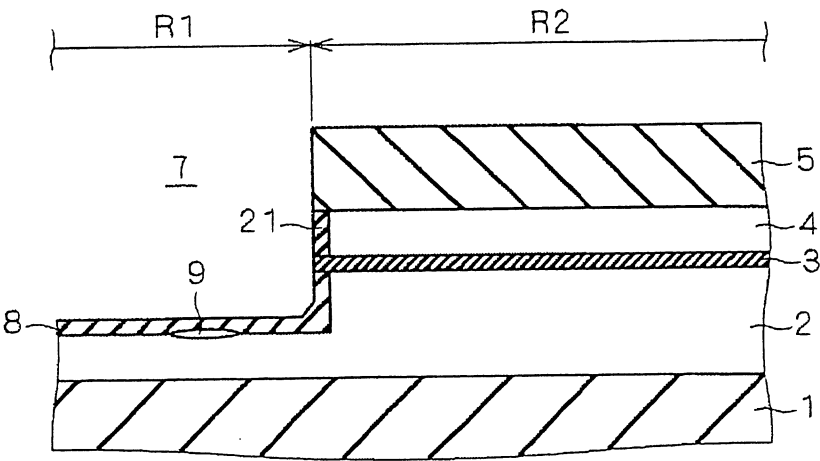
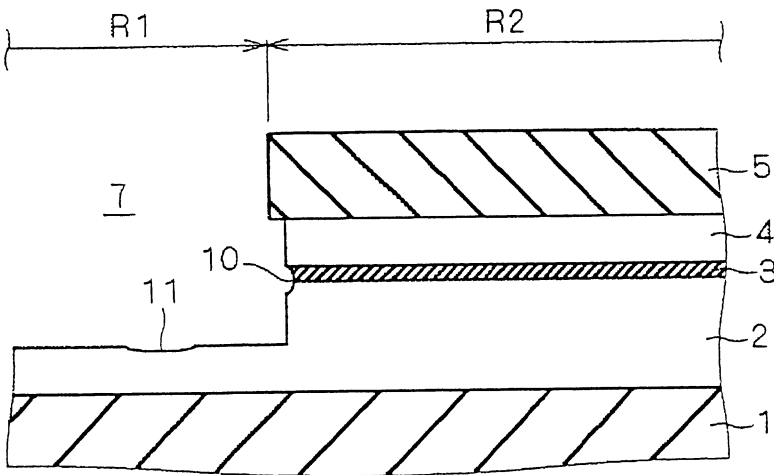


圖 5



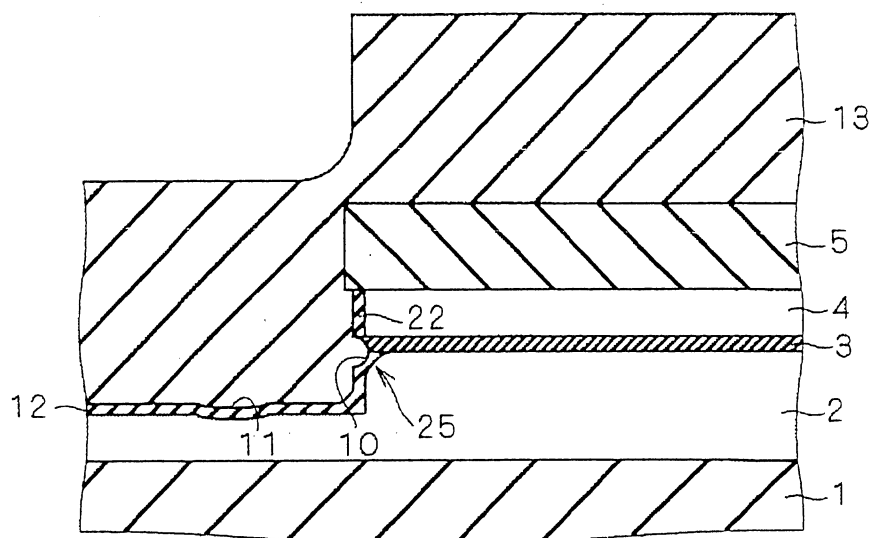
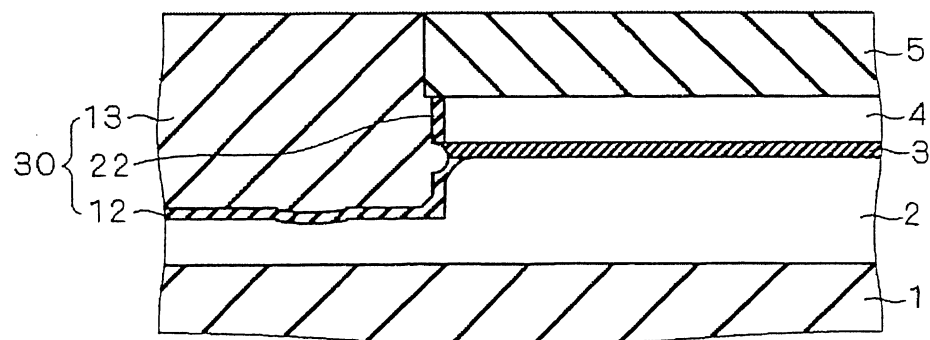
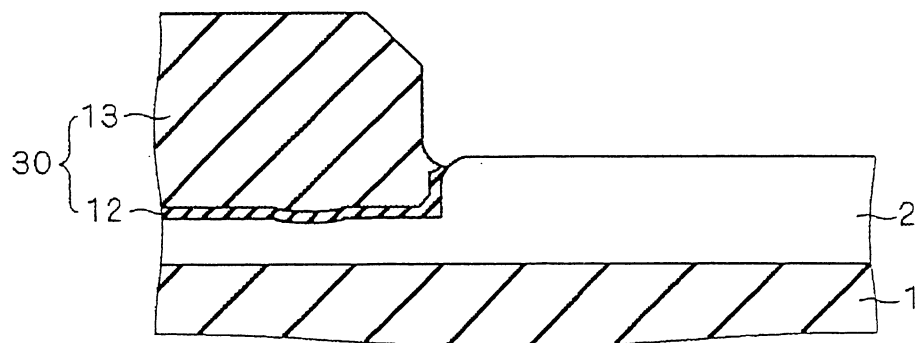


圖 7

 8

9

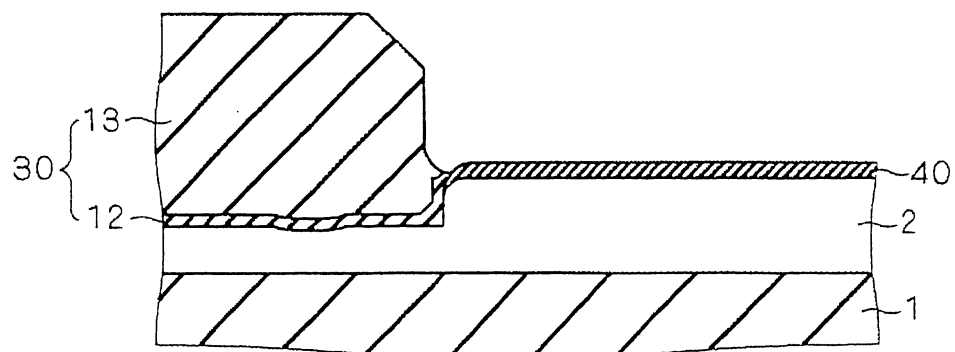


圖 10

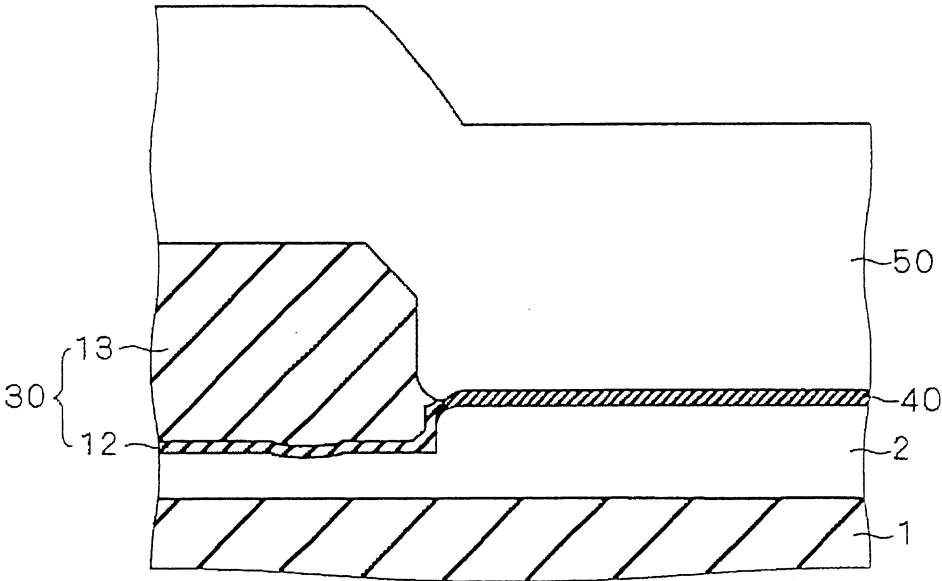


圖 11

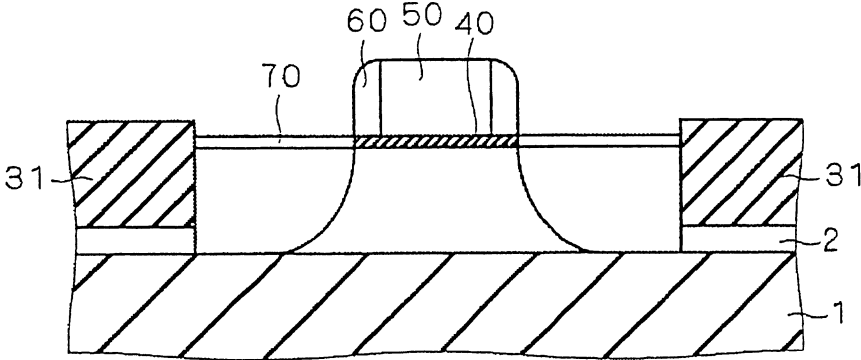


圖 12

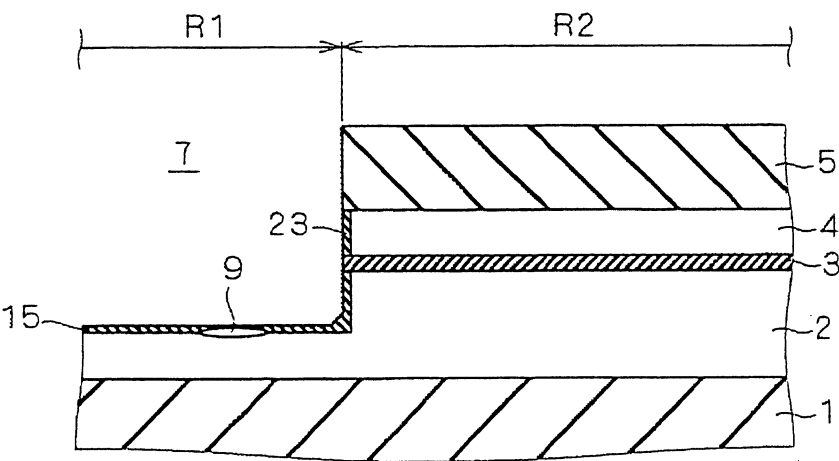


圖 1 3

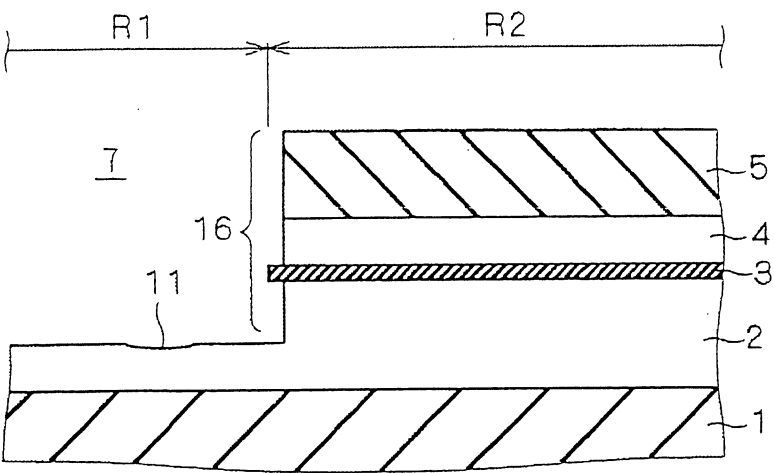


圖 1 4

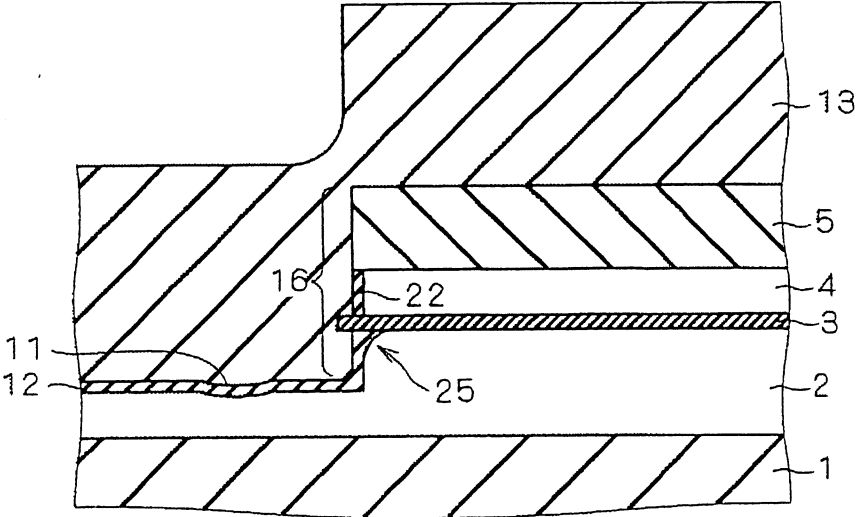


圖 1 5

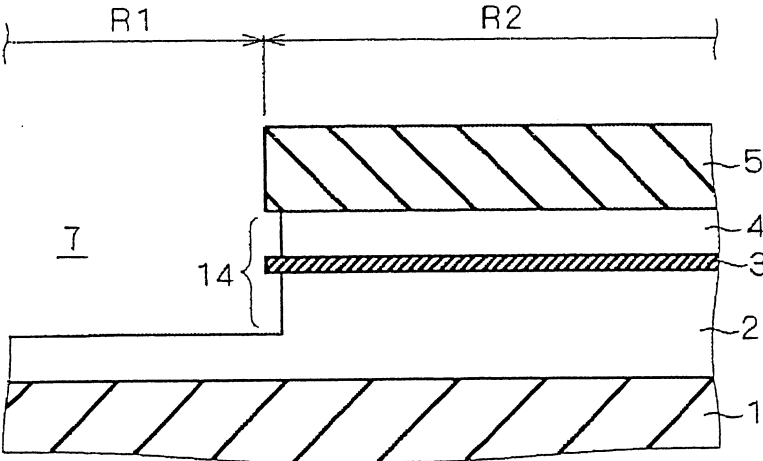


圖 16

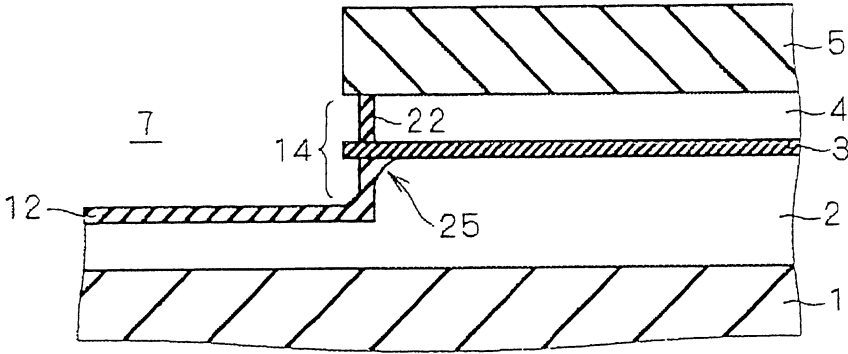


圖 17

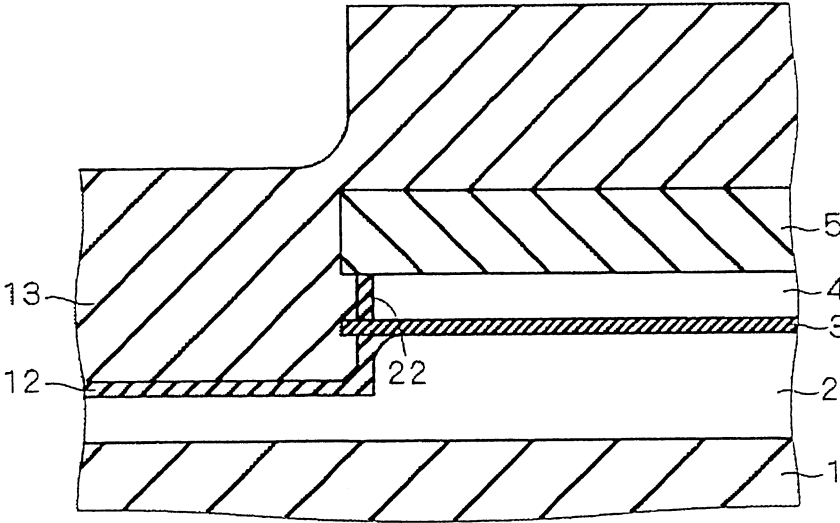
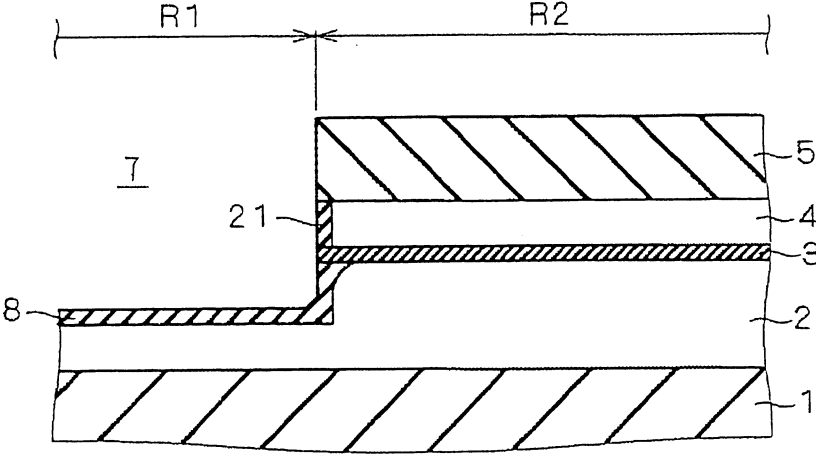


圖 18



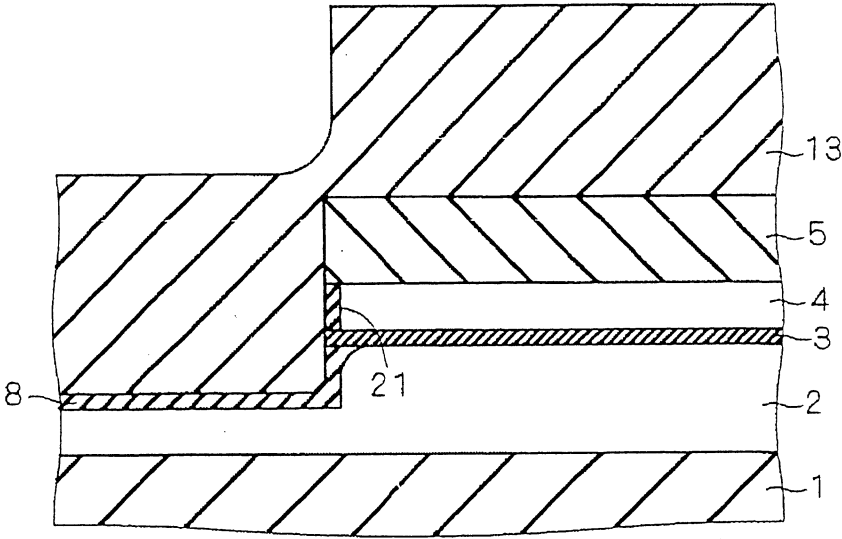


圖 20

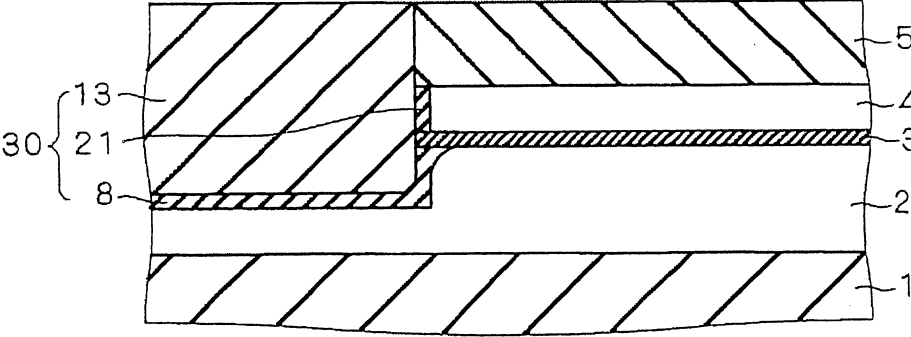


圖 21

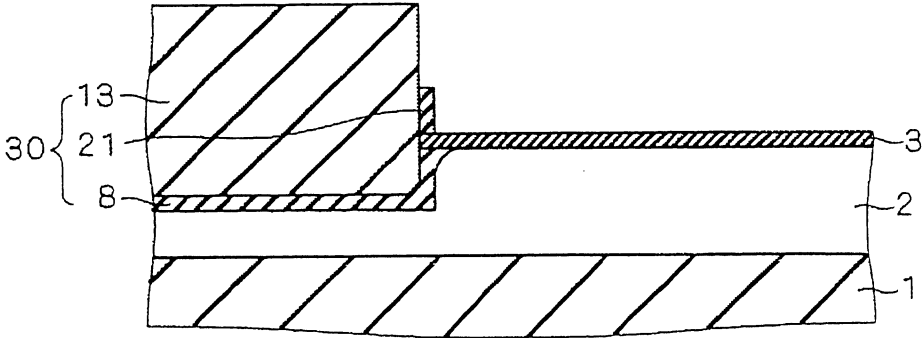


圖 22

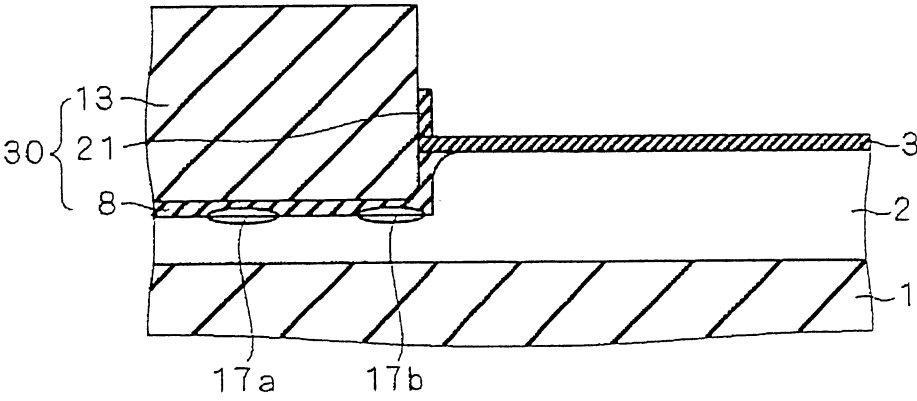


圖 2 3

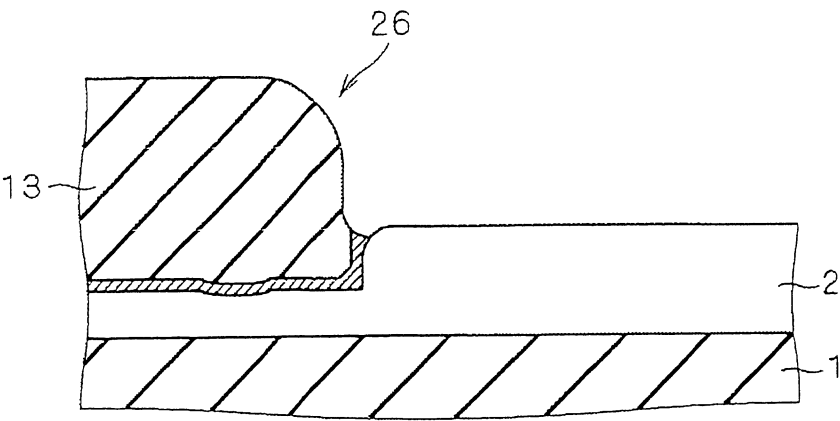


圖 2 4

Fe 之 擴 散 距 離

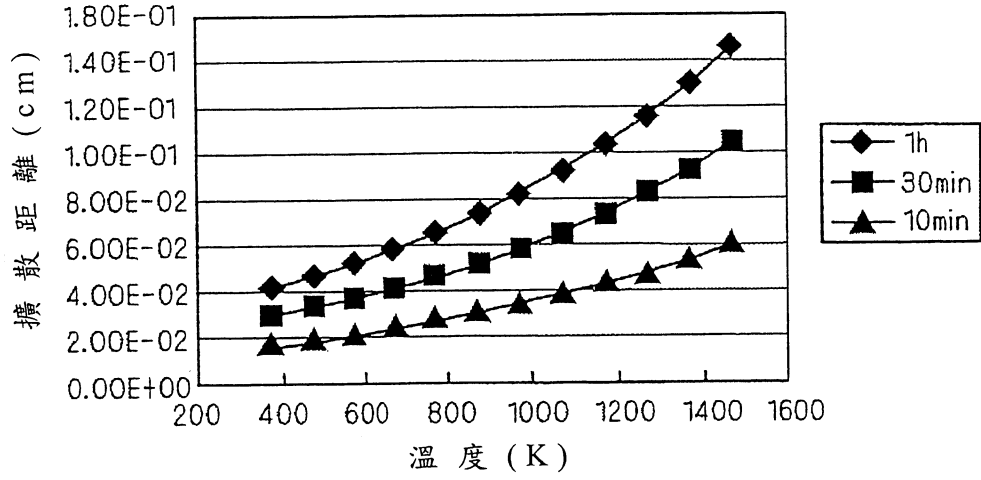


圖 2 5

Ni 之 擴 散 距 離

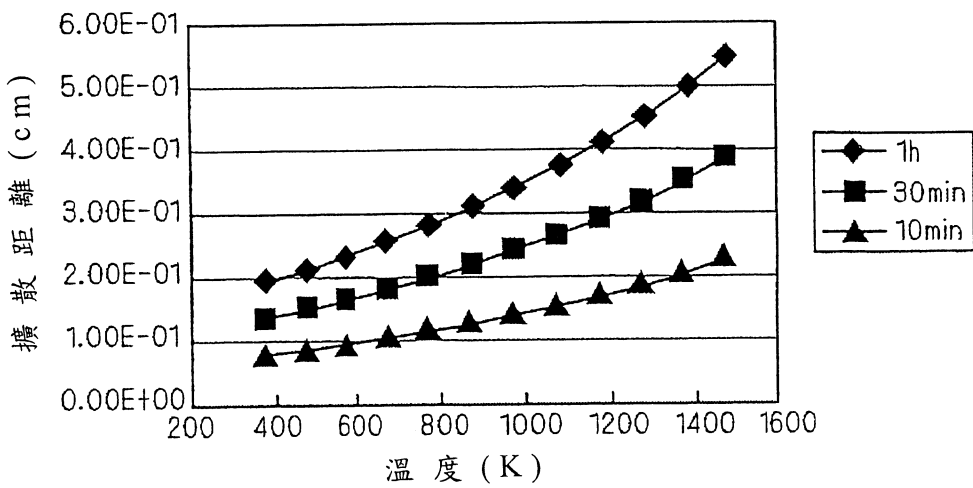


圖 2 6

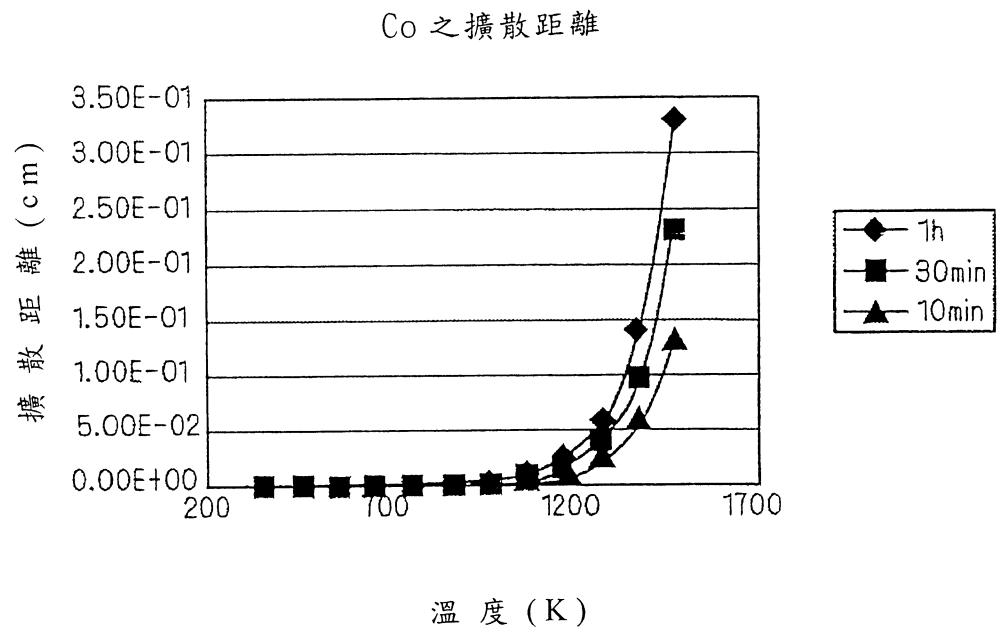


圖 2 7

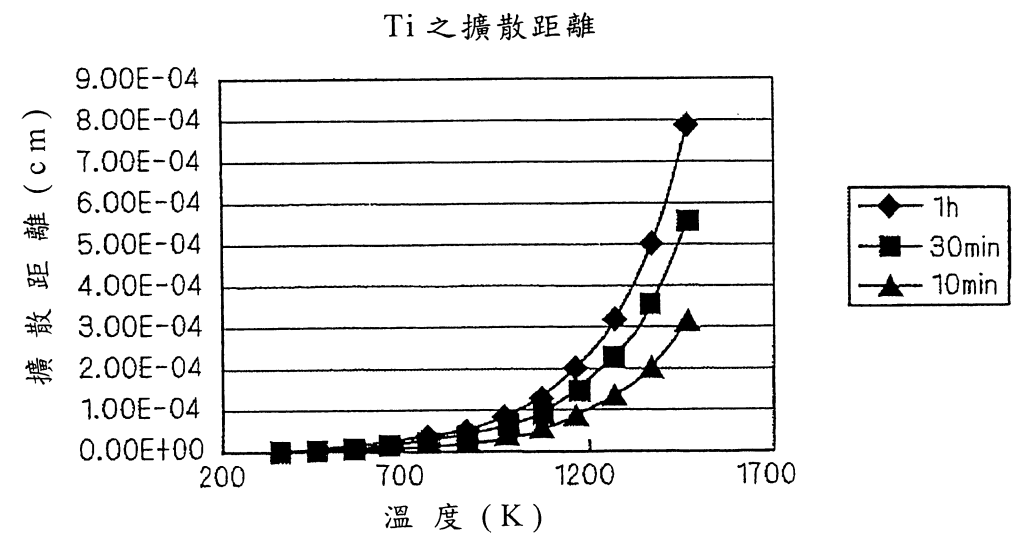


圖 2 8

Al 之擴散距離

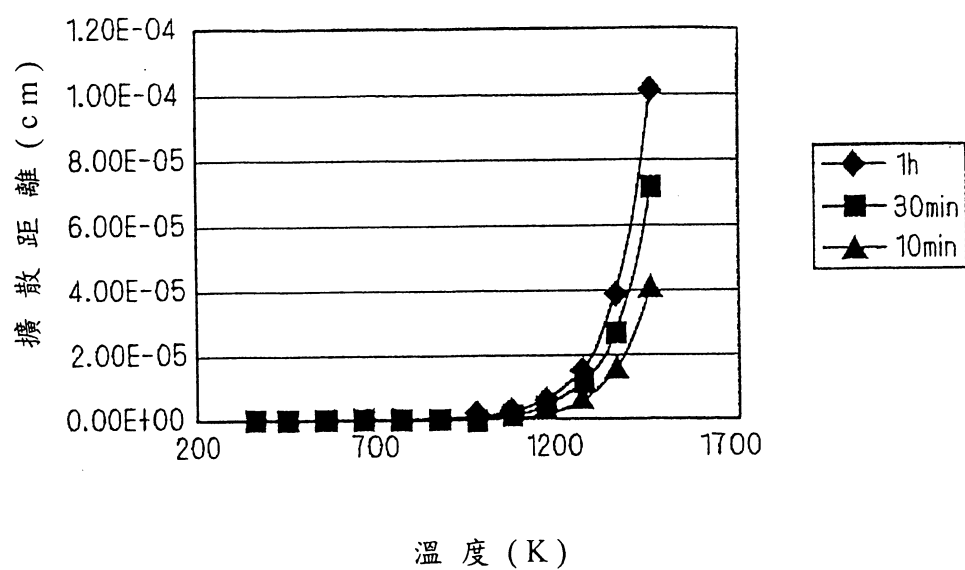
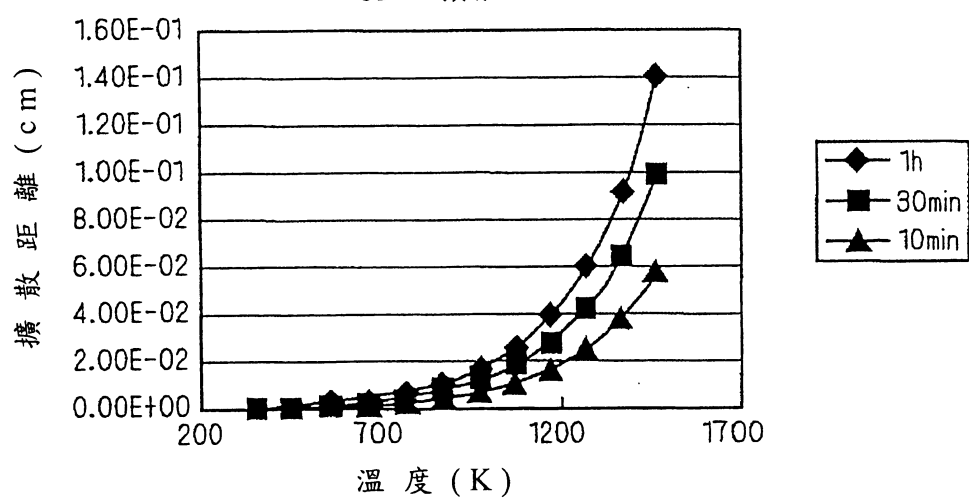


圖 2 9

Cr 之擴散距離



## 七、指定代表圖：

(一)本案指定代表圖為：第 ( 4 ) 圖。

(二)本代表圖之元件符號簡單說明：

|        |       |
|--------|-------|
| 1      | 氧化矽基板 |
| 2      | 矽膜    |
| 3      | 氧化矽膜  |
| 4      | 多晶矽   |
| 5      | 氮化矽膜  |
| 7      | 溝渠    |
| 8      | 氧化矽膜  |
| 9      | 金屬矽化物 |
| 21     | 氧化矽膜  |
| R1, R2 | 區域    |

## 八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

金屬矽化物 9。然後，在第 3 步驟，利用 HF 系溶液一起去除氧化矽膜和金屬矽化物 9。

實施形態 3.

在本實施形態中，對溝渠內部進行蝕刻。圖 15 至圖 17 是圖 1 所示之位置 Y-Y 之概念剖面圖，順序地表示在 SOI 基板上形成 MOS 裝置之過程。

第 1，與實施形態 1 所記載之第 1 和第 2 步驟同樣的，在 SOI 基板上形成各種之膜，然後形成溝渠 7(圖 3)。這時，可能在溝渠 7 之底面附著金屬污染物質。

第 2，去除抗蝕劑樹脂 6，使用 20℃ 至 150℃ 之氫過氧化氫系溶液，對露出在溝渠 7 之矽膜 2 之表面進行濕式蝕刻。利用此種方式可以去除附著在矽膜 2 之金屬污染物質。例如，在金屬污染物質之侵入到矽膜 2 之深度為 10nm 程度之情況時，利用濕式蝕刻去除之矽膜之厚度最好為 10nm 至 20nm。氫過氧化氫系溶液亦蝕刻多晶矽 4，所以成為溝渠 7 之側面之多晶矽 4 和矽膜 2 之各個之端面形成退縮，氧化矽膜 3 在溝渠 7 之側面呈現突出之形狀 14(圖 15)。

第 3，使露出在溝渠 7 之矽膜 2 之表面進行氧化，用來形成氧化矽膜 12。隨著該氧化，露出在溝渠 7 之側面之部份之多晶矽 4 亦被氧化，用來形成氧化矽膜 22(圖 16)。然後，沈積絕緣材料，例如氧化矽膜 13，使其埋入到溝渠 7 和覆蓋在氮化矽膜 5 之表面上。沈積在前者和後者之氧化矽膜 13 成為連續(圖 17)。

第 4，與實施形態 1 所記載之第 6 至第 8 步驟同樣的，

製作半導體裝置。

使用氫過氧化氫系溶液，對露出在溝渠 7 之矽膜 2 之表面進行蝕刻，用來去除附著在溝渠 7 之底面之金屬污染物質。因此，可以去除在半導體裝置之製作過程混入之金屬污染物質，可以防止半導體裝置所具有之性能和可靠度之降低。

在上述第 2 步驟中，亦可以使用 20℃ 至 150℃ 氫水溶液，或 20℃ 至 150℃ 之緩衝氟酸 (BHF) 溶液，20℃ 至 150℃ 之氫氧化鉀 (KOH) 溶液等，對露出在溝渠 7 之矽膜 2 之表面進行濕式蝕刻。在此種情況，可以獲得與上述之使用 20℃ 至 150℃ 之氫過氧化氫系溶液時同樣之效果。

在上述之實施形態 1 之第 5 步驟，實施形態 2 之第 4 步驟，實施形態 3 之第 3 步驟，分別在溝渠 7 之露出之矽膜 2 之表面形成氧化矽膜 12，用來使矽膜 2 之溝渠 7 側之邊緣部份 25 成為曲面狀 (圖 6，圖 14，圖 16)。利用此種方式，在邊緣部 25 之成為角形時可能發生之電場集中可以減小。因此，可以防止半導體裝置所具有之性能和可靠度之降低。

上述之任一實施形態所說明者是未形成有氧化矽膜 12 之情況，但是例如經由形成氧化矽膜 12 可以避免電場之集中。

實施形態 4.

在本實施形態中，以低溫進行退火。圖 18 至圖 22 是圖 1 所示之位置 Y-Y 之概念剖面圖，順序地表示在 SOI 基板上形成 MOS 裝置之過程。

火，用來在露出到上述溝渠之上述矽膜之表面形成絕緣膜；

(d)去除上述絕緣膜；和

(e)將絕緣材料埋入到上述溝渠。

5.如申請專利範圍第4項之半導體裝置之製造方法，其中上述步驟(c)之上述退火是在氮氣環境中或氫氣/氧氣環境中進行。

6.如申請專利範圍第1至5項中任一項之半導體裝置之製造方法，其更在上述步驟(d)和上述步驟(e)之間，具備在露出到上述溝渠之上述矽膜之表面形成氧化膜的步驟。

7.一種半導體裝置之製造方法，其包含如下步驟：

(a)在氧化矽基板上之矽膜上，順序地疊層氧化矽膜、多晶矽和氮化矽膜；

(b)對指定區域之上述氮化矽膜、上述多晶矽、上述氧化矽膜和上述矽膜進行蝕刻，用來形成在上述矽膜中具有底面之溝渠；

(c)利用濕式蝕刻，將露出到上述溝渠之上述矽膜之表面去除1nm至20nm之厚度；和

(d)將絕緣材料埋入到上述溝渠。

8.如申請專利範圍第7項之半導體裝置之製造方法，其中上述步驟(c)所進行之上述濕式蝕刻是使用氨過氧化氫系溶液、氨溶液、緩衝氟酸溶液和氫氧化鉀溶液之任一種，以20℃至150℃進行。

9.如申請專利範圍第7或8項之半導體裝置之製造方法，其更在上述步驟(c)和上述步驟(d)之間，具備在露出

到上述溝渠之上述矽膜之表面形成氧化膜的步驟。

10. 如申請專利範圍第 1 至 5、7 及 8 項中任一項之半導體裝置之製造方法，其更具備在將絕緣材料埋入到上述溝渠之步驟之後，以  $600^{\circ}\text{C}$  以下之溫度進行 1 小時以上之退火的步驟。

11. 如申請專利範圍第 1 至 5、7 及 8 項中任一項之半導體裝置之製造方法，其更具備在將絕緣材料埋入到上述溝渠之步驟之後，使露出到表面之上述絕緣材料之上述矽膜側成為曲面形狀的步驟。

12. 一種半導體裝置之製造方法，其包含如下步驟：

(a) 在氧化矽基板上之矽膜上，順序地疊層氧化矽膜、多晶矽和氮化矽膜；

(b) 對指定區域之上述氮化矽膜、上述多晶矽、上述氧化矽膜和上述矽膜進行蝕刻，用來形成在上述矽膜中具有底面之溝渠；

(c) 在露出到上述溝渠之上述矽膜之表面形成氧化膜；

(d) 將絕緣材料埋入到上述溝渠；和

(e) 以  $600^{\circ}\text{C}$  以下之溫度進行 1 小時以上之退火。

13. 如申請專利範圍第 12 項之半導體裝置之製造方法，其中，在上述步驟 (e) 之後，更具備在上述矽膜形成井區域之步驟。

14. 如申請專利範圍第 12 或 13 項之半導體裝置之製造方法，其更具備在將上述絕緣材料埋入到上述溝渠之步驟之後，使露出到表面之上述絕緣材料之上述矽膜側成為曲

面 形 狀 之 步 驟 。