

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0051422  
H01L 21/60 (2006.01) (43) 공개일자 2006년05월19일

(21) 출원번호 10-2005-0087299  
(22) 출원일자 2005년09월20일

(30) 우선권주장 JP-P-2004-00308558 2004년10월22일 일본(JP)

(71) 출원인 신꼬오덴기 고교 가부시키키가이샤  
일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자 야마노 다카하루  
일본국 나가노켄 나가노시 오시마다마치 80 신꼬오덴기 고교가부시키키가  
이샤 내  
아라이 다다시  
일본국 나가노켄 나가노시 오시마다마치 80 신꼬오덴기 고교가부시키키가  
이샤 내  
마치다 요시히로  
일본국 나가노켄 나가노시 오시마다마치 80 신꼬오덴기 고교가부시키키가  
이샤 내

(74) 대리인 문두현  
문기상

심사청구 : 없음

(54) 내장 칩을 갖고 그 양측에 외부 접속 단자를 갖는 기판과그 제조 방법

요약

본 발명에 개시된 내장 반도체 칩을 갖는 기판은 내장 반도체 칩과, 내장 반도체 칩이 내장된 수지 부재 및 외부 접속 단자를 포함한다. 수지 부재는 60 내지 90 중량 %의 구형 충전재의 수지를 함유한다.

대표도

도 2

색인어

내장, 반도체 칩, 수지, 접속, 기판

명세서

도면의 간단한 설명

도 1은 내장 칩을 갖는 기판을 나타내는 도면.

도 2는 본 발명의 실시예에 따른 내장 칩을 갖는 기판의 단면도.

도 3은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 4는 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 5는 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 6은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 7은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 8은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 9는 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 10은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 11은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 12는 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 13은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 14는 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 15는 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 16은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 17은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

도 18은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면.

\* 도면의 주요 부분에 대한 부호의 설명 \*

11...지지판

13...내장 반도체 칩

17...수지 부재

18...비아

19...배선

20...외부 접속 단자

21...뿔납 레지스트

22...뿔납 볼

23...수지층

30...기판

31...수지 부재

33...반도체 칩

41...비아

44...관통 비아

46...배선

48, 61...멤납 레지스트

50, 55...Ni/Au 층

53...제 1 외부 접속 단자

54...제 2 외부 접속 단자

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 내장 칩과 양측에 외부 접속 단자를 갖는 기판과, 그 제조 방법에 관한 것으로, 보다 구체적으로는 반도체 칩을 갖는 수지 부재를 내장하는 내장 반도체 칩을 갖는 기판에 관한 것이다.

근년에 반도체 칩은 상당한 정도까지 고밀도화되고 있고, 그로 인해 반도체 칩의 크기는 더욱 작아지고 있다. 크기가 더욱 작아짐에 따라, 반도체 칩이 내장된 기판, 즉, 내장 칩을 갖는 기판이 제안되었다.

도 1은 종래의 내장 칩을 갖는 기판을 나타내는 도면이다. 도 1에 나타낸 바와 같이, 내장 칩을 갖는 기판은 지지판(11), 내장 반도체 칩(13), 수지 부재(17), 비아(18), 배선(19), 외부 접속 단자(20), 멤납 레지스트(21), 멤납 볼(22) 및 수지층(23)으로 구성된다. 내장 반도체 칩(13)은 본체(14)와 전극 패드(15)로 구성된다.

지지판(11)은 지지판(11)의 표면(11a)에 내장되는 구조체(반도체 칩(13), 수지 부재(17) 및 그 밖의 것들)를 지지한다. 전극 패드가 내장되지 않은 반도체 본체(14) 측은 접촉체(12)로 지지판(11)의 표면(11a)에 접촉된다. 수지 부재(17)는 지지판(11)에 설치되어 반도체 칩을 피복한다. 수지 부재(17)에 설치된 각각의 비아(18)들은 해당 전극 패드(15)에 접속되고 수지 부재(17)의 표면(17a)으로부터 노출된다. 수지 부재(17)의 표면(17a)에 형성된 배선(19)은 각각 비아(18)와 외부 접속 단자(20)에 접속된다.

멤납 볼(22)을 배치하기 위해 설치된 외부 접속 단자(20)는 멤납 레지스트(21)로부터 노출된다. 외부 접속 단자(20)를 노출하는 멤납 레지스트(21)는 수지 부재(17)에 설치되어 배선(19)을 피복 한다. 멤납 레지스트(21)는 배선(19)을 보호하기 위해 설치되어 멤납 볼(22)이 배선과 접촉하는 것을 방지한다. 멤납 볼(22)은 외부 접속 단자(20)에 설치된다. 멤납 볼(22)은 내장 칩을 갖는 기판(25) 등과 같은 다른 기판을 접속하기 위해 설치된다. 수지층(23)은 지지판(11)의 하면(下面)(11b)에 형성된다. 수지층(23)은 지지판(11)에 의해 지지되는 구조체(반도체 칩(13), 수지 부재(17) 및 그 밖의 것들)가 지지판(11)와 함께 휘는 것을 방지한다(예를 들어, 특허 문헌 1 참조).

[특허 문헌 1] 일본국 공개 특허 제2001-217381호 공보

### 발명이 이루고자 하는 기술적 과제

그러나, 종래의 수지 부재(17)는 유리 전이 온도 부근에서 낮은 탄성 계수를 갖고, 유리 전이 온도보다 낮은 온도에서 그것의 열 팽창 계수는 높다. 그러므로, 상술한 바와 같이, 내장 칩을 갖는 기판(10)이 제조된 다음에도 지지판(11)상에 구조체(반도체 칩(13), 수지 부재(17) 및 그 밖의 것들)를 지지하도록 지지판(11)을 유지하는 것이 필요하다. 또한, 내장 칩을 갖는 기판(10)이 수지 부재(17)의 변형으로 인해 휘어지는 것을 방지하기 위해 지지판(11)의 하면(116)에 수지층(23)을 설치하는 것이 필요하다. 따라서, 내장 칩을 갖는 기판(10)의 두께를 감소시키는 것이 어렵게 되고, 이는 지지판(11)과 수지층(23)을 설치할 필요가 있기 때문이다. 또한, 지지판(11)과 수지층(23)은 수지 부재(17)의 일 측에 설치되고, 외부 접속 단자(20)는 지지판(11)과 수지층(23)이 설치되지 않은 수지 부재(17)의 다른 측에만 접속될 수 있다. 여기서, "유리 전이 온도"는 수지의 탄성 계수가 급격히 저하되는 온도이다. 유리 전이 온도에서, 수지 구조체는 유리 상태에서 고무질 상태로 전이한다.

본 발명의 일반적인 목적은 종래 기술의 한계와 단점에 의해 야기된 하나 이상의 문제들을 거의 없애고, 내장 칩을 갖는 다른 기판에 접촉하며 또 다른 기판을 접속할 수 있도록 하는, 내장 칩과 외부 접속 단자를 그 양측에 갖는 박형의 기판과, 그 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

본 발명의 특징 및 이점을 다음의 설명으로 나타나고, 설명과 첨부한 도면으로부터 어느 정도 명확해 지거나, 설명에서 제시된 기술에 따른 본 발명의 실시예에 의해 알 수 있을 것이다. 본 발명을 당업자가 실행할 수 있도록 본 명세서에 충분하고, 분명하고, 간결하고, 정확하게 가리킨 내장 칩과 외부 접속 단자를 그 양측에 갖는 기판에 의해 본 발명의 목적뿐만 아니라 특징점들을 실현하고 연계 될 것이다. 본 발명의 목적에 따른 이들 및 그 밖의 이점을 획득하기 위하여, 본 발명은 내장 반도체 칩으로 이루어지는 내장 칩을 갖는 기판과, 60 내지 90 중량 %의 구형 충전재를 함유하며 내장 반도체 칩이 내장된 수지 부재와, 외부 접속 단자를 제공한다.

상술한 발명에 따르면, 60 내지 90 중량 %의 구형 충전재를 함유하는 수지 부재를 사용함으로써, 종래의 수지 부재에 비하여, 유리 전이 온도 부근에서 탄성 계수가 높고, 유리 전이 온도보다 낮은 온도에서 열 팽창 계수가 낮으므로 수지 부재의 휘는 것이 방지되는 내장 칩을 갖는 기판을 얻을 수 있다. 따라서, 내장 칩을 갖는 종래의 기판에 필요로 했던 지지판과 수지층을 가질 필요가 없으므로, 내장 칩을 갖는 기판의 두께를 줄일 수 있다. 여기서 "유리 전이 온도"는 수지의 탄성 계수가 급격히 저하되는 온도를 나타낸다.

본 발명의 다른 형태에 따르면, 내장 칩을 갖는 기판은 유리 전이 온도 부근에서 1 GPa 내지 3 GPa의 탄성 계수를 갖는 수지 부재로 구성된다.

상술한 발명에 따르면, 유리 전이 온도 부근에서 종래의 수지 부재의 탄성 계수보다 큰 1 GPa 내지 3 GPa의 탄성 계수를 갖는 수지 부재에 의해 수지 부재의 휨이 방지될 수 있다.

본 발명의 다른 형태에 따르면, 내장 칩을 갖는 기판은 유리 전이 온도보다 낮은 온도에서 10 ppm 내지 15 ppm의 열 팽창 계수를 갖는 수지 부재로 구성된다.

상술한 발명에 따르면, 열 팽창 계수는 유리 전이 온도보다 낮은 온도에서 종래의 수지 부재의 열 팽창 계수보다 낮은 10 ppm 내지 15 ppm으로 유지되므로, 열변형을 작게 유지하여 수지 부재가 가열될 때 휘는 것을 방지할 수 있다.

본 발명의 다른 형태에 따르면, 내장 칩을 갖는 기판은 수지 부재의 양측에 설치된 외부 접속 단자를 포함한다.

상술한 발명에 따르면, 내장 칩을 갖는 기판에 지지판을 설치할 필요가 없기 때문에, 수지 부재의 양측에 외부 접속 단자를 설치할 수 있다. 그러므로, 내장 칩을 갖는 기판은 일 측에 내장 칩을 갖는 다른 기판을 탑재할 수 있고, 다른 측에 제삼의 기판(예를 들어, 모기판(motherboard))에 접속될 수 있다.

본 발명의 다른 형태에 따르면, 내장 칩을 갖는 기판은 외부 접속 단자와 접속된 전극 패드를 갖는다. 전극 패드의 재료로써 알루미늄(Al)이 사용될 경우, 전극 패드에 아연산염 처리를 행하여 전극 패드 상에 니켈(Ni)층을 형성한다.

상기 발명에 따르면, 전극 패드의 재료로써 알루미늄(Al)이 사용될 경우, 전극 패드에 아연산염 처리를 행한다. 따라서, 전극 패드는 재산화(re-oxidation)가 방지되고, 그러므로 니켈층이 전극 패드에 용이하게 형성된다. 니켈층은 비아를 배치하기 위해 전극 패드 상에 개구부를 형성할 경우 스톱퍼 막으로 사용될 수 있으므로, 이로 인해 전극 패드가 손상되는 것을 방지한다.

본 발명의 다른 형태에 따르면, 반도체 칩과, 반도체 칩이 내장되고 외부 접속 단자를 가지며 60 내지 90 중량 %의 구형 충전재가 함유된 수지 부재를 갖는 기판을 제조하는 방법으로 지지판 상에 반도체 칩을 배치하는 단계와, 지지판 상에 수지 부재를 배치하는 단계를 포함하여 반도체 칩을 피복하고, 지지판을 제거한다.

상술한 발명에 따르면, 수지와 60 내지 90 중량 %의 구형 충전재를 사용함으로써, 종래의 수지에 비해, 유리 전이 온도 부근의 온도에서 탄성 계수가 높고, 유리 전이 온도보다 낮은 온도에서 열 팽창 계수가 낮아지므로, 수지 부재의 휨이 제어되고 지지판과 수지층을 배치할 필요가 없다. 따라서, 내장 칩을 갖는 기판의 두께가 감소될 수 있다.

본 발명의 다른 형태에 따르면, 내장 칩을 갖는 기판의 제조 방법은 수지 부재를 관통하는 관통 비아(via)를 형성하는 단계와, 수지 부재의 일 측의 관통 비아에 전기적으로 접속되는 제 1 외부 접속 단자를 형성하는 단계와, 수지 부재의 다른 측의 관통 비아에 전기적으로 접속되는 제 2 외부 접속 단자를 형성하는 단계를 더 포함한다.

상술한 발명에 따르면, 내장 칩을 갖는 기판의 일 측의 관통 비아에 전기적으로 접속된 제 1 외부 접속 단자를 형성하고, 내장 칩을 갖는 기판의 다른 측의 관통 비아에 전기적으로 접속된 제 2 외부 접속 단자를 형성하고, 또한 내장 칩을 갖는 기판 상에 내장 칩을 갖는 다른 기판을 탑재함으로써, 내장 칩을 갖는 다른 기판이 탑재된 내장 칩을 갖는 기판에 제삼의 기판을 접속할 수 있다.

본 발명에 따르면, 내장 칩을 갖는 기판의 두께를 줄일 수 있고, 내장 칩을 갖는 다른 기판을 내장 칩을 갖는 기판상에 탑재할 수 있고, 그러므로, 내장 칩을 갖는 기판을 다른 기판(예를 들어, 모기판(motherboard))상에 더 탑재할 수 있는, 내장 칩을 갖는 기판과 그 제조 방법이 제공될 수 있다.

다음으로, 본 발명의 실시예를 첨부된 도면을 참조하여 설명한다.

(실시예)

우선, 본 발명의 실시예에 따른 내장 칩을 갖는 기판(30)을 도 2를 참조하여 설명한다. 도 2는 본 발명의 실시예에 따른 내장 칩을 갖는 기판의 단면도이다. 내장 칩을 갖는 기판(30)은 반도체 칩(33), 수지 부재(31), 비아(41), 관통 비아(44), 배선(46), 땀납 레지스트(48, 61), Ni/Au 층(50, 55), 제 1 외부 접속 단자(53), 제 2 외부 접속 단자(54) 및 땀납 볼(59)로 구성된다.

반도체 칩(33)은 반도체 칩 본체(34)와 전극 패드(37)로 구성된다. 전극 패드(37)는 반도체 칩 본체(34)의 일 측에 배치된다. 전극 패드(37)용 재료로는, 예를 들어, Al이 사용된다. 전극 패드(37) 상에는 Ni 층(38)이 형성된다. 전극 패드(37)용 재료로 Al이 사용될 경우, 전극 패드(37) 상에 아연산염 처리를 행하고, 처리 후에, Ni 층(38)이 형성된다. Ni 층(38)은 전극 패드(37) 상에 비아(41) 배치용 개구부(71)(도 5)를 형성하기 위한 스톱퍼 막으로써 기능한다. Ni 층(38)의 두께는, 예를 들어, 5 내지 10 $\mu$ m이다. 또한, Ni 층(38)을 전극 패드(37) 상에 배치함으로써, 개구부(71)가 형성될 때 전극 패드(37)가 손상되는 것을 방지할 수 있다.

아연산염 처리는 Al 상에 쉽게 산화되는 아연을 도금하여, Al이 재산화되는 것을 방지한다. 따라서, Al으로 구성된 전극 패드(37) 상에 아연산염 처리를 행함으로써, 전극 패드(37)가 재산화되는 것을 방지할 수 있고, 전극 패드(37) 상에 형성된 금속층(본 실시예에서는 Ni 층(38))과 전극 패드(37)의 밀착성을 향상시킬 수 있다.

도 2에 나타난 반도체 칩(33)은 반도체 칩 본체(34)의 전극 패드(37)가 부착된 측이 상측으로 배치되어 있다. 또한, 수지 부재(31)가 반도체 칩 본체(34)의 상측(전극 패드(37)가 배치된 측), 반도체 칩 본체(34)의 측면과 전극 패드(37)를 피복하고 있다.

반도체 칩(33)을 내장하는 수지 부재(31)는 내장 칩을 갖는 기관(30)의 기재(基材)이다. 수지 부재(31)는 60 내지 90 중량 %의 구형 충전재의 수지로 구성된다. 구형 충전재용 재료로는, 예를 들어, SiO<sub>2</sub>가 사용될 수 있다. 구형 충전재 재료의 직경은, 예를 들어, 1 내지 5 $\mu$ m이다. 구형 충전재가 혼합된 수지로는, 예를 들어, 에폭시 수지, 에폭시 수지와 폴리아미드-이미드(PAI) 수지를 포함하는 혼합 수지, 및 폴리아미드-이미드(PAI) 수지를 사용할 수 있다.

따라서, 60 내지 90 중량 %의 구형 충전재의 수지 부재(31)를 사용함으로써, 종래의 수지 부재(17)에 비해, 유리 전이 온도 부근의 온도에서 탄성 계수가 높고 유리 전이 온도보다 낮은 온도에서 열 팽창 계수가 낮으므로, 수지 부재(31)의 휘는 것을 제어할 수 있고 내장 칩을 갖는 종래의 기관(10)에 필요로 했던 지지판(11)과 수지층(23)을 배치할 필요가 없다. 따라서, 내장 칩을 갖는 기관(30)의 두께를 줄일 수 있다. 또한, 수지를 구형 충전재로 고충전하기 때문에, 수지 부재(31)의 유동성과 경화 후의 수지 부재(31)의 표면 평활성이 향상되고, 반도체 칩(33)과 수지 부재(31) 사이의 간격이 없게 되므로, 반도체 칩(33)은 수지 부재(31) 내에 좋은 정밀도로 내장될 수 있다. 또한, 레이저와 에칭 처리에 의해, 비아를 형성하기 위해 수지 부재(31) 상에 개구부(71)(도 5에 나타난 바와 같이)를 형성할 경우와, 관통 비아(44)를 형성하기 위해 수지 부재(31) 상에 관통 구멍(72)(도 5에 나타난 바와 같이)을 형성할 경우에, 개구부(71)와 관통 구멍(72)의 가공 정밀도를 향상시킬 수 있다.

유리 전이 온도 부근의 온도에서 수지 부재(31)의 탄성 계수를 1 GPa 내지 3 GPa로 유지함으로써(유리 전이 온도 부근의 온도에서 종래의 수지 부재(31)의 탄성 계수는 1 GPa 이하), 내장 칩을 갖는 기관이 외부 힘에 의해 영향을 받을 경우, 내장 칩을 갖는 기관이 변형(휘는 것 포함)되는 것을 방지할 수 있다.

유리 전이 온도보다 낮은 온도에서 내장 칩을 갖는 기관의 열 팽창 계수를 10 ppm 내지 15 ppm 범위로 유지함으로써(유리 전이 온도보다 낮은 온도에서 종래의 수지 부재(17)의 열 팽창 계수는 약 100 ppm이고, 각각의 X, Y, Z 방향에서 분산을 확인할 수 있다), 내장 칩을 갖는 기관(30)의 제조 공정에서, 내장 칩을 갖는 기관(30)에 열처리를 행할 경우, 내장 칩을 갖는 기관(30)이 열 변형(휘는 것 포함)되는 것을 방지할 수 있다. 또한, 종래의 수지 부재(17)에 비해, X, Y, Z 방향에서의 수지 부재(31)의 열 팽창 계수의 분산을 줄일 수 있다. 여기서, "ppm" 용어는 "백만 분의 일"(parts per million)의 약자이다.

본 실시예에 따르면, 수지로는 에폭시 수지가 사용되고, 구형 충전재로는 SiO<sub>2</sub>가 사용됨으로써, 수지 부재(31)는 에폭시 수지와 85 중량 %의 구형 충전재로 구성되어, 탄성 계수와 열 팽창 계수가 측정된다. 결과적으로, 2 GPa의 탄성 계수(측정시의 온도는 230 $^{\circ}$ C)와 12 ppm의 열 팽창 계수를 얻었다. 상기 탄성 계수를 측정하기 위해 동적 점탄성(visco-elasticity) 측정 장치(DMA)가 사용되었고, 열 팽창 계수를 측정(측정시의 온도는 210 $^{\circ}$ C)하기 위해 열-기계(thermo-mechanical) 분석 장치(TMA)가 사용되었다. 또한, 측정에 사용된 수지 부재(31)의 유리 전이 온도는 215 $^{\circ}$ C이고, 이 경우에, "유리 전이 온도 부근의 온도"는 200 내지 215 $^{\circ}$ C이다.

상기 측정 결과에 따르면, 본 실시예의 수지 부재(31)를 사용함으로써, 탄성 계수를 유리 전이 온도 부근에서 종래의 수지 부재(17)의 탄성 계수보다 크게 되도록 증가시킬 수 있고, 열 팽창 계수를 유리 전이 온도보다 낮은 온도에서 종래의 수지 부재(17)의 열 팽창 계수보다 낮게 되도록 감소시킬 수 있다.

수지 부재(31) 내에 배치되는 비아(41)는 시드층(43)과 구리층(42)으로 구성된다. 시드층(43)으로는, 예를 들어, 무전해 도금법과 CVD 법에 의해 형성된 구리층이 사용될 수 있다. 또한, 구리층(42)으로는, 예를 들어, 무전해 도금법에 의해 형성된 구리층(42)이 사용될 수 있다. 비아(41)로는, 비아(41)의 한쪽 단부가 Ni 층(38)을 통하여 전극 패드(37)에 전기적으로 접속되고, 비아(41)의 다른 쪽 단부가 배선(46)에 접속된다.

수지 부재(31)를 관통하는 관통 비아(44)는 시드층(43)과 구리층(42)으로 구성된다. 수지 부재(31)의 상면(31a)으로부터 노출된 관통 비아(44)의 단부는 배선(46)에 접속된다.

배선(46)은 제 1 외부 접속 단자(53)를 통하여 비아(41)와 관통 비아(44)를 접속한다. 제 1 외부 접속 단자(53)는 배선(46)을 통하여 비아(41)와 관통 비아(44)를 전기적으로 접속한다. 배선(46)으로 일체화된 제 1 외부 접속 단자(53)는, 예를 들어, 구리층으로 구성된다.

제 1 외부 접속 단자(53)를 노출시키는 개구부(49)를 갖는 뿔납 레지스트(48)는 수지 부재(31)의 상면(31a)과 배선(46)이 피복되도록 배치된다. 뿔납 레지스트(48)는 배선(46)을 보호하기 위해 기능한다.

제 1 외부 접속 단자(53) 상에 설치된 Ni/Au층(50)은 Ni층(51)과 Au층(52)으로 구성된다. Ni/Au층(50)은 제 1 외부 접속 단자(53)에 함유된 구리가 확산하는 것을 방지하고 땀납 볼(59)(도시 생략)과의 밀착성을 향상시킨다. Ni/Au층(50)은 내장 칩을 갖는 다른 기판(100)에 접속된다. Ni층(51)의 두께는, 예를 들어, 3 $\mu$ m이고, Au층(52)의 두께는, 예를 들어, 0.1 $\mu$ m이다. 또한, Au층(52)과 Ni층(51)은, 예를 들어, 무전해 도금법에 의해 형성될 수 있다.

상술한 바와 같이, 본 실시예에 따른 내장 칩을 갖는 기판(30)은 구형 충전재로 고충전되고, 유리 전이 온도 부근의 온도에서 탄성 계수가 높고, 유리 전이 온도보다 낮은 온도에서 열 팽창 계수가 낮은 수지 부재(31)를 사용한다. 그러므로, 반도체 칩(33)을 내장하는 수지 부재(31)를 지지하는, 내장 칩(도면에서 생략됨)을 갖는 기판(30) 상에 지지 기판을 배치할 필요가 없다. 따라서, 도 2에 나타난 바와 같이, 수지 부재(31)의 하면(31b)으로부터 노출된 관통 비아(44)의 단부를 땀납 볼(59)에 접속할 수 있다. 수지 부재(31)의 하면(31b)으로부터 노출된 관통 비아(44)의 단부는 제 2 외부 접속 단자(54)이다. 외부 접속 단자(54)는 땀납 볼(59)을 통하여 모기관 등과 같은 다른 기판에 접속될 수 있다.

따라서, 내장 칩을 갖는 기판(30)에서, 제 1 외부 접속 단자(53)는 수지 부재(31)의 상면(31a)(수지 부재(31)의 일 측)에 배치되고, 제 2 외부 접속 단자는 수지 부재(31)의 하면(31b)(수지 부재(31)의 다른 측)에 배치되므로, 내장 칩을 갖는 다른 기판(100)을 내장 칩을 갖는 기판(30) 상에 탑재하고, 내장 칩을 갖는 기판(100)을 탑재하는 내장 칩을 갖는 기판(30)을 다른 기판(예를 들어, 모기관)에 접속할 수 있다.

제 2 외부 접속 단자(54)를 노출시키는 개구부(58)를 갖는 땀납 레지스트(61)는 수지 부재(31)의 하면(31b)과 반도체 칩(33)의 하단을 피복하도록 배치된다. 제 2 외부 접속 단자(54)에 설치된 Ni/Au층(55)은 Ni층(56)과 Au층(57)으로 구성된다. Ni/Au층(55)은 제 2 외부 접속 단자(54)에 함유된 구리가 땀납 볼(59) 내로 확산하는 것을 방지하고 땀납 볼(59)과의 밀착성을 향상시킨다. 땀납 볼(59)은 Au층(57)에 접속된다. Ni층(56)의 두께는, 예를 들어, 3 $\mu$ m이고, Au층(57)의 두께는, 예를 들어, 0.1 $\mu$ m이다. 또한, Ni층(56)과 Au층(57)은, 예를 들어, 무전해 도금법에 의해 형성될 수 있다.

상술한 바와 같이, 60 내지 90 중량 %의 구형 충전재를 함유하는 수지 부재(31)를 사용함으로써, 종래의 수지 부재(17)에 비하여, 유리 전이 온도 부근에서 탄성 계수가 높고, 유리 전이 온도보다 낮은 온도에서 열 팽창 계수가 낮으므로 내장 칩을 갖는 기판(30)의 두께를 줄일 수 있다. 또한, 제 1 외부 접속 단자(53)를 수지 부재(31)의 상면(31a)(수지 부재(31)의 일 측)에 설치하고, 제 2 외부 접속 단자(54)를 수지 부재(31)의 하면(31b)(수지 부재(31)의 다른 측)에 설치하므로, 내장 칩을 갖는 다른 기판(100)을 내장 칩을 갖는 기판(30) 상에 탑재하고, 내장 칩을 갖는 기판(100)을 탑재하는 내장 칩을 갖는 기판(30)을 다른 기판(예를 들어, 모기관)에 접속할 수 있다.

다음으로, 도 3 내지 도 18을 참조하면서 내장 칩을 갖는 기판(30)을 제조하는 방법을 자세히 설명한다. 도 3 내지 도 18은 본 발명의 실시예의 내장 칩을 갖는 기판의 제조 공정을 나타내는 도면이다.

우선, 도 3에 나타난 바와 같이, 미리 아연산염 처리가 행해진 전극 패드(37)(Al이 재료로 사용됨) 상에, Ni층(38)을 형성한다. 아연산염 처리는 Al으로 구성된 전극 패드(37) 상에 행해짐으로써, 전극 패드의 재산화를 방지하여 전극 패드(37)와 전극 패드(37) 상에 형성된 금속층(본 실시예에서는 Ni층(38)) 사이의 밀착성을 향상시킨다. Ni층(38)은 비아(41)를 배치하기 위하여 레이저 처리에 의해 수지 부재(31) 내에 개구부(71)를 형성할 때 스톱퍼 막으로써 기능한다.

상술한 공정 이후에, 반도체 칩 본체의 전극 패드(37)가 배치되지 않은 측 상에 접착제(65)를 바르고, 구리 포일(67)이 설치된 지지판(66) 상에 반도체 칩(33)을 접착시킨다(반도체 칩 설치 공정). 구리 포일(67)은 관통 비아(44)를 배치하기 위해, 관통 구멍(72)이 형성될 때 스톱퍼 막으로써 기능한다.

다음으로, 도 4에 나타난 바와 같이, 구형 충전재용 재료로써 에폭시 수지와 60 내지 90 중량 %의 SiO<sub>2</sub>로 구성된 막 수지 부재(31)는 지지판(66) 상에 배치된 반도체 칩(33)과 구리 포일(67)을 적층하고, 필요에 따라서, 수지 부재(31)는 가압 및 가열에 의해 경화된다(수지 부재 설치 공정). 수지 부재(31)의 두께(M1)는, 예를 들어, 70 $\mu$ m이다.

다음으로, 도 5에 나타난 바와 같이, 수지 부재(31)를 관통하는 관통 구멍(72)과 Ni층(38)을 노출하는 개구부(71)를 형성한다. 개구부(71)는 비아(41)를 배치시키기 위한 것이다. 관통 구멍(72)은 관통 비아(44)를 배치시키기 위한 것이다. 관통 구멍(72)의 직경은, 예를 들어, 50 $\mu$ m이다. 또한, 관통 비아(44)의 직경은, 예를 들어, 100 $\mu$ m이다. 또한, 구리 포일(67)과 Ni층(38)은 개구부(71)와 관통 구멍(72)이 레이저 가공에 의해 형성될 때 스톱퍼 층으로써 사용된다.

다음으로, 도 6에 나타난 바와 같이, 개구부(71), 관통 구멍(72), 및 수지 부재(31)의 상면(31a)의 시드층(43)을 형성한다. 시드층(43)으로는, 예를 들어, 무전해 도금법과 CVD법에 의해 형성된 구리층(두께는 1 내지 2 $\mu$ m)을 사용할 수 있다.

다음으로, 도 7에 나타난 바와 같이, 시드층(43)을 급전층으로 사용하여, 개구부(71)와 관통 구멍(72)을 전해 도금법에 따라 구리층(42)으로 충전한다. 전해 도금을 2회 행한다. 따라서, 전해 도금을 2회 행하여 개구부(71)와 관통 구멍(72) 내에 매립된 구리층(42)에 보이드(매립 불량)를 방지한다.

다음으로, 도 8에 나타난 바와 같이, 수지 부재(31) 상의 구리층(42)을 버프(buff) 연마 장치 및 CMP 장치 중 하나에 의해 평탄화되도록 연마한다. 따라서, 시드층(43)과 구리층(42)을 포함하는 비아(41)을 개구부(71)에 형성하고, 시드층(43)과 구리층(42)을 포함하는 관통 비아(44)를 관통 구멍(72)에 형성한다(관통 비아 형성 공정).

다음으로, 도 9에 나타난 바와 같이, 개구부(75)를 갖는 건식 막 레지스트(74)를 도 8에 나타난 구조상에 형성한다. 개구부(75)는 배선(46)이 형성된 부분(46A)과, 제 1 외부 접속 단자(53)가 형성된 부분(53A)을 노출한다. 건식 막 레지스트(74)가 형성된 후에, 전해 도금법에 따라 개구부(75) 상에 층을 성장시킴으로써, 해당하는 비아(41)와 관통 비아(44)에 접속되는 배선이 형성되고, 제 1 외부 접속 단자(53)가 형성되어 배선(46)과 일체화된다(제 1 외부 접속 단자 형성 공정). 배선(46)과 제 1 외부 접속 단자(53)를 형성한 후에, 건식 레지스트 막(74)을 레지스트 박리 처리에 의해 건식 레지스트 막(74)을 제거한다.

다음으로, 도 10에 나타난 바와 같이, 제 1 외부 접속 단자(53)를 노출하는 개구부(78)를 갖는 건식 막 레지스트(77)을 시드층(43)에 설치하여 배선(46)을 피복한다. 그런 다음, 도 11에 나타난 바와 같이, Ni층(51)과 Au층(52)을 개구부(78)로부터 노출된 제 1 외부 접속 단자(53) 상에 차례로 형성함으로써, Ni/Au층(50)을 형성한다. 건식 막 레지스트(77)는 Ni/Au층(50)을 형성한 후에 레지스트 박리 처리에 의해 제거된다.

다음으로, 도 12에 나타난 바와 같이, 건식 막 레지스트(81)는 배선(46)과 Ni/Au층(50)을 피복 하도록 형성된다. 그런 다음, 도 13에 나타난 바와 같이, 수지 부재(31)의 상면(31a)에 형성된 시드층(43)을 에칭에 의해 제거하여 수지 부재(31)의 상면(31a)을 노출한다. 건식 막 레지스트(81)는 시드층(43)을 제거한 후에 레지스트 박리 처리에 의해 제거된다.

다음으로, 도 14에 나타난 바와 같이, Ni/Au층(50)을 노출하는 개구부(49)를 갖는 뱀납 레지스트(48)를 배선(46)과 수지 부재(31) 상에 형성한다. 그런 다음, 도 15에 나타난 바와 같이, 지지판(66)을 제거한다(지지판 제거 공정). 지지판(66)은, 예를 들어, 버프 연마에 의해 제거될 수 있다. 다음으로, 도 16에 나타난 바와 같이, 구리 포일(67)을 제거한다. 따라서, 제 2 외부 접속 단자(54)와 수지 부재(31)의 하면(31b)이 노출된다(제 2 외부 접속 단자 형성 공정). 구리 포일(67)은, 예를 들어, CMP 장치로 구리 포일(67)을 연마함으로써 제거될 수 있다.

다음으로, 도 17에 나타난 바와 같이, 제 2 외부 접속 단자(54)를 노출하는 개구부(58)를 갖는 뱀납 레지스트(61)를 형성한다. 그런 다음, 무전해 도금법에 따라서, Ni층(56)과 Au층(57)을 차례로 적층하여 Ni/Au층(55)을 형성한다.

따라서, 도 18에 나타난 바와 같이, Au층(57) 상에 뱀납 볼(59)을 배치함으로써, 내장 칩을 갖는 기관(30)이 제조된다. 본 실시예에 따른 내장 칩을 갖는 기관(30)은 뱀납 볼(59)과 뱀납 레지스트(61)로 구성되지만, 뱀납 볼(59)과 뱀납 레지스트(61)의 사용은 선택적이므로, 뱀납 볼(59)과 뱀납 레지스트(61)는 필요에 따라 배치된다.

상술한 바와 같이, 내장 칩을 갖는 기관을 수지와 60 내지 90 중량 %의 구형 충전재로 구성된 수지 부재로 제조함으로써, 종래 수지 부재(17)에 비해, 유리 전이 온도 부근의 온도에서 탄성 계수가 높게 되고, 유리 전이 온도보다 낮은 온도에서 열 팽창 계수가 낮게 되므로, 지지판(66)과 지지판(66) 상의 수지층을 배치할 필요가 없다. 그러므로, 지지판(66)을 제거할 수 있어서 내장 칩을 갖는 기관(30)의 두께를 줄일 수 있다. 또한, 지지판(66)을 배치할 필요가 없기 때문에, 수지 부재(31)의 양측(31a, 31b)에 외부 접속 단자(제 1 및 제 2 외부 접속 단자(53, 54))를 배치할 수 있게 된다. 그러므로, 내장 칩을 갖는 다른 기관(100)을 내장 칩을 갖는 기관(30) 상에 탑재할 수 있고, 다른 기관(100)을 탑재하는 내장 칩을 갖는 기관(30)을 다른 기관(예를 들어, 모기관)에 접속할 수 있다.

또한, 본 발명은 이들 실시예로 한정되지 않고, 본 발명의 범위를 벗어나지 않는 한 다양한 변화와 변형이 될 수 있다. 개구부(71)와 관통 구멍(72)이 에칭에 의해 형성될 수 있음을 유념해야 한다.

## 발명의 효과



본 발명에 따르면, 내장 칩을 갖는 기관의 두께를 줄일 수 있다. 또한, 본 발명은, 수지 부재의 양측에 외부 접속 단자를 배치함으로써, 종래의 기관이 접속될 수 있었던 것보다 더 많은 기관(예를 들어, 모기관)을 접속할 수 있는 내장 칩을 갖는 기관에 적용할 수 있다. 본 발명은 상술한 기관을 제조하는 방법에 적용할 수도 있다.

(57) 청구의 범위

**청구항 1.**

내장 반도체 칩과,

상기 내장 반도체 칩이 내장된 수지 부재와,

외부 접속 단자를 포함하고,

상기 수지 부재는 60 내지 90 중량 %의 구형 충전재(spherical filler)의 수지를 함유하는 것을 특징으로 하는 내장 반도체 칩을 갖는 기관.

**청구항 2.**

제 1 항에 있어서,

상기 수지 부재는 유리 전이 온도 부근에서 1 GPa 내지 3 GPa의 탄성 계수를 갖는 것을 특징으로 하는 내장 반도체 칩을 갖는 기관.

**청구항 3.**

제 1 항에 있어서,

상기 수지 부재는 유리 전이 온도보다 낮은 온도에서 10 ppm 내지 15 ppm의 열 팽창 계수를 갖는 것을 특징으로 하는 내장 반도체 칩을 갖는 기관.

**청구항 4.**

제 1 항에 있어서,

상기 외부 접속 단자는 상기 수지 부재의 양측에 설치되는 것을 특징으로 하는 내장 반도체 칩을 갖는 기관.

**청구항 5.**

제 1 항에 있어서,

상기 내장 반도체 칩은 상기 외부 접속 단자와 접속된 전극 패드를 갖고,

상기 전극 패드의 재료로써 알루미늄(Al)이 사용될 경우, 상기 전극 패드에 아연산염 처리를 행하여 상기 전극 패드 상에 니켈(Ni)층을 형성하는 것을 특징으로 하는 내장 반도체 칩을 갖는 기관.

**청구항 6.**

내장 반도체 칩과, 상기 내장 반도체 칩을 내장하고 외부 접속 단자를 가지며, 60 내지 90 중량 %의 구형 충전재가 함유된 수지 부재를 갖는 기판의 제조 방법에 있어서,

지지판상에 상기 내장 반도체 칩을 배치하는 단계와,

상기 지지판상에 상기 수지 부재를 배치하여 상기 내장 반도체 칩을 피복하는 단계를 포함하는 것을 특징으로 하는 기판 제조 방법.

**청구항 7.**

제 6 항에 있어서,

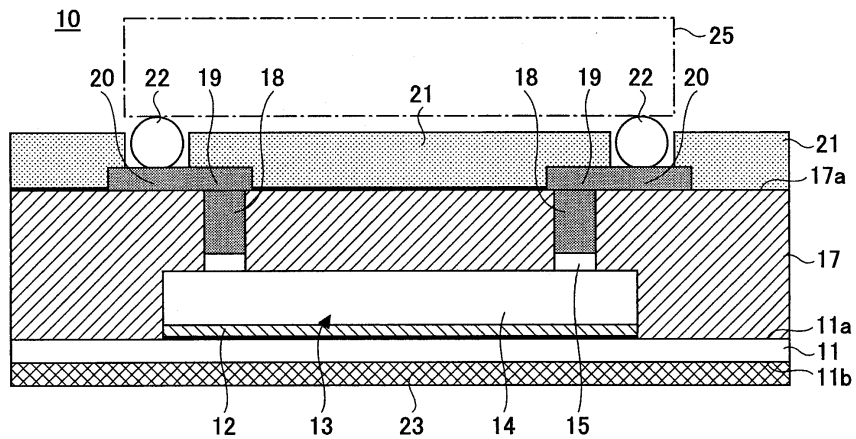
상기 수지 부재를 관통하는 관통 비아(via)를 형성하는 단계와,

상기 수지 부재의 일 측의 상기 관통 비아에 전기적으로 접속되는 제 1 외부 접속 단자를 형성하는 단계와,

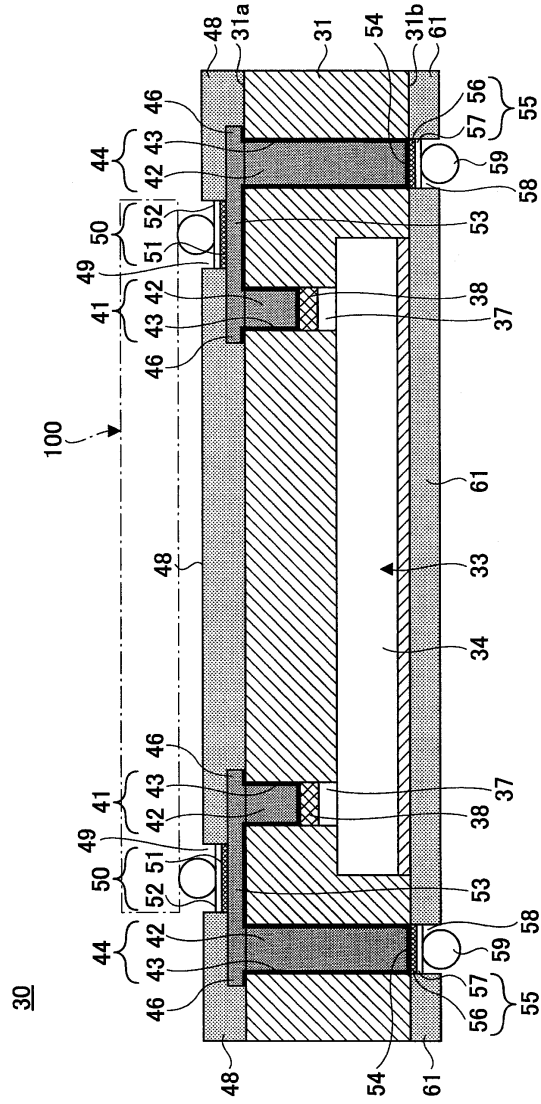
상기 수지 부재의 다른 측의 상기 관통 비아에 전기적으로 접속되는 제 2 외부 접속 단자를 형성하는 단계를 더 포함하는 것을 특징으로 하는 기판 제조 방법.

**도면**

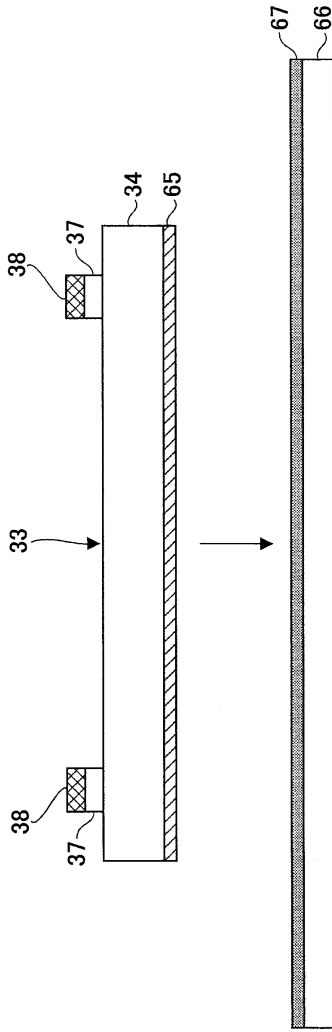
도면1



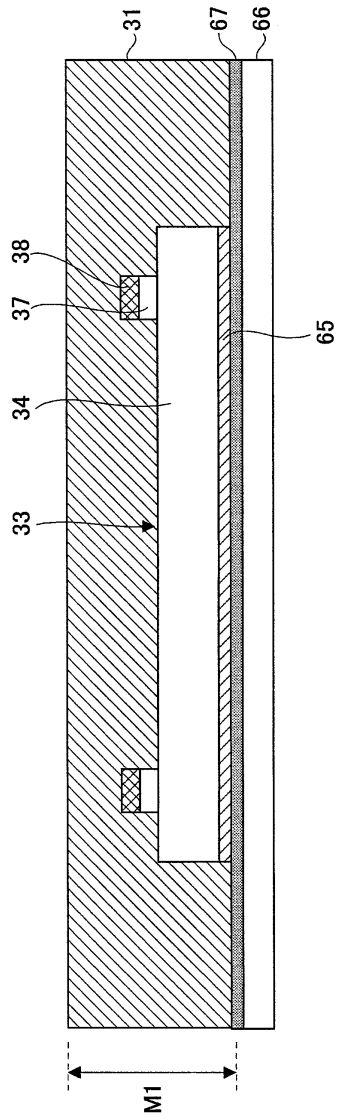
도면2



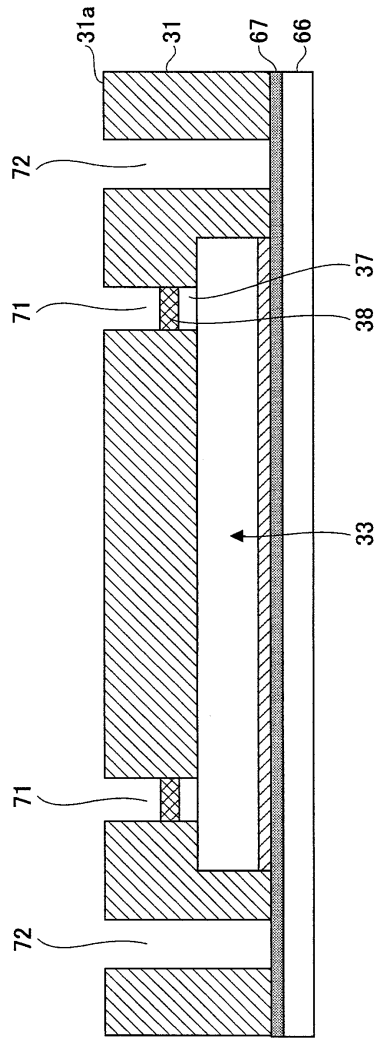
도면3



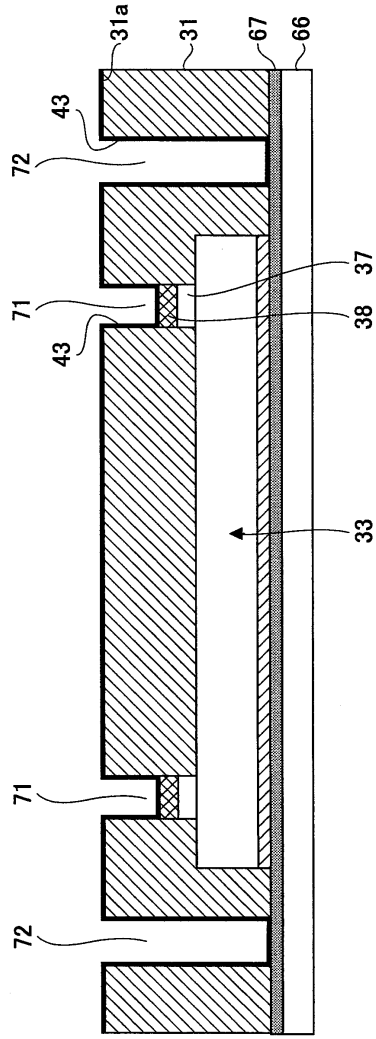
도면4



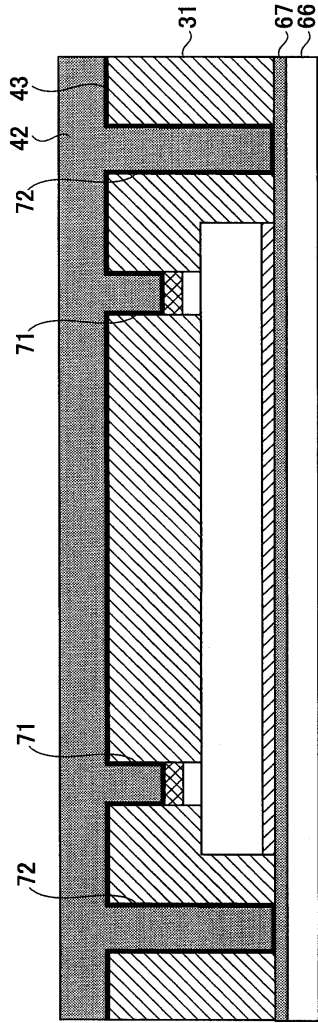
도면5



도면6

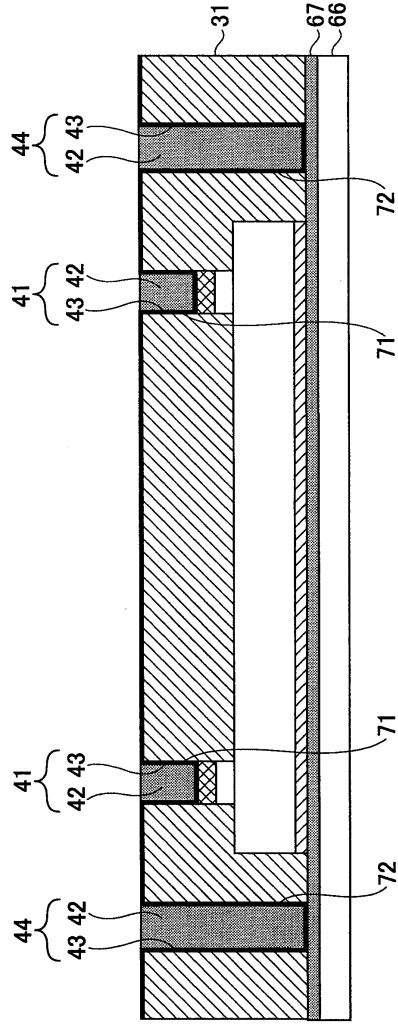


도면7

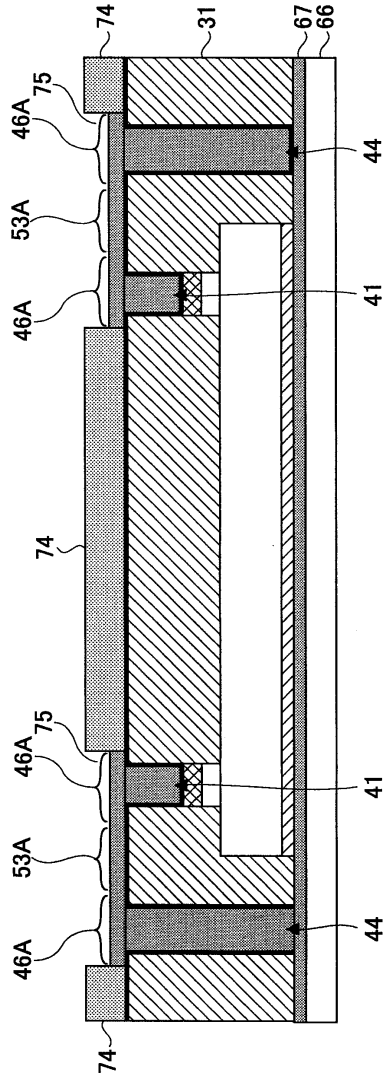




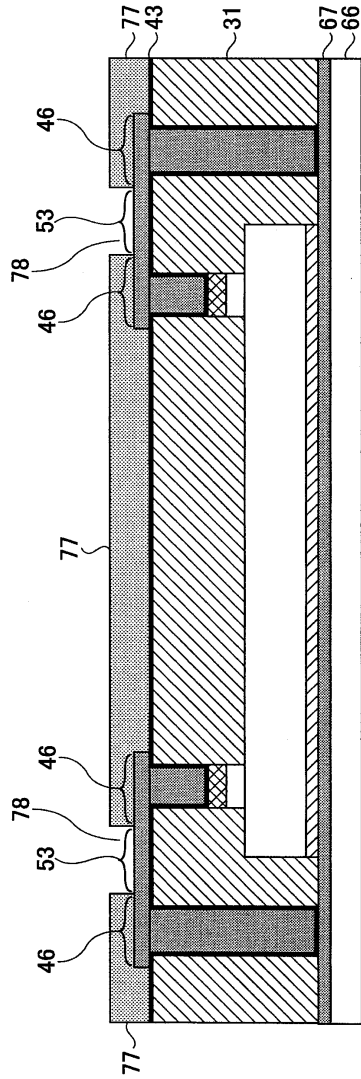
도면8



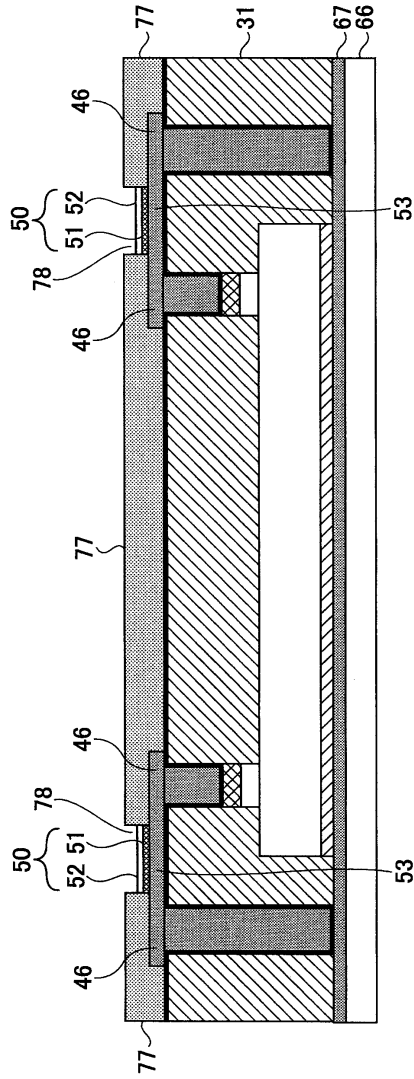
도면9



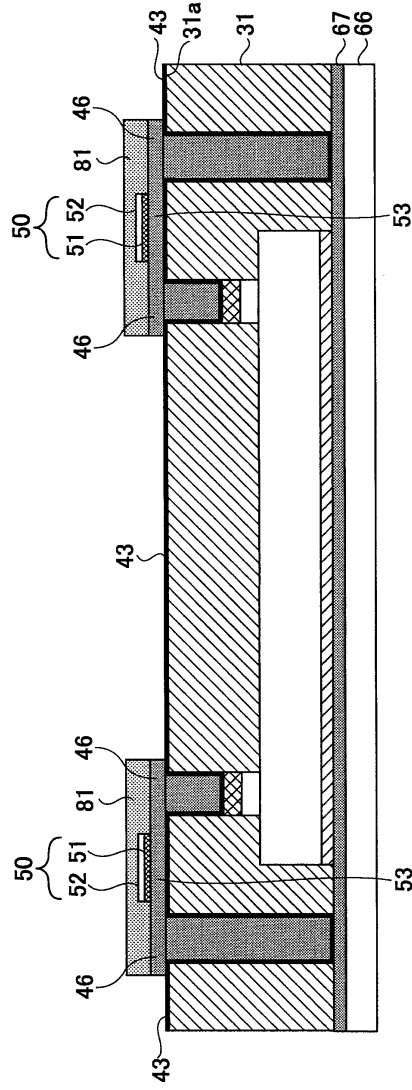
도면10



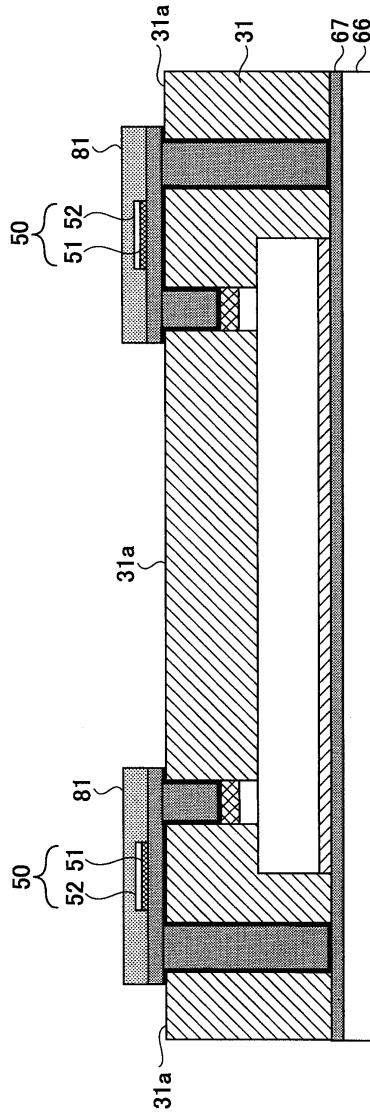
도면11



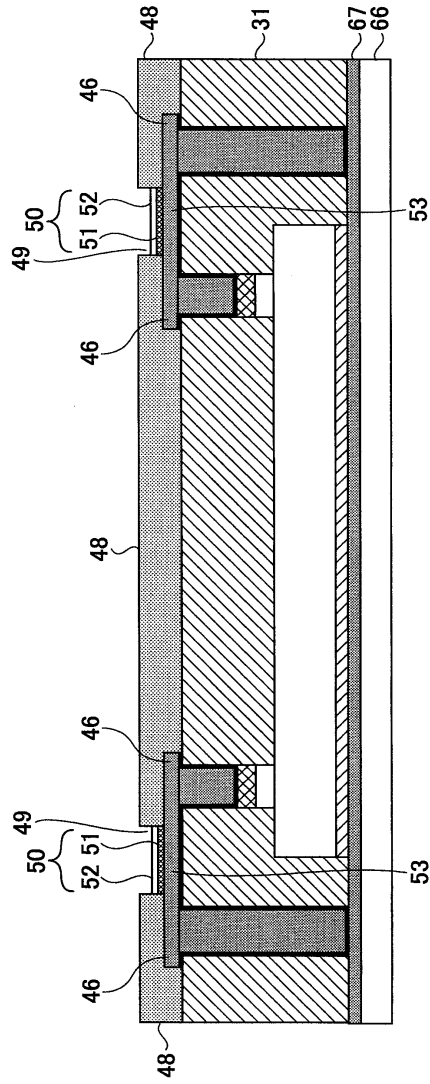
도면12



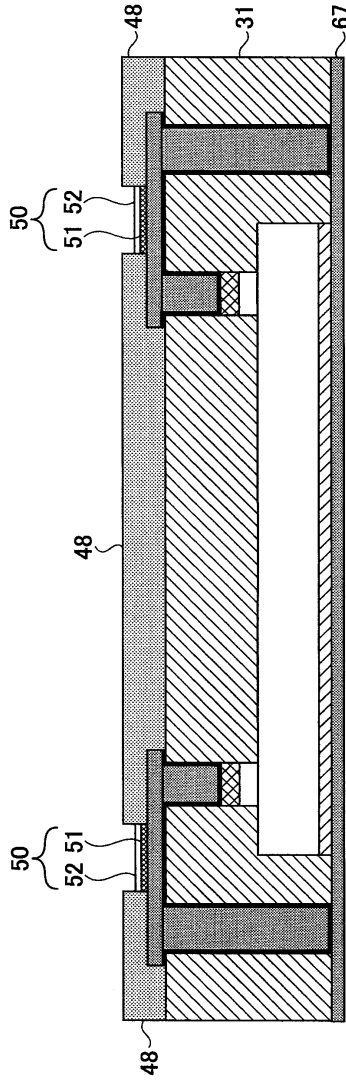
도면13



도면14

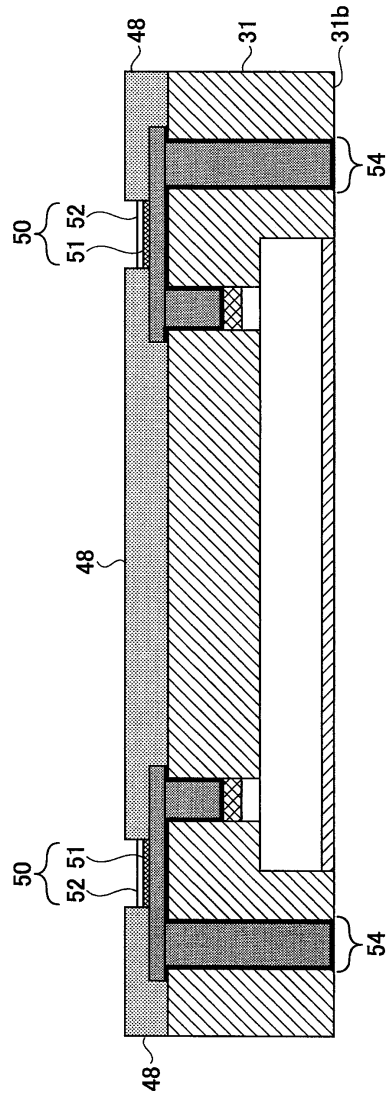


도면15

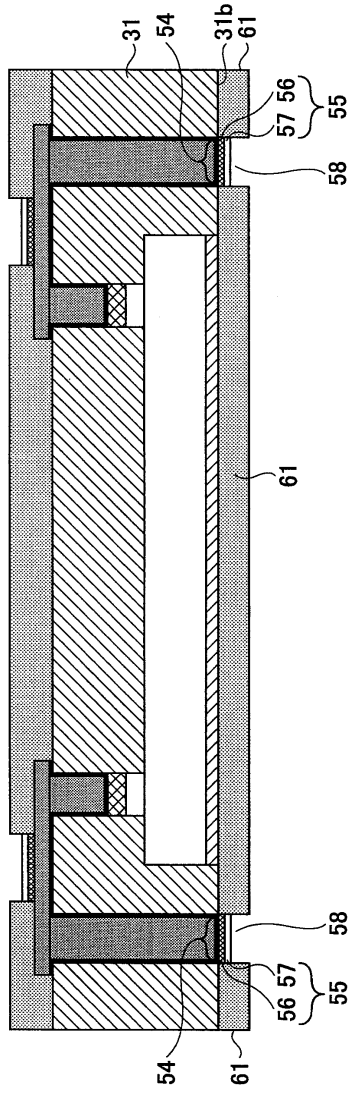




도면16



도면17



도면18

30

