

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年3月15日(2018.3.15)

【公開番号】特開2015-188209(P2015-188209A)

【公開日】平成27年10月29日(2015.10.29)

【年通号数】公開・登録公報2015-066

【出願番号】特願2015-37795(P2015-37795)

【国際特許分類】

H 03K 19/0185 (2006.01)

【F I】

H 03K 19/00 101C

【手続補正書】

【提出日】平成30年2月1日(2018.2.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1及び第2のpチャネル型シリコントランジスタと、

第1、第2、第5乃至第8のnチャネル型シリコントランジスタと、

第1乃至第4の酸化物半導体トランジスタと、

高電位電源線と、接地電位電源線と、低電位電源線と、出力信号線と、反転出力信号線と、入力信号線と、反転入力信号線と、を有し、

前記第1のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記高電位電源線と電気的に接続され、

前記第1のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記反転出力信号線と電気的に接続され、

前記第1のpチャネル型シリコントランジスタのゲートは、前記第6のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記高電位電源線と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記出力信号線と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのゲートは、前記第5のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記反転出力信号線と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第3の酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記出力信号線と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第4の酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気

的に接続され、

前記第5のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第5のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に接続され、

前記第6のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第6のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気的に接続され、

前記第7のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記第1のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第7のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記出力信号線と電気的に接続され、

前記第7のnチャネル型シリコントランジスタのゲートは、前記高電位電源線と電気的に接続され、

前記第8のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記第2のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第8のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記反転出力信号線と電気的に接続され、

前記第8のnチャネル型シリコントランジスタのゲートは、前記高電位電源線と電気的に接続され、

前記第1の酸化物半導体トランジスタのソースまたはドレインの一方は、前記入力信号線と電気的に接続され、

前記第1の酸化物半導体トランジスタのソースまたはドレインの他方は、前記第3の酸化物半導体トランジスタのゲートと電気的に接続され、

前記第1の酸化物半導体トランジスタのゲートは、前記低電位電源線と電気的に接続され、

前記第2の酸化物半導体トランジスタのソースまたはドレインの一方は、前記反転入力信号線と電気的に接続され、

前記第2の酸化物半導体トランジスタのソースまたはドレインの他方は、前記第4の酸化物半導体トランジスタのゲートと電気的に接続され、

前記第2の酸化物半導体トランジスタのゲートは、前記低電位電源線と電気的に接続され、

前記第3の酸化物半導体トランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第4の酸化物半導体トランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続されていることを特徴とするレベルシフタ回路。

【請求項2】

第1及び第2のpチャネル型シリコントランジスタと、

第1、第2、第5、第6のnチャネル型シリコントランジスタと、

第1乃至第4の酸化物半導体トランジスタと、

第1及び第2の抵抗素子と、

高電位電源線と、接地電位電源線と、低電位電源線と、出力信号線と、反転出力信号線と、入力信号線と、反転入力信号線と、を有し、

前記第1のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記高電位電源線と電気的に接続され、

前記第1のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記反転出力信号線と電気的に接続され、

前記第1のpチャネル型シリコントランジスタのゲートは、前記第6のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記高電位電源線と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記出力信号線と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのゲートは、前記第5のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記反転出力信号線と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第3の酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記出力信号線と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第4の酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気的に接続され、

前記第5のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第5のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に接続され、

前記第6のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第6のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気的に接続され、

前記第1の酸化物半導体トランジスタのソースまたはドレインの一方は、前記入力信号線と電気的に接続され、

前記第1の酸化物半導体トランジスタのソースまたはドレインの他方は、前記第3の酸化物半導体トランジスタのゲートと電気的に接続され、

前記第1の酸化物半導体トランジスタのゲートは、前記低電位電源線と電気的に接続され、

前記第2の酸化物半導体トランジスタのソースまたはドレインの一方は、前記反転入力信号線と電気的に接続され、

前記第2の酸化物半導体トランジスタのソースまたはドレインの他方は、前記第4の酸化物半導体トランジスタのゲートと電気的に接続され、

前記第2の酸化物半導体トランジスタのゲートは、前記低電位電源線と電気的に接続され、

前記第3の酸化物半導体トランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第4の酸化物半導体トランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第1の抵抗素子の第1の端子は、前記第1のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第1の抵抗素子の第2の端子は、前記出力信号線と電気的に接続され、

前記第2の抵抗素子の第1の端子は、前記第2のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第2の抵抗素子の第2の端子は、前記反転出力信号線と電気的に接続されていることを特徴とするレベルシフタ回路。

【請求項3】

第1乃至第4のpチャネル型シリコントランジスタと、
第1乃至第4のnチャネル型シリコントランジスタと、
第1乃至第4の酸化物半導体トランジスタと、

高電位電源線と、接地電位電源線と、低電位電源線と、出力信号線と、反転出力信号線と、
入力信号線と、反転入力信号線と、を有し、

前記第1のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記
高電位電源線と電気的に接続され、

前記第1のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記
反転出力信号線と電気的に接続され、

前記第1のpチャネル型シリコントランジスタのゲートは、前記第4のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第2のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記
高電位電源線と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記
出力信号線と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのゲートは、前記第3のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第3のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記
反転出力信号線と電気的に接続され、

前記第3のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記
第3のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第3のpチャネル型シリコントランジスタのゲートは、前記第3のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第4のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記
出力信号線と電気的に接続され、

前記第4のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記
第4のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第4のpチャネル型シリコントランジスタのゲートは、前記第4のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記
反転出力信号線と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記
第3の酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に
接続され、

前記第2のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記
出力信号線と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記
第4の酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気的に
接続され、

前記第3のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記
接地電位電源線と電気的に接続され、

前記第3のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に
接続され、

前記第4のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記
接地電位電源線と電気的に接続され、

前記第4のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気的に
接続され、

前記第1の酸化物半導体トランジスタのソースまたはドレインの一方は、前記入力信号

線と電気的に接続され、

前記第1の酸化物半導体トランジスタのソースまたはドレインの他方は、前記第3の酸化物半導体トランジスタのゲートと電気的に接続され、

前記第1の酸化物半導体トランジスタのゲートは、前記低電位電源線と電気的に接続され、

前記第2の酸化物半導体トランジスタのソースまたはドレインの一方は、前記反転入力信号線と電気的に接続され、

前記第2の酸化物半導体トランジスタのソースまたはドレインの他方は、前記第4の酸化物半導体トランジスタのゲートと電気的に接続され、

前記第2の酸化物半導体トランジスタのゲートは、前記低電位電源線と電気的に接続され、

前記第3の酸化物半導体トランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第4の酸化物半導体トランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続されていることを特徴とするレベルシフタ回路。

【請求項4】

第1乃至第4のpチャネル型シリコントランジスタと、

第1乃至第8のnチャネル型シリコントランジスタと、

第1乃至第4の酸化物半導体トランジスタと、

高電位電源線と、接地電位電源線と、低電位電源線と、出力信号線と、反転出力信号線と、入力信号線と、反転入力信号線と、を有し、

前記第1のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記高電位電源線と電気的に接続され、

前記第1のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記反転出力信号線と電気的に接続され、

前記第1のpチャネル型シリコントランジスタのゲートは、前記第6のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記高電位電源線と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記出力信号線と電気的に接続され、

前記第2のpチャネル型シリコントランジスタのゲートは、前記第5のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第3のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記反転出力信号線と電気的に接続され、

前記第3のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第3のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第3のpチャネル型シリコントランジスタのゲートは、前記第3のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第4のpチャネル型シリコントランジスタのソースまたはドレインの一方は、前記出力信号線と電気的に接続され、

前記第4のpチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第4のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第4のpチャネル型シリコントランジスタのゲートは、前記第4のnチャネル型シリコントランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記反転出力信号線と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第3の酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第1のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に

接続され、

前記第2のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記出力信号線と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第4の酸化物半導体トランジスタのソースまたはドレインの一方と電気的に接続され、

前記第2のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気的に接続され、

前記第3のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第3のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に接続され、

前記第4のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第4のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気的に接続され、

前記第5のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第5のnチャネル型シリコントランジスタのゲートは、前記入力信号線と電気的に接続され、

前記第6のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第6のnチャネル型シリコントランジスタのゲートは、前記反転入力信号線と電気的に接続され、

前記第7のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記第1のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第7のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第4のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第7のnチャネル型シリコントランジスタのゲートは、前記高電位電源線と電気的に接続され、

前記第8のnチャネル型シリコントランジスタのソースまたはドレインの一方は、前記第2のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第8のnチャネル型シリコントランジスタのソースまたはドレインの他方は、前記第3のpチャネル型シリコントランジスタのゲートと電気的に接続され、

前記第8のnチャネル型シリコントランジスタのゲートは、前記高電位電源線と電気的に接続され、

前記第1の酸化物半導体トランジスタのソースまたはドレインの一方は、前記入力信号線と電気的に接続され、

前記第1の酸化物半導体トランジスタのソースまたはドレインの他方は、前記第3の酸化物半導体トランジスタのゲートと電気的に接続され、

前記第1の酸化物半導体トランジスタのゲートは、前記低電位電源線と電気的に接続され、

前記第2の酸化物半導体トランジスタのソースまたはドレインの一方は、前記反転入力信号線と電気的に接続され、

前記第2の酸化物半導体トランジスタのソースまたはドレインの他方は、前記第4の酸化物半導体トランジスタのゲートと電気的に接続され、

前記第2の酸化物半導体トランジスタのゲートは、前記低電位電源線と電気的に接続され、

前記第3の酸化物半導体トランジスタのソースまたはドレインの他方は、前記接地電位電源線と電気的に接続され、

前記第4の酸化物半導体トランジスタのソースまたはドレインの他方は、前記接地電位

電源線と電気的に接続されている、ことを特徴とするレベルシフタ回路。