



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0129201
(43) 공개일자 2010년12월08일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2010-0049495

(22) 출원일자 2010년05월27일

심사청구일자 없음

(30) 우선권주장

JP-P-2009-131616 2009년05월29일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

아키토모 켄고

일본국 243-0036 가나가와켄 아쓰기시 하세 398

가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

황의만

전체 청구항 수 : 총 30 항

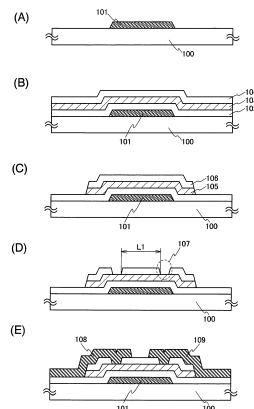
(54) 반도체 장치 및 그 제작 방법

(57) 요약

본 발명의 액티브 매트릭스형의 표시 장치에서는, 회로를 구성하는 박막 트랜지스터의 전기 특성이 중요하고, 이 전기 특성이 표시 장치의 성능을 좌우한다. 따라서, 역스태거형의 박막 트랜지스터에 수소를 철저하게 배제한 산화물 반도체막을 이용하여, 전기 특성의 편차를 저감한다.

과제를 해결하기 위해, 대기에 노출시키지 않고 게이트 절연막과 산화물 반도체층과 채널 보호막의 3층을 스퍼터법에 의해 연속 성막을 행한다. 또한, 산화물 반도체층의 성막은, 산소가 유량비로 50% 이상 100% 이하 포함되는 분위기 중에서 행한다. 또한, 산화물 반도체층의 채널 형성 영역의 상층 및 하층이, 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막인 것을 특징적인 구조로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

절연 표면을 가지는 기판 위에, 게이트 전극과,
 상기 게이트 전극 위에 제 1 절연막과,
 상기 제 1 절연막 위에 산화물 반도체층과,
 상기 산화물 반도체층 위에 제 2 절연막과,
 상기 제 2 절연막 위에 소스 전극 및 드레인 전극을 가지고,
 상기 소스 전극 및 드레인 전극은, 상기 제 2 절연막에 형성된 개구를 통하여 상기 산화물 반도체층에 각각 전기적으로 접속되고,
 상기 제 1 절연막 및 상기 제 2 절연막 각각은 규소와, 산소와 질소 중 적어도 하나를 구비하고,
 상기 산화물 반도체층의 채널 형성 영역은 상기 제 1 절연막과 상기 제 2 절연막 사이에 끼워져 있는, 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 산화물 반도체층은 적어도 Zn을 포함하는 산화물 반도체막을 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,
 상기 산화물 반도체층은 산화규소를 포함하는, 반도체 장치.

청구항 4

제 1 항에 있어서,
 상기 제 1 절연막과 상기 제 2 절연막 중의 적어도 하나는 산화질화 규소막을 포함하는, 반도체 장치.

청구항 5

제 4 항에 있어서,
 상기 산화질화 규소막은 3 원자% 이상 30 원자% 이하의 농도를 가진 질소를 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,
 상기 제 1 절연막은, $1 \times 10^{15} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도로 할로겐 원소를 포함하는, 반도체 장치.

청구항 7

제 1 항에 있어서,
상기 게이트 전극과 상기 제 1 절연막 사이에 질화 규소막 또는 산화 규소막이 구비된, 반도체 장치.

청구항 8

제 1 항에 있어서,
상기 산화물 반도체층과, 상기 소스 전극 또는 상기 드레인 전극 사이에 버퍼층이 구비된, 반도체 장치.

청구항 9

절연 표면을 가지는 기판 위에, 게이트 전극과,
상기 게이트 전극 위에 제 1 절연막과,
상기 제 1 절연막 위에 산화규소를 포함하는 산화물 반도체층과,
상기 산화물 반도체층 위에 제 2 절연막과,
상기 제 2 절연막 위에 소스 전극 및 드레인 전극을 가지고,
상기 소스 전극 및 상기 드레인 전극은 상기 제 2 절연막에 형성된 개구를 통하여 상기 산화물 반도체층에 각각 전기적으로 접속되고,
상기 제 1 절연막과 상기 제 2 반도체막은 각각 규소와, 산소 및 질소 중의 하나를 구비하고,
상기 산화물 반도체층의 채널 형성 영역은 상기 제 1 절연막과 상기 제 2 절연막 사이에 끼워져 있는, 반도체 장치.

청구항 10

제 9 항에 있어서,
상기 산화물 반도체층은 적어도 Zn을 포함하는 산화물 반도체막을 포함하는, 반도체 장치.

청구항 11

제 9 항에 있어서,
상기 산화규소를 포함하는 산화물 반도체층의 캐리어 농도는, $2.0 \times 10^{12} \text{ cm}^{-3}$ 이상 $1.6 \times 10^{19} \text{ cm}^{-3}$ 미만의 범위인, 반도체 장치.

청구항 12

제 9 항에 있어서,
상기 산화규소를 포함하는 산화물 반도체층의 홀 이동도는, $1.8 \text{ cm}^2/\text{Vs}$ 이상 $15.1 \text{ cm}^2/\text{Vs}$ 미만의 범위인, 반도체 장치.

청구항 13

제 9 항에 있어서,

상기 제 1 절연막과 상기 제 2 절연막 중의 적어도 하나는 산화질화 규소막을 구비한, 반도체 장치.

청구항 14

제 9 항에 있어서,

상기 산화질화 규소막은 질소를 3 원자% 이상 30 원자% 이하 포함하는, 반도체 장치.

청구항 15

제 9 항에 있어서,

상기 제 1 절연막은, $1 \times 10^{15} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도로 할로겐 원소를 포함하는, 반도체 장치.

청구항 16

제 9 항에 있어서,

상기 게이트 전극과 상기 제 1 절연막 사이에 질화 규소막 또는 산화 규소막을 포함하는, 반도체 장치.

청구항 17

제 9 항에 있어서,

상기 소스 전극 또는 상기 드레인 전극과, 상기 산화물 반도체층 사이에 버퍼층이 형성된, 반도체 장치.

청구항 18

절연 표면을 가지는 기판 위에 게이트 전극을 형성하고,

상기 게이트 전극 위에 산화질화 규소막을 구비한 제 1 절연막을 형성하고,

상기 제 1 절연막 위에, 산소를 포함하는 분위기 중에서 산화물 반도체층을 형성하고,

상기 산화물 반도체층 위에 산화질화 규소막을 포함하는 제 2 절연막을 적층하고,

상기 제 2 절연막을 선택적으로 에칭하여 보호막을 형성하고,

상기 보호막을 마스크로 사용하여 상기 산화물 반도체층을 선택적으로 에칭하여 섬 형상의 반도체층을 형성하고,

상기 보호막의 일부를 선택적으로 에칭하여 상기 보호막을 통하여 제 1 및 제 2 개구를 형성하고,

상기 보호막 위 및 상기 섬 형상의 반도체층의 상기 제 1 및 제 2 개구에 의해 노출된 부분에 도전막을 형성하고,

상기 도전막을 선택적으로 에칭하여 소스 전극 및 드레인 전극을 형성하는, 반도체 장치의 제작 방법.

청구항 19

제 18 항에 있어서,

상기 제 1 절연막과 상기 제 2 절연막 중 적어도 하나는 질소를 3 원자% 이상 30 원자% 이하 포함하는, 반도체

장치의 제작 방법.

청구항 20

제 18 항에 있어서,

산화물 반도체층을 형성하는 단계 중에 산소의 유량은 50% 이상 100% 미만인, 반도체 장치의 제작 방법.

청구항 21

제 18 항에 있어서,

상기 산화물 반도체층은, Zn을 포함하는 타겟을 이용한 스퍼터법으로 성막하는, 반도체 장치의 제작 방법.

청구항 22

제 18 항에 있어서,

상기 산화물 반도체층은, 산화규소를 0 중량%보다 많고, 10 중량% 이하 포함하는 타겟을 이용한 스퍼터법으로 성막하는, 반도체 장치의 제작 방법.

청구항 23

제 18 항에 있어서,

상기 제 1 절연막, 상기 산화물 반도체층, 상기 제 2 절연막은 대기에 노출하지 않고 적층하는, 반도체 장치의 제작 방법.

청구항 24

제 18 항에 있어서,

상기 산화물 반도체층은, 함유 수소 농도가 1×10^{19} atoms/cm³ 이하의 타겟을 이용한 스퍼터법으로 성막하는, 반도체 장치의 제작 방법.

청구항 25

제 18 항에 있어서,

상기 제 1 절연막을 산소 및 질소를 포함하는 분위기에서 성막하는, 반도체 장치의 제작 방법.

청구항 26

제 18 항에 있어서,

상기 제 2 절연막을 산소 및 질소를 포함하는 분위기에서 성막하는, 반도체 장치의 제작 방법.

청구항 27

절연 표면을 가지는 기판 위에 게이트 전극을 형성하고,

상기 게이트 전극 위에 질소와 산소 중의 적어도 하나를 구비한 제 1 절연막을 형성하고,
 상기 제 1 절연막 위에, 산소를 포함하는 분위기 중에서 산화물 반도체층을 형성하고,
 상기 산화물 반도체층 위에 규소와, 질소와 산소 중의 적어도 하나로 이루어진 제 2 절연막을 적층하고,
 상기 제 2 절연막 위에 소스 전극과 드레인 전극을 형성하고,
 상기 소스 전극 및 상기 드레인 전극은 상기 제 2 절연막 내의 적어도 하나의 개구를 통하여 산화물 반도체층과 접촉하는, 반도체 장치의 제작 방법.

청구항 28

제 27 항에 있어서,
 상기 제 1 절연막, 상기 산화물 반도체층, 상기 제 2 절연막은 대기에 노출하지 않고 적층하는, 반도체 장치의 제작 방법.

청구항 29

제 27 항에 있어서,
 산화물 반도체층을 형성하는 단계 중에 산소의 유량은 50% 이상 100% 미만인, 반도체 장치의 제작 방법.

청구항 30

제 27 항에 있어서,
 상기 산화물 반도체층은, 산화규소를 0 중량%보다 많고, 10 중량% 이하 포함하는 타겟을 이용한 스퍼터법으로 성막하는, 반도체 장치의 제작 방법.

명세서

기술분야

[0001] 본 발명은 채널 형성 영역에 산화물 반도체막을 이용한 박막 트랜지스터(이하, TFT라고 함)로 구성된 회로를 가지는 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들면, 액정 표시 패널로 대표되는 전기 광학 장치나 유기 발광 소자를 가지는 발광 표시 장치를 부품으로서 탑재한 전자기기에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경기술

[0003] 금속 산화물은 다양하게 존재하고 다양한 용도로 이용되고 있다. 산화인듐은 잘 알려진 재료이며, 액정 디스플레이 등에 필요한 투광성을 가지는 전극 재료로서 이용되고 있다.

[0004] 금속 산화물 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물로서는, 예를 들면, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등이 있고, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 박막 트랜지스터가 이미 알려져 있다(특허문헌 1 내지 4, 비특허문헌 1).

[0005] 그런데, 금속 산화물은 일원계 산화물뿐만 아니라 다원계 산화물도 알려져 있다. 예를 들면, 호모로거스상을 가지는 $\text{InGaO}_3(\text{ZnO})_m$ (m : 자연수)는, In, Ga 및 Zn을 가지는 다원계 산화물 반도체로서 알려져 있다(비특허문헌

2 내지 4).

- [0006] 그리고, 상기와 같은 In-Ga-Zn계 산화물로 구성되는 산화물 반도체를 박막 트랜지스터의 채널층으로서 적용 가능하다는 것이 확인되어 있다(특허문헌 5, 비특허문헌 5 및 6).

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 일본국 특개소 60-198861호 공보
(특허문헌 0002) 일본국 특개평 8-264794호 공보
(특허문헌 0003) 일본국 특표평 11-505377호 공보
(특허문헌 0004) 일본국 특개 2000-150900호 공보
(특허문헌 0005) 일본국 특개 2004-103957호 공보

비특허문헌

- [0008] (비특허문헌 0001) M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「Aferroelectric transparent thin-film transistor」, Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652
(비특허문헌 0002) M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In₂O₃-Ga₂ZnO₄-ZnO System at 1350℃」, J. Solid State Chem., 1991, Vol. 93, p. 298-315
(비특허문헌 0003) N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, In₂O₃(ZnO)_m(m = 3, 4, and 5), InGaO₃(ZnO)₃, and Ga₂O₃(ZnO)_m(m = 7, 8, 9, and 16) in the In₂O₃-ZnGa₂O₄-ZnO System」, J. Solid State Chem., 1995, Vol. 116, p. 170-178
(비특허문헌 0004) M. Nakamura, N. Kimizuka, T. Mohri, M. Isobe, 「호모로거스상, InFeO₃(ZnO)_m(m : 자연수)와 그 동형 화합물의 합성 및 결정 구조」, 고체 물리, 1993년, Vol. 28, No. 5, p.317-327
(비특허문헌 0005) K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」, SCIENCE, 2003, Vol. 300, p. 1269-1272
(비특허문헌 0006) K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」, NATURE, 2004, Vol. 432 p. 488-492
(비특허문헌 0007)

발명의 내용

해결하려는 과제

- [0009] 산화물 반도체에 채널 형성 영역을 형성하는 박막 트랜지스터는, 아몰퍼스(amorphous) 실리콘을 이용한 박막 트랜지스터보다 높은 전계 효과 이동도가 얻어진다.
- [0010] 이러한 산화물 반도체를 이용하여 유리 기판, 플라스틱 기판 등에 박막 트랜지스터를 형성하여, 액정 디스플레이, 일렉트로 루미네선스 디스플레이 또는 전자 페이퍼 등의 표시 장치에 응용이 기대되고 있다.
- [0011] 액티브 매트릭스형의 표시 장치에 있어서는, 회로를 구성하는 박막 트랜지스터의 전기 특성이 중요하고, 이 전기 특성이 표시 장치의 성능을 좌우한다. 특히, 박막 트랜지스터의 전기 특성 중, 스레시홀드 전압(V_{th})이 중

요하다. 전계 효과 이동도가 높은 것이 좋은 것은 물론이지만, 전계 효과 이동도가 높아도 스레시홀드 전압값이 높거나, 혹은 스레시홀드 전압값이 마이너스라면, 회로로서 제어하는 것이 곤란하다. 스레시홀드 전압값이 높고, 스레시홀드 전압의 절대값이 큰 박막 트랜지스터의 경우에는, 구동 전압이 낮은 상태에서는 TFT로서의 스위칭 기능을 하지 못하고, 부하가 될 우려가 있다. 또한, 스레시홀드 전압값이 마이너스라면, 게이트 전압이 0V이어도 소스 전극과 드레인 전극의 사이에 전류가 흐르는, 소위 노멀리 온(normally on)이 되기 쉽다.

[0012] n 채널형의 박막 트랜지스터의 경우, 게이트 전압에 정(正)의 전압을 인가하고 나서 채널이 형성되고, 드레인 전류가 흐르기 시작하는 트랜지스터가 바람직하다. 구동 전압을 높게 하지 않으면 채널이 형성되지 않는 트랜지스터나, 부(負)의 전압 상태에서도 채널이 형성되어 드레인 전류가 흐르는 트랜지스터는, 회로에 이용하는 박막 트랜지스터로서는 적합하지 않다.

[0013] 산화물 반도체막을 이용하는 박막 트랜지스터의 게이트 전압이 0V에 가능한 한 가까운 정의 스레시홀드 전압으로 채널이 형성되는 구조를 제공하는 것을 과제의 하나로 한다.

[0014] 또한, 산화물 반도체막을 이용하는 박막 트랜지스터의 전기 특성의 편차를 저감하는 것도 과제의 하나로 한다. 특히, 액정 표시 장치에서는, 개개의 소자간에서의 편차가 큰 경우, 그 TFT 특성의 편차에 기인하는 표시 얼룩이 발생할 우려가 있다.

[0015] 또한, 발광 소자를 가지는 표시 장치에 있어서도, 화소 전극에 일정한 전류가 흐르도록 배치된 TFT(구동 회로 또는 화소에 배치되는 발광 소자에 전류를 공급하는 TFT)의 온 전류(I_{on})의 편차가 큰 경우, 표시 화면에 있어서 휘도의 편차가 생길 우려가 있다.

[0016] 산화물 반도체를 이용하여, 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0017] 본 명세서에서 개시하는 발명의 일 양태는, 상기 과제의 적어도 하나를 해결한다.

과제의 해결 수단

[0018] 산화물 반도체층의 특성을 향상시켜, 특성의 편차를 줄이기 위해서는, 산화물 반도체층 중의 수소 농도의 저감이 중요하다.

[0019] 따라서, 함유 수소를 철저히 저감시킨 산화물 반도체를 이용함으로써, 박막 트랜지스터의 전기 특성을 향상시키고 동시에, 특성의 편차가 적고, 신뢰성이 높은 박막 트랜지스터를 실현한다.

[0020] 산화물 반도체에 채널 형성 영역을 형성하는 박막 트랜지스터의 특성은, 산화물 반도체층의 계면, 즉, 산화물 반도체층과 게이트 절연막의 계면, 산화물 반도체층과 보호 절연막의 계면, 또는 산화물 반도체층과 전극과의 계면의 영향을 받지만, 산화물 반도체층 자체의 특성에도 크게 영향을 받는다.

[0021] 이러한 계면을 청정한 상태로 형성하기 위해, 대기에 노출시키지 않고 게이트 절연막과, 산화물 반도체층과, 채널 보호막을 연속 성막으로 행한다. 바람직하게는, 감압하에서 이들 3층을 연속 성막함으로써 양호한 계면을 가지는 산화물 반도체층을 실현할 수 있고, TFT의 오프시의 리크 전류가 낮고, 또한, 전류 구동 능력이 높은 박막 트랜지스터를 실현할 수 있다. 특히 산화물 반도체층의 성막을, 산소를 유량비로 50% 이상 100% 이하 바람직하게는 70% 이상 100% 이하 포함한 분위기 중에서 스퍼터법으로 행함으로써, 산화물 반도체층 중으로의 수소 혼입을 막을 수 있다.

[0022] 또한, 산화물 반도체막으로서, 1족 원소(예를 들면, 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs)), 13족 원소(예를 들면, 붕소(B), 갈륨(Ga), 인듐(In), 탈륨(Tl)), 14족 원소(예를 들면, 탄소(C), 실리콘(Si), 게르마늄(Ge), 주석(Sn), 납(Pb)), 15족 원소(예를 들면, 질소(N), 인(P), 비소(As), 안티몬(Sb), 비스무트(Bi)) 또는 17족 원소(예를 들면, 불소(F), 염소(Cl), 브롬(Br), 요오드(I)) 등의 불순물 원소 중 일종, 또는 복수종이 첨가된 산화아연(ZnO)의 비정질(아몰퍼스) 상태, 다결정 상태 또는 비정질 상태와 다결정 상태가 혼재하는 미결정(마이크로 크리스탈이라고도 불린다) 상태의 산화물 반도체를 이용할 수 있다. 또는, 어떠한 불순물 원소도 첨가되어 있지 않은 산화아연의 비정질 상태, 다결정 상태 또는 비정질 상태와 다결정 상태가 혼재하는 미결정 상태의 산화물 반도체를 이용할 수 있다.

[0023] 구체적인 일례로서는, 산화마그네슘 아연($Mg_xZn_{(1-x)}O$) 또는 산화카드뮴 아연($Cd_xZn_{(1-x)}O$), 산화카드뮴(CdO) 등의 산화물 반도체, 혹은, $InGaO_3(ZnO)_5$ 로 대표되는 In-Ga-Zn-O계의 산화물 반도체(a-IGZO), In-Sn-Zn-O계의 산화물

반도체, Ga-Sn-Zn-O계의 산화물 반도체, In-Zn-O계의 산화물 반도체, Sn-Zn-O계의 산화물 반도체, In-Sn-O계의 산화물 반도체, 또는, Ga-Zn-O계의 산화물 반도체 중 어느 하나를 이용할 수 있다. 또한, In-Ga-Zn-O계의 산화물 반도체는, 에너지 갭(Eg)이 넓은 재료이기 때문에, 산화물 반도체막의 상하에 2개의 게이트 전극을 형성해도 오프 전류의 증대를 억제할 수 있어 적합하다.

[0024] 또한, 산화물 반도체막으로서, SiO_x를 포함하는 산화물 반도체 타겟을 이용하여 스퍼터법에 의해 얻어지는 산화 실리콘을 포함하는 산화물 반도체막을 이용해도 좋고, 대표적으로는 SiO₂를 0.1 중량% 이상 20 중량% 이하, 바람직하게는 1 중량% 이상 6 중량% 이하 포함하는 산화물 반도체 타겟을 이용하여 성막을 행하고, 산화물 반도체막에 결정화를 저해하는 SiO_x(X>0)를 포함시킴으로써, 박막 트랜지스터의 게이트 전압이 0 V에 가능한 한 가까운 정의 스레시홀드 전압으로 채널이 형성되는 박막 트랜지스터를 실현할 수 있다.

[0025] 산화물 반도체층은, 펄스 레이저 증착법(PLD법) 및 전자빔 증착법 등의 기상법을 이용하여 형성할 수 있지만, 수소 저감의 관점에서, 산소만의 분위기 중에서 행하는 스퍼터법이 적합하다. 일반적으로, 스퍼터법에서는 Ar 이나 Kr 등의 희가스를 포함하는 분위기 중에서 행해지는 경우가 많지만, 이러한 희가스 원소는 산소와 비교하여 질량이 크기 때문에, 스퍼터시에 성막 챔버 내벽이나 지그(jig)에 부착되어 있던 수분이나 하이드로 카본 등의 수소를 포함한 가스의 이탈을 촉진할 우려가 있다.

[0026] 스퍼터 중의 분위기를 산소만으로 함으로써, 성막 챔버 내벽이나 지그에 부착되어 있는 가스의 이탈을 막을 수 있다. 단, 성막 속도를 높이기 위해, 성막 챔버 내벽 등으로부터의 가스의 이탈에 영향이 없는 범위에서, 산소와 희가스를 혼합하여 사용해도 좋다. 구체적으로는 산소를 유량비로 50% 이상 100% 이하 바람직하게는 70% 이상 100% 이하로 한 분위기 중에서 행하여도 좋다.

[0027] 본 명세서에서 개시하는 발명의 일 양태는, 절연 표면을 가지는 기판 위에 게이트 전극을 형성하고, 게이트 전극 위에 제 1 절연막과, 제 1 절연막 위에 산소를 유량비로 50% 이상 100% 이하 바람직하게는 70% 이상 100% 이하 포함한 분위기 중에서 스퍼터법으로 성막된 산화물 반도체층과, 산화물 반도체층 위에 제 2 절연막을 대기에 노출시키지 않고 적층하고, 제 2 절연막을 선택적으로 에칭하여 게이트 전극과 중첩되는 위치에 보호막을 형성하고, 산화물 반도체층 및 보호막 위에 도전막을 형성하고, 도전막과 산화물 반도체층을 선택적으로 에칭하는 반도체 장치의 제작 방법이다.

[0028] 또한, 본 명세서에서 개시하는 발명의 일 양태는, 절연 표면을 가지는 기판 위에 게이트 전극을 형성하고, 게이트 전극 위에 제 1 절연막을 형성하고, 제 1 절연막 위에 도전막을 형성하고, 도전막을 선택적으로 에칭하여 소스 전극 또는 드레인 전극을 형성하고, 제 1 절연막과, 소스 전극 또는 드레인 전극의 위에, 산소를 유량비로 50% 이상 100% 이하 바람직하게는 70% 이상 100% 이하 포함한 분위기 중에서 스퍼터법으로 성막된 산화물 반도체층과, 산화물 반도체층 위에 제 2 절연막을 대기에 노출시키지 않고 적층하고, 제 2 절연막과 산화물 반도체층을 선택적으로 에칭하여 보호막과 섬 형상의 반도체층을 형성하고, 보호막과 섬 형상의 반도체층을 덮어 제 3 절연막을 형성하는 반도체 장치의 제작 방법이다.

[0029] 본 발명은, 상기 과제의 적어도 하나를 해결한다.

[0030] 상기 제작 공정에 있어서, 제 1 절연막과 제 2 절연막에 산화질화규소막을 이용하는 것도 특징의 하나이다. 산화물 반도체층을 산화질화규소막으로 끼우는 구조로 함으로써, 산화물 반도체층으로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다. 산화질화규소막의 성막은, 예를 들면, 산소와 질소를 포함한 분위기 중에서, 스퍼터 타겟으로 규소 혹은 산화규소 등을 이용한 스퍼터법으로 행하여도 좋고, 고밀도 플라즈마 CVD 등의 소위 CVD 법으로 성막할 수도 있다. CVD법으로 성막하는 경우에는, 반응 가스로서 예를 들면, 실란, 일산화이질소, 질소를 적절히 혼합시켜 이용하면 좋다.

[0031] 스퍼터법에는 스퍼터용 전원에 고주파 전원을 이용하는 RF 스퍼터법과, DC 스퍼터법이 있고, 또한, 펄스적으로 바이어스를 주는 펄스 DC 스퍼터법도 있다. RF 스퍼터법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터법은 주로 금속막을 성막하는 경우에 이용된다.

[0032] 또한, 재료가 다른 타겟을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 챔버에서 다른 재료막을 적층 성막할 수도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

[0033] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터법을 이용하는 스퍼터 장치나, 글로우 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터법을 이용하는 스퍼터 장치도 있다.

[0034] 제 1 절연막 또는 제 2 절연막에, 산화규소막 또는 질화규소막 등의 절연막을 이용해도 좋지만, 질소 함유량이

3 원자% 이상 30 원자% 이하의 산화질화규소막을 사용함으로써, 산화물 반도체층으로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다. 절연막의 성막은, 박막 트랜지스터에 히스테리시스나 차지 업(charge buildup)을 일으키지 않는 조건에서 행하는 것이 바람직하다.

[0035] 또한, 스퍼터법에 의한 산화물 반도체의 성막에서는, 적어도 In, Ga, 및 Zn을 포함하는 산화물 반도체 타겟을 이용하지만, 타겟 중의 함유 수소 농도를 극력 낮추어 둘 필요가 있다. 일반적인 산화물 반도체의 타겟 중에는, SIMS 분석에 의한 분석으로 10^{20} 이상 10^{21} atoms/cm³ 이하의 수소가 포함되지만, 이것을 10^{19} atoms/cm³ 이하로 하는 것이 바람직하다.

[0036] 타겟은, 일반적으로 타겟 재료를 백킹 플레이트라고 불리는 금속판에 부착시켜 구성된다. 산화물 반도체의 타겟 재료는, 예를 들면, In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 산화물을 동비율(In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1[mol비])로 혼합한 것을 800℃ 이상의 고온에서 소결하여 제작한다. 소결을 불활성 가스 분위기(질소 또는 희가스 분위기) 하에서 행함에 따라, 타겟 재료에 수소나 수분이나 하이드로 카본 등이 혼입하는 것을 막을 수 있다. 소결은, 진공 중 또는 고압 분위기 중에서 행하여도 좋고, 또한, 기계적인 압력을 더하면서 행하여도 좋다.

[0037] 또한, 타겟 재료는 비정질이어도 결정질이어도 좋고, 상술한 바와 같이, 타겟 재료에 SiO₂를 0.1 중량% 이상 20 중량% 이하, 바람직하게는 1 중량% 이상 6 중량% 이하 포함시켜도 좋다. 또한, 본 명세서에 있어서는, 특별히 지정하는 경우를 제외하고, 타겟 재료를 가리키고, 타겟이라고 부르는 경우가 있다.

[0038] 백킹 플레이트는, 일반적으로 타겟 재료의 냉각과 스퍼터 전극으로서의 역할을 가지기 때문에, 열전도성 및 도전성이 뛰어난 구리가 많이 이용된다. 백킹 플레이트 내부 또는 배면에 냉각로를 형성하고, 냉각로에 냉각액으로서 물이나 유지 등을 순환시킴으로써 타겟의 냉각 효율을 높일 수 있다. 단, 물의 기화 온도는 100℃이기 때문에, 타겟을 100℃ 이상으로 유지하고자 하는 경우에는, 물이 아니라 유지 등을 이용하면 좋다.

[0039] 타겟 재료와 백킹 플레이트의 부착은, 예를 들면, 전자빔 용접으로 행하면 좋다. 전자빔 용접이란, 진공 분위기 중에서 발생시킨 전자를 가속하여 수렴시키고, 대상물에 조사함으로써, 용접하고자 하는 부분만을 녹여, 용접부 이외의 소재 성질을 손상시키지 않고 용접할 수 있는 방법이다. 용접부 형상 및 용접 깊이의 제어가 가능하고, 진공 중에서 용접을 행하기 때문에 타겟 재료에 수소나 수분이나 하이드로 카본 등이 부착되는 것을 막을 수 있다.

[0040] 제작된 타겟을 이송할 때는, 타겟을 진공 분위기 중 혹은 불활성 가스 분위기(질소 또는 희가스 분위기) 중으로 유지한 상태에서 행한다. 이와 같이 함으로써, 타겟에 수소나 수분이나 하이드로 카본 등이 부착되는 것을 막을 수 있다.

[0041] 타겟을 스퍼터 장치에 부착할 때도, 대기에 노출시키지 않고 불활성 가스 분위기(질소 또는 희가스 분위기) 하에서 행함으로써, 타겟에 수소나 수분이나 하이드로 카본 등이 부착되는 것을 막을 수 있다.

[0042] 타겟을 스퍼터 장치에 부착한 후, 타겟 재료의 표면이나 내부에 잔존하고 있는 수소를 제거하기 위해 탈수소 처리를 행하면 좋다. 탈수소 처리로서는 성막 챔버 내를 감압하에서 200℃ 이상 600℃ 이하로 가열하는 방법이나, 가열하면서 질소나 불활성 가스의 도입과 배기를 반복하는 방법 등이 있다. 이 경우의 타겟 냉각액은, 물이 아니라 유지 등을 이용하면 좋다. 가열하지 않고 질소의 도입과 배기를 반복해도 일정한 효과가 얻어지지만, 가열하면서 행하면 더욱 좋다. 또한, 성막 챔버 내에 산소 또는 불활성 가스, 또는 산소와 불활성 가스의 양쪽 모두를 도입하여, 고주파나 마이크로파를 이용하여 불활성 가스나 산소의 플라즈마를 발생시켜도 좋다. 가열하지 않고 행하여도 일정한 효과를 얻을 수 있지만, 가열하면서 행하면 더욱 좋다.

[0043] 또한, 스퍼터 장치 등의 진공 장치에 이용하는 진공 펌프는, 예를 들면, 클라이오 펌프를 이용하면 좋다. 클라이오 펌프는 진공실 내에 극저온면을 설치하고, 이것에 진공실 내의 기체 분자를 응축 또는 흡착시켜 포착하고, 배기하는 펌프로서, 수소나 수분의 배기 능력이 높다.

[0044] 특히, 제 1 절연막, 산화물 반도체, 제 2 절연막의 성막은, 상술한 가열 그 외의 방법을 적절히 이용하여, 분위기 중의 수소, 수분, 하이드로 카본을 충분히 저감시킨 후에 행한다.

[0045] 박막 트랜지스터 제작시에 사용하는 가스는, 수소나 수분이나 하이드로 카본 등의 농도를 극력 저감시킨 고순도 가스를 사용하는 것이 바람직하다. 가스 공급원과 각 장치간에 정제 장치를 형성함으로써, 가스 순도를 더욱 향상시키는 것이 가능하게 된다. 가스 순도로서 99.9999% 이상의 것을 사용하면 좋다. 또한, 가스 배관 내벽

으로부터의 가스 혼입을 막기 위해, 내면을 경면 연마하여 Cr_2O_3 혹은 Al_2O_3 로 부동태화한 가스 배관을 이용하면 좋다. 배관 이음새나 밸브는, 시일 부분에 수지를 사용하지 않는 올 메탈 밸브를 이용하면 좋다.

[0046] 본 명세서 중에서 연속 성막이란, 제 1 성막 공정으로부터 제 2 성막 공정까지의 일련의 프로세스 중, 피처리 기판이 놓여 있는 분위기가 대기 등의 오염 분위기에 접하지 않고, 항상 진공 중 또는 불활성 가스 분위기(질소 분위기 또는 희가스 분위기)로 제어되어 있는 것을 말한다. 연속 성막을 행함에 따라, 청정화된 피처리 기판에 의 수소나 수분이나 하이드로 카본 등의 재부착을 회피하여 성막을 행할 수 있다.

[0047] 또한, 도전막은 소스 전극 또는 드레인 전극으로서 기능한다. 도전막은 알루미늄, 혹은 구리, 실리콘, 티탄, 네오디뮴, 스칸듐, 몰리브덴 등의 내열성 향상 원소 혹은 힐록 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성한다. 혹은, 알루미늄 혹은 알루미늄 합금의 단층 또는 적층의 하층 또는 상층의 한쪽 혹은 쌍방에, 티탄, 몰리브덴, 텅스텐 등의 고용점 금속층을 적층시킨 구성으로 해도 좋다. 그 중에서도 산화물 반도체 층과의 계면 특성이 뛰어난 재료로서 티탄을 들 수 있다. 특히, 도전막으로서 티탄막, 알루미늄막, 티탄막의 적층을 이용하면 저저항이며, 또한, 티탄막으로 상하를 끼우고 있기 때문에, 알루미늄막에 기인하는 힐록이 발생하기 어렵고, 소스 전극 또는 드레인 전극으로서 적합하다.

[0048] 또한, 게이트 전극과 제 1 절연막의 사이에, 질화규소막 또는 산화규소막을 더 가지는 구조로 해도 좋다. 즉 게이트 절연막이 2층 또는 그 이상의 적층으로 해도 좋고, 산화물 반도체층과 접하는 최상층의 막인 제 1 절연막으로서는 산화질화규소막이 바람직하지만, 그 하층에 형성하는 절연막은 질화규소막 또는 산화규소막이어도 좋다. 질화규소막 또는 산화규소막을 형성함으로써 TFT의 제작 공정에 있어서 기판 표면이 에칭되는 것을 막는 에칭 스톱퍼로서 작용한다. 질화규소막 또는 산화규소막도 나트륨 등의 알칼리 금속을 포함하는 유리 기판으로부터 나트륨 등의 가동(可動) 이온이 반도체 영역 중으로 침입하여, TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.

발명의 효과

[0049] 산화물 반도체막을 이용하는 박막 트랜지스터의 게이트 전압이 0 V에 가능한 한 가까운 정의 스레시홀드 전압으로 채널이 형성되는 구조를 실현할 수 있다. 또한, 스레시홀드값의 편차의 저감이나, 전기 특성의 열화의 방지나, TFT가 노멀리 온측으로 시프트하는 것을 저감하거나, 바람직하게는 시프트를 없앨 수 있다.

도면의 간단한 설명

[0050] 도 1은 본 발명의 일 형태인 박막 트랜지스터의 제작 공정 나타낸 단면도.
 도 2는 본 발명의 일 형태인 박막 트랜지스터의 제작 공정 나타낸 단면도.
 도 3은 본 발명의 일 형태인 박막 트랜지스터의 제작 공정 나타낸 단면도.
 도 4는 본 발명의 일 형태인 박막 트랜지스터의 제작 공정 나타낸 단면도.
 도 5는 반도체 장치의 블럭도를 설명한 도면.
 도 6은 신호선 구동 회로의 구성을 설명한 도면.
 도 7은 신호선 구동 회로의 동작을 설명한 타이밍 차트.
 도 8은 신호선 구동 회로의 동작을 설명한 타이밍 차트.
 도 9는 시프트 레지스터의 구성을 설명한 도면.
 도 10은 플립 플롭의 접속 구성을 설명한 도면.
 도 11은 본 발명의 일 양태에 관한 반도체 장치를 설명한 도면.
 도 12는 본 발명의 일 양태에 관한 반도체 장치를 설명한 도면.
 도 13은 본 발명의 일 양태에 관한 반도체 장치를 설명한 도면.

도 14는 본 발명의 일 양태에 관한 반도체 장치의 화소 등가 회로를 설명한 도면.
 도 15는 본 발명의 일 양태에 관한 반도체 장치를 설명한 도면.
 도 16은 본 발명의 일 양태에 관한 반도체 장치를 설명한 도면.
 도 17은 전자 페이퍼의 사용 형태의 예를 설명한 도면.
 도 18은 전자 서적의 일 형태를 나타낸 외관도.
 도 19는 텔레비전 장치 및 디지털 포토 프레임의 일 형태를 나타낸 외관도.
 도 20은 유기기의 일 형태를 나타낸 외관도.
 도 21은 휴대전화기의 일 형태를 나타낸 외관도.
 도 22는 전자 서적의 일 형태를 설명한 도면.
 도 23은 전자 서적의 일 형태를 설명한 도면.
 도 24는 본 발명의 일 형태인 박막 트랜지스터의 제작 공정을 나타낸 단면도.
 도 25는 산화물 반도체의 홀 효과 측정 결과를 나타낸 도면.
 도 26은 산화물 반도체층의 XRD 측정 결과를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0051] 본 발명의 실시형태에 대하여, 이하에 설명한다.
- [0052] [실시형태 1]
- [0053] 본 실시형태에서는, 박막 트랜지스터 및 그 제작 공정에 대하여, 도 1을 이용하여 설명한다.
- [0054] 먼저, 기판(100) 위에 게이트 전극(101)을 형성한다(도 1(A) 참조).
- [0055] 기판(100)은, 바륨 붕규산 유리, 알루미늄 붕규산 유리, 혹은 알루미늄 실리케이트 유리 등, 퓨전법이나 플로트 법으로 제작되는 무알칼리 유리 기판, 세라믹 기판 외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기판 등을 이용할 수 있다. 또한, 스테인리스 스틸 합금 등의 금속 기판의 표면에 절연막을 형성한 기판을 적용해도 좋다. 기판(100)의 크기는, 320 mm×400 mm, 370 mm×470 mm, 550 mm×650 mm, 600 mm×720 mm, 680 mm×880 mm, 730 mm×920 mm, 1000 mm×1200 mm, 1100 mm×1250 mm, 1150 mm×1300 mm, 1500 mm×1800 mm, 1900 mm×2200 mm, 2160 mm×2460 mm, 2400 mm×2800 mm, 또는 2850 mm×3050 mm 등을 이용할 수 있다.
- [0056] 또한, 게이트 전극(101)을 형성하기 전에 기판(100) 위에 하지 절연막을 형성해도 좋다. 하지 절연막으로서, CVD법이나 스퍼터링법 등을 이용하여, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막의 단층, 또는 적층으로 형성하면 좋다. 하지 절연막의 막 중에 할로젠 원소, 예를 들면, 불소, 염소 등을 소량 첨가하여, 나트륨 등의 가동 이온을 고정화시켜도 좋다. 절연막에 포함시킨 할로젠 원소의 농도는, SIMS(2차 이온 질량 분석계)를 이용한 분석에 의해 얻어지는 농도 피크가 $1 \times 10^{15} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 범위 내로 하는 것이 바람직하다.
- [0057] 게이트 전극(101)은, 티탄, 몰리브덴, 크롬, 탄탈, 텅스텐, 알루미늄 등의 금속 재료 또는 그 합금 재료를 이용하여 형성한다. 게이트 전극(101)은, 스퍼터링법이나 진공 증착법으로 기판(100) 위에 도전막을 형성하고, 이 도전막 위에 포토리소그래피 기술 또는 잉크젯법에 의해 마스크를 형성하고, 이 마스크를 이용하여 도전막을 에칭함으로써, 형성할 수 있다. 또한, 은, 금, 구리 등의 도전성 나노 페이스트를 이용하여 잉크젯법에 의해 도출하여 소성하고, 게이트 전극(101)을 형성할 수도 있다. 또한, 게이트 전극(101)의 밀착성 향상과 기판이나 하지막으로의 확산을 막는 배리어 메탈로서, 상기 금속 재료의 질화물막을 기판(100) 및 게이트 전극(101)의 사이에 형성해도 좋다. 또한, 게이트 전극(101)은 단층 구조로 해도 적층 구조로 해도 좋고, 예를 들면, 기판(100)측으로부터 몰리브덴막과 알루미늄막과의 적층, 몰리브덴막과 알루미늄과 네오디뮴과의 합금막과의 적층, 티탄막과 알루미늄막과의 적층, 티탄막, 알루미늄막 및 티탄막과의 적층 등을 이용할 수 있다.

- [0058] 여기에서는, 스퍼터법을 이용하여 알루미늄막과 폴리브덴막의 적층막을 형성하고, 포토리소그래피 기술을 이용하여 선택적으로 에칭을 행한다. 여기에서 첫번째의 포토마스크를 이용한다. 또한, 게이트 전극(101) 위에는 반도체막이나 배선을 형성하므로, 단이 끊어지는 것을 방지하기 위해 단부가 테이퍼가 되도록 가공하는 것이 바람직하다.
- [0059] 다음에, 게이트 절연막이 되는 제 1 절연막(102)과, 반도체막(103)과, 제 2 절연막(104)을 대기에 노출시키지 않고 연속하여 성막한다(도 1(B) 참조). 대기에 노출시키지 않고 연속하여 성막하면, 생산성이 높고, 박막 계면의 신뢰성이 안정된다. 또한, 대기 중에 포함되는 수분, 하이드로 카본, 그 외의 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있고, 반도체막 중에 수소가 들어가는 것을 방지할 수 있다.
- [0060] 제 1 절연막(102) 및 제 2 절연막(104)은, CVD법이나 스퍼터링법 등을 이용하여, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 여기에서는, 제 1 절연막(102) 및 제 2 절연막(104)으로서, RF 스퍼터링법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성한다. 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 이용함으로써, 반도체막(103)으로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다. 절연막의 성막은, 박막 트랜지스터에 히스테리시스나 차지 업을 일으키지 않는 조건에서 행하는 것이 바람직하다.
- [0061] 또한, 제 1 절연막(102)은 2층 또는 그 이상의 적층으로 할 수도 있다. 산화물 반도체층과 접하는 최상층의 막 으로서는 산화질화규소막이 바람직하지만, 그 하층에 형성하는 절연막은 질화규소막 또는 산화규소막이어도 좋다. 이 하층막은 게이트 전극(101)의 재료에 힐록이 발생할 가능성이 있는 재료를 이용한 경우, 힐록 발생을 방지하는 효과도 가진다.
- [0062] 반도체막(103)으로서, 여기에서는 산화물 반도체층(IGZO 반도체층)의 성막을 DC 마그네트론 스퍼터링법으로 행한다. 본 명세서에 있어서, In, Ga, 및 Zn을 포함하는 산화물 반도체막을 이용하여 형성된 반도체층을 「IGZO 반도체층」이라고도 기재한다. IGZO 반도체층의 경우, 금속 원소의 조성비의 자유도는 높고, 넓은 범위의 혼합비로 반도체층으로서 기능한다. 예를 들면, 10 중량%의 산화아연을 포함하는 산화인듐이나, 산화인듐과 산화갈륨과 산화아연 등을 각각 몰로 혼합한 재료나, 막 중의 금속 원소의 존재비가 In : Ga : Zn = 2.2 : 2.2 : 1.0[atom비]의 비로 존재하는 산화물을 일례로서 들 수 있다. 박막 트랜지스터의 전기 특성의 편차를 저감하기 위해서는, IGZO 반도체층은 아몰퍼스(비정질) 상태인 것이 바람직하다.
- [0063] 반도체막(103)의 성막은, 산소만의 분위기 중에서 행한다. 일반적으로, 스퍼터링법에서는 Ar이나 Kr 등의 희가스를 포함하는 분위기 중에서 행해지는 경우가 많지만, 이들 희가스 원소는 산소와 비교하여 질량이 크기 때문에, 스퍼터 시에 성막 챔버 내벽이나 지그에 부착되어 있던 수분이나 하이드로 카본 등의 수소를 포함한 가스의 이탈을 촉진하게 된다. 단, 성막 속도를 높이기 위해, 성막 챔버 내벽 등으로부터의 가스의 이탈에 영향이 없는 범위에서, 산소와 희가스를 혼합하여 사용해도 좋다. 구체적으로는 산소를 유량비로 50% 이상 100% 이하 바람직하게는 70% 이상 100% 이하로 한 분위기 중에서 행하여도 좋다. 또한, 반도체막(103)의 성막은, 기판 온도를 실온(25℃) 이상 200℃ 미만으로 하는 것이 바람직하다.
- [0064] 다음에, 반도체막(103)을 패터닝하기 위해, 제 2 절연막(104)을 선택적으로 에칭하여 절연물(106)을 형성하고, 또한, 반도체막(103)을 선택적으로 에칭하여 IGZO 반도체층(105)을 형성한다. 에칭은 염소 가스를 이용한 드라이 에칭법으로 행한다. 절연물(106)은 채널 보호막으로서 기능한다. 이 단계에서, 반도체막(103)이 제거된 영역은, 게이트 절연막의 표면이 노정된다. 여기서 두번째의 포토마스크를 이용한다. 패터닝 시에 제 2 절연막(104) 위에 형성한 마스크는, 산소 분위기하에서 애싱 처리에 의해 제거한다. 이 단계에서의 기판의 단면 구조가 도 1(C)에 나타난 기판의 단면도에 상당한다(도 1(C) 참조). 박막 트랜지스터의 제작 공정으로부터 수분을 극력 배제하기 위해, 이 후의 물을 사용한 세정은 행하지 않아도 좋다.
- [0065] 다음에, 200℃ 이상 600℃ 이하, 대표적으로는 300℃ 이상 500℃ 이하의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣어, 산소를 포함하는 질소 분위기하에서 350℃, 1시간의 열처리를 행한다. 이 열처리에 의해 IGZO 반도체층(105)의 원자 레벨의 재배열을 한다. 이 열처리(광어닐도 포함함)에 의해 캐리어의 이동을 저해하는 변형에서 해방된다. 또한, 열처리를 행하는 타이밍은, 반도체막(103)의 성막 후라면 특별히 한정되지 않는다. 본 실시형태에 있어서는, IGZO 반도체층(105) 위를 절연물(106)로 덮는 구성으로 하고 있기 때문에, 열처리 후의 IGZO 반도체층(105)의 열화를 저감할 수 있기 때문에 적합하다.
- [0066] 다음에, 절연물(106)의 일부를 더 제거하고, 이 후 형성하는 소스 전극(108) 또는 드레인 전극(109)과 IGZO 반도체층(105)을 접속하기 위한 콘택트홀(개구)(107)을 형성한다. 선택적으로 에칭을 행하여 IGZO 반도체층(10

5)의 일부를 노출시키는 콘택트홀(개구)(107)을 형성하기 위해, 포토리소그래피 기술을 이용한다. 여기서 세번째의 포토마스크를 이용한다. 에칭은 염소 가스를 이용한 드라이 에칭법으로 행한다. 여기서의 콘택트홀(개구)(107)의 형성을 위한 에칭은, IGZO 반도체층(105)과 충분히 에칭 레이트가 다른 조건을 이용한다. 또한, 레이저 조사에 의해 절연물(106)만을 선택적으로 제거하여, 콘택트홀(개구)(107)을 형성해도 좋다.

[0067] 콘택트홀(개구)(107)은, 그 형성시에 IGZO 반도체층(105)에 부여하는 수소나 수분이나 하이드로 카본 등의 영향을 배제하기 위해, 극력 작게 형성하면 좋다. 단, 너무 작으면 완성된 박막 트랜지스터의 특성을 충분히 꺼낼 수 없게 되기 때문에, 영향이 없는 범위에서 극력 작게 만들면 좋다.

[0068] 다음에, 소스 전극 또는 드레인 전극이 되는 금속 다층막의 성막을 행한다. 여기에서는, DC 마그네트론 스퍼터법을 이용하여, 티탄막 위에 알루미늄막을 적층하고, 알루미늄막 위에 티탄막을 더 적층한다. 스퍼터 챔버에 티탄의 타겟과, 알루미늄의 타겟의 양쪽 모두를 설치하고, 셔터를 이용하여 순차 적층하여 연속 성막하는 것에 의해 동일 챔버 내에서 연속하여 적층을 행할 수 있다. 이 때는 Ar이나 Kr 등의 희가스만의 분위기에서 행하여도 좋다. 이것은, 이미 IGZO 반도체층(105)을 제 1 절연막(102)과 제 2 절연막(104)으로 끼우는 구조로 되어 있고, 특히 IGZO 반도체층(105) 중의 채널 형성 영역이 챔버 내벽으로부터의 가스 이탈에 의한 수소나 수분이나 하이드로 카본 등의 영향을 받는 일이 없기 때문이다.

[0069] 또한, 금속 다층막의 성막 전에 콘택트홀(개구)(107) 내의 IGZO 반도체층에 역스퍼터를 행함으로써 약 10 nm 정도 에칭해도 좋다. 역스퍼터란, 타겟측에 전압을 인가하지 않고, 불활성 가스 또는 산소 분위기하에서 기판측에 전압을 인가하고 기판측에 플라즈마를 형성하여 표면을 에칭하는 방법이다. 역스퍼터에 의해 IGZO 반도체층과 금속 다층막과의 사이에 양호한 계면 상태를 실현할 수 있어, 접촉 저항을 저감할 수 있다.

[0070] 또한, IGZO 반도체층과 금속 다층막의 사이에 버퍼층이 되는 산화물 반도체막을 형성해도 좋다. 예를 들면, 산화티탄, 산화몰리브덴, 산화아연, 산화인듐, 산화텅스텐, 산화마그네슘, 산화칼슘, 산화주석 등을 이용할 수 있다. 또한, Al-Zn-O계 비단결정막 또는 질소를 포함시킨 Al-Zn-O계 비단결정막, 즉 Al-Zn-O-N계 비단결정막을 이용해도 좋다. Al-Zn-O계 산화물 반도체 또는 Al-Zn-O-N계 산화물 반도체에 포함되는 알루미늄은, 1 중량% 이상 10 중량% 이하인 것이 바람직하다.

[0071] 또한, 여기서 말하는 Al-Zn-O-N계 산화물 반도체막이란, 화학량론비가 Al : Zn : O : N = 1 : 1 : 1 : 1이라는 의미는 아니고, 단지 표기하기 쉽게 기재하고 있는 것에 지나지 않는다. 이들 원소의 구성 비율은 성막 조건으로 적절히 조정이 가능하다.

[0072] 버퍼층에는 n형 또는 p형의 도전형을 부여하는 불순물을 포함시켜도 좋다. 불순물 원소로서는, 인듐, 갈륨, 알루미늄, 아연, 주석 등을 이용할 수 있다.

[0073] 버퍼층의 캐리어 농도는 IGZO 반도체층보다 높고 도전성이 우수하기 때문에, 소스 전극 혹은 드레인 전극과 IGZO 반도체층이 직접 접촉하는 경우에 비해, 접촉 저항을 저감할 수 있다.

[0074] 버퍼층은, 드레인 영역 또는 소스 영역이라고도 부를 수 있다.

[0075] 다음에, 금속 다층막의 에칭을 선택적으로 행하여 소스 전극(108) 또는 드레인 전극(109)을 형성한다. 여기서 4번째의 포토마스크를 이용한다. 티탄막과 알루미늄막과 티탄막을 순차로 적층한 3층 구조의 도전막은, 염소 가스를 이용한 드라이 에칭법으로 에칭할 수 있다. IGZO 반도체층과 금속 다층막의 사이에 버퍼층을 형성한 경우에도, 금속 다층막의 에칭과 동시에 버퍼층을 에칭할 수 있다. 이 단계에서의 기판의 단면 구조가 도 1(E)에 나타난 기판의 단면도에 상당한다(도 1(E) 참조).

[0076] 본 실시형태에 있어서의 채널 형성 영역은, IGZO 반도체층(105)에서, 게이트 전극(101)과 IGZO 반도체층(105)이 중첩되어 있는 영역에서, 소스 전극(108)이 IGZO 반도체층(105)에 접촉하기 위한 콘택트홀(개구)(107)의 단부로부터, 드레인 전극(109)이 IGZO 반도체층(105)에 접촉하기 위한 콘택트홀(개구)(107)의 단부까지이고, 도 1(D) 중의 부호 L1이 채널 길이에 상당한다.

[0077] IGZO 반도체층(105)의 채널 형성 영역을, 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막으로 기움으로써, 채널 형성 영역으로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다. 산화질화규소막의 성막은, 박막 트랜지스터에 히스테리시스나 차지 업을 일으키지 않는 조건에서 행하는 것이 바람직하다.

- [0078] [실시형태 2]
- [0079] 본 실시형태에서는, 박막 트랜지스터 및 그 제작 공정에 대하여, 도 2를 이용하여 설명한다. 또한, 실시형태 1과 동일 부분 또는 동일한 기능을 가지는 부분, 및 공정의 반복 설명은 생략한다.
- [0080] 먼저, 기판(200) 위에 게이트 전극(201)을 형성한다. 여기서 첫번째의 포토마스크를 이용한다(도 2(A) 참조).
- [0081] 다음에, 게이트 절연막이 되는 제 1 절연막(202)과, 제 1 반도체막(203)과, 제 2 절연막(204)을 대기에 노출시키지 않고 연속하여 성막한다(도 2(B) 참조). 여기에서는, 제 1 절연막(202) 및 제 2 절연막(204)으로서, RF 스퍼터링법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성하고, 제 1 반도체막(203)으로서, 산화물 반도체층을 Zn(아연)을 포함하는 산화물 반도체(ZnO)에 SiO₂를 0.1 중량% 이상 20 중량% 이하 포함하는 산화물 반도체 타겟을 이용한 DC 마그네트론 스퍼터링법으로 성막한다. 실시형태 1에 설명한 바와 같이, 산화물 반도체층의 성막은, 산소만의 분위기 중에서 행하지만, 산소를 유량비로 50% 이상 100% 이하 바람직하게는 70% 이상 100% 이하로 하여, 희가스를 혼합한 분위기 중에서 행하여도 좋다. 또한, 제 1 반도체막(203) 성막은 기판 온도를 실온(25℃) 이상 200℃ 미만으로 하는 것이 바람직하다.
- [0082] 다음에, 제 2 절연막(204)을 게이트 전극과 중첩되는 위치, 제 1 반도체막(203)의 채널 형성 영역이 되는 위치와 중첩되는 부분만을 남겨 에칭을 행하여, 절연물(206)을 형성한다. 절연물(206)은 채널 보호막으로서 기능한다. 선택적으로 에칭을 행하여 절연물(206)을 형성하기 때문에, 포토리소그래피 기술을 이용한다. 여기서 두번째의 포토마스크를 이용한다. 여기서의 절연물(206)의 형성을 위한 에칭은, 드라이 에칭법으로 행하고, 제 1 반도체막(203)과 충분히 에칭 레이트가 다른 조건을 이용한다(도 2(C) 참조). 패터닝 시에 제 2 절연막(204) 위에 형성한 마스크는 산소 분위기하에서 애싱 처리로 제거한다. 박막 트랜지스터의 제작 공정으로부터 수분을 극력 배제하기 위해, 이 후의 물을 사용한 세정은 행하지 않아도 좋다.
- [0083] 또한, 절연물(206)의 형성 시, 포토마스크를 이용하지 않고 이면 노광을 이용하여 셀프 얼라인으로 게이트 전극과 중첩되는 위치에 마스크를 선택적으로 형성할 수도 있다. 특히 제 1 반도체막(203)은 산화물 반도체막이며, 높은 투광성을 가지고 있어, 이면 노광에 적합하다. 단, 이면 노광을 행하는 경우에는, 제 1 절연막(202) 및 제 2 절연막(204)이 충분한 투광성을 가지는 재료이어야 한다.
- [0084] 다음에, 200℃ 이상 600℃ 이하, 대표적으로는 300℃ 이상 500℃ 이하의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣어, 산소를 포함하는 질소 분위기하에서 350℃, 1시간의 열처리를 행한다. 이 열처리에 의해 제 1 반도체막(203)의 원자 레벨의 재배열이 행해진다. 이 열처리(광어닐도 포함함)에 의해 캐리어의 이동을 저해하는 변형에서 해방된다. 또한, 열처리를 행하는 타이밍은, 제 1 반도체막(203)의 성막 후라면 특별히 한정되지 않는다. 본 실시형태에 있어서는, 제 1 반도체막(203) 위를 절연물(206)로 덮는 구성으로 하고 있기 때문에, 열처리 후의 제 1 반도체막(203)의 열화를 저감할 수 있기 때문에 적합하다.
- [0085] 다음에, 버퍼층이 되는 제 2 반도체막(212)과, 소스 전극 또는 드레인 전극이 되는 금속 다층막(211)의 성막을 행한다. 여기에서는, DC 마그네트론 스퍼터링법을 이용하여, 제 2 반도체막(212)으로서 산화티탄막을 형성하고, 금속 다층막(211)으로서 제 2 반도체막(212) 위에 티탄막을 적층하고, 티탄막 위에 알루미늄막을 적층하고, 알루미늄막 위에 티탄막을 더 적층한다(도 2(D) 참조).
- [0086] 버퍼층이 되는 제 2 반도체막(212)의 캐리어 농도는 산화물 반도체층보다 높고 도전성이 우수하기 때문에, 소스 전극 혹은 드레인 전극과 반도체층이 직접 접촉하는 경우에 비해, 버퍼층을 형성한 것이 접촉 저항을 저감할 수 있다.
- [0087] 버퍼층이 되는 제 2 반도체막(212) 성막 이후에, 200℃ 이상 600℃ 이하, 대표적으로는 300℃ 이상 500℃ 이하의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣어, 산소를 포함하는 질소 분위기하에서 350℃, 1시간의 열처리를 행한다. 이 열처리에 의해 제 2 반도체막(212)의 원자 레벨의 재배열이 행해진다. 이 열처리(광어닐도 포함함)에 의해 캐리어의 이동을 저해하는 변형에서 해방된다.
- [0088] 다음에, 금속 적층막의 에칭을 선택적으로 행하여 소스 전극(208) 또는 드레인 전극(209)을 형성한다. 여기서 세번째의 포토마스크를 이용한다. 에칭은 드라이 에칭법으로 행한다. 이 때, 금속 다층막(211)과 제 2 반도체막(212)과 제 1 반도체막(203)의 어느 것도 에칭할 수 있는 조건에서 에칭을 행함으로써, 소스 전극(208), 드레인 전극(209), 소스측 버퍼층(213), 드레인측 버퍼층(214) 및 반도체층(205)의 형성을 동일한 에칭 공정으로 행할 수 있다. 절연물(206)은 채널 보호막으로서 기능하고, 채널 형성 영역의 반도체층(205)이 에칭되는 것을 막는다(도 2(E) 참조).

- [0089] 본 실시형태에 있어서의 채널 형성 영역은, 반도체층(205)에서, 게이트 전극(201)과 반도체층(205)과 절연물(206)이 중첩되어 있는 영역이며, 절연물(206)의 폭(L2)이 채널 길이에 상당한다.
- [0090] 반도체층(205)의 채널 형성 영역의 상층 및 하층에, 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성하고, 채널 형성 영역을 산화질화규소막으로 끼우는 구조로 함으로써, 채널 형성 영역으로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다.
- [0091] 또한, 반도체층 측면부로부터의 수소나 수분 등의 침입 또는 확산을 막기 위해, 박막 트랜지스터를 덮도록 제 3 절연막(210)을 형성해도 좋다. 제 3 절연막(210)은, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 예를 들면, 스퍼터법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성해도 좋다. 질소 함유량이 3~30 원자%의 산화질화규소막을 이용함으로써, 박막 트랜지스터에 대한 수소나 수분이나 하이드로 카본 등의 침입 또는 확산을 막을 수 있다. 산화질화규소막의 성막은, 박막 트랜지스터에 히스테리시스나 차지 업을 일으키지 않는 조건에서 행하는 것이 바람직하다.
- [0092] [실시형태 3]
- [0093] 본 실시형태에서는, 박막 트랜지스터 및 그 제작 공정에 대하여, 도 3을 이용하여 설명한다. 또한, 실시형태 1과 동일 부분 또는 동일한 기능을 가지는 부분, 및 공정의 반복 설명은 생략한다.
- [0094] 먼저, 기판(300) 위에 게이트 전극(301)을 형성한다. 여기서 첫번째의 포토마스크를 이용한다.
- [0095] 다음에, 게이트 절연막이 되는 제 1 절연막(302)과, 소스 전극 또는 드레인 전극이 되는 금속 다층막(311)의 성막을 행한다.
- [0096] 제 1 절연막(302)은, CVD법이나 스퍼터링법 등을 이용하여, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 여기에서는, 제 1 절연막(302)으로서, RF 스퍼터링법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성한다.
- [0097] 소스 전극 또는 드레인 전극이 되는 금속 다층막(311)은, DC 마그네트론 스퍼터링법을 이용하고, 티탄막 위에 알루미늄막을 적층하고, 알루미늄막 위에 티탄막을 더 적층한다(도 3(A) 참조).
- [0098] 다음에, 금속 다층막의 에칭을 선택적으로 행하여, 소스 전극(308) 또는 드레인 전극(309)을 형성한다. 여기서 두번째의 포토마스크를 이용한다(도 3(B) 참조).
- [0099] 다음에, 반도체막(303)과, 제 2 절연막(304)을 대기에 노출시키지 않고 연속하여 성막한다(도 3(C) 참조). 반도체막(303)으로서, 산화아연에 산화규소를 10 중량% 포함한 타겟을 이용하여 DC 마그네트론 스퍼터링법으로 성막한 산화물 반도체층(ZnO-SiO_x ($x>0$) 반도체층)을 이용한다. 실시형태 1에 설명한 바와 같이, 산화물 반도체층의 성막은 산소만의 분위기 중에서 행하지만, 산소를 유량비로 50% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 하여, 회가스를 혼합한 분위기 중에서 행하여도 좋다. 또한, 반도체막(303)의 성막은, 기판 온도를 실온(25℃) 이상 200℃ 미만으로 하는 것이 바람직하다.
- [0100] 여기서, XRD 측정에 의한 산화물 반도체층(ZnO-SiO 반도체층)의 결정성 평가 결과를 나타내 둔다. 측정은, 산화아연에 산화규소를 각각 7.5 중량%, 10 중량%, 12.5 중량% 포함한 타겟을 이용하여 성막한 3 종류의 산화물 반도체층(ZnO-SiO 반도체층)에 대하여 행하고 있다.
- [0101] 도 26에 XRD 측정 결과를 나타낸다. 횡축은 입사 X선에 대한 측정 시료와 신호 검출부의 회전 각도(2θ)이며, 종축은 X선 회절 강도이다. 도면 중에는, 산화규소 함유량 7.5 중량%의 측정 결과(601), 산화규소 함유량 10 중량%의 측정 결과(602), 산화규소 함유량 12.5 중량%의 측정 결과(603)가 도시되어 있다.
- [0102] 도 26의 측정 결과에 의하면, 산화규소 함유량이 7.5 중량%에서는 결정성을 나타내는 피크(604)가 검출되지만, 산화규소 함유량이 10 중량% 이상이면 결정성을 나타내는 피크는 검출되지 않고, 비정질의 막인 것을 알 수 있다. 또한, ZnO-SiO_x ($x>0$) 반도체층의 산화규소 함유량이 10 중량% 이상이면, 700℃의 열처리에서도 비정질인 상태를 유지할 수 있다.
- [0103] 반도체막(303)의 성막을 행하기 전에, 제 1 절연막(302)과 소스 전극(308)과 드레인 전극(309)의 표면을 역스퍼터를 행하는 것에 의해 약 10 nm 정도 에칭해도 좋다. 역스퍼터를 행함에 따라, 제 1 절연막(302), 소스 전극(308) 및 드레인 전극(309)의 표면에 부착되어 있는 수소나 수분이나 하이드로 카본 등을 제거할 수 있다.

- [0104] 다음에, 반도체막(303)을 패터닝하기 위해, 제 2 절연막(304)을 선택적으로 에칭하여 절연물(306)을 형성하고, 또한, 반도체막(303)을 선택적으로 에칭하여 $\text{ZnO-SiO}_x(X>0)$ 반도체층(305)을 형성한다. 여기서 세번째의 포토마스크를 이용한다. 패터닝 시에 제 2 절연막(304) 위에 형성한 마스크는, 산소 분위기하에서 애싱 처리에 의해 제거한다. 절연물(306)은 채널 보호막으로서 기능한다. 에칭은 드라이 에칭법으로 행한다. 박막 트랜지스터의 제작 공정으로부터 수분을 극력 배제하기 위해, 이 후의 물을 사용한 세정은 행하지 않아도 좋다.
- [0105] 다음에, 200°C 이상 600°C 이하, 대표적으로는 300°C 이상 500°C 이하의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣어, 산소를 포함하는 질소 분위기하에서 350°C , 1시간의 열처리를 행한다. 이 열처리에 의해 반도체층(305)의 원자 레벨의 재배열을 한다. 이 열처리(광어닐도 포함함)에 의해 캐리어의 이동을 저해하는 변형에서 해방된다. 또한, 열처리를 행하는 타이밍은, 반도체막(303)의 성막 후라면 특별히 한정되지 않는다. 본 실시형태에 있어서는, 반도체층(305) 위를 절연물(306)로 덮는 구성으로 하고 있기 때문에, 열처리 후의 반도체층(305)의 열화를 저감할 수 있기 때문에 적합하다.
- [0106] 본 실시형태에 있어서는 채널 형성 영역은, $\text{ZnO-SiO}_x(X>0)$ 반도체층(305)에 있어서, 게이트 전극(301)과 $\text{ZnO-SiO}_x(X>0)$ 반도체층(305)이 중첩되어, 소스 전극(308)과 드레인 전극(309)으로 끼우고 있는 영역이다. 소스 전극(308)과 드레인 전극(309)까지의 거리(L3)가 채널 길이에 상당한다.
- [0107] 반도체층(305)의 채널 형성 영역의 상층 및 하층에, 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성하고, 채널 형성 영역을 산화질화규소막으로 끼우는 구조로 함으로써, 채널 형성 영역으로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다. 산화질화규소막의 성막은, 박막 트랜지스터에 히스테리시스나 차지 업을 일으키지 않는 조건에서 행하는 것이 바람직하다.
- [0108] 또한, $\text{ZnO-SiO}_x(X>0)$ 반도체층 측면부로부터의 수소나 수분 등의 침입 또는 확산을 막기 위해, 박막 트랜지스터를 덮도록 제 3 절연막(310)을 형성해도 좋다. 제 3 절연막(310)의 성막은, 박막 트랜지스터에 히스테리시스나 차지 업을 일으키지 않는 조건에서 행하는 것이 바람직하다. 제 3 절연막(310)은, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 예를 들면, RF 스퍼터링법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성해도 좋다. 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 이용함으로써, 박막 트랜지스터로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다.
- [0109] 또한, 필요에 따라 $\text{ZnO-SiO}_x(X>0)$ 반도체층과 금속 다층막의 사이에 버퍼층이 되는 산화물 반도체막을 형성해도 좋다.
- [0110] [실시형태 4]
- [0111] 본 실시형태에서는, 박막 트랜지스터 및 그 제작 공정에 대하여, 도 4를 이용하여 설명한다. 또한, 실시형태 1과 동일 부분 또는 동일한 기능을 가지는 부분, 및 공정의 반복 설명은 생략한다.
- [0112] 먼저, 기판(400) 위에 게이트 전극(401)을 형성한다. 여기서 첫번째의 포토마스크를 이용한다(도 4(A) 참조).
- [0113] 다음에, 게이트 절연막이 되는 제 1 절연막(402)과, 제 1 반도체막(403)과, 제 2 반도체막(412)을 대기에 노출시키지 않고 연속하여 성막한다(도 4(B) 참조). 여기에서는, 제 1 절연막(402)으로서, RF 스퍼터링법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성하고, 제 1 반도체막(403)으로서, IGZO 반도체층을 DC 마그네트론 스퍼터법으로 형성하고, 제 2 반도체막(412)으로서 Al-Zn-O-N계 산화물 반도체막을 형성한다. 또한, 산화물 반도체막의 성막은, 기판 온도를 실온(25°C) 이상 200°C 미만으로 하는 것이 바람직하다.
- [0114] 또한, 여기서 말하는 Al-Zn-O-N계 산화물 반도체막이란, 화학량론비가 Al : Zn : O : N = 1 : 1 : 1 : 1이라는 의미는 아니고, 단지 표기하기 쉽게 기재하고 있는 것에 지나지 않는다. 이들 원소의 구성 비율은, 성막 조건으로 적절히 조정이 가능하다.
- [0115] 다음에, 200°C 이상 600°C 이하, 대표적으로는 300°C 이상 500°C 이하의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣어, 산소를 포함하는 질소 분위기하에서 350°C , 1시간의 열처리를 행한다. 이 열처리에 의해 IGZO 반도체층 및 Al-Zn-O-N계 산화물 반도체막의 원자 레벨의 재배열이 행해진다. 이 열처리(광어닐도 포함함)에 의해 캐리어의 이동을 저해하는 변형에서 해방된다. 또한, 열처리를 행하는 타이밍은, 제 1 반도체

막(403) 및 제 2 반도체막(412)의 성막 후라면 특별히 한정되지 않는다.

- [0116] 다음에, 제 1 반도체막(403)을 패터닝하기 위해, 제 2 반도체막(412)을 선택적으로 에칭하고, 또한, 제 1 반도체막(403)을 선택적으로 에칭하여 IGZO 반도체층(405)을 형성한다. 에칭은 염소 가스를 이용한 드라이 에칭법으로 행한다. 제 2 반도체막(412)은 버퍼층으로서 기능한다. 이 단계에서, 제 1 반도체막(403)이 제거된 영역은, 게이트 절연막의 표면이 노출된다. 여기서 두번째의 포토마스크를 이용한다. 패터닝 시에 제 2 반도체막(412) 위에 형성한 마스크는 산소 분위기하에서 애싱 처리에 의해 제거한다. 이 단계에서의 기판의 단면 구조가 도 4(C)에 나타난 기판의 단면도에 상당한다(도 4(C) 참조). 박막 트랜지스터의 제작 공정으로부터 수분을 극력 배제하기 위해, 이 후의 물을 사용한 세정은 행하지 않아도 좋다.
- [0117] 버퍼층이 되는 제 2 반도체막(412)의 캐리어 농도는 IGZO 반도체층보다 높고 도전성이 우수하기 때문에, 소스 전극 혹은 드레인 전극과 IGZO 반도체층이 직접 접촉하는 경우에 비해, 버퍼층을 형성한 것이 접촉 저항을 저감할 수 있다.
- [0118] 다음에, 소스 전극 또는 드레인 전극이 되는 금속 다층막의 성막을 행한다. 여기에서는, DC 마그네트론 스퍼터법을 이용하여, 티탄막 위에 알루미늄막을 적층하고, 알루미늄막 위에 티탄막을 더 적층한다. 스퍼터 채입버에 티탄의 타겟과 알루미늄의 타겟의 양쪽 모두를 설치하고, 서터를 이용하여 순차 적층하여 연속 성막함으로써 동일 채입버 내에서 연속하여 적층을 행할 수 있다.
- [0119] 다음에, 금속 다층막의 에칭을 선택적으로 행하여 소스 전극(408) 또는 드레인 전극(409)을 형성한다. 여기서 세번째의 포토마스크를 이용한다. 에칭은 드라이 에칭법으로 행한다. 이 때, 금속 다층막과 제 2 반도체막(412)을 에칭할 수 있고, IGZO 반도체층(405)과 충분히 에칭 레이트가 다른 조건을 이용한다. 이것에 의해, 소스 전극(408), 드레인 전극(409), 소스측 버퍼층(413) 및 드레인측 버퍼층(414)의 형성을 동일한 에칭 공정으로 행할 수 있다(도 4(D) 참조).
- [0120] 다음에, 외부로부터의 수소나 수분 등의 침입 또는 확산을 막기 위해, 박막 트랜지스터를 덮도록 제 3 절연막(410)을 형성한다. 제 3 절연막(410)의 성막은, 박막 트랜지스터에 히스테리시스나 차지 업을 일으키지 않는 조건에서 행하는 것이 바람직하다. 제 3 절연막(410)은, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화산화규소막으로 형성할 수 있다. 예를 들면, RF 스퍼터링법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성해도 좋다. 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 이용함으로써, 박막 트랜지스터에 대한 수소나 수분 등의 침입 또는 확산을 막을 수 있다.
- [0121] 제 3 절연막(410)의 성막 전에, IGZO 반도체층(405)과 소스 전극(408)과 드레인 전극(409)의 표면을 역스퍼터를 행하는 것에 의해 약 10 nm 정도 에칭해도 좋다. 역스퍼터를 행함에 따라, 소스 전극(408) 및 드레인 전극(409)의 표면에 부착되어 있는 수소나 수분이나 하이드로 카본 등을 제거할 수 있다.
- [0122] 본 실시형태에서의 채널 형성 영역은, IGZO 반도체층(405)에 있어서, 게이트 전극(401)과 IGZO 반도체층(405)이 중첩되어, 소스측 버퍼층(413) 및 드레인측 버퍼층(414)으로 끼우고 있는 영역이다. 소스측 버퍼층(413) 및 드레인측 버퍼층(414)까지의 거리(L4)가 채널 길이에 상당한다(도 4(E) 참조).
- [0123] IGZO 반도체층(405)의 채널 형성 영역의 상층 및 하층에, 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성하여, 채널 형성 영역을 산화질화규소막으로 끼우는 구조로 함으로써, 채널 형성 영역으로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다.
- [0124] [실시형태 5]
- [0125] 본 실시형태에서는, 박막 트랜지스터 및 그 제작 공정에 대하여, 도 24를 이용하여 설명한다. 또한, 실시형태 1과 동일 부분 또는 동일한 기능을 가지는 부분, 및 공정의 반복 설명은 생략한다.
- [0126] 먼저, 기판(700) 위에 게이트 전극(701)을 형성한다. 여기서 첫번째의 포토마스크를 이용한다(도 24(A) 참조).
- [0127] 다음에, 게이트 절연막이 되는 제 1 절연막(702)과, 반도체막(703)을 대기에 노출시키지 않고 연속하여 성막한다(도 24(B) 참조). 여기에서는, 제 1 절연막(702)으로서, RF 스퍼터링법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성하고, 반도체막(703)으로서, In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 산화물에 산화규소를 더한 타겟을 이용하여 스퍼터법으로 성막했다. 또한, 반도체막(703)의 성막은 기판 온도를 실온(25℃) 이상 200℃ 미만으로 하는 것이 바람직하다.

- [0128] 반도체막(703)의 형성에 있어서, 별도, 반도체막(703)으로서 사용하는 산화물 반도체막의 물성을 평가하였다. 도 25(A)에 산화물 반도체막의 물성을 평가하기 위한 물성 평가용 시료(510)의 입체시 도면을 나타낸다. 물성 평가용 시료(510)를 제작하여 실온에서 홀 효과 측정을 행하고, 산화물 반도체막의 캐리어 농도와 홀 이동도를 평가했다. 물성 평가용 시료(510)는, 기판(500) 위에 산질화규소로 된 절연막(501)을 형성하고, 그 위에 평가 대상이 되는 산화물 반도체막(502)을 형성하고, 그 위에 전극(503) 내지 전극(506)을 형성하여 제작했다. 평가 대상이 되는 산화물 반도체막은, 타겟 재료에 산화규소가 2 중량%, 5 중량%, 10 중량% 첨가된 3 종류의 타겟을 이용하여 형성했다. 각각의 산화물 반도체막에 대하여 물성 평가용 시료(510)를 제작하여 실온에서 홀 효과 측정을 행하였다. 더하여, 레퍼런스로서, 산화규소를 첨가하고 있지 않은 타겟을 이용하여 산화물 반도체막을 형성한 시료도 준비하여, 마찬가지로의 평가를 행하였다.
- [0129] 도 25(B)에 홀 효과 측정으로부터 구한 산화물 반도체막의 캐리어 농도를 나타낸다. 도 25(B)에 있어서, 횡축이 산화규소 첨가량이고, 종축이 캐리어 농도이다. 산화규소 첨가량이 0 중량%로부터, 2 중량%, 5 중량%, 10 중량%로 증가함에 따라, 각각 캐리어 농도가 $1.6 \times 10^{19}/\text{cm}^3$ 로부터, $8.0 \times 10^{17}/\text{cm}^3$, $2.7 \times 10^{16}/\text{cm}^3$, $2.0 \times 10^{12}/\text{cm}^3$ 로 저하되고 있다.
- [0130] 도 25(C)에 홀 효과 측정으로부터 구한 산화물 반도체막의 홀 이동도를 나타낸다. 도 25(C)에 있어서, 횡축이 산화규소 첨가량이고, 종축이 홀 이동도이다. 산화규소 첨가량이 0 중량%로부터, 2 중량%, 5 중량%, 10 중량%로 증가함에 따라, 각각 홀 이동도가 $15.1 \text{ cm}^2/\text{Vs}$ 로부터, $8.1 \text{ cm}^2/\text{Vs}$, $2.6 \text{ cm}^2/\text{Vs}$, $1.8 \text{ cm}^2/\text{Vs}$ 로 저하된다.
- [0131] 도 25(B) 및 도 25(C)에 나타낸 결과로부터, 산화규소 첨가량의 증가에 따라 캐리어 농도와 홀 이동도가 저하되는 경향을 보이지만, 산화규소 첨가량 5 중량%와 10 중량%에 있어서는, 홀 이동도에 큰 차이를 볼 수 없다. 이 때문에, IGZO 반도체층에 산화규소를 첨가하는 경우에는, 타겟으로 0 중량%보다 많고, 10 중량% 이하의 범위에서 산화규소를 첨가해도 좋지만, 바람직하게는 0 중량%보다 많고, 6 중량% 이하의 범위에서 첨가하는 것이 바람직하다. 즉, 캐리어 농도가 $2.0 \times 10^{12}/\text{cm}^3$ 이상 $1.6 \times 10^{19}/\text{cm}^3$ 미만의 범위이어도 좋지만, $2.0 \times 10^{16}/\text{cm}^3$ 이상 $1.6 \times 10^{19}/\text{cm}^3$ 미만의 범위가 바람직하고, 또한, 홀 이동도가 $1.8 \text{ cm}^2/\text{Vs}$ 이상 $15.1 \text{ cm}^2/\text{Vs}$ 미만의 범위이어도 좋지만, $2.4 \text{ cm}^2/\text{Vs}$ 이상 $15.1 \text{ cm}^2/\text{Vs}$ 미만의 범위인 것이 바람직하다.
- [0132] 반도체막(703) 형성 후, 200°C 이상 600°C 이하, 대표적으로는 300°C 이상 500°C 이하의 열처리를 행하는 것이 바람직하다. 여기에서는 노에 넣어, 산소를 포함하는 질소 분위기하에서 350°C , 1시간의 열처리를 행한다. 이 열처리에 의해 IGZO 반도체층의 원자 레벨의 재배열을 한다. 이 열처리(광어닐도 포함함)에 의해 캐리어의 이동을 저해하는 변형에서 해방된다. 또한, 열처리를 행하는 타이밍은, 반도체막(703)의 성막 후라면 특별히 한정되지 않는다.
- [0133] 다음에, 반도체막(703)을 패터닝하기 위해, 반도체막(703)을 선택적으로 에칭하여 IGZO 반도체층(705)을 형성한다. 에칭은 염소 가스를 이용한 드라이 에칭법으로 행한다. 이 단계에서, 반도체막(703)이 제거된 영역은, 게이트 절연막의 표면이 노정된다. 여기서 두번째의 포토마스크를 이용한다. 패터닝 시에 반도체막(703) 위에 형성한 마스크는, 산소 분위기하에서 애싱 처리로 제거한다. 이 단계에서의 기판의 단면 구조가 도 24(C)에 나타낸 기판의 단면도에 상당한다(도 24(C) 참조). 박막 트랜지스터의 제작 공정으로부터 수분을 극력 배제하기 위해, 이 후의 물을 사용한 세정은 행하지 않아도 좋다.
- [0134] 다음에, 소스 전극 또는 드레인 전극이 되는 금속 다층막의 성막을 행한다. 여기에서는, DC 마그네트론 스퍼터법을 이용하여, 티탄막 위에 알루미늄막을 적층하고, 알루미늄막 위에 티탄막을 더 적층한다. 스퍼터 채임버에 티탄의 타겟과 알루미늄의 타겟의 양쪽 모두를 설치하여, 서터를 이용하여 순차 적층하여 연속 성막함으로써 동일 채임버 내에서 연속하여 적층을 행할 수 있다.
- [0135] 다음에, 금속 다층막의 에칭을 선택적으로 행하여 소스 전극(708) 또는 드레인 전극(709)을 형성한다. 여기서 세번째의 포토마스크를 이용한다. 에칭은 드라이 에칭법으로 행한다. 이 때, 금속 다층막을 에칭할 수 있고, IGZO 반도체층(705)과 충분히 에칭 레이트가 다른 조건을 이용한다. 이것에 의해, 소스 전극(708) 및 드레인 전극(709)의 형성을 동일한 에칭 공정으로 행할 수 있다(도 24(D) 참조).
- [0136] 다음에, 외부로부터의 수소나 수분 등의 침입 또는 확산을 방지하기 위해, 박막 트랜지스터를 덮도록 제 3 절연막(710)을 형성한다. 제 3 절연막(710)의 성막은, 박막 트랜지스터에 히스테리시스나 차지 업을 일으키지 않는 조건에서 행하는 것이 바람직하다. 제 3 절연막(710)은, 산화규소막, 질화규소막, 산화질화규소막, 또는 질화

산화규소막으로 형성할 수 있다. 예를 들면, RF 스퍼터링법에 의해 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성해도 좋다. 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 이용함으로써, 박막 트랜지스터의 수소나 수분 등의 침입 또는 확산을 막을 수 있다.

[0137] 제 3 절연막(710)의 성막의 전에, IGZO 반도체층(705)과 소스 전극(708)과 드레인 전극(709)의 표면을 역스퍼터를 행하는 것에 의해 약 10 nm 정도 에칭해도 좋다. 역스퍼터를 행함으로써, 소스 전극(708) 및 드레인 전극(709)의 표면에 부착되어 있는 수소나 수분이나 하이드로 카본 등을 제거할 수 있다.

[0138] 본 실시형태에 있어서의 채널 형성 영역은, IGZO 반도체층(705)에 있어서, 게이트 전극(701)과 IGZO 반도체층(705)이 중첩되고, 소스 전극(708) 및 드레인 전극(709)으로 끼우고 있는 영역이다. 소스 전극(708) 및 드레인 전극(709)까지의 거리(L5)가 채널 길이에 상당한다(도 24(E) 참조).

[0139] IGZO 반도체층(705)의 채널 형성 영역의 상층 및 하층에, 질소 함유량이 3 원자% 이상 30 원자% 이하의 산화질화규소막을 형성하고, 채널 형성 영역을 산화질화규소막으로 끼우는 구조로 함으로써, 채널 형성 영역으로의 수소나 수분 등의 침입 또는 확산을 막을 수 있다.

[0140] 이와 같이 하여, IGZO 반도체층을 이용한 박막 트랜지스터를 제작할 수 있다.

[0141] 도 25(C) 및 도 26으로부터, 산화규소의 첨가에 의해 산화물 반도체층의 아몰퍼스화가 촉진되어, 반도체 장치 제작시의 특성 편차를 저감시키는 효과를 얻을 수 있다는 것을 알 수 있다. 또한, IGZO 반도체층 중에 포함되는 Ga에는, 아몰퍼스화를 촉진하는 효과가 있지만, Ga의 대신에 산화규소를 이용함으로써, IGZO 반도체층 중에 포함되는 고가의 Ga를 저감 또는 삭제하여, 생산성을 향상시킬 수 있다.

[0142] [실시형태 6]

[0143] 본 실시형태에서는, 반도체 장치의 일 형태인 표시 장치에 있어서, 동일 기판 위에 적어도 구동 회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 제작하는 예에 대하여 이하에 설명한다.

[0144] 화소부에 배치하는 박막 트랜지스터는, 실시형태 1 내지 실시형태 5에 따라 형성한다. 또한, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터는 n 채널형 TFT이기 때문에, 구동 회로 중, n 채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성한다.

[0145] 반도체 장치의 일 형태인 액티브 매트릭스형 액정 표시 장치의 블럭도의 일례를 도 5(A)에 나타낸다. 도 5(A)에 나타난 표시 장치는, 기판(5300) 위에 표시 소자를 구비한 화소를 복수 가지는 화소부(5301)와, 각 화소를 선택하는 주사선 구동 회로(5302)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5303)를 가진다.

[0146] 화소부(5301)는, 신호선 구동 회로(5303)로부터 열방향으로 신장하여 배치된 복수의 신호선(S1~Sm)(도시하지 않음)에 의해 신호선 구동 회로(5303)와 접속되고, 주사선 구동 회로(5302)로부터 행방향으로 신장하여 배치된 복수의 주사선(G1~Gn)(도시하지 않음)에 의해 주사선 구동 회로(5302)와 접속되고, 신호선(S1~Sm) 및 주사선(G1~Gn)에 대응하여 매트릭스 형상으로 배치된 복수의 화소(도시하지 않음)를 가진다. 그리고, 각 화소는 신호선(Sj)(신호선(S1~Sm) 중 어느 하나), 주사선(Gi)(주사선(G1~Gn) 중 어느 하나)와 접속된다.

[0147] 또한, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터는, n 채널형 TFT이며, n 채널형 TFT로 구성하는 신호선 구동 회로에 대하여 도 6을 이용하여 설명한다.

[0148] 도 6에 나타난 신호선 구동 회로는, 드라이버 IC(5601), 스위치군(5602_1~5602_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1~5621_M)을 가진다. 스위치군(5602_1~5602_M) 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 가진다.

[0149] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1~5621_M)에 접속된다. 그리고, 스위치군(5602_1~5602_M) 각각은, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 스위치군(5602_1~5602_M) 각각에 대응한 배선(5621_1~5621_M)에 접속된다. 그리고, 배선(5621_1~5621_M) 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여, 3 개의 신호선(신호선(Sm-2), 신호선(Sm-1), 신호선(Sm)(m = 3M))에 접속된다. 예를 들면, J번째의 배선(5621_J)(배선(5621_1)~배선(5621_M) 중 어느 하나)은, 스위치군(5602_J)이 가지는 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여, 신호선(Sj-2), 신호선(Sj

-1), 신호선(Sj)(j = 3J)에 접속된다.

- [0150] 또한, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613)에는, 각각 신호가 입력된다.
- [0151] 또한, 드라이버 IC(5601)는 단결정 반도체를 이용하여 형성되어 있는 것이 바람직하다. 또한, 스위치군(5602_1~5602_M)은 화소부와 동일 기판 위에 형성되어 있는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치군(5602_1~5602_M)을 다른 기판 위에 형성하고, 양자를 FPC 등을 통하여 접속하면 좋다. 또는 화소부와 동일한 기판 위에 부착 등에 의해, 단결정 반도체층을 형성하여 드라이버 IC(5601)를 형성해도 좋다.
- [0152] 다음에, 도 6에 나타난 신호선 구동 회로의 동작에 대하여, 도 7의 타이밍 차트를 참조하여 설명한다. 또한, 도 7의 타이밍 차트는, i번째행의 주사선(Gi)이 선택되어 있는 경우의 타이밍 차트를 나타내고 있다. 또한, i번째행의 주사선(Gi)의 선택 기간은, 제 1 서브 선택 기간(T1), 제 2 서브 선택 기간(T2) 및 제 3 서브 선택 기간(T3)으로 분할되어 있다. 또한, 도 6의 신호선 구동 회로는, 다른 행의 주사선이 선택되어 있는 경우에도 도 7과 같은 동작을 한다.
- [0153] 또한, 도 7의 타이밍 차트는, J번째열의 배선(5621_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여, 신호선(Sj-2), 신호선(Sj-1), 신호선(Sj)에 접속되는 경우에 대하여 나타내고 있다.
- [0154] 또한, 도 7의 타이밍 차트는, i번째행의 주사선(Gi)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온·오프의 타이밍(5703a), 제 2 박막 트랜지스터(5603b)의 온·오프의 타이밍(5703b), 제 3 박막 트랜지스터(5603c)의 온·오프의 타이밍(5703c) 및 J번째열의 배선(5621_J)에 입력되는 신호(5721_J)를 나타낸다.
- [0155] 또한, 배선(5621_1)~배선(5621_M)에는 제 1 서브 선택 기간(T1), 제 2 서브 선택 기간(T2) 및 제 3 서브 선택 기간(T3)에서, 각각 다른 비디오 신호가 입력된다. 예를 들면, 제 1 서브 선택 기간(T1)에서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj-2)에 입력되고, 제 2 서브 선택 기간(T2)에서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj-1)에 입력되고, 제 3 서브 선택 기간(T3)에서 배선(5621_J)에 입력되는 비디오 신호는 신호선(Sj)에 입력된다. 또한, 제 1 서브 선택 기간(T1), 제 2 서브 선택 기간(T2) 및 제 3 서브 선택 기간(T3)에서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data_j-2, Data_j-1, Data_j로 한다.
- [0156] 도 7에 나타난 바와 같이, 제 1 서브 선택 기간(T1)에서 제 1 박막 트랜지스터(5603a)가 온하고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j-2가, 제 1 박막 트랜지스터(5603a)를 통하여 신호선(Sj-2)에 입력된다. 제 2 서브 선택 기간(T2)에서는, 제 2 박막 트랜지스터(5603b)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이, 제 2 박막 트랜지스터(5603b)를 통하여 신호선(Sj-1)에 입력된다. 제 3 서브 선택 기간(T3)에서는, 제 3 박막 트랜지스터(5603c)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj)에 입력된다.
- [0157] 이상으로부터, 도 6의 신호선 구동 회로는, 1 게이트 선택 기간을 3개로 분할함으로써, 1 게이트 선택 기간 중에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 6의 신호선 구동 회로는, 드라이버 IC(5601)가 형성되는 기판과, 화소부가 형성되어 있는 기판과의 접속수를 신호선의 수에 비해 약 1/3로 할 수 있다. 접속수가 약 1/3이 되는 것에 의해, 도 6의 신호선 구동 회로는 신뢰성, 수율 등을 향상할 수 있다.
- [0158] 또한, 도 6과 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하여, 복수의 서브 선택 기간 각각에 있어서, 어느 하나의 배선으로부터 복수의 신호선 각각에 비디오 신호를 입력할 수 있다면, 박막 트랜지스터의 배치나 수, 구동 방법 등은 한정되지 않는다.
- [0159] 예를 들면, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각에 비디오 신호를 입력하는 경우에는, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하면 좋다. 단, 1 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.
- [0160] 다른 예로서, 도 8의 타이밍 차트에 나타난 바와 같이, 1개의 선택 기간을 프리차지 기간(Tp), 제 1 서브 선택 기간(T1), 제 2 서브 선택 기간(T2), 제 3 선택 기간(T3)으로 분할해도 좋다. 또한, 도 8의 타이밍 차트는, i번째행의 주사선(Gi)이 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온·오프의 타이밍(5803a), 제 2 박막

트랜지스터(5603b)의 온·오프의 타이밍(5803b), 제 3 박막 트랜지스터(5603c)의 온·오프의 타이밍(5803c) 및 J번제열의 배선(5621_J)에 입력되는 신호(5821_J)를 나타내고 있다. 도 8에 나타낸 바와 같이, 프리차지 기간(T_p)에서 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 온한다. 이 때, 배선(5621_J)에 입력되는 프리차지 전압(V_p)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여 각각 신호선(S_j-2), 신호선(S_j-1), 신호선(S_j)에 입력된다. 제 1 서브 선택 기간(T_1)에서 제 1 박막 트랜지스터(5603a)가 온하고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 $Data_j-2$ 가, 제 1 박막 트랜지스터(5603a)를 통하여 신호선(S_j-2)에 입력된다. 제 2 서브 선택 기간(T_2)에서는, 제 2 박막 트랜지스터(5603b)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 $Data_j-1$ 이, 제 2 박막 트랜지스터(5603b)를 통하여 신호선(S_j-1)에 입력된다. 제 3 서브 선택 기간(T_3)에서는, 제 3 박막 트랜지스터(5603c)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프한다. 이 때, 배선(5621_J)에 입력되는 $Data_j$ 가, 제 3 박막 트랜지스터(5603c)를 통하여 신호선(S_j)에 입력된다.

[0161] 이상으로부터, 도 8의 타이밍 차트를 적용한 도 6의 신호선 구동 회로는, 서브 선택 기간 전에 프리차지 선택 기간을 형성하는 것에 의해, 신호선을 프리차지 할 수 있기 때문에, 화소에 대한 비디오 신호의 기입을 고속으로 행할 수 있다. 또한, 도 8에서, 도 7과 같은 것에 관해서는 공통의 부호를 이용하여 나타내고, 동일 부분 또는 동일한 기능을 가지는 부분의 상세한 설명은 생략한다.

[0162] 또한, 주사선 구동 회로의 구성에 대하여 설명한다. 주사선 구동 회로는, 시프트 레지스터, 버퍼를 가지고 있다. 또한, 경우에 따라서는 레벨 시프터를 가지고 있어도 좋다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되는 것에 의해, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 있어서 완충 증폭되어, 대응하는 주사선에 공급된다. 주사선에는, 1 라인분의 화소의 트랜지스터의 게이트 전극이 접속되어 있다. 그리고, 1 라인분의 화소의 트랜지스터를 일제히 ON으로 해야 하므로, 버퍼는 큰 전류를 흘릴 수 있는 것이 이용된다.

[0163] 주사선 구동 회로의 일부에 이용하는 시프트 레지스터의 일 형태에 대하여 도 9 및 도 10을 이용하여 설명한다.

[0164] 도 9에 시프트 레지스터의 회로 구성을 나타낸다. 도 9에 나타낸 시프트 레지스터는, 플립 플롭(5701_1~5701_n)이라는 복수의 플립 플롭으로 구성된다. 또한, 제 1 클럭 신호, 제 2 클럭 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.

[0165] 도 9의 시프트 레지스터의 접속 관계에 대하여 설명한다. 1번째단의 플립 플롭(5701_1)은 제 1 배선(5711), 제 2 배선(5712), 제 4 배선(5714), 제 5 배선(5715), 제 7 배선(5717_1), 및 제 7 배선(5717_2)과 접속된다. 또한, 2번째단의 플립 플롭(5701_2)은 제 3 배선(5713), 제 4 배선(5714), 제 5 배선(5715), 제 7 배선(5717_1), 제 7 배선(5717_2) 및 제 7 배선(5717_3)과 접속된다.

[0166] 마찬가지로, i번째단의 플립 플롭(5701_i)(플립 플롭(5701_1~5701_n) 중 어느 하나)은, 제 2 배선(5712) 또는 제 3 배선(5713)의 한쪽, 제 4 배선(5714), 제 5 배선(5715), 제 7 배선(5717_i-1), 제 7 배선(5717_i), 및 제 7 배선(5717_i+1)과 접속된다. 여기서, i가 홀수인 경우에는, i번째단의 플립 플롭(5701_i)은 제 2 배선(5712)과 접속되고, i가 짝수인 경우에는, i번째단의 플립 플롭(5701_i)은 제 3 배선(5713)과 접속되게 된다.

[0167] 또한, n번째단의 플립 플롭(5701_n)은, 제 2 배선(5712) 또는 제 3 배선(5713)의 한쪽, 제 4 배선(5714), 제 5 배선(5715), 제 7 배선(5717_n-1), 제 7 배선(5717_n), 및 제 6 배선(5716)과 접속된다.

[0168] 또한, 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 제 6 배선(5716)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 4 배선(5714), 제 5 배선(5715)을 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.

[0169] 다음에, 도 9에 나타낸 플립 플롭의 상세한 사항에 대하여, 도 10을 이용하여 설명한다. 도 10에 나타낸 플립 플롭은 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)를 가진다. 또한, 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)는, n 채널형 트랜지스터이며, 게이트·소스간 전압(V_{gs})이 스레시홀드 전압(V_{th})을 웃돌았을 때 도통 상태가 되는 것으로 한다.

- [0170] 또한, 도 10에 나타난 플립 플롭은, 제 1 배선(5501), 제 2 배선(5502), 제 3 배선(5503), 제 4 배선(5504), 제 5 배선(5505), 및 제 6 배선(5506)을 가진다.
- [0171] 여기에서는 모든 박막 트랜지스터는, 인헨스먼트형의 n 채널형 트랜지스터로 하는 예를 나타내지만, 특별히 한정되지 않고, 예를 들면, 디프레션형의 n 채널형 트랜지스터를 이용해도 구동 회로를 구동시킬 수도 있다.
- [0172] 다음에, 도 10에 나타난 플립 플롭의 접속 구성에 대하여, 이하에 나타낸다.
- [0173] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제 4 배선(5504)에 접속되고, 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 또는 드레인 전극의 다른 한쪽)이 제 3 배선(5503)에 접속된다.
- [0174] 제 2 박막 트랜지스터(5572)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 2 박막 트랜지스터(5572)의 제 2 전극이 제 3 배선(5503)에 접속된다.
- [0175] 제 3 박막 트랜지스터(5573)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 3 박막 트랜지스터(5573)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 3 박막 트랜지스터(5573)의 게이트 전극이 제 5 배선(5505)에 접속된다.
- [0176] 제 4 박막 트랜지스터(5574)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 4 박막 트랜지스터(5574)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 4 박막 트랜지스터(5574)의 게이트 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.
- [0177] 제 5 박막 트랜지스터(5575)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 5 박막 트랜지스터(5575)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 5 박막 트랜지스터(5575)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0178] 제 6 박막 트랜지스터(5576)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 6 박막 트랜지스터(5576)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 6 박막 트랜지스터(5576)의 게이트 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.
- [0179] 제 7 박막 트랜지스터(5577)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 7 박막 트랜지스터(5577)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 7 박막 트랜지스터(5577)의 게이트 전극이 제 2 배선(5502)에 접속된다.
- [0180] 제 8 박막 트랜지스터(5578)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 8 박막 트랜지스터(5578)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 8 박막 트랜지스터(5578)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0181] 또한, 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극 및 제 7 박막 트랜지스터(5577)의 제 2 전극의 접속 개소를 노드(5543)로 한다. 또한, 제 2 박막 트랜지스터(5572)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극 및 제 8 박막 트랜지스터(5578)의 제 2 전극의 접속 개소를 노드(5544)로 한다.
- [0182] 또한, 제 1 배선(5501), 제 2 배선(5502), 제 3 배선(5503) 및 제 4 배선(5504)을, 각각 제 1 신호선, 제 2 신호, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 5 배선(5505)을 제 1 전원선, 제 6 배선(5506)을 제 2 전원선이라고 불러도 좋다.
- [0183] i번째단의 플립 플롭(5701_i)에 있어서, 도 10 중의 제 1 배선(5501)과, 도 9 중의 제 7 배선(5717_{i-1})이 접속된다. 또한, 도 10 중의 제 2 배선(5502)과, 도 9 중의 제 7 배선(5717_{i+1})이 접속된다. 또한, 도 10 중의 제 3 배선(5503)과, 제 7 배선(5717_i)이 접속된다. 또한, 도 10 중의 제 6 배선(5506)과, 제 5 배선(5715)이 접속된다.
- [0184] i가 홀수인 경우, 도 10 중의 제 4 배선(5504)은, 도 9 중의 제 2 배선(5712)과 접속되고, i가 짝수인 경우, 도 9 중의 제 3 배선(5713)과 접속된다. 또한, 도 10 중의 제 5 배선(5505)과, 도 9 중의 제 4 배선(5714)이 접속된다.
- [0185] 단, 1번째단의 플립 플롭(5701₁)에 있어서, 도 10 중의 제 1 배선(5501)은 도 9 중의 제 1 배선(5711)에 접속

된다. 또한, n 번째단의 플립 플롭(5701_n)에 있어서, 도 10 중의 제 2 배선(5502)은 도 9 중의 제 6 배선(5716)에 접속된다.

[0186] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 5에 나타난 n 채널형 TFT만으로 제작하는 것도 가능하다. 실시형태 1 내지 실시형태 5에 나타난 n 채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동 회로의 구동 주파수를 높게 하는 것이 가능하게 된다. 즉, 실시형태 1 내지 실시형태 5에 나타난 n 채널형 TFT에 산화물 반도체층을 이용함으로써, 주파수 특성(f 특성이라고 불림)을 높게 할 수 있다. 예를 들면, 실시형태 1 내지 실시형태 5에 나타난 n 채널형 TFT를 이용한 주사선 구동 회로는 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높게 함으로써, 검은색 화면 삽입을 실현할 수 있다.

[0187] 또한, 주사선 구동 회로의 트랜지스터의 채널폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의해, 더욱 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로를 배치하는 경우에는, 예를 들면, 짝수행의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수행의 주사선을 구동하기 위한 주사선 구동 회로를 그 반대측에 배치함으로써, 프레임 주파수를 높게 하는 것을 실현할 수 있다. 또한, 복수의 주사선 구동 회로에 의해, 같은 주사선에 신호를 출력하면, 표시 장치의 대형화에 유리하다.

[0188] 또한, 반도체 장치의 일 형태인 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하나의 화소에 복수의 박막 트랜지스터를 배치하기 때문에, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시 장치의 블록도의 일례를 도 5(B)에 나타낸다.

[0189] 도 5(B)에 나타난 발광 표시 장치는, 기관(5400) 위에 표시 소자를 구비한 화소를 복수 가지는 화소부(5401)와, 각 화소를 선택하는 제 1 주사선 구동 회로(5402) 및 제 2 주사선 구동 회로(5404)와, 선택된 화소에 대한 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 가진다.

[0190] 도 5(B)에 나타난 발광 표시 장치의 화소에 입력되는 비디오 신호를 디지털 형식으로 하는 경우, 화소는 트랜지스터의 온과 오프의 전환에 의해, 발광 혹은 비발광 상태가 된다. 따라서, 면적 계조법 또는 시간 계조법을 이용하여 계조의 표시를 행할 수 있다. 면적 계조법은, 1 화소를 복수의 부화소로 분할하고, 각 부화소를 독립적으로 비디오 신호에 기초하여 구동시킴으로써, 계조 표시를 행하는 구동법이다. 또한, 시간 계조법은, 화소가 발광하는 기간을 제어하는 것에 의해, 계조 표시를 행하는 구동법이다.

[0191] 발광 소자는, 액정 소자 등에 비해 응답 속도가 높기 때문에, 액정 소자보다 시간 계조법에 적합하다. 구체적으로 시간 계조법으로 표시를 행하는 경우, 1 프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고 비디오 신호에 따라, 각 서브 프레임 기간에 있어서 화소의 발광 소자를 발광 또는 비발광 상태로 한다. 복수의 서브 프레임 기간으로 분할하는 것에 의해, 1 프레임 기간 중에 화소가 실제로 발광하는 기간의 토탈 길이를 비디오 신호에 의해 제어할 수 있고, 계조를 표시할 수 있다.

[0192] 또한, 도 5(B)에 나타난 발광 표시 장치에서는, 하나의 화소에 2개의 스위칭용 TFT를 배치하는 경우, 한쪽의 스위칭용 TFT의 게이트 배선인 제 1 주사선에 입력되는 신호를 제 1 주사선 구동 회로(5402)에서 생성하고, 다른 한쪽의 스위칭용 TFT의 게이트 배선인 제 2 주사선에 입력되는 신호를 제 2 주사선 구동 회로(5404)에서 생성하고 있는 예를 나타내고 있지만, 제 1 주사선에 입력되는 신호와, 제 2 주사선에 입력되는 신호를 모두 하나의 주사선 구동 회로로 생성하도록 해도 좋다. 또한, 예를 들면, 하나의 화소가 가지는 스위칭용 TFT의 수에 의해, 스위칭 소자의 동작을 제어하는데 이용되는 주사선이 각 화소에 복수 형성되는 경우도 있을 수 있다. 이 경우, 복수의 주사선에 입력되는 신호를 모두 1개의 주사선 구동 회로로 생성해도 좋고, 복수의 각 주사선 구동 회로로 생성해도 좋다.

[0193] 또한, 발광 표시 장치에 있어서도, 구동 회로 중, n 채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기관 위에 형성할 수 있다. 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 5에 나타난 n 채널형 TFT만으로 제작하는 것도 가능하다.

[0194] 또한, 상술한 구동 회로는, 액정 표시 장치나 발광 표시 장치에 한정하지 않고, 스위칭 소자와 전기적으로 접속하는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 이용해도 좋다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 동일한 정도로 읽기 쉽고, 다른 표시 장치에 비해 저소비 전력이며, 얇고 가벼운 형상으로 하는 것이 가능하다는 이점을 가지고 있다.

[0195] [실시형태 7]

- [0196] 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터를 제작하여, 이 박막 트랜지스터를 화소부, 또한, 구동 회로에 이용하여 표시 기능을 가지는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터를 구동 회로의 일부 또는 전체를 화소부와 같은 기관 위에 일체 형성하여, 시스템 온 패넬을 형성할 수 있다.
- [0197] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 이용할 수 있다.
- [0198] 또한, 표시 장치는, 표시 소자가 봉지된 상태에 있는 패넬과, 이 패넬에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 이 표시 장치를 제작하는 과정에서, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기관에 관하여, 이 소자 기관은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기관은 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전막을 성막한 후로서, 에칭하여 화소 전극을 형성하기 전의 상태이어도 좋고, 모든 형태가 적합하다.
- [0199] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들면, FPC(Flexible Printed Circuit) 혹은 TAB(Tape Automated Bonding) 테이프 혹은 TCP(Tape Carrier Package)가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0200] 본 실시형태에서는, 반도체 장치의 일 형태에 상당하는 액정 표시 패넬 외관 및 단면에 대하여, 도 11을 이용하여 설명한다. 도 11(A1), 도 11(A2)은 제 1 기관(4001) 위에 형성된 실시형태 1 내지 실시형태 5에 나타난 산화물 반도체층을 이용하는 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를 제 2 기관(4006)과의 사이에 시일재(4005)에 의해 봉지한 패넬의 상면도이며, 도 11(B)은 도 11(A1), 도 11(A2)의 M-N에서의 단면도에 상당한다.
- [0201] 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 제공되어 있다. 또한, 화소부(4002)와 주사선 구동 회로(4004)의 위에 제 2 기관(4006)이 설치되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)는 제 1 기관(4001)과 시일재(4005)와 제 2 기관(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다. 또한, 제 1 기관(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다.
- [0202] 또한, 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것은 아니고, COG 방법, 와이어 본딩 방법, 혹은 TAB 방법 등을 이용할 수 있다. 도 11(A1)은 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 11(A2)은 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0203] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 가지고 있고, 도 11(B)에서는, 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시하고 있다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020, 4021)이 형성되어 있다.
- [0204] 박막 트랜지스터(4010, 4011)는, 산화물 반도체층을 이용하는 신뢰성이 높은 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는 n 채널형 박막 트랜지스터이다.
- [0205] 또한, 액정 소자(4013)가 가지는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속되어 있다. 그리고 액정 소자(4013)의 대향 전극층(4031)은 제 2 기관(4006) 위에 형성되어 있다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 중첩되어 있는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 통하여 액정층(4008)을 협지하고 있다.
- [0206] 또한, 제 1 기관(4001), 제 2 기관(4006)으로서는, 유리, 금속(대표적으로는 스테인리스 스틸), 세라믹, 플라스틱을 이용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판,

PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 이용할 수도 있다.

[0207] 또한, 부호 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 주상(柱狀)의 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031)과의 사이의 거리(셀 갭)를 제어하기 위해서 설치되어 있다. 또한, 구상(球狀)의 스페이서를 이용하여도 좋다. 또한, 대향 전극층(4031)은, 박막 트랜지스터(4010)와 동일 기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한쌍의 기판간에 배치되는 도전성 입자를 통하여 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 또한, 도전성 입자는 시일재(4005)에 함유시킨다.

[0208] 또한, 배향막을 이용하지 않는 블루상(blue phase)을 나타내는 액정을 이용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭(cholesteric) 액정을 승온해 나가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위해서 5 중량% 이상의 카이랄제를 혼합시킨 액정 조성물을 액정층(4008)에 이용한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 응답 속도가 10 μ s 내지 100 μ s로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.

[0209] 또한, 본 실시형태는 투과형 액정 표시 장치의 예이지만, 본 발명은 반사형 액정 표시 장치에도 반투과형액정 표시 장치에도 이용할 수 있다.

[0210] 또한, 본 실시형태의 액정 표시 장치에서는, 기판의 외측(시인측)에 편광판을 설치하고, 내측에 착색층, 표시 소자에 이용하는 전극층과 같은 순으로 형성하는 예를 나타내지만, 편광판은 기판의 내측에 설치해도 좋다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 따라 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성해도 좋다.

[0211] 또한, 본 실시형태에서는, 박막 트랜지스터의 표면 요철의 저감, 및 박막 트랜지스터의 신뢰성의 향상을 위하여, 실시형태 1 내지 실시형태 5에 의해 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(절연층(4020), 절연층(4021))으로 덮는 구성으로 되어 있다. 또한, 보호막은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다. 보호막은 스퍼터법을 이용하여, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막의 단층, 또는 적층으로 형성하면 좋다. 본 실시형태에서는 보호막을 스퍼터법으로 형성하는 예를 나타내지만, 특별히 한정되지 않고 다양한 방법으로 형성하면 좋다.

[0212] 여기에서는, 보호막으로서 적층 구조의 절연층(4020)을 형성한다. 여기에서는, 절연층(4020)의 1번째층으로서 스퍼터법을 이용하여 산화실리콘막을 형성한다. 보호막으로서 산화실리콘막을 이용하면, 소스 전극층 및 드레인 전극층으로서 이용하는 알루미늄막의 힐록 방지에 효과가 있다.

[0213] 또한, 보호막의 2번째층으로서 절연층을 형성한다. 여기에서는, 절연층(4020)의 2번째층으로서 스퍼터법을 이용하여 질화실리콘막을 형성한다. 보호막으로서 질화실리콘막을 이용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여, TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.

[0214] 또한, 보호막을 형성한 후에, 산화물 반도체층의 어닐(300℃ 내지 400℃)을 행하여도 좋다.

[0215] 또한, 평탄화 절연막으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass: 인 유리), BPSG(borophosphosilicate glass: 인 붕소 유리) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(4021)을 형성해도 좋다.

[0216] 또한 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면, 알킬기나 아릴기)나 플루오르기를 이용해도 좋다. 또한, 유기기는 플루오르기를 가지고 있어도 좋다.

[0217] 절연층(4021)의 형성법은, 특별히 한정되지 않고, 그 재료에 따라, 스퍼터법, SOG법, 스핀 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤코터, 커튼 코터, 나이프 코터 등을 이용할 수 있다. 절연층(4021)을 재료액을 이용하여 형성하는 경우, 베이킹하는 공정과 동시에, 산화물 반

도체층의 어닐(300℃ 내지 400℃)을 행하여도 좋다. 절연층(4021)의 소성 공정과 산화물 반도체층의 어닐을 겸함으로써 효율적으로 반도체 장치를 제작하는 것이 가능하게 된다.

- [0218] 화소 전극층(4030), 대향 전극층(4031)은, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.
- [0219] 또한, 화소 전극층(4030), 대향 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 조성물을 이용하여 형성한 화소 전극은, 시트 저항이 10000 Ω/□ 이하, 파장 550 nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 폴리머의 저항율이 0.1 Ω·cm 이하인 것이 바람직하다.
- [0220] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0221] 또한, 별도 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0222] 본 실시형태에서는, 접속 단자 전극(4015)이, 액정 소자(4013)가 가지는 화소 전극층(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.
- [0223] 접속 단자 전극(4015)은, FPC(4018)가 가지는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속되어 있다.
- [0224] 또한, 도 11에 있어서는, 신호선 구동 회로(4003)를 별도 형성하고, 제 1 기관(4001)에 실장하고 있는 예를 나타내고 있지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.
- [0225] 도 12는, 실시형태 1 내지 실시형태 5에 나타낸 TFT를 적용하여 제작되는 TFT 기관(2600)을 이용하여 반도체 장치로서 액정 표시 모듈을 구성하는 일례를 나타내고 있다.
- [0226] 도 12는 액정 표시 모듈의 일례이며, TFT 기관(2600)과 대향 기관(2601)이 시일재(2602)에 의해 고착되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성하고 있다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적, 녹, 청의 각 색에 대응한 착색층이 각 화소에 대응하여 형성되어 있다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의해 구성되고, 회로 기관(2612)은 플렉서블 배선 기관(2609)에 의해 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로가 짜넣어져 있다. 또한, 편광판과 액정층과의 사이에 위상차판을 가진 상태로 적층해도 좋다.
- [0227] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.
- [0228] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.
- [0229] 또한, 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타낸 구성을 적절히 조합하여 이용할 수 있는 것으로 한다.
- [0230] [실시형태 8]
- [0231] 본 실시형태에서는, 실시형태 1 내지 실시형태 5에 나타낸 박막 트랜지스터를 적용한 반도체 장치의 일 형태로서, 전자 패키지의 예를 나타낸다.

- [0232] 도 13은, 반도체 장치의 예로서, 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)로서는, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터를 적용할 수 있다.
- [0233] 도 13의 전자 페이퍼는, 트위스트 볼 표시 방식을 이용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 흰색과 검은색으로 나누어 도포된 구형 입자를 표시 소자에 이용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 일으켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0234] 기관(596) 위에 형성된 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터이며, 소스 전극층 또는 드레인 전극층에 의해 제 1 전극층(587)과 절연층(585)에 형성하는 개구에서 접하고 있고, 전기적으로 접속하고 있다. 제 1 전극층(587)과 기관(597) 위에 형성된 제 2 전극층(588)의 사이에는, 검은색 영역(590a) 및 흰색 영역(590b)을 가지고, 그 주위에 액체로 채워져 있는 캐비티(594)를 가지는 구형 입자(589)가 형성되어 있고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다(도 13 참조). 본 실시형태에 있어서는, 제 1 전극층(587)이 화소 전극에 상당하고, 제 2 전극층(588)이 공통 전극에 상당한다. 제 2 전극층(588)은, 박막 트랜지스터(581)와 동일 기관 위에 설치되는 공통 전위선과 전기적으로 접속된다. 실시형태 1 내지 실시형태 5에 나타난 어느 하나의 공통 접속부를 이용하여, 한쌍의 기관간에 배치되는 도전성 입자를 통하여 제 2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.
- [0235] 또한, 트위스트 볼 대신에, 전기 영동 소자를 이용하는 것도 가능하다. 투명한 액체와 정(正)으로 대전한 흰 미립자와 부(負)로 대전한 검은 미립자를 봉입한 직경 10 μm 내지 200 μm 정도의 마이크로 캡슐을 이용한다. 제 1 전극층과 제 2 전극층과의 사이에 설치되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층에 의해, 전장이 부여되면, 흰 미립자와 검은 미립자가 역의 방향으로 이동하고, 흰색 또는 검은색을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이며, 일반적으로 전자 페이퍼라고 불린다. 전기 영동 표시 소자는, 액정 표시 소자에 비해 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한, 소비 전력이 작고, 어두컴컴한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 상을 보유하는 것이 가능하기 때문에, 전파 발신원으로부터 표시 기능이 있는 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 함)를 멀리한 경우에도, 표시된 상을 보존해 두는 것이 가능하게 된다.
- [0236] 전기 영동 표시 소자는, 유전 정수가 높은 물질이 높은 전계 영역으로 이동하는 소위 유전 영동적 효과를 이용한 표시 소자이다. 전기 영동 표시 소자는, 액정 표시 장치에는 필요한 편광판이 필요하지 않으며, 액정 표시 장치에 비해 두께나 무게를 줄일 수 있다.
- [0237] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것으로, 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 가지는 입자를 이용하는 것에 의해 컬러 표시도 가능하다.
- [0238] 또한, 액티브 매트릭스 기관 위에, 적절히 2개의 전극의 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면 액티브 매트릭스형의 표시 장치가 완성되고, 마이크로 캡슐에 전계를 인가하면 표시를 행할 수 있다. 예를 들면, 실시형태 1 내지 실시형태 5의 박막 트랜지스터에 의해 얻어지는 액티브 매트릭스 기관을 이용할 수 있다.
- [0239] 또한, 마이크로 캡슐 중의 미립자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네센트 재료, 일렉트로 크로믹 재료, 자기 영동 재료로부터 선택된 일종의 재료, 또는 이들의 복합 재료를 이용하면 좋다.
- [0240] 또한, 본 실시형태에 나타난 구성은, 다른 실시형태에 나타난 구성을 적절히 조합하여 이용할 수 있는 것으로 한다.
- [0241] [실시형태 9]
- [0242] 본 실시형태에서는, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터를 적용한 반도체 장치의 일 형태로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 가지는 표시 소자로서는, 여기에서는 일렉트로 루미네스스를 이용하는 발광 소자를 이용하여 나타낸다. 일렉트로 루미네스스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불리

고 있다.

- [0243] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 복귀할 때에 발광한다. 이러한 메카니즘으로부터, 이와 같은 발광 소자는, 전류 여기형의 발광 소자라고 불린다.
- [0244] 무기 EL 소자는, 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이고, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼우고, 또한, 그것을 전극으로 끼운 구조이며, 발광 메카니즘은 금속 이온 내각 전자 천이를 이용하는 국제형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다.
- [0245] 도 14는, 본 발명을 적용한 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 나타낸 도면이다.
- [0246] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대하여 설명한다. 여기에서는, 실시형태 1 내지 실시형태 5에 나타낸, 산화물 반도체층을 채널 형성 영역에 이용하는 n 채널형의 트랜지스터를, 1개의 화소에 2개 이용하는 예를 나타낸다.
- [0247] 화소(6400)는, 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 가지고 있다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 한쪽)이 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 구동용 트랜지스터(6402)는, 게이트가 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은, 동일 기관 위에 형성되는 공통 전위선과 전기적으로 접속된다.
- [0248] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정되어 있다. 또한, 저전원 전위란, 전원선(6407)으로 설정되는 고전원 전위를 기준으로 하여 저전원 전위 < 고전원 전위를 만족하는 전위이며, 저전원 전위로서는 예를 들면, GND, 0 V 등이 설정되어 있어도 좋다. 이 고전원 전위와 저전원 전위와의 전위차를 발광 소자(6404)에 인가하고, 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 때문에, 고전원 전위와 저전원 전위와의 전위차가 발광 소자(6404)의 순방향 스레시홀드 전압 이상이 되도록 각각의 전위를 설정한다.
- [0249] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용하여 생략하는 것도 가능하다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 영역과 게이트 전극과의 사이에 용량이 형성되어 있어도 좋다.
- [0250] 여기서, 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 충분히 온하는지, 오프하는지의 2가지 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작시키기 때문에, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는, (전원선 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가한다.
- [0251] 또한, 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 다르게 함으로써, 도 14와 같은 화소 구성을 이용할 수 있다.
- [0252] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의 V_{th} 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압이란, 소망의 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 스레시홀드 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 때문에, 전원선(6407)의 전위는, 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.
- [0253] 또한, 도 14에 나타낸 화소 구성은, 이것에 한정되지 않는다. 예를 들면, 도 14에 나타낸 화소에 새로 스위치,

저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가해도 좋다.

- [0254] 다음에, 발광 소자의 구성에 대하여, 도 15를 이용하여 설명한다. 여기에서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 15(A), 도 15(B), 도 15(C)의 반도체 장치에 이용되는 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터와 마찬가지로 제작할 수 있고, In-Ga-Zn-O계 비단결정막을 대표로 하는 산화물 반도체층을 이용하는 신뢰성이 높은 박막 트랜지스터이다.
- [0255] 발광 소자는 발광을 취출하기 위해 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 그리고, 기관 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대측의 면으로부터 발광을 취출하는 상면 사출이나, 기관측의 면으로부터 발광을 취출하는 하면 사출이나, 기관측 및 기관과는 반대측의 면으로부터 발광을 취출하는 양면 사출 구조의 발광 소자가 있고, 본 발명의 화소 구성은 어느 사출 구조의 발광 소자에도 적용할 수 있다.
- [0256] 상면 사출 구조의 발광 소자에 대하여 도 15(A)를 이용하여 설명한다.
- [0257] 도 15(A)에, 구동용 TFT인 TFT(7001)가 n형이고, 발광 소자(7002)로부터 발광되는 광이 양극(7005)측으로 빠지는 경우의 화소의 단면도를 나타낸다. 도 15(A)에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되어 있고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층되어 있다. 음극(7003)은 일 함수가 작고, 또한, 광을 반사하는 도전막이라면 다양한 재료를 이용할 수 있다. 예를 들면, Ca, Al, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 것이어도 좋다. 복수의 층으로 구성되어 있는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순으로 적층한다. 또한 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 가지는 도전성 재료를 이용하여 형성하고, 예를 들면, 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 도전막을 이용해도 좋다.
- [0258] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼우고 있는 영역이 발광 소자(7002)에 상당한다. 도 15(A)에 나타난 화소의 경우, 발광 소자(7002)로부터 발광되는 광은, 화살표로 나타내는 바와 같이 양극(7005)측으로 사출한다.
- [0259] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 15(B)를 이용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 발광되는 광이 음극(7013)측으로 사출하는 경우의 화소의 단면도를 나타낸다. 도 15(B)에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 가지는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 성막되어 있고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순차로 적층되어 있다. 또한, 양극(7015)이 투광성을 가지는 경우, 양극 위를 덮도록, 광을 반사 또는 차폐하기 위한 차폐막(7016)이 성막되어 있어도 좋다. 음극(7013)은, 도 15(A)의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 이용할 수 있다. 단, 그 막 두께는, 광을 투과하는 정도(바람직하게는, 5 nm 내지 30 nm 정도)로 한다. 예를 들면, 20 nm의 막 두께를 가지는 알루미늄막을 음극(7013)으로서 이용할 수 있다. 그리고 발광층(7014)은, 도 15(A)와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도, 어느 쪽이어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 15(A)와 마찬가지로, 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들면, 광을 반사하는 금속 등을 이용할 수 있지만, 금속막으로 한정되지 않는다. 예를 들면, 검은 색의 안료를 첨가한 수지 등을 이용할 수도 있다.
- [0260] 음극(7013) 및 양극(7015)으로 발광층(7014)을 끼우고 있는 영역이 발광 소자(7012)에 상당한다. 도 15(B)에 나타난 화소의 경우, 발광 소자(7012)로부터 발광되는 광은, 화살표로 나타내는 바와 같이 음극(7013)측으로 사출한다.
- [0261] 다음에, 양면 사출 구조의 발광 소자에 대하여, 도 15(C)를 이용하여 설명한다. 도 15(C)에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 가지는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 성막되어 있고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층되어 있다. 음극(7023)은, 도 15(A)의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 이용할 수 있다. 단, 그 막 두께는 광을 투과하는 정도로 한다. 예를 들면, 20 nm의 막 두께를 가지는 Al을 음극(7023)으로서 이용할 수 있다. 그리고 발광층(7024)은 도 15(A)와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도, 어느 쪽이어도 좋다. 양극(7025)은, 도 15(A)와 마찬가지로, 광을 투과하는 투광성을 가지는 도전성 재료를 이

용하여 형성할 수 있다.

- [0262] 음극(7023)과 발광층(7024)과 양극(7025)이 중첩되어 있는 부분이 발광 소자(7022)에 상당한다. 도 15(C)에 나타난 화소의 경우, 발광 소자(7022)로부터 발광되는 광은 화살표로 나타난 바와 같이 양극(7025)측과 음극(7023)측의 양쪽 모두로 사출한다.
- [0263] 또한, 여기에서는, 발광 소자로서 유기 EL 소자에 대하여 설명했지만, 발광 소자로서 무기 EL 소자를 형성하는 것도 가능하다.
- [0264] 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되어 있는 예를 나타냈지만, 구동용 TFT와 발광 소자와의 사이에 전류 제어용 TFT가 접속되어 있는 구성이어도 좋다.
- [0265] 또한 본 실시형태에 나타난 반도체 장치는, 도 15에 나타난 구성에 한정되는 것은 아니고, 본 발명의 기술적 사상에 기초한 각종 변형이 가능하다.
- [0266] 다음에, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터를 적용한 반도체 장치의 일 형태에 상당하는 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대하여, 도 16을 이용하여 설명한다. 도 16(A)은 제 1 기판 위에 형성된 박막 트랜지스터 및 발광 소자를 제 2 기판과의 사이에 시일재에 의해 봉지한 패널의 상면도이며, 도 16(B)은 도 16(A)의 H-I의 단면도에 상당한다.
- [0267] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 하여, 시일재(4505)가 제공되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 설치되어 있다. 따라서 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 제 1 기판(4501)과 시일재(4505)와 제 2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0268] 또한, 제 1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 박막 트랜지스터를 복수 가지고 있고, 도 16(B)에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.
- [0269] 박막 트랜지스터(4509, 4510)는, In-Ga-Zn-O계 비단결정막을 대표로 하는 산화물 반도체층을 이용하는 신뢰성이 높고, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는 n 채널형 박막 트랜지스터이다.
- [0270] 또한, 부호 4511은 발광 소자에 상당하고, 발광 소자(4511)가 가지는 화소 전극인 제 1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구성은, 제 1 전극층(4517), 전계 발광층(4512), 제 2 전극층(4513)의 적층 구조이지만, 본 실시형태에 나타난 구성에 한정되지 않는다. 발광 소자(4511)로부터 취출되는 광의 방향 등에 맞추어, 발광 소자(4511)의 구성은 적절히 바꿀 수 있다.
- [0271] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성한다. 특히, 감광성의 재료를 이용하여, 제 1 전극층(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0272] 전계 발광층(4512)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이어도 좋다.
- [0273] 발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막을 형성해도 좋다. 보호막으로서는, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.
- [0274] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 부여되는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.
- [0275] 본 실시형태에서는, 접속 단자 전극(4515)이, 발광 소자(4511)가 가지는 제 1 전극층(4517)과 같은 도전막으로 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509, 4510)가 가지는 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성된다.

- [0276] 접속 단자 전극(4515)은 FPC(4518a)가 가지는 단자와, 이방성 도전막(4519)을 통하여 전기적으로 접속되어 있다.
- [0277] 발광 소자(4511)로부터의 광의 취출 방향에 위치하는 기관인 제 2 기관은 투광성이어야 한다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 가지는 재료를 이용한다.
- [0278] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성의 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌비닐아세테이트)를 이용할 수 있다. 본 실시형태는 충전재로서 질소를 이용한다.
- [0279] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 설치해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 비침을 저감할 수 있는 안티글레어(anti-glare) 처리를 실시할 수 있다.
- [0280] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막에 의해 형성된 구동 회로에 실장되어 있어도 좋다. 또한, 신호선 구동 회로만, 혹은 일부, 또는 주사선 구동 회로만, 혹은 일부만을 별도 형성하여 실장해도 좋고, 본 실시형태는 도 16의 구성에 한정되지 않는다.
- [0281] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0282] 또한, 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타낸 구성을 적절히 조합하여 이용할 수 있는 것으로 한다.
- [0283] [실시형태 10]
- [0284] 실시형태 1 내지 실시형태 5에 나타낸 박막 트랜지스터를 적용한 반도체 장치는 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이면 모든 분야의 전자기기에 이용하는 것이 가능하다. 예를 들면, 전자 페이퍼를 이용하여, 전자 서적(전자 북), 포스터, 전철 등의 탈 것의 차내 광고, 신용카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자기기의 일례를 도 17, 도 18에 나타낸다.
- [0285] 도 17(A)은, 전자 페이퍼로 만들어진 포스터(2631)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람의 손에 의해 행해지지만, 전자 페이퍼를 이용하면 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 깨지지 않고 안정된 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다.
- [0286] 또한, 도 17(B)은, 전철 등의 탈 것의 차내 광고(2632)를 나타내고 있다. 광고 매체가 종이의 인쇄물인 경우에는, 광고의 교환은 사람의 손에 의해 행해지지만, 전자 페이퍼를 이용하면 사람의 손을 많이 거치지 않고 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 깨지지 않고 안정된 화상을 얻을 수 있다. 또한, 차내 광고는 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다.
- [0287] 또한, 도 18은, 전자 서적(2700)의 일례를 나타내고 있다. 예를 들면, 전자 서적(2700)은, 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성되어 있다. 케이스(2701) 및 케이스(2703)는, 측부(2711)에 의해 일체로 되어 있고, 이 측부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 종이의 서적과 같은 동작을 행하는 것이 가능하게 된다.
- [0288] 케이스(2701)에는 표시부(2705)가 짜넣어지고, 케이스(2703)에는 표시부(2707)가 짜넣어져 있다. 표시부(2705) 및 표시부(2707)는, 이어지는 화면을 표시하는 구성으로 해도 좋고, 다른 화면을 표시하는 구성으로 해도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면, 우측의 표시부(도 18에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 18에서는 표시부(2707))에 화상을 표시할 수 있다.
- [0289] 또한, 도 18에서는, 케이스(2701)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 케이스(2701)에 있어서, 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 보낼 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비한 구성으로 해도 좋다. 또한, 케이스의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비한 구성으로 해도 좋다. 또한, 전자 서적

(2700)은, 전자 사전으로서의 기능을 갖게 한 구성으로 해도 좋다.

[0290] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.

[0291] 또한, 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타낸 구성을 적절히 조합하여 이용할 수 있는 것으로 한다.

[0292] [실시형태 11]

[0293] 실시형태 1 내지 실시형태 5에 나타낸 박막 트랜지스터를 이용한 반도체 장치는, 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.

[0294] 도 19(A)는, 텔레비전 장치(9600)의 일례를 나타내고 있다. 텔레비전 장치(9600)는, 케이스(9601)에 표시부(9603)가 짜넣어져 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의해 케이스(9601)를 지지한 구성을 나타내고 있다.

[0295] 텔레비전 장치(9600)의 조작은, 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모콘 조작기(9610)에 의해 행할 수 있다. 리모콘 조작기(9610)가 구비하는 조작 키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9610)에, 이 리모콘 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 해도 좋다.

[0296] 또한, 텔레비전 장치(9600)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있고, 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 행하는 것도 가능하다.

[0297] 도 19(B)는, 디지털 포토 프레임(9700)의 일례를 나타내고 있다. 예를 들면, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 짜넣어져 있다. 표시부(9703)는, 각종 화상을 표시하는 것이 가능하고, 예를 들면, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 통상의 사진 장치와 마찬가지로 기능시킬 수 있다.

[0298] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이러한 구성은, 표시부와 동일면에 짜넣어져 있어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들면, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 받고, 받은 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

[0299] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 소망의 화상 데이터를 받아, 표시시키는 구성으로 할 수도 있다.

[0300] 도 20(A)는 휴대형 유기기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되어 있고, 연결부(9893)에 의해, 개폐 가능하게 연결되어 있다. 케이스(9881)에는 표시부(9882)가 짜넣어지고, 케이스(9891)에는 표시부(9883)가 짜넣어져 있다. 또한, 도 20(A)에 나타낸 휴대형 유기기는, 그 외, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889)) 등을 구비하고 있다. 물론, 휴대형 유기기의 구성은 상술한 것에 한정되지 않고, 적어도 본 발명에 관한 반도체 장치를 구비한 구성이면 좋고, 그 외 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 20(A)에 나타낸 휴대형 유기기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 읽어내어 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 가진다. 또한, 도 20(A)에 나타낸 휴대형 유기기가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

- [0301] 도 20(B)은 대형 유기기인 슬롯 머신(9900)의 일례를 나타내고 있다. 슬롯 머신(9900)은, 케이스(9901)에 표시부(9903)가 짜넣어져 있다. 또한, 슬롯 머신(9900)은, 그 외, 스타트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비하고 있다. 물론, 슬롯 머신(9900)의 구성은 상술한 것에 한정되지 않고, 적어도 본 발명의 일 형태를 구비한 구성이면 좋고, 그 외 부속 설비가 적절히 설치된 구성으로 할 수 있다.
- [0302] 도 21(A)은, 휴대전화기(1000)의 일례를 나타내고 있다. 휴대전화기(1000)는, 케이스(1001)에 짜넣어진 표시부(1002) 외, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비하고 있다.
- [0303] 도 21(A)에 나타난 휴대전화기(1000)는, 표시부(1002)를 손가락 등으로 터치함으로써, 정보를 입력할 수 있다. 또한, 전화를 걸거나, 혹은 메시지를 입력하는 등의 조작은, 표시부(1002)를 손가락 등으로 터치함으로써 행할 수 있다.
- [0304] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1은, 화상의 표시를 주로 하는 표시 모드이며, 제 2는, 문자 등의 정보의 입력을 주로 하는 입력 모드이다. 제 3은 표시 모드와 입력 모드의 2개의 모드가 혼합된 모드이다.
- [0305] 예를 들면, 전화를 걸거나, 혹은 메시지를 작성하는 경우에는, 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 하여, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.
- [0306] 또한, 휴대전화기(1000) 내부에, 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서를 가지는 검출 장치를 형성함으로써, 휴대전화기(1000)의 방향(세로인가 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환하도록 할 수 있다.
- [0307] 또한, 화면 모드의 전환은, 표시부(1002)를 터치하는 것, 또는 케이스(1001)의 조작 버튼(1003)의 조작에 의해 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들면, 표시부에 표시하는 화상 신호가 동영상의 데이터인 경우에는 표시 모드, 텍스트 데이터인 경우에는 입력 모드로 전환한다.
- [0308] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서로 검출되는 신호를 검지하여, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드에서 표시 모드로 전환하도록 제어해도 좋다.
- [0309] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들면, 표시부(1002)에 손바닥이나 손가락을 댄으로써, 손바닥 지문, 지문 등을 촬상하여, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 근적외광을 발광하는 센싱용 광원을 이용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.
- [0310] 도 21(B)도 휴대전화기의 일례이다. 도 21(B)의 휴대전화기는 케이스(9411)에, 표시부(9412), 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와, 케이스(9401)에 조작 버튼(9402), 외부 입력 단자(9403), 마이크(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 가지고 있고, 표시 기능을 가지는 표시 장치(9410)는 전화 기능을 가지는 통신 장치(9400)와 화살표의 2 방향으로 탈착 가능하다. 따라서, 표시 장치(9410)와 통신 장치(9400)의 단축(短軸)들을 부착할 수도, 표시 장치(9410)와 통신 장치(9400)의 장축(長軸)들을 부착할 수도 있다. 또한, 표시 기능만을 필요로 하는 경우, 통신 장치(9400)로부터 표시 장치(9410)를 떼어내어, 표시 장치(9410)를 단독으로 이용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 무선 통신 또는 유선 통신에 의해 화상 또는 입력 정보를 수수(授受)할 수 있고, 각각 충전 가능한 배터리를 가진다.
- [0311] 또한, 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타난 구성을 적절히 조합하여 이용할 수 있는 것으로 한다.
- [0312] [실시형태 12]
- [0313] 본 실시형태에서는, 실시형태 1 내지 실시형태 5에 나타난 박막 트랜지스터를 적용한 반도체 장치의 일 형태로 전자 서적의 예를 나타낸다. 본 실시형태에서는, 도 22(A), 도 22(B) 및 도 23을 이용하여, 제 1 표시 패널(4311)과 제 2 표시 패널(4312)의 사이에, 양면 표시형의 제 3 표시 패널(4313)을 탑재한 예에 대하여 설명한다. 도 22(A)는, 전자 서적을 펼친 상태이며, 도 22(B)는 전자 서적을 닫은 상태이다. 또한, 도 23은 전자 서적의 횡방향의 단면도이다.

- [0314] 도 22(A), 도 22(B)에 나타난 전자 서적은, 제 1 표시부(4301)를 가지는 제 1 표시 패널(4311)과, 조작부(4304) 및 제 2 표시부(4307)를 가지는 제 2 표시 패널(4312)과, 제 3 표시부(4302) 및 제 4 표시부(4310)를 가지는 제 3 표시 패널(4313)과, 제 1 표시 패널(4311)과 제 2 표시 패널(4312)과, 제 3 표시 패널(4313)의 일 단부에 형성된 바인딩부(4308)를 가지고 있다. 제 3 표시 패널(4313)은 제 1 표시 패널(4311)과 제 2 표시 패널(4312)의 사이에 삽입되어 있다. 도 22(A), 도 22(B)의 전자 서적은 제 1 표시부(4301), 제 2 표시부(4307), 제 3 표시부(4302), 및 제 4 표시부(4310)의 4개의 표시 화면을 가지고 있다.
- [0315] 제 1 표시 패널(4311), 제 2 표시 패널(4312), 및 제 3 표시 패널(4313)은 가요성을 가지고 있어 구부러지기 쉽다. 또한, 제 1 표시 패널(4311), 제 2 표시 패널(4312)에 플라스틱 기관을 이용하여, 제 3 표시 패널(4313)에 얇은 필름을 이용하면, 박형의 전자 서적으로 할 수 있다. 즉, 도 23에 일례로서 전자 서적의 횡방향의 단면도를 나타낸 바와 같이, 제 3 표시 패널(4313)은, 제 1 표시 패널(4311) 및 제 2 표시 패널(4312)보다 구부러지기 쉬운 전자 서적으로 할 수 있다. 그 때문에, 제 3 표시 패널(4313)보다 외측의 표시 패널을 견고하게 함으로써, 서적과 같은 감각으로 취급할 수 있을 수 있음과 동시에, 제 3 표시 패널(4313)의 파손을 억제할 수 있다.
- [0316] 제 3 표시 패널(4313)은 제 3 표시부(4302) 및 제 4 표시부(4310)를 가지는 양면 표시형 패널이다. 제 3 표시 패널(4313)은, 양면 사출형의 표시 패널을 이용해도 좋고, 한면 사출형의 표시 패널을 부착시켜 이용해도 좋다. 또한, 사이에 백 라이트(바람직하게는, 박형의 EL 발광 패널)를 끼운 2개의 액정 표시 패널을 이용해도 좋다.
- [0317] 또한, 도 22(A), 도 22(B)에 나타난 전자 서적은, 제 1 표시부(4301)의 표시 제어를 행하는 주사선 구동 회로(도시하지 않음)와, 제 2 표시부(4307)의 표시 제어를 행하는 주사선 구동 회로(4322a, 4322b)와, 제 3 표시부(4302) 및/또는 제 4 표시부(4310)의 표시 제어를 행하는 주사선 구동 회로(도시하지 않음)와, 제 1 표시부(4301), 제 2 표시부(4307), 제 3 표시부(4302), 및/또는 제 4 표시부(4310)의 표시 제어를 행하는 신호선 구동 회로(4323)를 가지고 있다. 또한 제 1 표시부(4301)의 표시 제어를 행하는 주사선 구동 회로는 제 1 표시 패널(4311)에 설치되고, 주사선 구동 회로(4322a, 4322b)는 제 2 표시 패널(4312)에 설치되고, 신호선 구동 회로(4323)는 바인딩부(4308)의 내부에 설치되어 있다.
- [0318] 또한, 도 22(A), 도 22(B)에 나타난 전자 서적에 있어서, 제 2 표시 패널(4312)은 조작부(4304)를 가지고, 전원 입력 스위치나, 표시 전환 스위치 등 각 기능을 대응시킬 수 있다.
- [0319] 또한, 도 22(A), 도 22(B)에 나타난 전자 서적의 입력 조작은, 제 1 표시부(4301)나 제 2 표시부(4307)에 손가락이나 입력 펜 등으로 터치하는 것, 또는 조작부(4304)의 조작에 의해 행해진다. 또한, 도 22(A)에서는, 제 2 표시부(4307)에 표시된 표시 버튼(4309)을 도시하고 있고, 손가락 등으로 터치하여 입력을 행할 수 있다.
- [0320] 또한, 도 22(A), 도 22(B)에 나타난 제 3 표시 패널(4313)을 삽입한 전자 서적의 사용법의 예로서는, 제 1 표시부(4301) 및 제 4 표시부(4310)에서 문장을 읽고, 제 2 표시부(4307) 및 제 3 표시부(4302)에서 도면을 참조하는 것은 편리하다. 이 때, 제 3 표시 패널(4313)은 제 3 표시부(4302)와 제 4 표시부(4310)를 동시에 표시할 수 없기 때문에, 페이지를 넘기기 시작했을 때에, 제 3 표시부(4302)의 표시로부터 제 4 표시부(4310)의 표시로 전환되는 것으로 한다.
- [0321] 또한, 제 1 표시부(4301)로부터 제 3 표시부(4302)를 읽고, 다음의 페이지, 제 3 표시 패널(4313)을 넘기기 시작했을 때에, 어느 각도로 제 4 표시부(4310) 및 제 2 표시부(4307)는 다음의 페이지의 표시를 행하고, 또한, 제 4 표시부(4310) 및 제 2 표시부(4307)를 다 사용하고, 제 3 표시 패널(4313)을 넘기기 시작하면, 어느 각도로 제 3 표시부(4302) 및 제 1 표시부(4301)가 다음의 페이지를 표시한다. 이것에 의해, 화면의 전환을 눈에 보이지 않도록 하고, 시각적인 위화감 등을 억제하는 것이 가능하게 된다.
- [0322] 또한, 본 실시형태에 나타내는 구성은, 다른 실시형태에 나타낸 구성을 적절히 조합하여 이용할 수 있는 것으로 한다.

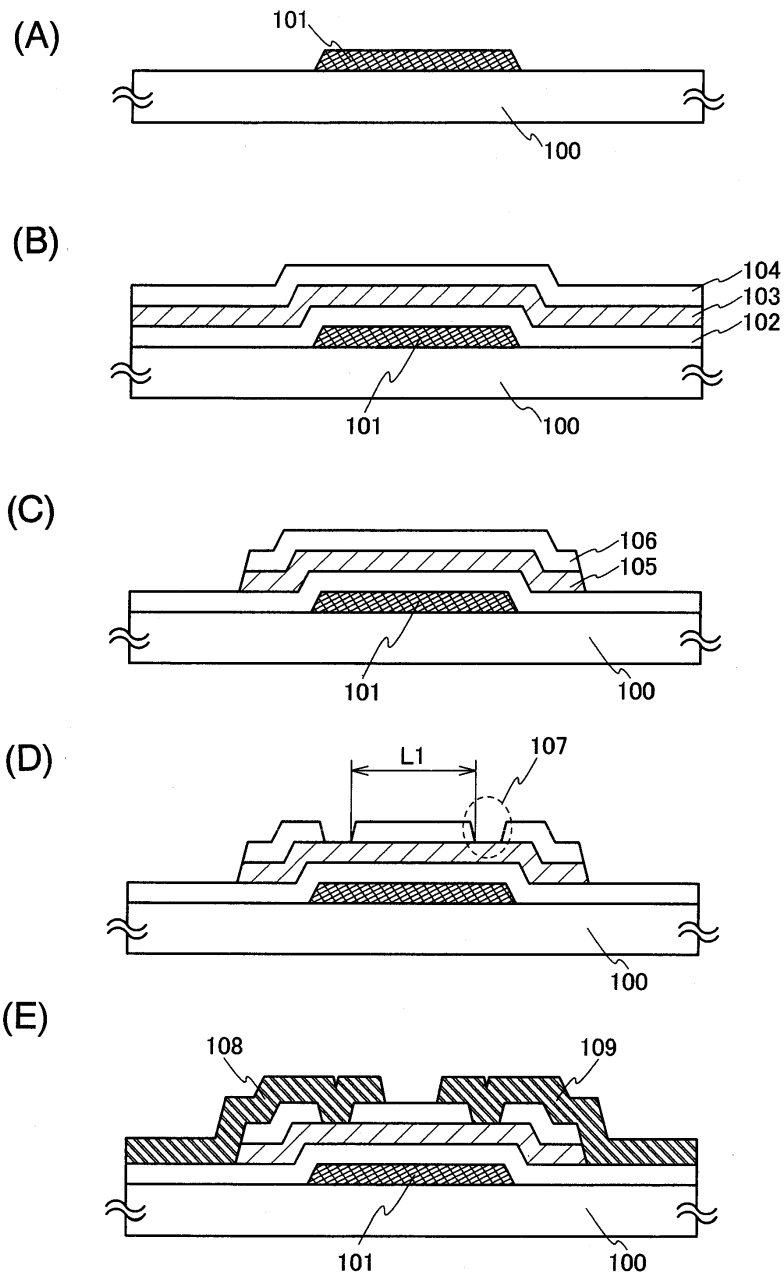
부호의 설명

- [0323] 100 : 기관
101 : 게이트 전극
102 : 절연막
103 : 반도체막
104 : 절연막
105 : IGZO 반도체층

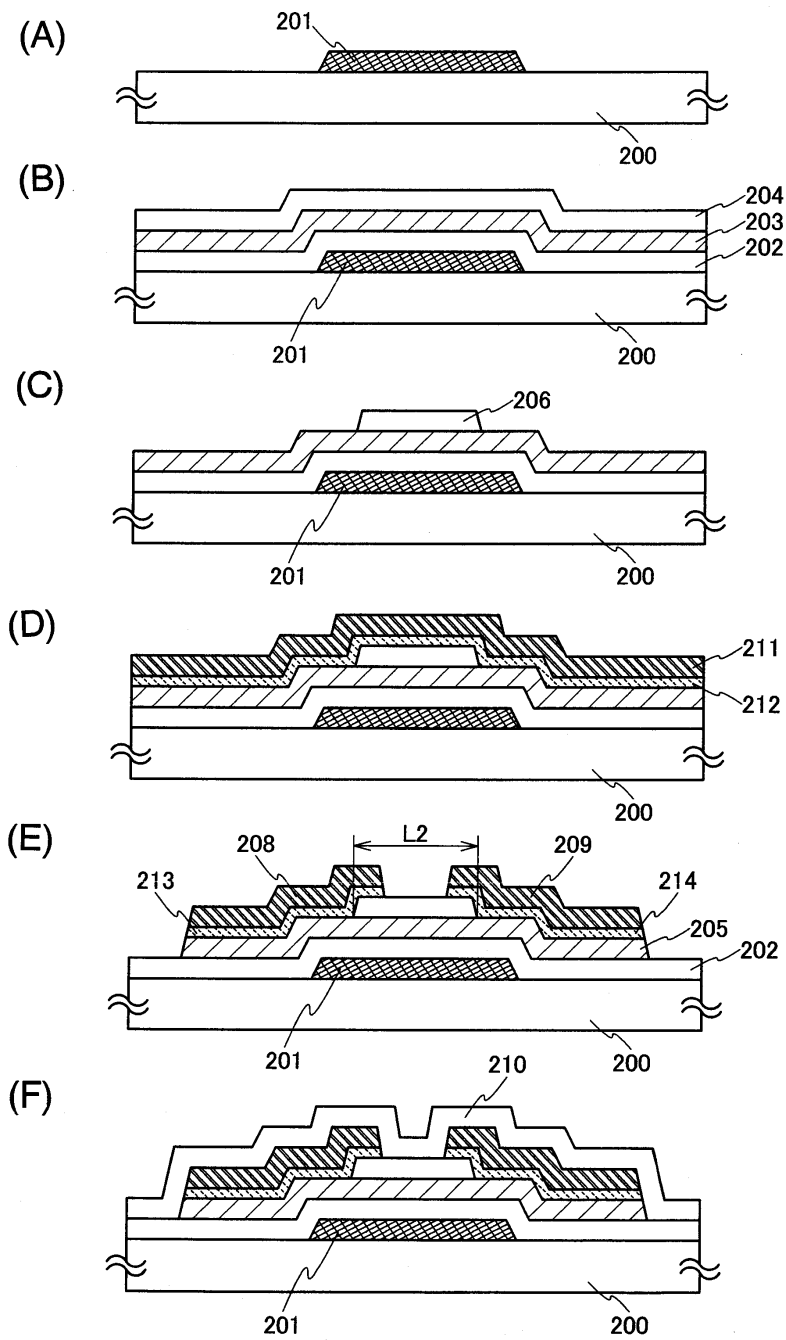
106 : 절연물	107 : 콘택트홀(개구)
108 : 소스 전극	109 : 드레인 전극
200 : 기판	201 : 게이트 전극
202 : 절연막	203 : 반도체막
204 : 절연막	205 : 반도체층
206 : 절연물	208 : 소스 전극
209 : 드레인 전극	210 : 절연막
211 : 금속 다층막	212 : 반도체막
213 : 소스측 버퍼층	214 : 드레인측 버퍼층

도면

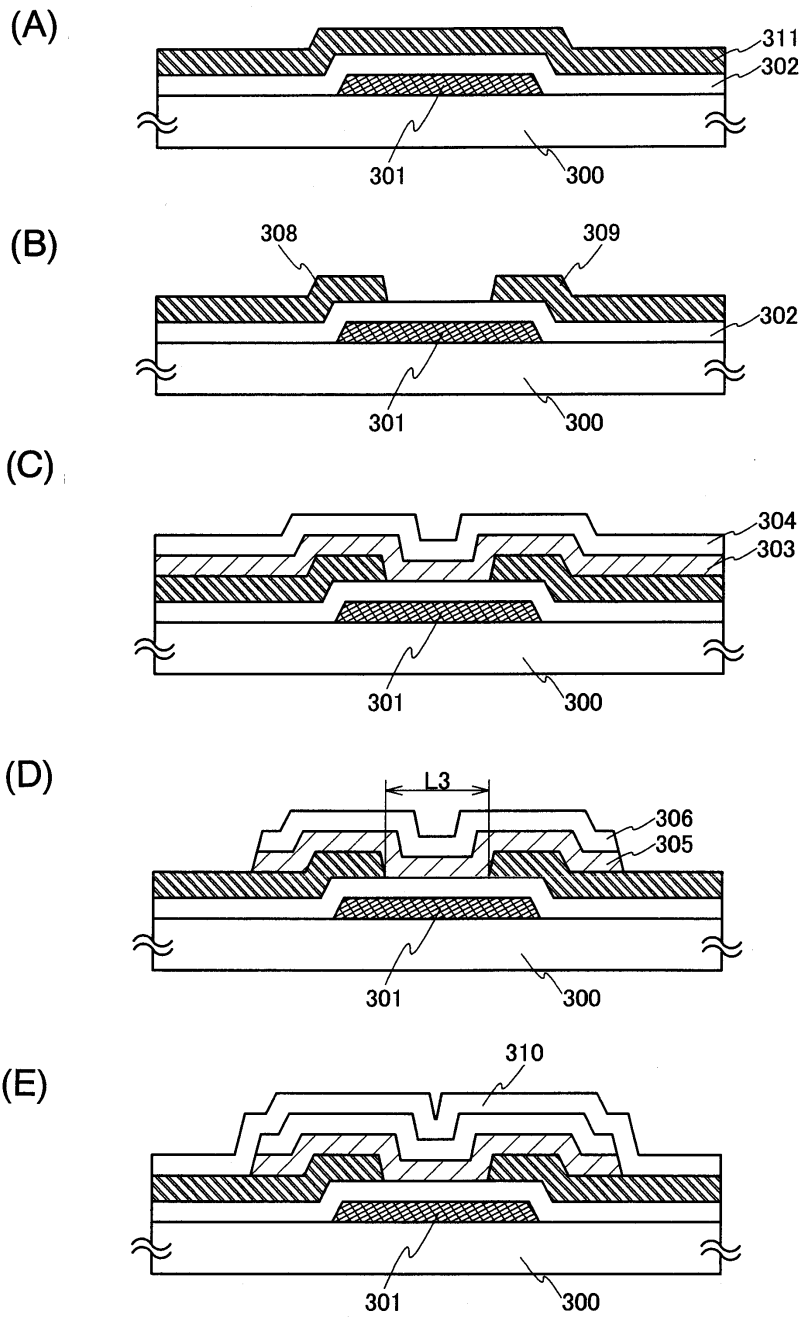
도면1



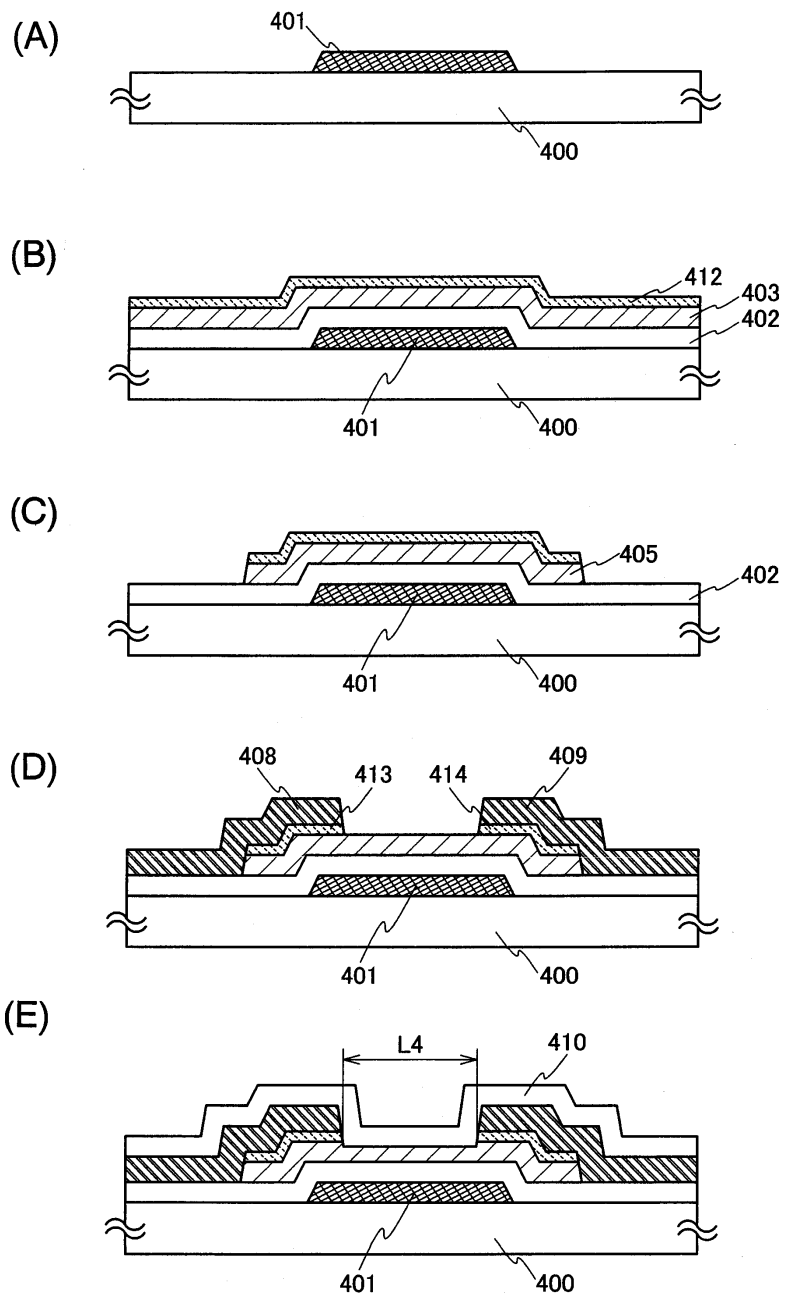
도면2



도면3

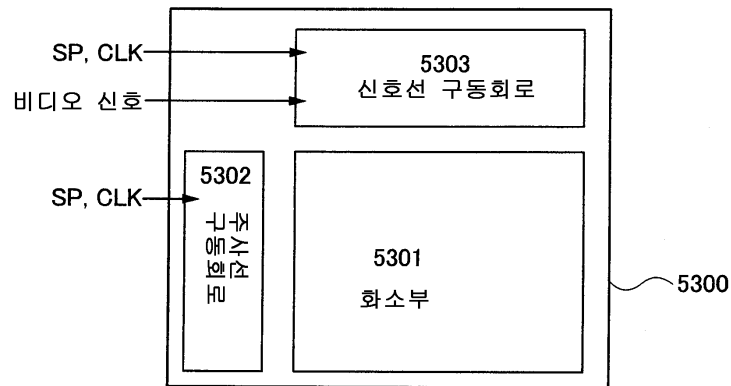


도면4

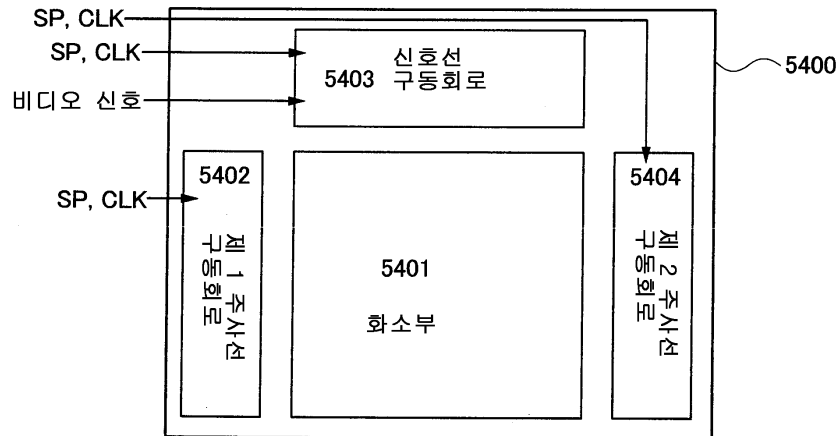


도면5

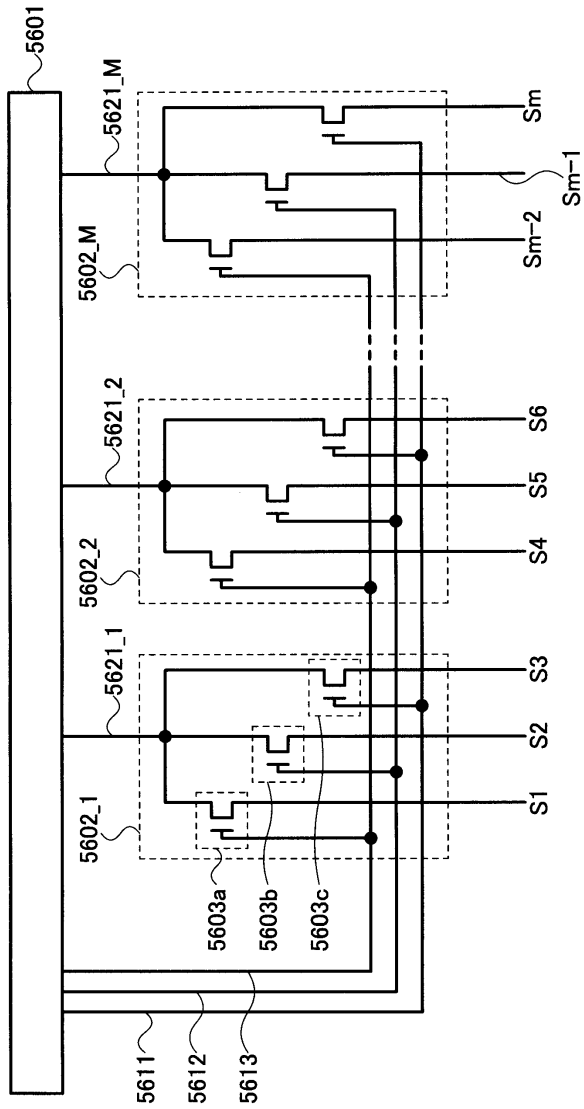
(A)



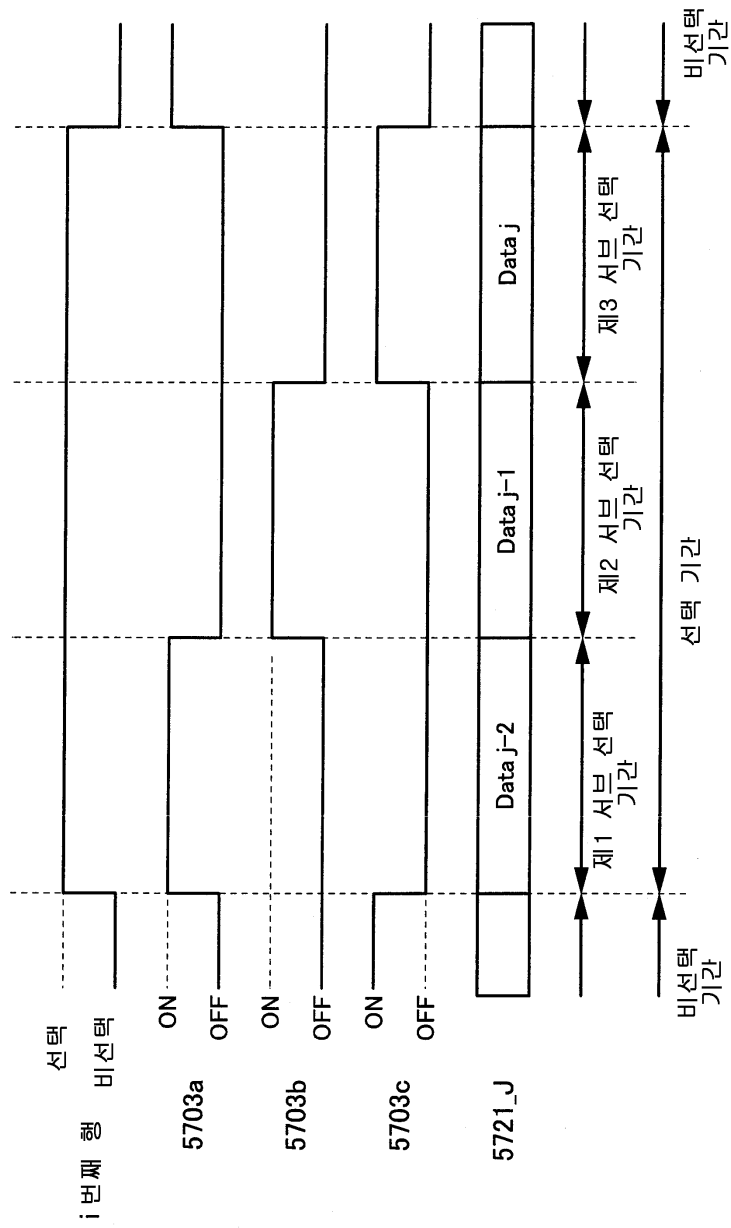
(B)



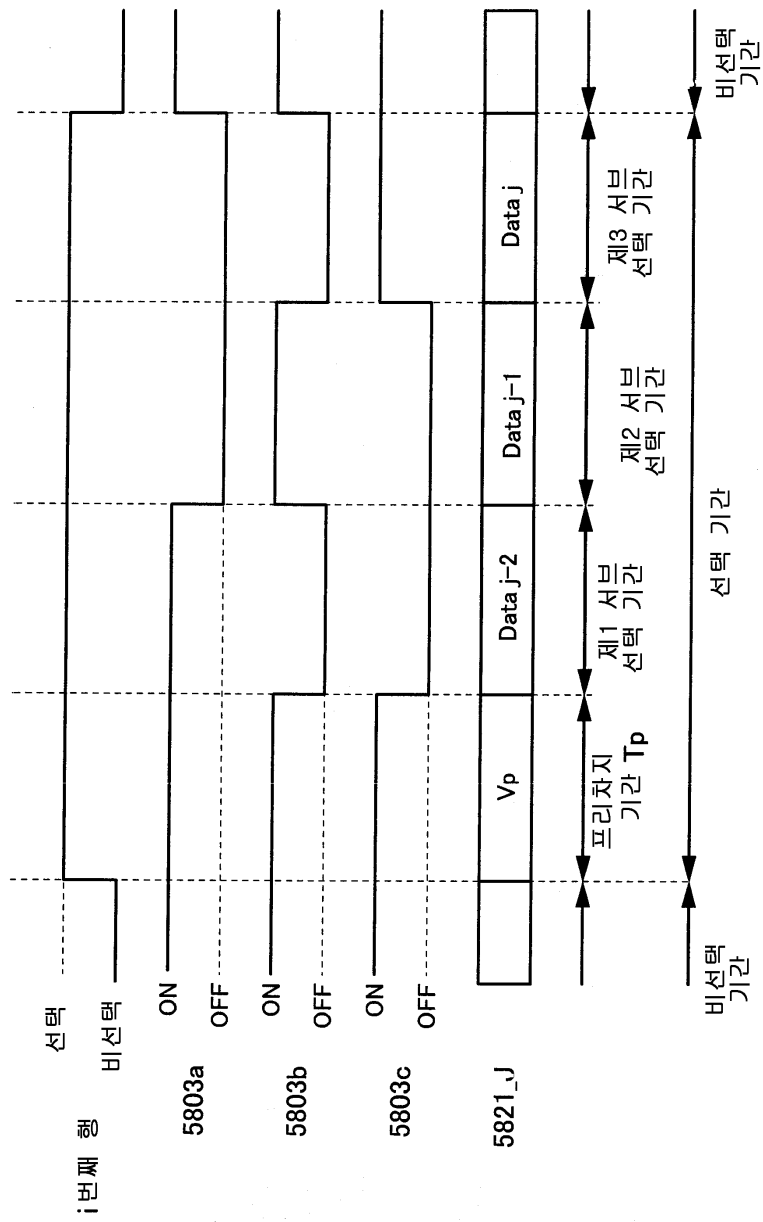
도면6



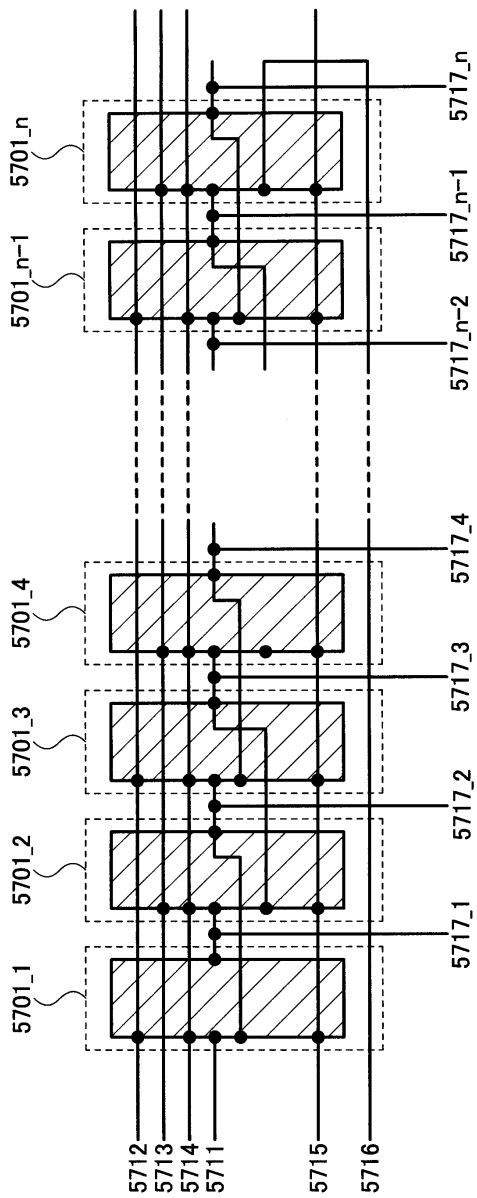
도면7



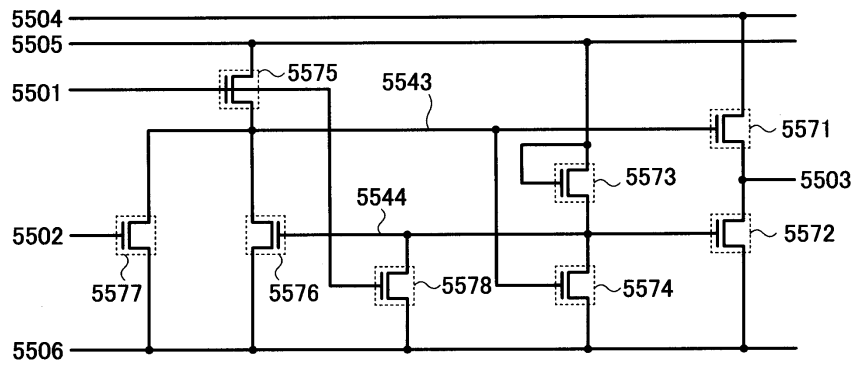
도면8



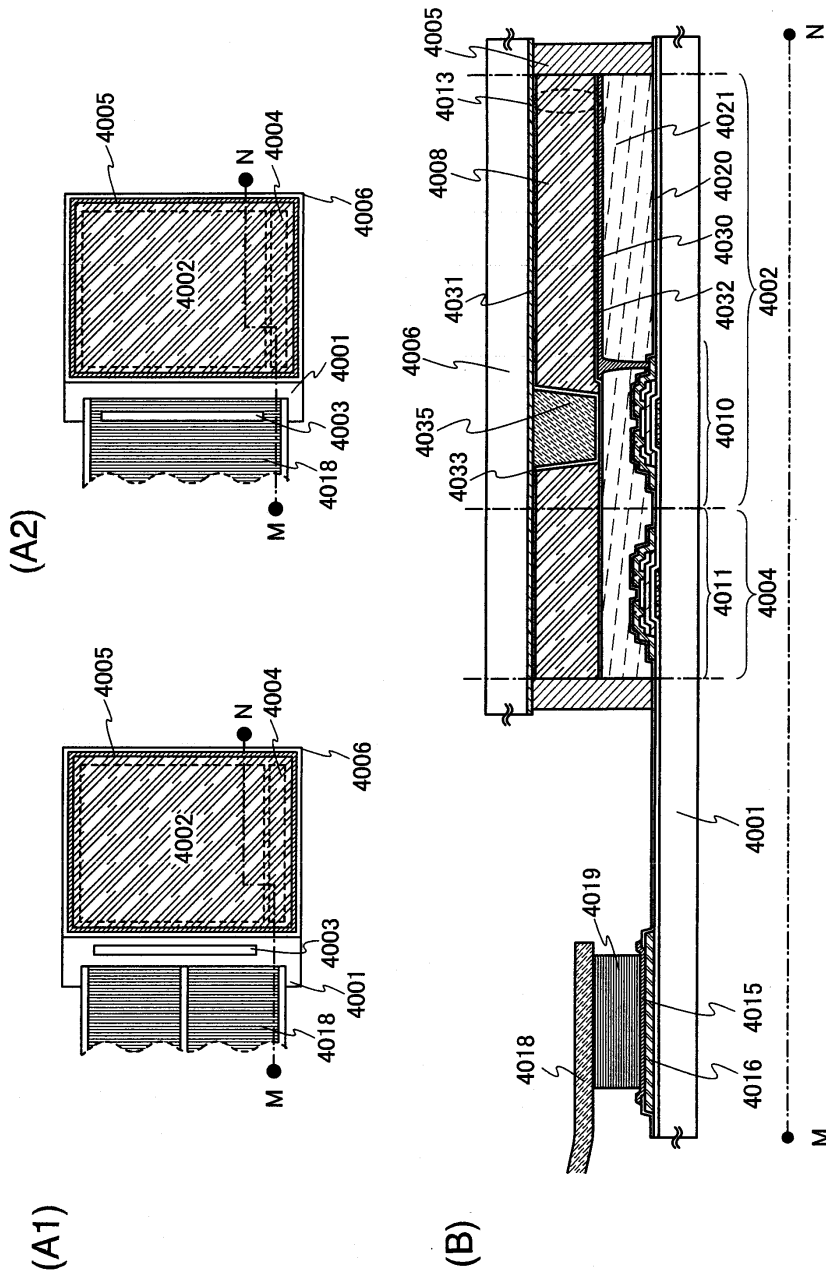
도면9



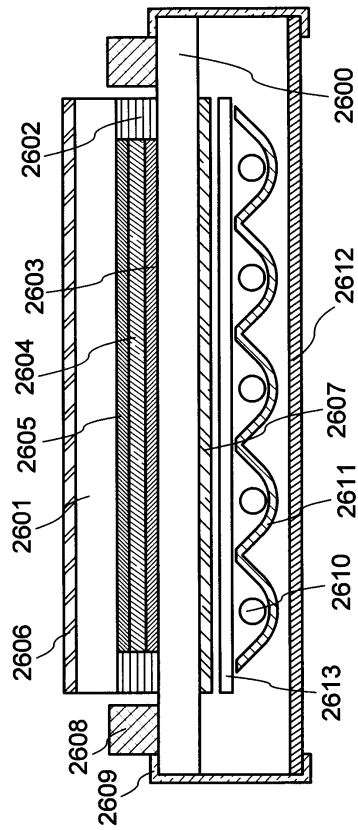
도면10



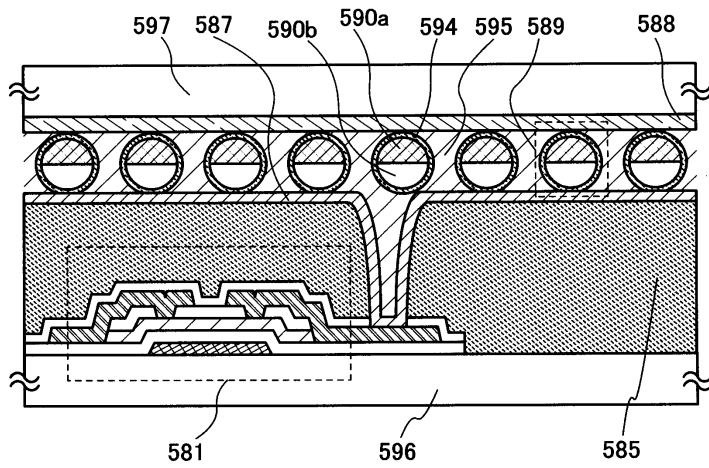
도면11



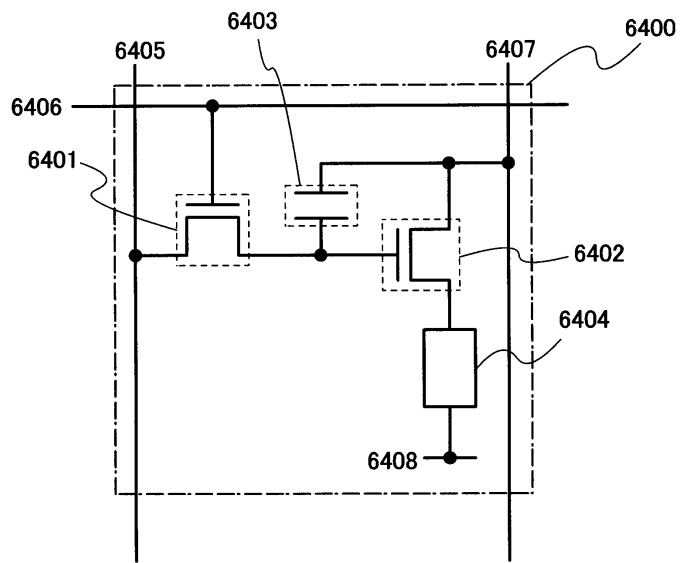
도면12



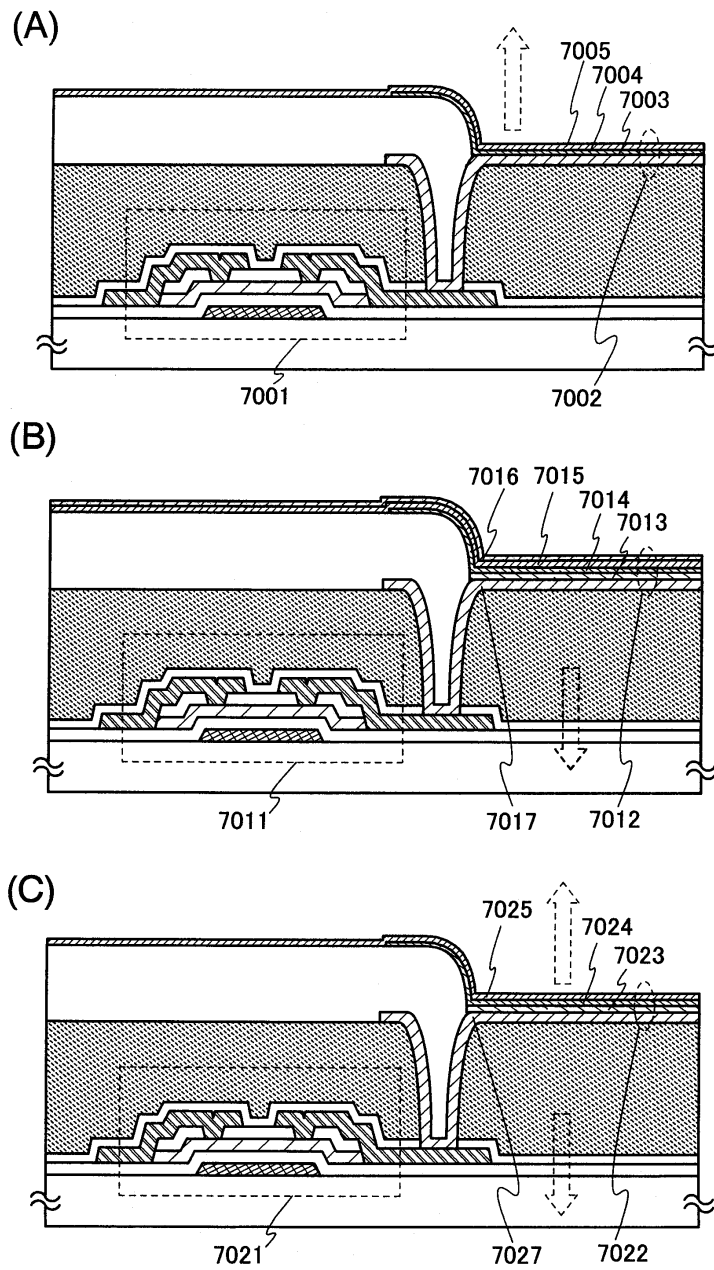
도면13



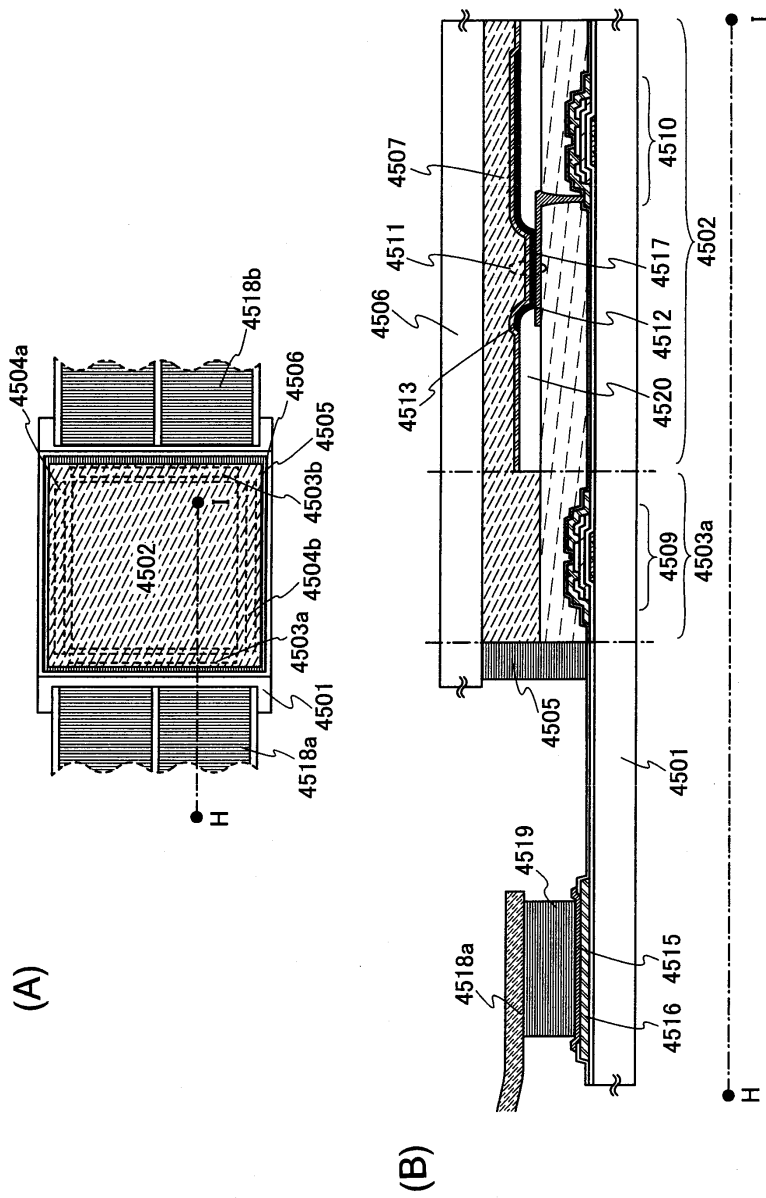
도면14



도면15

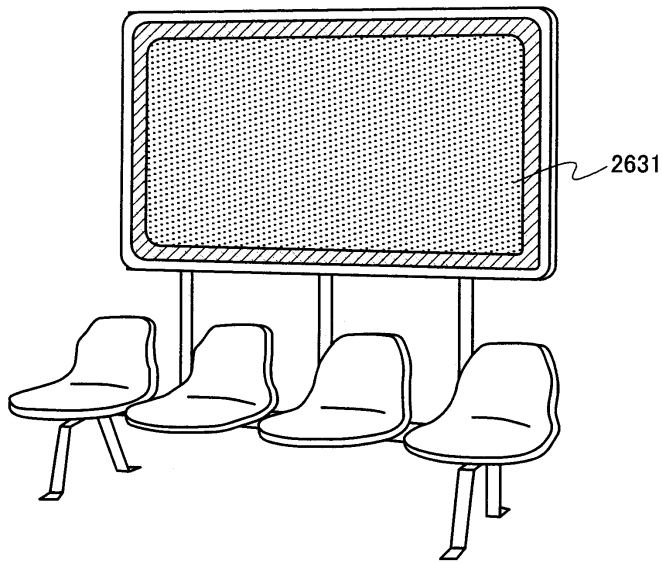


도면16

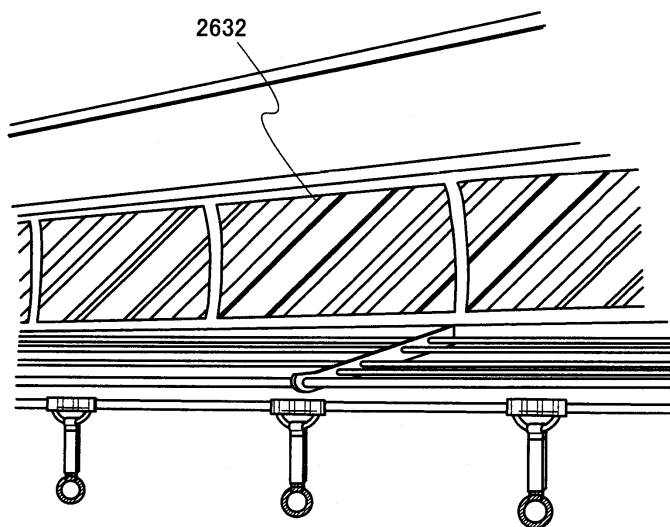


도면17

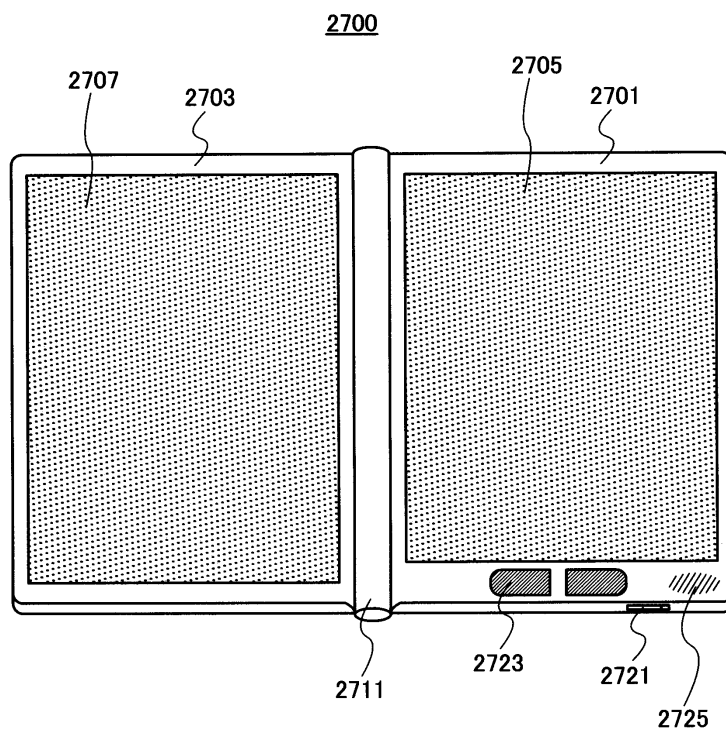
(A)



(B)

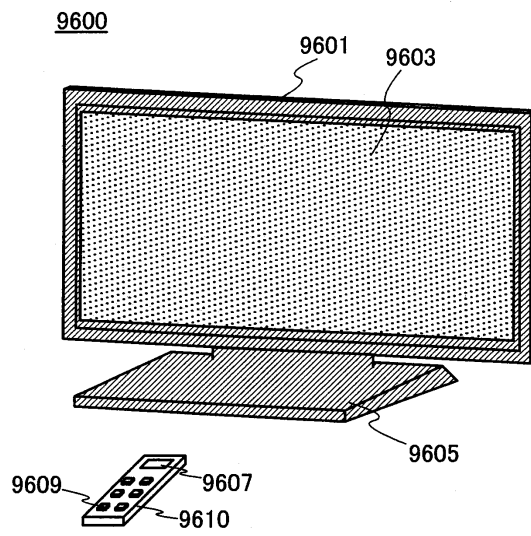


도면18

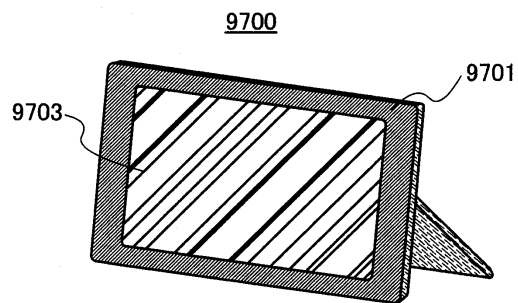


도면19

(A)

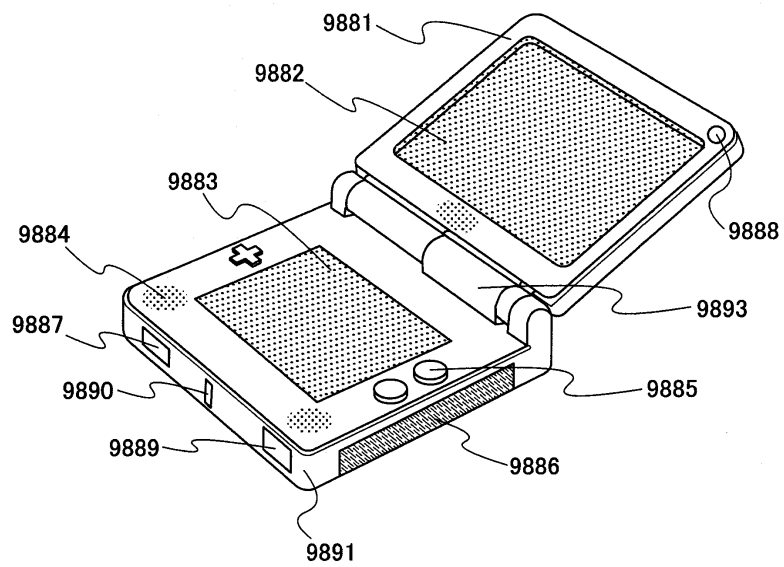


(B)

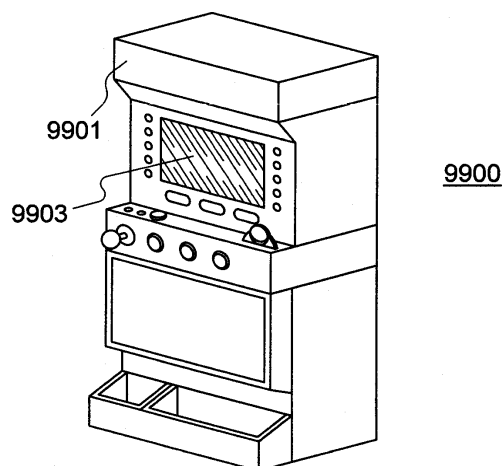


도면20

(A)

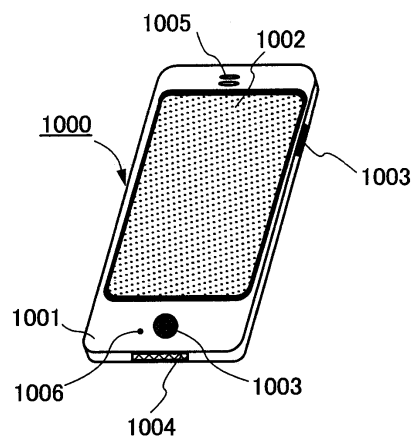


(B)

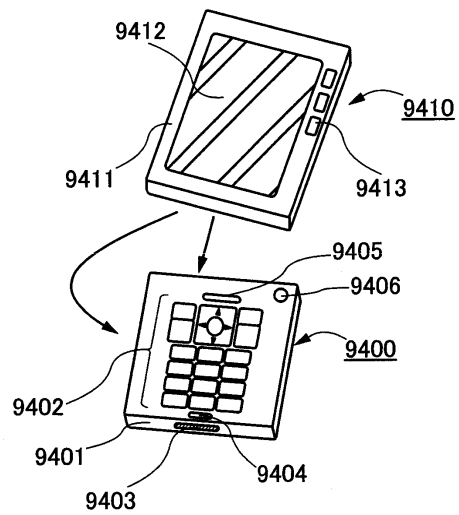


도면21

(A)

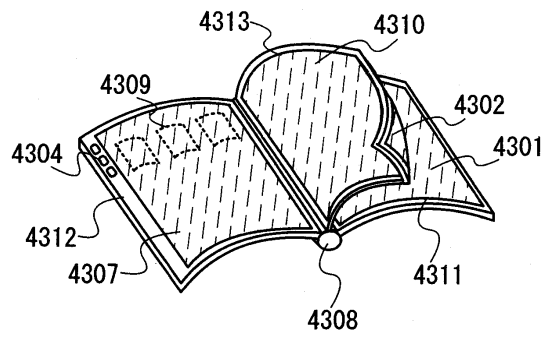


(B)

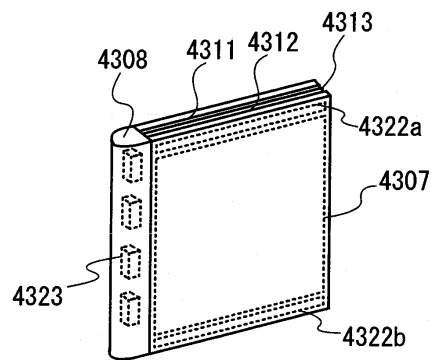


도면22

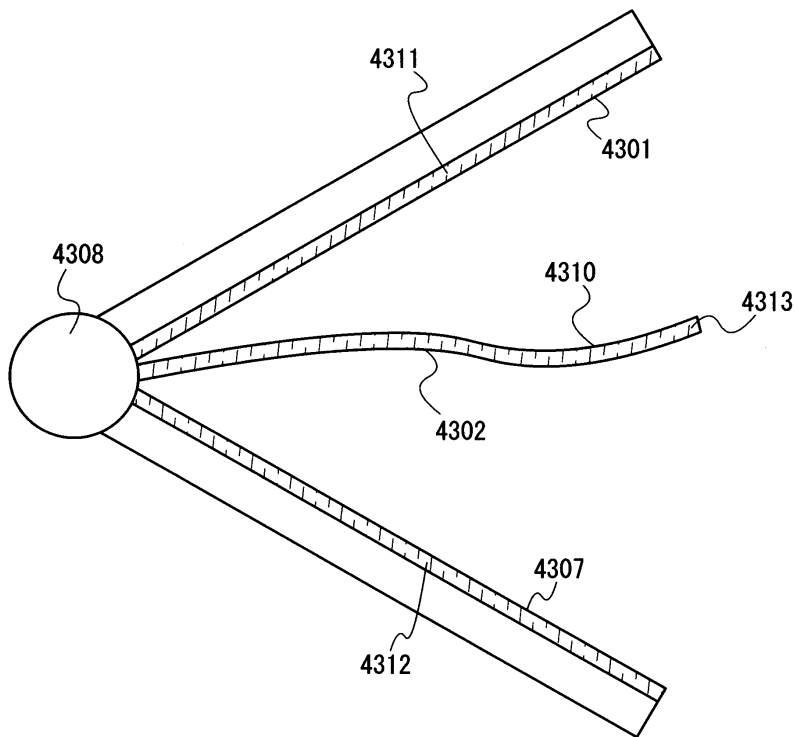
(A)



(B)

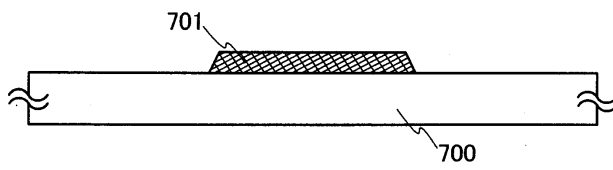


도면23

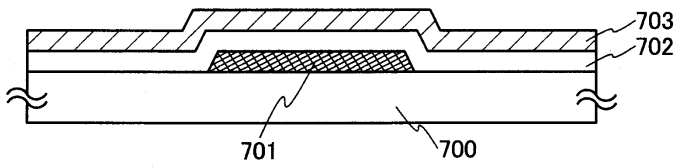


도면24

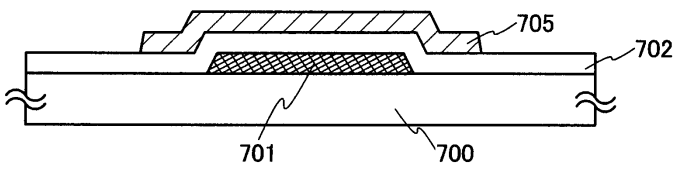
(A)



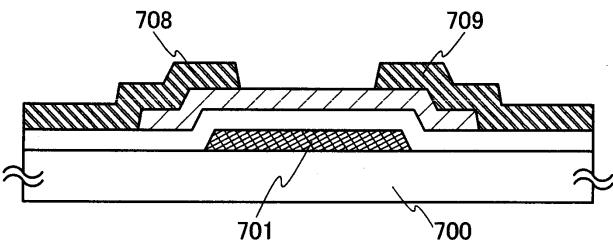
(B)



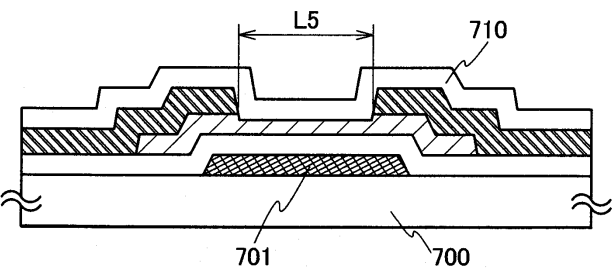
(C)



(D)

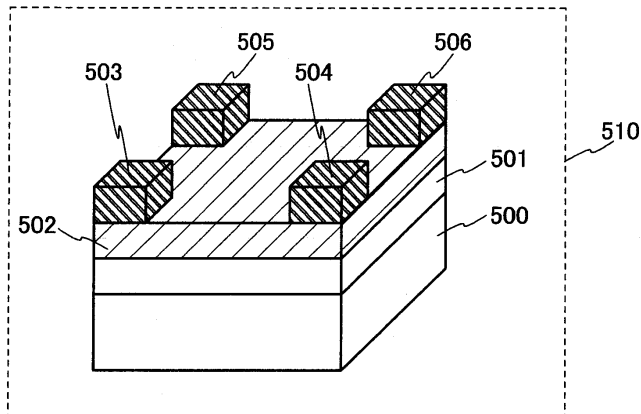


(E)

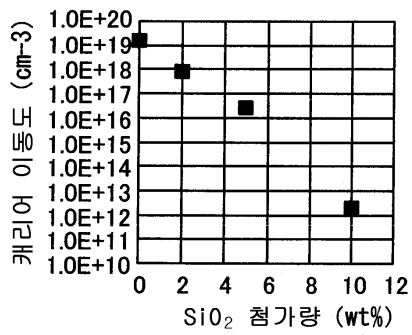


도면25

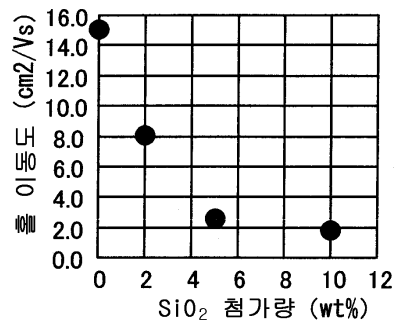
(A)



(B)



(C)



도면26

