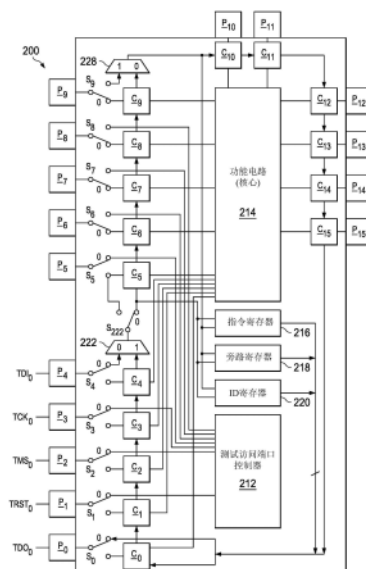


R·梅赫罗特拉

本申请实施例涉及全垫覆盖边界扫描。在所描述的实例中,一种集成电路(200)包含功能电路(214)及测试电路(212)。一组垫( $P_0$ - $P_4$ )在第一状态中可操作用于将测试信号传达到所述测试电路(212),并且在第二状态中可操作用于将输入/输出信号传达到所述功能电路(214)。不同于所述一组垫( $P_0$ - $P_4$ )的第二组垫( $P_5$ - $P_9$ )在所述第二状态中可操作用于将测试信号传达到所述测试电路(212),用于测试在所述第二状态中与所述一组垫( $P_0$ - $P_4$ )相关联的信号。



1. 一种集成电路,其包括:  
功能电路;  
测试电路;  
第一组垫,其在第一状态中可操作用于将第一组测试信号传达到所述测试电路,  
并且在第二状态中可操作用于将输入/输出信号传达到所述功能电路;及  
第二组垫,其不同于所述第一组垫,在所述第二状态中可操作用于将第二组测试信号传达到所述测试电路,用于测试在所述第二状态中与所述第一组垫相关联的信号,  
其中在所述第一状态中的所述第一组测试信号及在所述第二状态中的所述第二组测试信号包括JTAG信号,且  
其中所述第一组垫包括双用途垫。
2. 根据权利要求1所述的集成电路,其中所述测试电路包括可配置扫描链,所述可配置扫描链包括多个扫描单元,其中所述多个扫描单元中的每一扫描单元与所述第一组垫及所述第二组垫中的一者中的相应垫相关联。
3. 根据权利要求2所述的集成电路,且其进一步包括:  
电路,其用于在所述第一状态中配置所述可配置扫描链,使得所述第一组垫传达绕过所述可配置扫描链中的相应扫描单元的所述第一组测试信号;及  
电路,其用于在所述第二状态中配置所述可配置扫描链,使得所述第二组垫传达所述第二组测试信号,所述第二组测试信号绕过所述可配置扫描链中的相应扫描单元、并且用于测试在所述第二状态中连接到所述第一组垫中的相应垫的边界单元。
4. 根据权利要求2所述的集成电路,其中所述多个扫描单元中的每一扫描单元包括:  
串行寄存器,其用于接收串行链数据;及  
电路,其用于在操作所述扫描单元用于将所述第二组测试信号传达到用于测试在所述第二状态中与所述第一组垫相关联的信号的所述测试电路时,阻止所述串行寄存器中的串行链数据到达对应于所述串行寄存器的垫。
5. 根据权利要求1所述的集成电路,其中所述第一组垫包括用于在一个时间传达JTAG测试信号的垫,及用于在另一时间传达UART信号的垫。
6. 根据权利要求1所述的集成电路,其中所述第一组垫包括用于在一个时间传达JTAG测试信号的垫,及用于在另一时间传达SPI信号的垫。
7. 根据权利要求1所述的集成电路,其中所述第一组垫包括用于在一个时间传达JTAG测试信号的垫,及用于在另一时间传达功能接口信号的垫。
8. 根据权利要求1所述的集成电路,其中针对所述集成电路的垫总数目等于16或更少个垫。
9. 根据权利要求1所述的集成电路,其中针对所述集成电路的垫总数目等于32或更少个垫。
10. 根据权利要求1所述的集成电路,其中针对所述集成电路的垫总数目等于64或更少个垫。
11. 一种测试电路可操作性的方法,其包括:  
在第一状态中,将第一组测试信号施加到集成电路的第一组垫,所述集成电路包括功能电路及测试电路,并且用于将所述第一组测试信号传达到所述测试电路;及

在第二状态中,将第二组测试信号施加到集成电路的第二组垫,所述第二组垫不同于所述第一组垫,并且将所述第二组测试信号传达到所述测试电路用于测试与所述第一组垫相关联的信号;

其中在所述第一状态中的所述第一组测试信号及在所述第二状态中的所述第二组测试信号包括JTAG信号;且

其中所述第一组垫包括双用途垫。

12.根据权利要求11所述的方法,其中所述测试电路包括可配置扫描链,所述可配置扫描链包括多个扫描单元,其中所述多个扫描单元中的每一扫描单元与所述第一组垫及所述第二组垫中的一者中的相应垫相关联。

13.根据权利要求12所述的方法,且其进一步包括:

在所述第一状态中配置所述可配置扫描链,使得所述第一组垫传达绕过所述可配置扫描链中的相应扫描单元的所述第一组测试信号;及

在所述第二状态中配置所述可配置扫描链,使得所述第二组垫传达所述第二组测试信号,所述第二组测试信号绕过所述可配置扫描链中的相应扫描单元、并且用于测试在所述第二状态中连接到所述第一组垫中的相应垫的边界单元。

14.根据权利要求12所述的方法,其中所述多个扫描单元中的每一扫描单元包括:

串行寄存器,其用于接收串行链数据;及

电路,其用于在操作所述扫描单元用于将所述第二组测试信号传达到用于测试在所述第二状态中与所述第一组垫相关联的信号的所述测试电路时,阻止所述串行寄存器中的串行链数据到达对应于所述串行寄存器的垫。

15.根据权利要求11所述的方法,其中所述第一组垫包括用于在一个时间传达JTAG测试信号的垫,及用于在另一时间传达UART信号的垫。

16.根据权利要求11所述的方法,其中所述第一组垫包括用于在一个时间传达JTAG测试信号的垫,及用于在另一时间传达SPI信号的垫。

## 全垫覆盖边界扫描

[0001] 分案申请的相关信息

[0002] 本申请是发明名称为“全垫覆盖边界扫描”,申请号为201780031966.3,申请日为2017年5月1日的发明专利申请的分案申请。

### 技术领域

[0003] 本发明涉及集成电路及印刷电路板的边界扫描。

### 背景技术

[0004] 边界扫描是用于测试集成电路(IC)或印刷电路板(PCB)上的逻辑、存储器及其它电路的方法及相关电路处理。通常,对于边界扫描,IC上包含四个或五个引脚,每一引脚对应于相应专用测试访问端口(TAP)信号,用于测试IC或IC被组装到其中的PCB上的互连件。具体来说,TAP信号可用于确定IC是否正常工作,是否连接到PCB,以及还用于通过观测IC引脚状态或测量电压进行调试。可在制造时实现测试,例如通过自动化测试设备(ATE),以及在现场进行的后续测试(例如,在装置已经出售或位于市场中之后)。与边界扫描相关的额外细节及标准化由联合测试行动小组(JTAG)制定,并在IEEE 1149标准及其.x子标准中规定。

[0005] 作为进一步的背景,图1绘示具有常规边界扫描架构的IC 10的电框图。为简化起见,IC 10被展示为包含:测试访问端口TAP控制器12,其用于与TAP信号介接并与JTAG测试相关;及IC功能电路14,其有时被称为核心,其为IC 10的各种电路功能的一般描绘,除JTAG测试之外。IC 10还包含数个I/O垫 $P_0$ 到 $P_{15}$ ,展示在围绕装置周边的各个位置处。垫 $P_0$ 到 $P_4$ 运载相应且已知的JTAG TAP相关信号,如下表1中所展示。

[0006] 表1

[0007]

引脚	JTAG信号	功能
$P_0$	TDO	测试数据输出
$P_1$	TRST	测试复位
$P_2$	TMS	测试模式选择
$P_3$	TCK	测试时钟
$P_4$	TDI	测试数据输入

[0008] 如表1中所指示,垫 $P_4$ 允许输入JTAG测试数据,且垫 $P_0$ 允许其输出,而其余垫 $P_1$ 到 $P_3$ 向TAP控制器12提供信号。指令寄存器16存储当前JTAG指令,通常用以指示关于所接收的信号所采取的操作(例如,定义信号应传递到哪一数据寄存器)。旁路寄存器18是单个位寄存器,其允许TDI绕过单元链 $C_0$ 到 $C_{15}$ ,以便直接从输入传递到输出。ID寄存器20用于存储针对IC 10的ID码及版本号,由此允许IC 10链接到存储针对IC 10的边界扫描配置信息的文件。

[0009] 除JTAG相关垫 $P_0$ 到 $P_4$ 之外,其余IC垫 $P_5$ 到 $P_{15}$ 中的每一者通过相应边界扫描单元 $C_5$ 到 $C_{15}$ 连接到功能电路14。因此,此类垫表示IC 10的I/O,结合其由功能电路14实现的预期操作。然而,结合JTAG测试,扫描单元 $C_5$ 到 $C_{15}$ 中的每一者连接到至少一个其它扫描单元,由此

形成扫描链。为了JTAG目的,数据可由相应垫输入到每一单元,或者在每一单元中从功能电路14捕获,然后此类数据可沿着链连续移位,使得从最后的此类单元 $C_{15}$ 输出为TDO信息。因此,以此方式,可评估来自功能电路14的I/O连接性及数据状态以确认IC 10的正确操作。

[0010] 上文所描述的技术已经证明在跨越众多架构的IC及PCB测试中是有效的,但IEEE 1149.x标准要求JTAG垫本身不连接到相应扫描单元。因此,在图1的实例中,垫 $P_0$ 到 $P_4$ 未连接到此类相应单元。然而,此类授权施加了限制。

## 发明内容

[0011] 在所描述的实例中,一种集成电路包含功能电路及测试电路。所述集成电路还包含一组垫,其在第一状态中可操作于将测试信号传达到所述测试电路,并且在第二状态中可操作于将输入/输出信号传达到所述功能电路。所述集成电路还包含第二组垫,其不同于所述一组垫,在所述第二状态中可操作于将测试信号传达到所述测试电路,用于测试在所述第二状态中与所述一组垫相关联的信号。

## 附图说明

[0012] 图1绘示具有常规边界扫描架构的IC 10的电框图。

[0013] 图2a绘示根据实例实施例并且在用于接收第一组JTAG测试信号的第一切换状态中的IC 200的电框图。

[0014] 图2b绘示图2a的并且在用于接收第二组JTAG测试信号的第二切换状态中的IC 200的电框图。

[0015] 图3绘示IC 200的操作的实例方法300的流程图。

[0016] 图4绘示替代实例实施例IC 200'的电框图。

[0017] 图5绘示可用于图4的IC 200'中的单元的单元 $C_x$ 的结构。

## 具体实施方式

[0018] 图2a及2b绘示根据实例实施例的IC 200的电框图。IC 200包含与上文结合图1所描述的功能框相当的各种功能框。为清楚起见,通过将200添加到图1的参考数字来对图2a及2b中的那些框进行编号。因此,结合处理JTAG信号及IC功能性,IC 200包含TAP控制器212、功能电路(或核心)214、指令寄存器216、旁路寄存器218及ID寄存器220。然而,结合实例实施例,此类框与来自两个不同相应组垫(例如,引脚)的一组JTAG信号结合而操作。在图2a中,展示了第一组此类JTAG信号,其中在垫 $P_0$ 到 $P_4$ 上具有下标0。在图2b中,展示了第二组此类JTAG信号,其中在垫 $P_5$ 到 $P_9$ 上具有下标1。因此,如下文所描述,IC 200在两种不同状态中可操作,每种状态都用不同的切换信号路径实现,其中图2a指示在二元意义上指示为状态0的第一此类状态,并且其中图2b指示在二元意义上指示为状态1的第二此类状态。如下文所描述,此类状态可通过状态机或相当的控制来实施,借此所组合的两个状态允许IC 200的所有垫的完全JTAG边界扫描。

[0019] 更详细地参考图2a,IC 200包含数个垫 $P_0$ 到 $P_{15}$ ,使得实例IC 200是16引脚装置。此外,针对每一垫存在相应边界扫描单元 $C_0$ 到 $C_{15}$ ,由此形成边界单元扫描链。因此,在实例实施例中,每一装置垫出于下文进一步所描述的原因而具有对应边界扫描单元,与固定JTAG

垫不具有对应边界扫描单元的常规技术(例如图1的实例中所表示)形成对比。

[0020] 如上文所描述,图2a中展示第一组垫,即垫 $P_0$ 到 $P_4$ ,其用于接收第一组JTAG信号,如下表2中所概述。

[0021] 表2

垫	JTAG信号
$P_0$	$TD0_0$
$P_1$	$TRST_0$
$P_2$	$TMS_0$
$P_3$	$TCK_0$
$P_4$	$TDI_0$

[0023] 此外,表2的垫 $P_0$ 到 $P_4$ 中的每一者连接到相应切换元件 $S_0$ 到 $S_4$ ,使得在如图2a所展示的第一状态中,每一此类切换元件将垫互连,使得其相应JTAG信号被适当地路由以实现JTAG测试。因此,在此第一状态中:(i) 垫 $P_1$ 到 $P_3$ 连接到TAP控制器212;(ii) 垫 $P_0$ 经连接以从边界扫描单元 $C_{15}$ 接收数据作为 $TD0_0$ ,形成边界链的单元序列中的最后一个单元如图2a中所配置;及(iii) 垫 $P_4$ 经连接使得其 $TDI_0$ 信号可经由多路复用器222及切换元件 $S_{222}$ 输入到边界扫描链,从边界扫描单元 $C_5$ 开始,并且所述信号也连接到指令寄存器216、旁路寄存器218及ID寄存器220。

[0024] 如图2a中所展示的IC 200还包含第二组垫,即垫 $P_5$ 到 $P_9$ ,所述垫中的每一者连接到相应切换元件 $S_5$ 到 $S_9$ ,使得在第一状态中,如图2a中所展示,每一此类切换元件将垫互连到扫描单元链中的相应边界扫描单元,如下表3中所概述。

[0025] 表3

垫	单元
$P_5$	$C_5$
$P_6$	$C_6$
$P_7$	$C_7$
$P_8$	$C_8$
$P_9$	$C_9$

[0027] 此外,在第一状态中,边界单元 $C_5$ 到 $C_9$ 中的每一者提供相应垫之间、通过述单元、到功能电路214的专用通过连接性路径。在这方面,“专用”指示每一边界垫仅允许在一个相应引脚与功能电路214之间通过。因此,此类连接性允许来自垫或功能电路214的信号被捕获在相应单元中,并且接着信号可以循序方式被移位到下一连续单元,使得最终从扫描单元链提供信号作为输出数据TD0。

[0028] IC 200还包含除第一或第二组垫中的垫以外的垫,其中此类额外垫因此可被认为是第三组垫,其不可操作以接收JTAG信号。在图2a的实例中,此第三组垫被展示为垫 $P_{10}$ 到 $P_{15}$ 。第三组垫中的每一垫优选地直接连接(即,不具有如第一及第二组垫那样的切换元件)到链中的相应且专用的通过边界扫描单元,如下表4中所概述。

[0029] 表4

垫	单元
---	----

P <sub>10</sub>	C <sub>10</sub>
P <sub>11</sub>	C <sub>11</sub>
P <sub>12</sub>	C <sub>12</sub>
P <sub>13</sub>	C <sub>13</sub>
P <sub>14</sub>	C <sub>14</sub>
P <sub>15</sub>	C <sub>15</sub>

[0031] 因此,相应垫之间、通过单元、到功能电路214的专用连接性路径允许来自垫或功能电路214的信号被捕获在相应单元中,并且接着信号以循序方式可被移位到下一连续单元,使得最终从扫描单元链提供信号作为输出数据TDO。

[0032] 完成图2a,边界单元C<sub>15</sub>也输出到多路分用器的输入,多路分用器具有第一输出,针对0状态,第一输出经由切换元件S<sub>0</sub>将多路分用器输入连接到垫P<sub>0</sub>,使得在所述状态中单元C<sub>15</sub>的输出连接到垫P<sub>0</sub>。由于后面所描述的原因,多路分用器还具有第二输出,针对1状态,第二输出将多路分用器输入连接到边界扫描单元C<sub>0</sub>。此外,指令寄存器216、旁路寄存器218及ID寄存器220的输出中的每一者连接到多路复用器的输入,多路复用器具有第一输出,针对0状态,第一输出将多路分用器输入连接到多路复用器的输入。因此,如上文所描述,后者在0状态期间将其输入连接到引脚P<sub>0</sub>(作为TDO<sub>0</sub>),使得在此状态期间,所述寄存器的输出可连接到引脚P<sub>0</sub>。

[0033] 更详细地参考图2b,展示IC 200处于第二状态,用对应于各种开关位置及多路分用器选择的位置的数字1指示。因此,在这方面,来自图2a的边界单元的扫描链的信号路径切换到图2b中的不同路径,由此确立扫描链在如下所述的意义上是可配置的:在第一状态中,来自第一组垫(例如,P<sub>0</sub>到P<sub>4</sub>)的信号不会传递到相应边界单元,并且在第二状态中,来自第二组垫(例如,P<sub>5</sub>到P<sub>9</sub>)的信号不会传递到相应边界单元。因此,在这方面,在图2b中,第二组垫接收第二组JTAG信号,如下表5中所概述。

[0034] 表5

垫	JTAG信号
P <sub>5</sub>	TDO <sub>1</sub>
P <sub>6</sub>	TRST <sub>1</sub>
P <sub>7</sub>	TMS <sub>1</sub>
P <sub>8</sub>	TCK <sub>1</sub>
P <sub>9</sub>	TDI <sub>1</sub>

[0036] 每一第二状态JTAG信号连接到相应切换元件,使得在第二状态中,如图2b中所展示,每一此类切换元件将垫互连,使得其相应JTAG信号被适当地路由以实现JTAG测试。此外,路由绕过此类垫在状态0中分别专门连接到的通过边界扫描单元(即,单元C<sub>5</sub>到C<sub>9</sub>)。因此,在此第二状态中:(i) 垫P<sub>6</sub>到P<sub>8</sub>连接到TAP控制器212;(ii) 垫P<sub>5</sub>经连接以经由多路复用器222及开关元件S<sub>5</sub>从边界扫描单元C<sub>4</sub>接收作为TDO<sub>1</sub>的数据,形成边界链的单元序列中的最后一个单元如图2b中所配置;及(iii) 垫P<sub>9</sub>经连接使得其TDI<sub>1</sub>信号可经由多路复用器228输入到边界扫描链,从边界扫描单元C<sub>10</sub>开始,并且所述信号也连接到指令寄存器216、旁路寄存器218及ID寄存器220。

[0037] 如图2b中所展示,IC 200还包含第一组垫。但是由于到边界单元的可配置扫描链

的连接性的改变,第一组垫中的每一垫,即垫 $P_0$ 到 $P_4$ ,处于第二状态,其经由相应切换元件 $S_0$ 到 $S_4$ 连接到扫描单元链中的相应边界扫描单元,如下表6中所概述。

[0038] 表6

垫	单元
$P_0$	$C_0$
$P_1$	$C_1$
$P_2$	$C_2$
$P_3$	$C_3$
$P_4$	$C_4$

[0040] 此外,边界单元 $C_0$ 到 $C_4$ 中的每一者还连接到功能电路214。

[0041] 完成图2b, IC 200再次包含除第一或第二组垫中的垫以外的垫,其中此类额外垫因此可被认为是第三组垫,其不可操作以接收JTAG信号。因此,如在图2a的实例中,此第三组垫在图2b中被展示为垫 $P_{10}$ 到 $P_{15}$ ,每一垫直接连接到链中的相应边界扫描单元,如上表4中所概述。

[0042] 图3绘示IC 200的操作的实例方法300的流程图。方法300可通过作为TAP控制器212的部分而包含的状态机或通过其它电路及控制来实现,单独地位于IC 200上或部分地在其外部,例如用自动化测试设备(ATE)。方法300以JTAG测试启动步骤310启动,其中通过实例的方式,此类测试可为:在制造商位置,例如经由ATE;或者稍后在现场,在IC级或PCB级。在一个实例实施例中,步骤310可在IC 200上电时发生,即,作为上电复位程序的部分。

[0043] 在步骤310之后,方法300继续到步骤320。在步骤320中,IC 200在上文所描述的第一状态0中操作,在此情况下,切换元件、多路复用及多路分用如图2a中所展示。同时,第一组JTAG信号(例如,每现代标准的四个或五个信号)被应用于第一组垫,其在给定状态中不连接到相应专用通过边界链单元,并且所述JTAG信号中的每一者基于特定信号并且如上文所描述被适当地路由。因此,上表2提供此第一组JTAG信号的实例。利用此类连接性,接着对IC 200上的其余垫(其在此实例中为垫 $P_5$ 到 $P_{15}$ )执行JTAG测试,由此与表3及4中所展示的相应单元结合而测试那些垫。因此,垫 $P_4$ 可将TDI数据引入到边界扫描链,其在状态0中经配置而以单元 $C_5$ 开始并且继续通过单元 $C_{15}$ ,并且信号状态可为:在所述单元与功能电路214之间转移;及沿着可配置扫描链前进并产生为经由垫 $P_0$ 输出的TDO数据。也可在步骤320的配置边界链期间及使用所述配置边界链来实现其它JTAG测试。

[0044] 在步骤320之后,方法300继续到步骤330。在步骤330中,IC 200在上文所描述的第二状态1中操作,在此情况下,切换元件、多路复用及多路分用如图2b中所展示。同时,第二组JTAG信号(例如,根据现代标准,四个或五个信号)被应用于第二组垫,其不同于第一组,并且在给定状态中不连接到相应专用通过边界链单元,其中此第二组JTAG信号也基于信号并且如上文所描述被适当地路由。因此,上表5提供此第二组JTAG信号的实例。利用此连接性,然后至少对在状态0中JTAG连接的那些垫执行JTAG测试,所述垫是垫 $P_0$ 到 $P_4$ 。此外,使用图2b的配置,可相对于第三组垫(即,垫 $P_{10}$ 到 $P_{15}$ )重复测试(或执行替代测试)。因此,垫 $P_9$ 可将TDI数据引入到边界扫描链,其在状态1中经配置而以单元 $C_{10}$ 开始,继续通过 $C_{15}$ ,并且继续返回到并包含单元 $C_0$ 到 $C_4$ ,但是排除对应于接收JTAG信号的那些垫的单元(即, $C_5$ 到 $C_9$ )。因此,在步骤330之后:(a)在步骤320中,第一组垫用于接收JTAG信号以测试不在第一组中



的垫;及(b)在步骤330中,不同于第一组垫的第二组垫可用于接收JTAG信号以测试第一组垫。

[0045] 在步骤330之后,方法300继续到步骤340。在步骤340中,将IC 200的第二组垫重新配置回为状态0配置,之后可根据装置规范及针对每一垫的垫指派来操作IC 200。因此,在这方面,针对IC 200的第二组垫可为双用途垫,在测试期间用作JTAG垫(在状态1测试中)。在步骤340中的重新配置之后,那些垫通过相应扫描单元连接到功能电路214。此后,方法300在步骤350中结束。

[0046] 图4绘示替代实例实施例IC 200',其与上文所描述的IC 200共享各种功能及结构方面。因此,一般来说,IC具备:(i)第一组垫,其在第一状态中可操作用于将测试信号传达到测试电路,并且在第二状态中可操作用于将输入/输出信号传达到功能电路;及(ii)第二组垫,其不同于第一组垫,在第二状态中可操作用于将测试信号传达到测试电路,用于测试在第二状态中与第一组垫相关联的信号。然而,针对IC 200',通过两组垫被连接到的切换电路230来促进多组交替垫,借此切换电路230可在垫与功能电路214及tap控制器212之间传达信号。此外,tap控制器212可操作以与指令寄存器216、旁路寄存器218及ID寄存器220中的任一者双向通信,因此两组垫两者(一者用于第一状态,一者用于第二状态)允许JTAG信号在电路230中多路复用,使得单个输出组的JTAG信号驱动TAP逻辑(例如,通过将其耦合到tap控制器212,然后tap控制器212可根据需要进一步与ID寄存器220、旁路寄存器218及指令寄存器216通信)并支持任何其它JTAG功能性。在这方面,在电路230及控制器212两者中实施必要的切换设备的各种替代方案是可能的。还针对IC 200',可实施特定单元结构来代替图2a及2b中所展示的切换及多路复用设备,如下文结合图5进一步所描述。

[0047] 图5绘示可用于图4的IC 200'中的单元 $C_0$ 到 $C_{15}$ 中的任何者的输出及串行链路径的单元 $C_x$ 的结构,其中相当的电路或其部分同样可被实施用于其输入路径。利用单元 $C_x$ 的结构,整个边界扫描链跨越共享垫的不同配置可为相同的,其中如现在所描述的额外结构确保在对应于用于JTAG的相应垫的单元之间移位的值不会传播并影响垫。单元 $C_x$ 包含以下输入或控制信号:

[0048] • parallel\_input:来自功能引脚多路复用模块(其可被包含作为功能电路214的部分)的数据,借此与功能使用情况相关的信号(例如,SPI、UART...)被多路复用为功能引脚多路复用模块的部分,并且此信号是输入到多路复用器240的第一数据,其中输入到多路复用器240的第二数据是来自扫描链中的前一单元 $C_{x-1}$ 的串行链数据。此外,parallel\_input被输入作为输入到多路复用器242的第一数据,其中输入到多路复用器242的第二数据是多路复用器244的输出。

[0049] • parallel\_input\_tpm:来自测试引脚多路复用模块的数据,借此与测试使用情况相关的信号(例如,扫描、dmled,...)被多路复用为测试引脚多路复用模块的部分,并且此信号是输入到多路复用器244的第一数据,其中输入到多路复用器242的第二数据是多路复用器246的输出。

[0050] • top\_bsc\_shift:控制多路复用器240以在parallel\_input信号或来自扫描链中的前一单元 $C_{x-1}$ 的移位数据之间进行选择。

[0051] • clock\_dr:对串行寄存器触发器248进行时钟控制,以对来自多路复用器240的输出的数据进行时钟输入,同时将数据输出到锁存输出寄存器触发器250。

[0052] • top\_bsc\_update:对锁存输出寄存器触发器250进行时钟控制,以对来自串行寄存器触发器248的输出的数据进行时钟输入,同时输出到输入到多路复用器246的第一数据值。

[0053] • top\_bsc\_output\_mode:指定边界扫描单元驱动I/O的外部测试模式的信号,且此信号是输入到多路复用器252的第一数据。

[0054] • test\_path\_select:输入到多路复用器252的控制信号,以选择parallel\_input\_tpm输出到垫,以实现与扫描/dmled/PBIST等等相关的测试设计(DFT)测试路径。

[0055] 此外,与单元C<sub>x</sub>相关联的是四位数据寄存器254,其中其四个位如下连接:

[0056] • b0:多路复用器241的控制。

[0057] • b1:输入到多路复用器252的第二数据值。

[0058] • b2:多路复用器246的控制。

[0059] • b3:输入到多路复用器246的第二数据值。

[0060] 单元C<sub>x</sub>的操作如下。图2a及2b的IC 200描绘开关及某些多路复用器,使得:在一个状态中,第一组垫可用于JTAG引脚;且第二组垫将信号耦合到相应单元。在那种情况下,针对第一组,开关允许绕过某些单元。在提供相当的结果时,在IC 200'中,针对图5,单元C<sub>x</sub>针对一个状态可将非JTAG测试或其它数据输出到垫,且针对另一状态可将JTAG扫描链数据输出到垫。具体来说,寄存器254中的位被编程(或者替代地硬编码)以选择来自“parallel\_input\_tpm”的路径或者latch\_out寄存器250的路径(即,通过控制多路复用器246),使得所选择的选择然后可通过多路复用器242传递到垫。因此,串行寄存器248是两个状态中的边界扫描链的部分,使得整个边界扫描链跨越不同配置为相同的,而寄存器254(或硬编码)值确保串行寄存器248中的移入值在不需要时不会传播到并影响垫。具体来说,在第一组垫用于JTAG测试的第一状态中,对应于此类垫的每一单元C<sub>x</sub>的串行寄存器248将从链中的前一单元获得某一移入值,但所述值不会传播到垫,因此垫继续按照测试的要求起作用(即,通过代替地向垫提供parallel\_input\_tpm)。在第二组垫用于JTAG测试的第二状态中,允许对应于第一组JTAG垫的单元中的串行寄存器值传播(经由寄存器250及多路复用器246、244及242)到每一相应垫,由此确保其通过边界扫描测试为可控制的及可测试的。

[0061] 鉴于上文描述,实例实施例提供IC及印刷电路板(PCB)的边界扫描的改进。具体来说,实例实施例IC允许共享垫,使得:在第一状态中,所述垫可用于JTAG测试,其中在所述状态期间,引脚绕过或者以其它方式不通过连接到可配置扫描链(尽管TDI及TDO垫串联连接用于输入及输出来自链的数据,而不是通过数据传递到功能电路214);并且在第二状态中,所述垫用于非JTAG信号,其通过连接到专用相应扫描单元,并且额外垫用于在所述第二状态期间对双用途垫进行JTAG测试。因此,一组IC垫可用于除JTAG测试以外的第二功能,例如,用于例如用于通用异步接收器/发射器(UART)的输入/输出的功能接口,或用作串行外围接口(SPI)。因此,针对例如低功率射频装置的低垫计数装置,可针对两个不同功能共享第一组垫,一个功能是JTAG且另一功能与JTAG无关,其中垫(以及关联的信号及功能)本身仍然可在所述垫不用作JTAG垫的状态中进行JTAG测试,并且经由可配置扫描链临时启用第二组JTAG垫。对“低垫计数”的参考可基于应用或其它考虑因素而变化,因此实例实施例可小于64个垫,小于32个垫,或小于16个垫。此类途径降低了装置成本,这是因为可减少垫的数目,或者在相对低垫数目的装置中启用对所有垫的完全JTAG测试。因此,实例实施例允许

在共享用于功能接口的JTAG垫的装置上进行100%输入/输出测试覆盖,这可能是对某种(例如,安全、汽车)资格的重要要求。此外,针对具有双用途垫的装置,板测试通常需要两个不同的访问协议,其中一个用途是JTAG,并且针对双用途垫不允许扫描链JTAG测试,这是因为针对此类垫不存在对应边界单元(例如在图1的实例中),而实例实施例可消除双重要求。

[0062] 图2a及2b绘示切换配置的一个实例,以创建边界单元的可配置扫描链,以便绕过所选单元的通过连接性以在相应不同状态中进行JTAG测试,但是各种替代方案是可能的。举例来说,虽然实例实施例被展示为包含16个垫,但是可实施各种其它数目个垫。此外,实例实施例可被创建为包含或排除任选的TRST(测试复位)JTAG信号。

[0063] 在权利要求书的范围内,对所描述的实施例的修改是可能的,并且其它实施例是可能的。

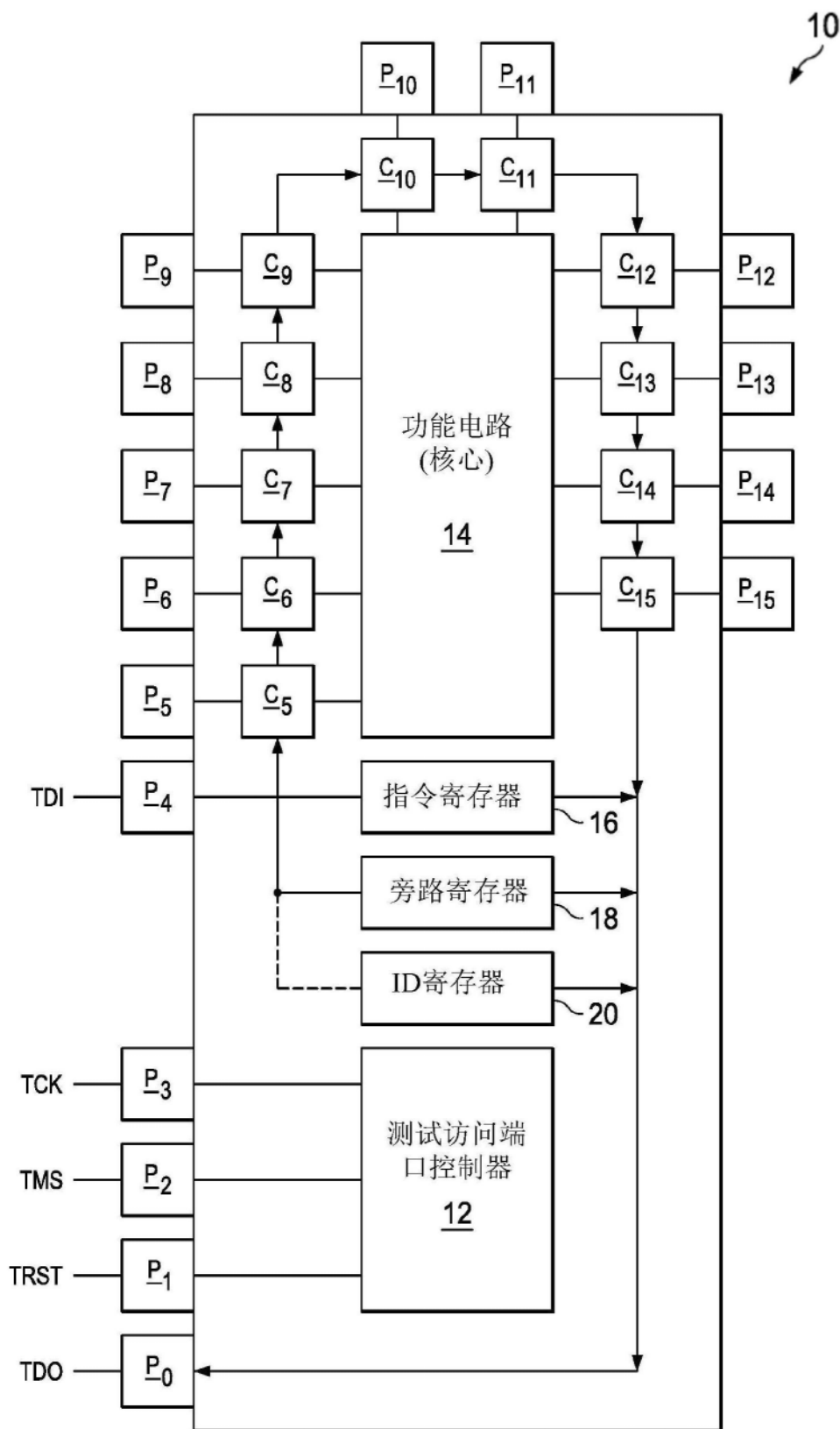


图1 (现有技术)

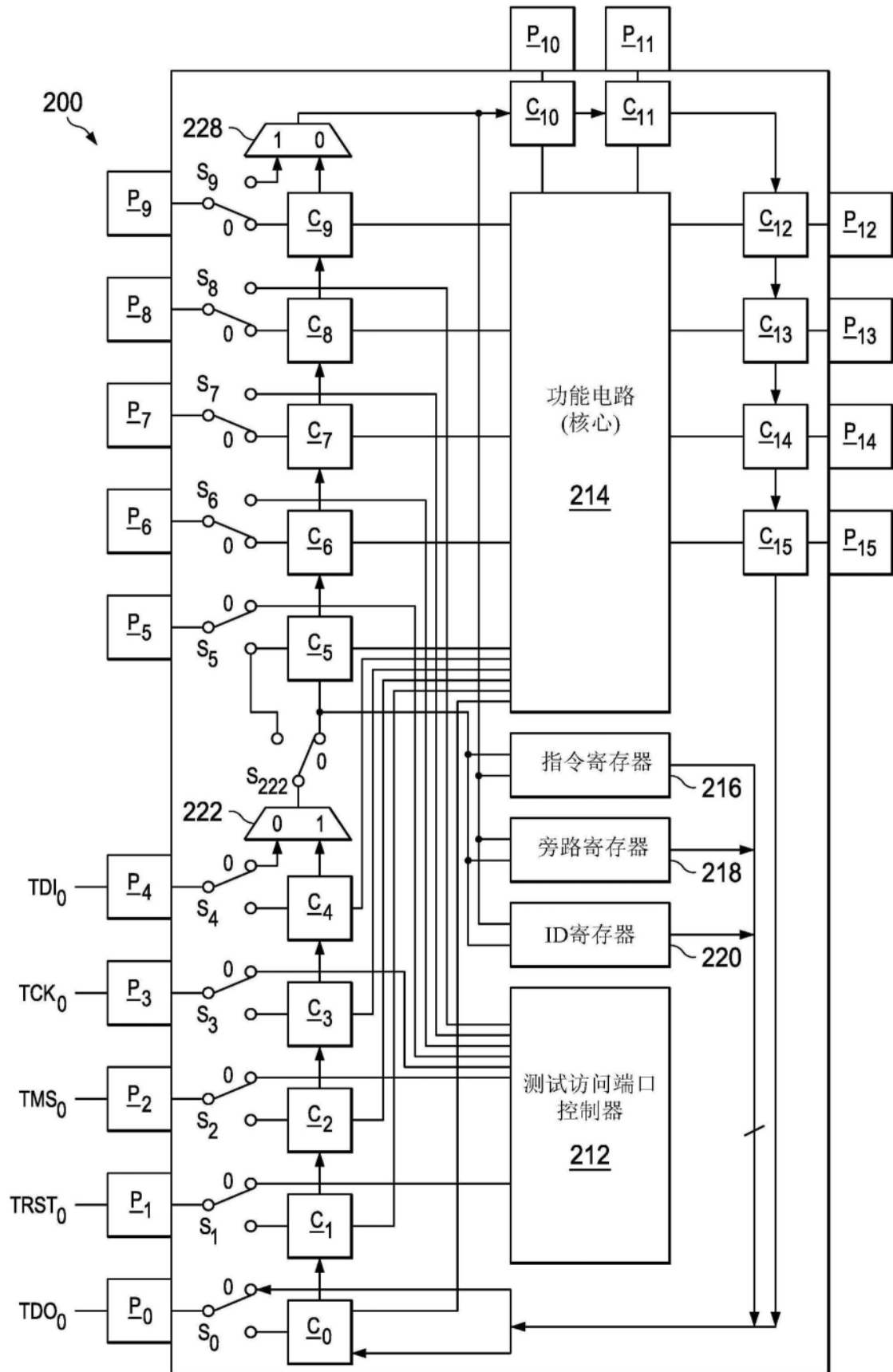


图2a

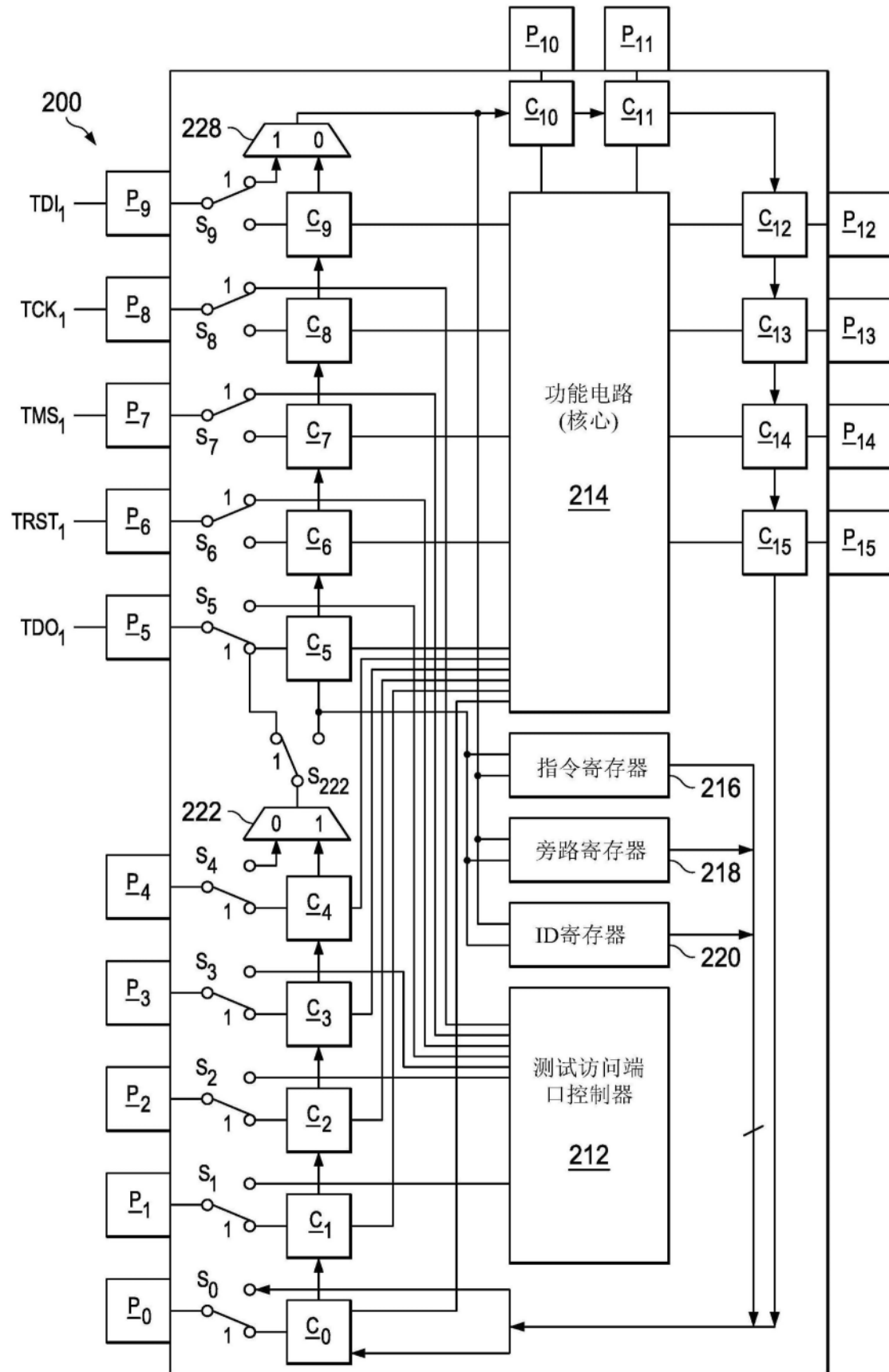


图2b

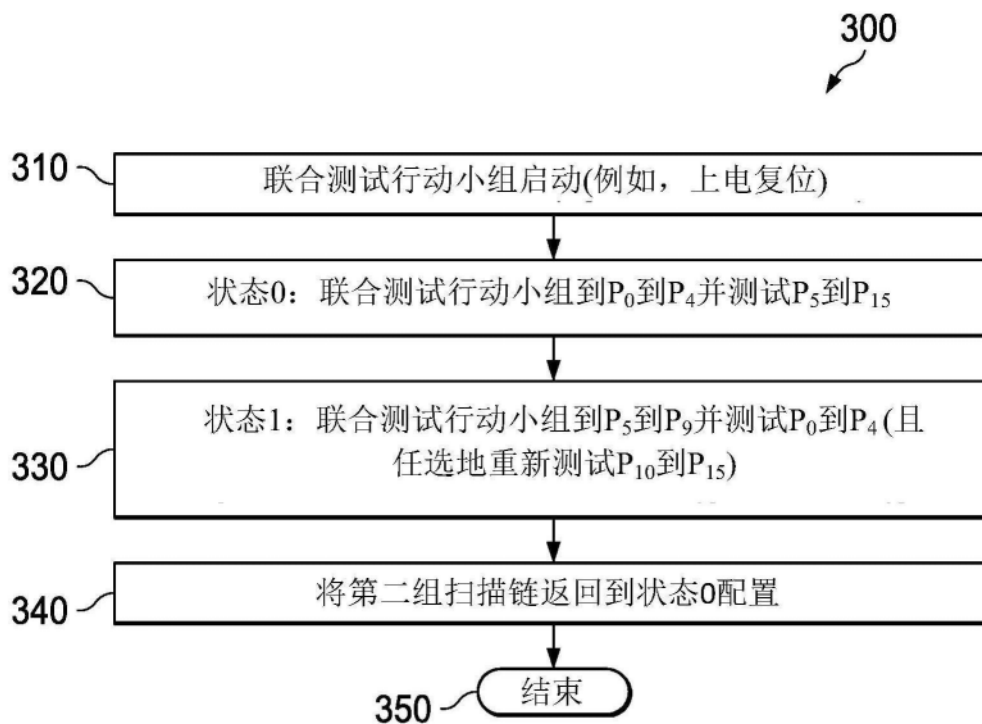


图3

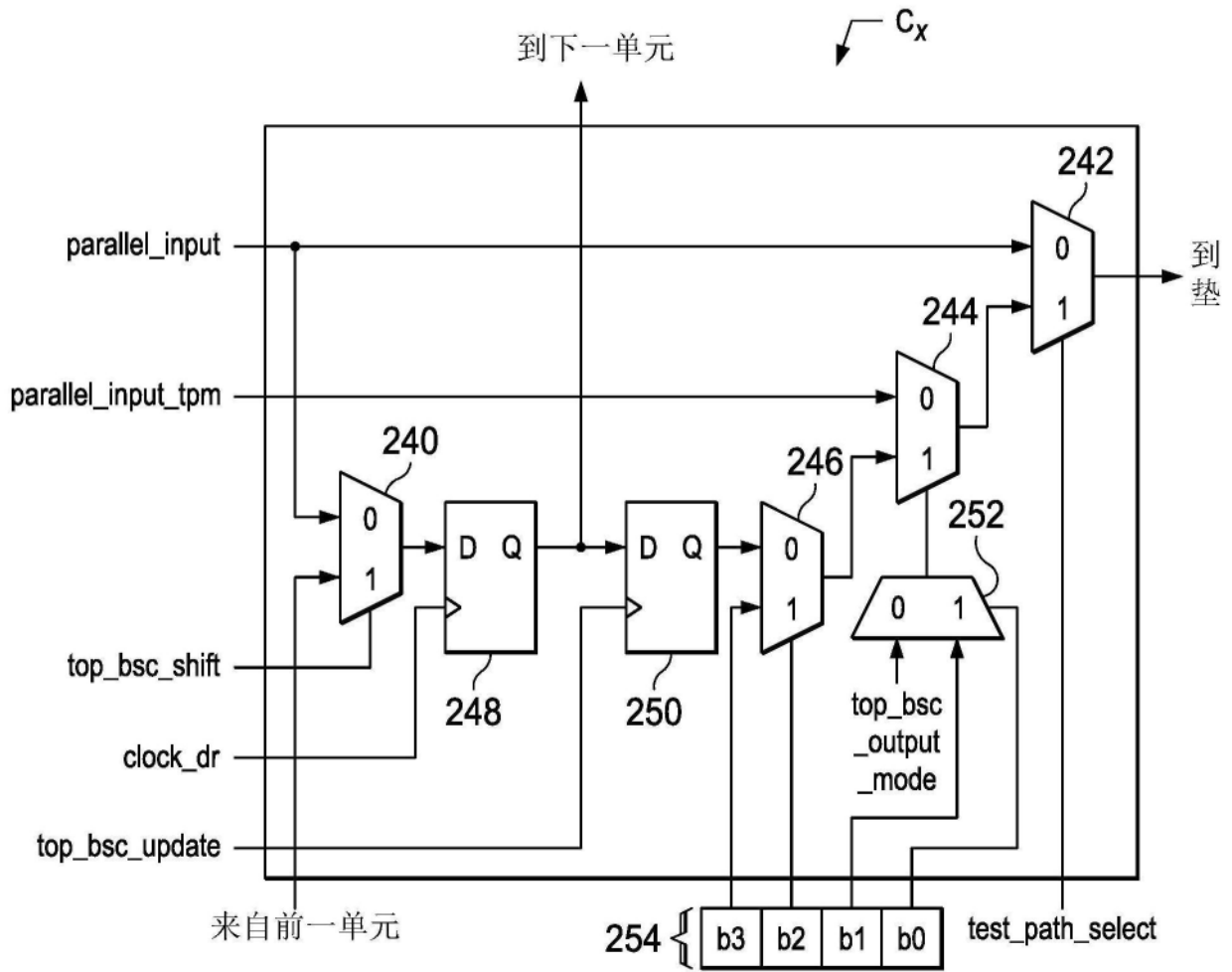


图5



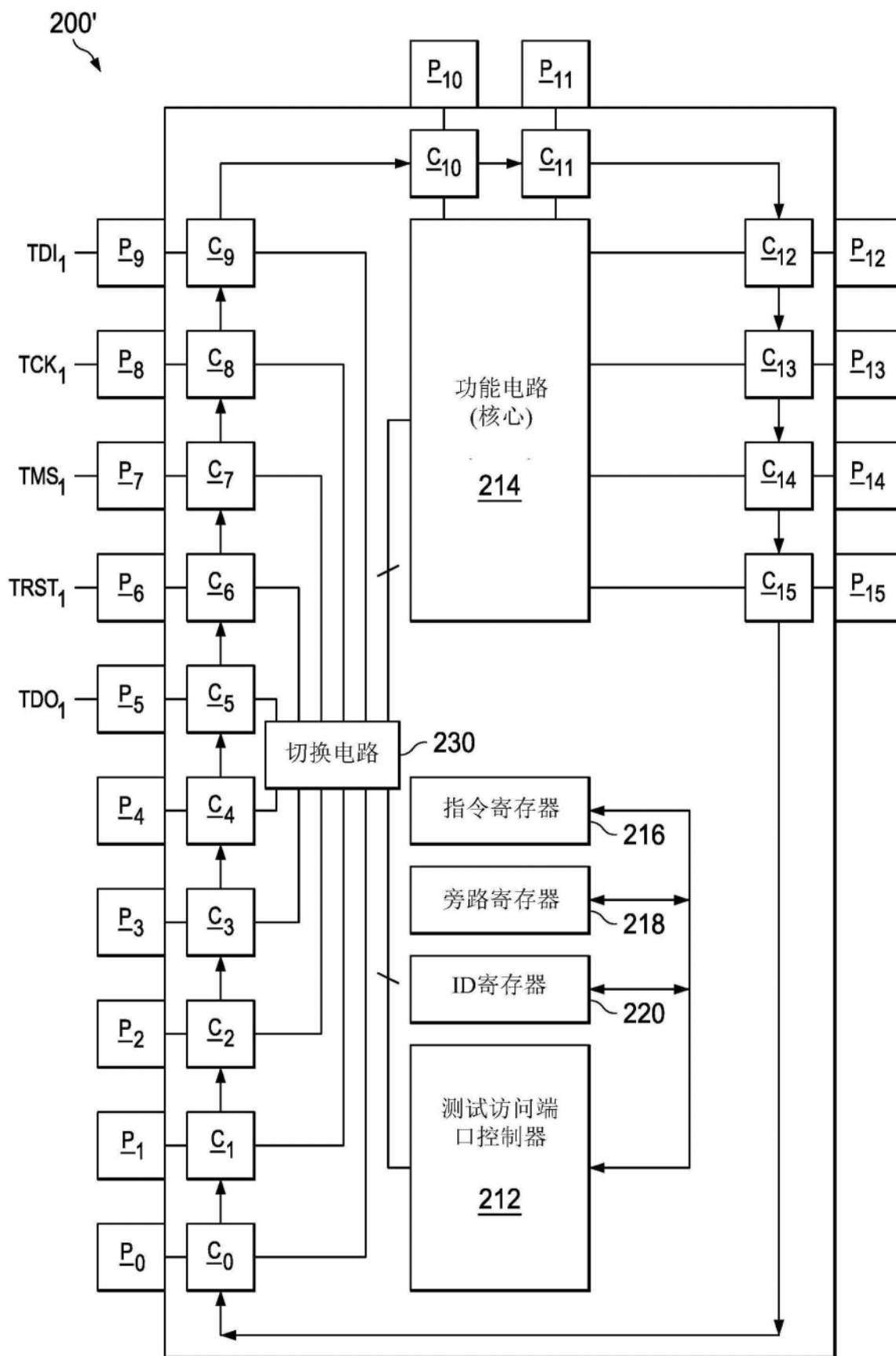


图4