

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4625712号
(P4625712)

(45) 発行日 平成23年2月2日(2011.2.2)

(24) 登録日 平成22年11月12日(2010.11.12)

(51) Int.Cl.
H04L 12/28 (2006.01)

F I
H04L 12/28 200Z

請求項の数 7 (全 10 頁)

(21) 出願番号	特願2005-117345 (P2005-117345)	(73) 特許権者	000005821
(22) 出願日	平成17年4月14日 (2005.4.14)		パナソニック株式会社
(65) 公開番号	特開2006-295825 (P2006-295825A)		大阪府門真市大字門真1006番地
(43) 公開日	平成18年10月26日 (2006.10.26)	(74) 代理人	100077931
審査請求日	平成20年3月21日 (2008.3.21)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 半導体集積回路及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

周辺機器のケーブル接続状況及び内部又は外部のCPUの動作状況に応じて動作モードを切り替える半導体集積回路であって、

周辺機器のケーブルの信号を送受信する下位インタフェースと、

前記下位インタフェースと前記CPUとの間の通信を行う上位インタフェースとを備え、

前記下位インタフェースは、

少なくとも1本の周辺機器のケーブルが挿されたとき、第1の信号を第1の論理レベルに変化させる一方、すべての周辺機器のケーブルが抜かれたとき、前記第1の信号を第2の論理レベルに変化させる挿抜検出回路と、

前記第1の信号の論理レベルが変化してから所定時間後に、前記第1の信号が前記第1の論理レベルのとき、第2の信号を第1の論理レベルに設定する一方、前記第1の信号が前記第2の論理レベルのとき、前記第2の信号を第2の論理レベルに設定する検出確定回路とを有するものであり、

前記第2の信号が前記第2の論理レベルのとき、前記挿抜検出回路のみが動作する第1のモードで動作し、前記第2の信号が前記第1の論理レベルであり、かつ、前記CPUが休止状態であるとき、前記下位インタフェースのみが動作する第2のモードで動作し、前記第2の信号が前記第1の論理レベルであり、かつ、前記CPUが動作状態であるとき、前記下位インタフェース及び前記上位インタフェースのいずれもが動作する第3のモード

10

20

で動作する

ことを特徴とする半導体集積回路。

【請求項 2】

請求項 1 に記載の半導体集積回路において、

前記検出確定回路は、

前記第 1 の信号の論理レベルが変化したとき、与えられたクロック信号のパルスカウントを開始し、当該パルスカウント値が所定値となったとき、当該パルスカウントを停止し、かつ、このときの前記第 1 の信号の論理レベルに応じて前記第 2 の信号の論理レベルを設定するカウンタ回路と、

前記第 1 の信号の論理レベルが変化したとき、前記クロック信号の生成を開始し、前記パルスカウントが停止したときであって前記第 1 の信号が前記第 1 の論理レベルのとき又は前記第 2 の信号が前記第 2 の論理レベルのとき、前記クロック信号の生成を停止するクロック生成回路とを有するものであり、

前記下位インタフェースは、前記第 2 の信号が前記第 1 の論理レベルであり、かつ、前記 CPU が動作状態であるとき、前記クロック信号を前記上位インタフェースに供給するものであり、

前記上位インタフェースは、前記クロック信号の供給により動作するものであることを特徴とする半導体集積回路。

【請求項 3】

請求項 1 に記載の半導体集積回路において、

前記第 2 のモードの有効及び無効のいずれかを選択するモード選択部を備えたことを特徴とする半導体集積回路。

【請求項 4】

請求項 1 に記載の半導体集積回路において、

前記周辺機器との通信は、IEEE 1394 規格に準拠したものであり、

前記下位インタフェースは、物理層である

ことを特徴とする半導体集積回路。

【請求項 5】

請求項 1 に記載の半導体集積回路において、

前記周辺機器との通信は、HDMI 規格に準拠したものであり、

前記下位インタフェースは、物理層である

ことを特徴とする半導体集積回路。

【請求項 6】

ケーブルの接続状態を検出する半導体集積回路であって、

少なくとも 1 本のケーブルが挿されたとき、第 1 の信号を第 1 の論理レベルに変化させる一方、すべてのケーブルが抜かれたとき、前記第 1 の信号を第 2 の論理レベルに変化させる挿抜検出回路と、

前記第 1 の信号の論理レベルが変化したとき、与えられたクロック信号のパルスカウントを開始し、当該パルスカウント値が所定値となったとき、当該パルスカウントを停止し、かつ、このときの前記第 1 の信号の論理レベルに応じて第 2 の信号の論理レベルを設定するカウンタ回路と、

前記第 1 の信号の論理レベルが変化したとき、前記クロック信号の生成を開始し、前記パルスカウントが停止したときであって前記第 1 の信号が前記第 2 の論理レベルのとき又は前記第 2 の信号が所定の論理レベルのとき、前記クロック信号の生成を停止するクロック生成回路とを備え、

前記第 2 の信号をケーブル接続検出信号として出力することを特徴とする半導体集積回路。

【請求項 7】

請求項 1 に記載の半導体集積回路を備え、

前記半導体集積回路の動作モードをユーザインタフェースに表示する

ことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路及び電子機器に関し、特に、ケーブルの接続状況及びCPUの動作状況に応じた半導体集積回路及び電子機器の電力制御技術に属する。

【背景技術】

【0002】

IEEE (Institute of Electrical and Electronic Engineers) 1394 や HDMI (High-Definition Multimedia interface) などのインタフェース規格は、機器動作中にケーブルの挿抜が可能ないわゆるホットプラグに対応している。このため、これらインタフェース規格に準拠したシステムは、ケーブルの挿抜を検出する挿抜検出回路を備えている。

10

【0003】

図6は、従来のIEEE 1394 インタフェース機器の構成を示す。これまで、CPU 10、リンク層 (LINK) 20 及び物理層 (PHY) 30 は、それぞれ、個別のチップで実現されていたが、近年、PHY 30 及び LINK 20 を1チップに実装した半導体集積回路が登場している。

【0004】

PHY 30 における挿抜検出回路 31 は、PHY 30 がパワーダウンモード中であっても、ある周辺機器のケーブル C1 や別の周辺機器のケーブル C2 が接続されたことを検出可能なように給電されている (例えば、特許文献1 参照)。挿抜検出回路 31 によってケーブル接続が検出されたとき、信号 CDT の論理レベルが変化する。CPU 10 は、この論理レベルの変化に基づいてケーブル接続を検知し、PHY 30 の復帰制御を行う。具体的には、CPU 10 は、信号 PWD により PHY 30 に動作の開始を指示する。動作を開始した PHY 30 は、クロック信号 CLK を生成し、パワーダウンモード中の LINK 20 に供給する。LINK 20 は、クロック信号 CLK の供給により動作を開始する (例えば、特許文献2 参照)。

20

【0005】

上述のIEEE 1394 インタフェースでは、ケーブル未接続時に動作不要な PHY 30 及び LINK 20 についてパワーダウン制御をすることによって消費電力の低減を図ることができる。しかし、CPU 10 はケーブルの接続状態を検知するために動作している必要がある。これは、CPU 10 までもがパワーダウンしてしまうと、挿抜検出回路 31 によってケーブル接続が検出されても PHY 30 の復帰制御ができなくなり、ケーブル C1 及び C2 が接続されている場合に周辺機器間でデータ転送の中継 (リピーター動作) ができなくなるからである。このように、上述のIEEE 1394 インタフェースでは、PHY 30 のリピーターとしての機能を有効にしつつインタフェース機器全体としてのさらなる低消費電力化を図ることは困難である。

30

【0006】

一方、CPU 10 の動作状態にかかわらず、挿抜検出回路 31 によるケーブル接続の検出によって、パワーダウン中の PHY 30 を復帰制御することも可能である。これによると、CPU 10 がパワーダウンしていても、ケーブル C1 及び C2 が接続されるとパワーダウン中の PHY 30 が復帰し、リピーターとして機能する (例えば、特許文献3 参照)。

40

【特許文献1】特開平11 45130号公報 (第5～6頁、第1図)

【特許文献2】特開平10 341248号公報 (第4頁、第1図)

【特許文献3】特開2001 42975号公報 (第4頁、第2図)

【発明の開示】

【発明が解決しようとする課題】

【0007】

50

一般に、ケーブルの挿抜の際、数ms～数10msの期間でケーブル接続状態及び切断状態が交互に繰り返されるいわゆるチャタリングが発生する。このため、ケーブル接続検出信号（信号CDT）にはチャタリングに起因するノイズが重畳される。このようなノイズを含むケーブル接続信号をインタフェース機器の制御に使用することは誤動作の原因となるため好ましくない。したがって、ケーブル接続検出信号からチャタリングに起因するノイズを除去する必要がある。

【0008】

また、上述したように、CPU10がパワーダウン中にPHY30をリピーターとして動作させる場合であっても、PHY30が復帰することによってクロック信号CLKがLINK20に供給され、LINK20も復帰してしまう。リピーター動作は、PHY30のみが動作すれば可能であるため、インタフェース機器全体としての低消費電力化の観点から、LINK20はパワーダウンのままにしておくことが好ましい。

10

【0009】

上記問題に鑑み、本発明は、IEEE1394やHDMIなどの、いわゆるホットプラグに対応し、かつ、CPUの介在無しに周辺機器間のデータ転送が可能な通信インタフェース規格に準拠した半導体集積回路の低消費電力化を課題とする。

【課題を解決するための手段】

【0010】

上記課題を解決するために本発明が講じた手段は、周辺機器のケーブル接続状況及び内部又は外部のCPUの動作状況に応じて動作モードを切り替える半導体集積回路として、周辺機器のケーブルの信号を送受信する下位インタフェースと、この下位インタフェースとCPUとの間の通信を行う上位インタフェースとを備えたものとする。ここで、下位インタフェースは、少なくとも1本の周辺機器のケーブルが挿されたとき、第1の信号を第1の論理レベルに変化させる一方、すべての周辺機器のケーブルが抜かれたとき、第1の信号を第2の論理レベルに変化させる挿抜検出回路と、第1の信号の論理レベルが変化してから所定時間後に、第1の信号が第1の論理レベルのとき、第2の信号を第1の論理レベルに設定する一方、第1の信号が第2の論理レベルのとき、第2の信号を第2の論理レベルに設定する検出確定回路とを有するものとする。そして、上記の半導体集積回路は、第2の信号が第2の論理レベルのとき、挿抜検出回路のみが動作する第1のモードで動作し、第2の信号が第1の論理レベルであり、かつ、CPUが休止状態であるとき、下位インタフェースのみが動作する第2のモードで動作し、第2の信号が第1の論理レベルであり、かつ、CPUが動作状態であるとき、下位インタフェース及び上位インタフェースのいずれもが動作する第3のモードで動作するものとする。

20

30

【0011】

この発明によると、挿抜検出回路によってケーブルの挿抜が検出され、検出確定回路によって所定時間後の第1の信号の論理レベルに応じて第2の信号の論理レベルが設定される。これにより、ケーブルの挿抜の際に発生するチャタリングが収束した後にケーブルの接続の有無を確定することができ、ケーブル接続検出信号としての第2の信号はチャタリングに起因するノイズを含まない。そして、本発明に係る半導体集積回路の動作モードは、この第2の信号の論理レベル及びCPUの動作状態に応じて、挿抜検出回路のみ動作する第1のモード、下位インタフェースのみ動作する第2のモード、及び、下位インタフェース及び上位インタフェースのいずれもが動作する第3のモードに切り替わる。特に、第2のモードでは、リピーターとして動作を確保しつつ半導体集積回路全体としての低消費電力化が可能となる。

40

【0012】

具体的には、検出確定回路は、第1の信号の論理レベルが変化したとき、与えられたクロック信号のパルスカウントを開始し、このパルスカウント値が所定値となったとき、このパルスカウントを停止し、かつ、このときの第1の信号の論理レベルに応じて第2の信号の論理レベルを設定するカウンタ回路と、第1の信号の論理レベルが変化したとき、上記のクロック信号の生成を開始し、パルスカウントが停止したときであって第1の信号が

50

第 1 の論理レベルのとき又は第 2 の信号が第 2 の論理レベルのとき、上記のクロック信号の生成を停止するクロック生成回路とを有する。また、下位インタフェースは、第 2 の信号が第 1 の論理レベルであり、かつ、CPU が動作状態であるとき、クロック信号を前記上位インタフェースに供給する。そして、上位インタフェースは、上記のクロック信号の供給により動作する。

【 0 0 1 3 】

好ましくは、上記の半導体集積回路は、第 2 のモードの有効及び無効のいずれかを選択するモード選択部を備えたものとする。

【 0 0 1 4 】

具体的には、上記の半導体集積回路において、周辺機器との通信は、IEEE 1394 規格又は HDMI 規格に準拠したものであり、下位インタフェースは、物理層である。

【 0 0 1 5 】

また、本発明が講じた手段は、電子機器として、上記の半導体集積回路を備え、その動作モードをユーザーインタフェースに表示するものとする。

【発明の効果】

【 0 0 1 6 】

本発明によると、いわゆるホットプラグに対応し、かつ、CPU の介在無しに周辺機器間のデータ転送が可能な通信インタフェース規格に準拠した半導体集積回路に、リピーター動作のために必要最小限の部分のみが動作する動作モードが追加され、半導体集積回路全体としての低消費電力化が可能となる。

【発明を実施するための最良の形態】

【 0 0 1 7 】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。図 1 は、本発明の一実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、例えば、IEEE 1394 規格に準拠したデータ通信を行うものであり、下位インタフェースとして PHY 30、上位インタフェースとして LINK 20、及びモード選択部 40 を備えている。CPU 10 は、本半導体集積回路の内部及び外部のいずれにあってもよい。なお、ここでいう上位インタフェースとは、周辺機器と CPU 10 との間のインタフェースのうち下位インタフェース以外の部分を指しており、リンク層 (LINK 20) のみならず、トランザクション層や、IEC 61883、MPEG 処理や SBP 2 などのアプリケーション層をも含むものである。

【 0 0 1 8 】

PHY 30 は、挿抜検出回路 31 及び検出確定回路 32 を備えている。挿抜検出回路 31 は、各周辺機器のケーブル C1 及び C2 の接続 / 切断を検出し、ケーブル接続状態に応じて信号 CDT0 の論理レベルを決定する。具体的には、信号 CDT0 は、ケーブルが未接続の状態では L0 レベルであり、ケーブルが接続された状態では Hi レベルとなる。すなわち、信号 CDT0 は、少なくとも 1 本のケーブルが接続されたとき、Hi レベルに設定され、すべてのケーブルが切断されたとき、L0 レベルに設定される。

【 0 0 1 9 】

上述したように、信号 CDT0 にはチャタリングに起因するノイズが含まれている。検出確定回路 32 は、信号 CDT0 に含まれるチャタリングに起因するノイズを除去し、ケーブル接続検出信号として信号 CDT を出力する。すなわち、検出確定回路 32 は、ケーブルの接続又は切断に伴うチャタリングが収束するのに十分な時間が経過した後、そのときの信号 CDT0 をケーブル接続検出信号として確定し、このケーブル接続検出信号として信号 CDT を出力する。

【 0 0 2 0 】

図 2 は、一実施形態に係る検出確定回路 32 の構成を示す。カウンタ回路 321 は、ケーブルが接続又は切断されたことによる信号 CDT0 の論理レベルの変化から、クロック生成回路 322A によって生成されたクロック信号 CLK0 のパルスカウントを開始し、パルスカウント値が所定値となったとき、パルスカウントを停止する。そして、パルスカ

10

20

30

40

50

ントを停止した信号 C D T 0 の論理レベルが H i レベルのとき、信号 C D T を H i レベルに設定し、信号 C D T 0 の論理レベルが L o レベルのとき、信号 C D T を L o レベルに設定する。なお、カウンタ回路 3 2 1 は、パルスカウントを行っている間、信号 C N T を H i レベルに設定する。

【 0 0 2 1 】

クロック生成回路 3 2 2 A は、信号 C D T 0 の論理レベルが変化したとき、クロック信号 C L K 0 の生成を開始する。そして、カウンタ回路 3 2 1 によるパルスカウントが停止したとき、信号 C D T を参照して、信号 C D T が H i レベルであれば、クロック信号 C L K 0 の生成を継続する。一方、信号 C D T が L o レベルであれば、クロック信号 C L K 0 の生成を停止する。すなわち、確定したケーブル接続検出信号に基づいて、クロック信号 C L K 0 の生成を継続するか否かが決定される。

10

【 0 0 2 2 】

図 3 は、別の実施形態に係る検出確定回路 3 2 の構成を示す。カウンタ回路 3 2 1 は上記の通りである。一方、クロック生成回路 3 2 2 B は、カウンタ回路 3 2 1 によるパルスカウントが停止したとき、信号 C D T 0 を参照して、信号 C D T 0 が H i レベルであれば、クロック信号 C L K 0 の生成を継続する。一方、信号 C D T 0 が L o レベルであれば、クロック信号 C L K 0 の生成を停止する。

【 0 0 2 3 】

上記のクロック信号 C L K 0 は、カウンタ回路 3 2 1 によってパルスカウントされるだけでなく、P H Y 3 0 及び L I N K 2 0 の動作の基ともなる。図 1 に戻り、P H Y 3 0 は、クロック信号 C L K 0 の供給により動作する。すなわち、少なくとも 1 本のケーブルが接続されると、パワーダウン中の P H Y 3 0 は復帰する。もちろん、従来と同様に、C P U 1 0 からの信号 P W D による復帰制御も可能である。

20

【 0 0 2 4 】

なお、クロック信号 C L K 0 が生成されると直ちに P H Y 3 0 を復帰させるのではなく、さらに、信号 C D T が H i レベルであるという条件を加えて、P H Y 3 0 を復帰させるようにしてもよい。これにより、チャタリングが発生している不安定な期間における P H Y 3 0 の復帰制御が抑止され、より安定した復帰制御が可能となる。

【 0 0 2 5 】

P H Y 3 0 は、さらに、信号 C D T が H i レベルであり、かつ、C P U 1 0 が動作状態であるとき、クロック信号 C L K としてクロック信号 C L K 0 を L I N K 2 0 に供給する。L I N K 2 0 は、クロック信号 C L K の供給によりパワーダウン状態から復帰する。換言すると、C P U 1 0 が休止状態であるとき、ケーブル接続によって P H Y 3 0 は動作するが、L I N K 2 0 にクロック信号 C L K が供給されないため、L I N K 2 0 は引き続きパワーダウンしたままとなる。

30

【 0 0 2 6 】

以上のように、本実施形態に係る半導体集積回路は、信号 C D T が L o レベルのとき、挿抜検出回路 3 1 のみが動作するケーブル接続待機モード（待機モードとも称する。）で動作し、信号 C D T が H i レベルであり、かつ、C P U 1 0 が休止状態であるとき、P H Y 3 0 のみが動作するリピーター動作モード（リピーターモードとも称する。）で動作し、信号 C D T が H i レベルであり、かつ、C P U 1 0 が動作状態であるとき、P H Y 3 0 及び L I N K 2 0 のいずれもが動作する通常動作モード（通常モードとも称する。）で動作する。図 4 は、これら動作モードの遷移図である。ケーブルが未接続の場合、本半導体集積回路は待機モードで動作している。そして、少なくとも 1 本のケーブルが接続されたとき、C P U 1 0 が動作していれば通常モードに遷移し、休止していればリピーターモードに遷移する。

40

【 0 0 2 7 】

リピーターモードでは、P H Y 3 0 のみ動作しており、接続された周辺機器間のデータ転送の中継が可能であるとともに、L I N K 2 0 がパワーダウンしていることにより半導体集積回路全体としての消費電力が低減される。リピーターモード中に C P U 1 0 が動作

50

を開始すると、本半導体集積回路は通常モードに遷移する。このときに初めてパワーダウン中のLINK 20が復帰する。これにより、接続された周辺機器とCPU 10との間の通信が可能となる。一方、リピーターモード中にすべての周辺機器のケーブルが切断されると、本半導体集積回路は待機モードに遷移する。

【0028】

通常モードでは、CPU 10、LINK 20及びPHY 30のすべてが動作しており、接続された周辺機器間のデータ転送の中継が可能であるだけでなく、CPU 10と各周辺機器との間の通信も可能である。通常モード中にCPU 10がパワーダウン状態となると、本半導体集積回路はリピーターモードに遷移する。このとき、LINK 20はパワーダウンするが、周辺機器とCPU 10との間の通信はもはや行われなため特に問題はない。一方、通常モード中にすべての周辺機器のケーブルが切断されると、本半導体集積回路は待機モードに遷移する。

10

【0029】

次に、上記各信号の変化と動作モードの遷移とについて、図5のタイミングチャートを参照しながら説明する。待機モード中にケーブルが接続されたとき、信号CDT 0はHiレベルに変化する。信号CDT 0がHiレベルに変化することによって、クロック信号CLK 0の生成が開始されるとともに、パルスカウンタが開始され、信号CNTはHiレベルとなる。所定数のパルスをカウントしてパルスカウンタが停止すると、信号CNTはLoレベルとなる。このとき、信号CDT 0は、チャタリングによるノイズが十分に収束した状態となっており、信号CDTは、このときの信号CDT 0の論理レベルに基づいてHiレベルとなる。また、このとき、信号CDTがHiレベルである（又は信号CDT 0がHiレベルである）ことから、クロック信号CLK 0の生成は継続される。

20

【0030】

図5の例では、信号CDTがHiレベルとなったとき、信号PWDはHiレベルであり、CPUは休止状態にある。したがって、クロック信号CLKは出力されず、リピーターモードに遷移する。そして、CPUが動作状態となり、信号PWDがLoレベルに変化する。これにより、クロック信号CLKの出力が開始され、通常モードに遷移する。

【0031】

ケーブルが切断されたとき、信号CDT 0はLoレベルに変化する。信号CDT 0がLoレベルに変化することによって、クロック信号CLK 0のパルスカウンタが開始され、信号CNTはHiレベルとなる。所定数のパルスをカウントしてパルスカウンタが停止すると、信号CNTはLoレベルとなる。このとき、信号CDT 0は、チャタリングによるノイズが十分に収束した状態となっており、信号CDTは、このときの信号CDT 0の論理レベルに基づいてHiレベルとなる。また、このとき、信号CDTがLoレベルである（又は信号CDT 0がLoレベルである）ことから、クロック信号CLK 0の生成は停止する。クロック信号CLK 0の生成停止によって、クロック信号CLKも出力されなくなり、再び待機モードに遷移する。

30

【0032】

図1に戻り、モード選択部40は、リピーターモードを有効にするか又は無効にするかのいずれかを選択する。モード選択部40は、例えば、半導体集積回路の入力端子であり、この入力端子のオン/オフによりリピーターモードの有効/無効が静的に切り替わる。リピーターモードを無効にしたとき、本半導体集積回路は従来と同様のものとなる。これにより、現行製品と同等な機能を要望するセットカスタマ（LSI使用者）は、設計変更などをすることなく、本実施形態に係る半導体記憶装置を用いることができる。また、モード選択部40は、リピーターモードの有効/無効を動的に切り替えるようにしてもよい。これにより、例えば、本半導体集積回路を備えた電子機器が内部バッテリーで動作しているときにはリピーターモードを有効にし、CPU 10がパワーダウンしているときにはLINK 20もパワーダウンさせて消費電力を抑制する一方、商用電源で動作しているときには、CPU 10の動作に連動してLINK 20を動作させることができる。

40

【0033】

50

ユーザーインタフェース 50 は、本実施形態に係る半導体集積回路を備えた電子機器の一部であり、本半導体集積回路の動作モードを表示する。これにより、ユーザーは、電子機器が現在どの動作モードで動作しているのかを知ることができる。

【0034】

なお、本発明に係る半導体集積回路はHDMIインタフェースについても上記と同様の効果を奏する。また、本発明は、イーサネット（登録商標）に係るルータ装置やスイッチングハブ装置にも適用可能である。ルータ装置の場合、OSI参照モデルにおける物理層、データリンク層及びネットワーク層が下位インタフェースに相当し、スイッチングハブ装置の場合、物理層及びデータリンク層が下位インタフェースに相当する。

【産業上の利用可能性】

10

【0035】

本発明に係る半導体集積回路は、比較的少ない消費電力でリピーターとして動作するため、IEEE1394又はHDMIなどのインタフェースを有する周辺機器が複数接続される電子機器、例えば、デジタルテレビジョン装置などに有用である。

【図面の簡単な説明】

【0036】

【図1】本発明の一実施形態に係る半導体集積回路の構成図である。

【図2】一実施形態に係る検出確定回路の構成図である。

【図3】別の実施形態に係る検出確定回路の構成図である。

【図4】本発明に係る半導体集積回路における動作モードの遷移図である。

20

【図5】本発明の一実施形態に係る半導体集積回路のタイミングチャートである。

【図6】従来のIEEE1394インタフェースの構成図である。

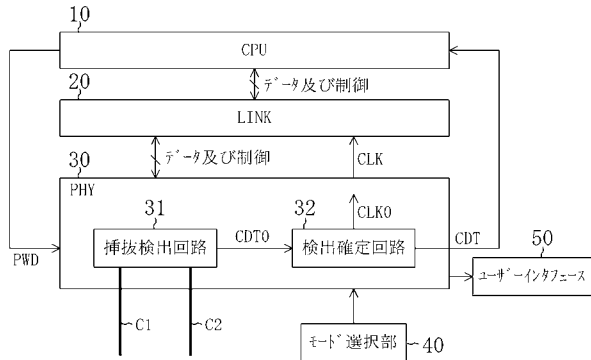
【符号の説明】

【0037】

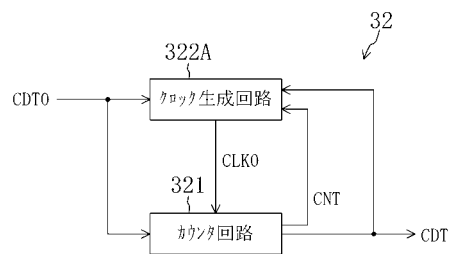
- 10 CPU
- 20 リンク層（上位インタフェース）
- 30 物理層（下位インタフェース）
- 31 挿抜検出回路
- 32 検出確定回路
- 40 モード選択部
- 50 ユーザーインタフェース
- 321 カウンタ回路
- 322A, 322B クロック生成回路

30

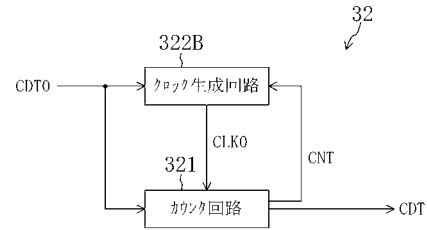
【図 1】



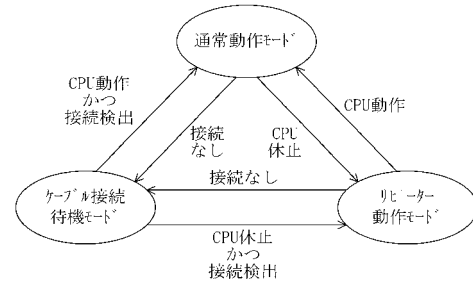
【図 2】



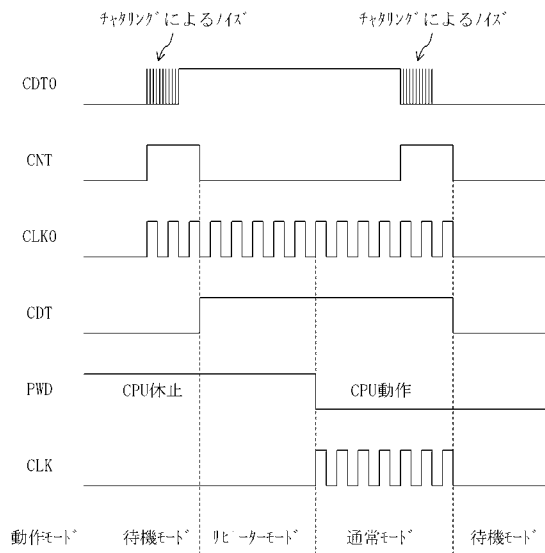
【図 3】



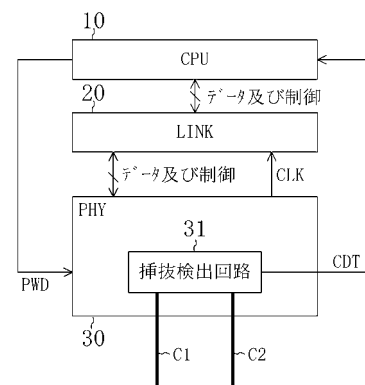
【図 4】



【図 5】



【図 6】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (72)発明者 田平 由弘
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 高橋 学志
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 福岡 裕貴

- (56)参考文献 特開 2 0 0 3 - 4 4 1 8 4 (J P , A)
特開 2 0 0 1 - 2 4 6 7 5 (J P , A)
特開 2 0 0 1 - 4 2 9 7 5 (J P , A)
特開平 1 0 - 3 4 1 2 4 8 (J P , A)
特開平 1 1 - 4 5 1 3 0 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 4 L 1 2 / 2 8 - 1 2 / 4 6