I233585

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：92131388

※ 申請日期：92-11-10　　※IPC 分類：G09G 3/28

壹、發明名稱：（中文/英文）

在各單位發光區域中具有多個放電胞元之顯示器裝置

DISPLAY DEVICE HAVING A PLURALITY OF DISCHARGE CELLS IN EACH UNIT LIGHT-EMITTING AREA

貳、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

先鋒股份有限公司 / PIONEER CORPORATION

代表人：（中文/英文）

伊藤周男 / ITOH, AMAO

住居所或營業所地址：（中文/英文）

日本國東京都目黑區目黑 1 丁目 4 番 1 號

4-1, MEGURO 1-CHOME, MEGURO-KU, TOKYO, JAPAN

國　籍：（中文/英文）

日本 / JAPAN

參、發明人：（共 5 人）

姓　名：（中文/英文）

1.安食博之 / AJIKI, HIROYUKI

2.三枝信彥 / SAEGUSA, NOBUHIKO

3.雨宮公男 / AMEMIYA, KIMIO

4.矢作和男 / YAHAGI, KAZUO

5.北川滿志 / KITAGAWA, MITSUSHI

住居所地址：（中文/英文）

1.～4.日本國山梨縣中巨摩郡田富町西花輪 2680 番地

2680, NISHIHANAWA, TATOMI-CHO, NAKAKOMA-GUN, YAMANASHI-KEN, JAPAN

5.日本國靜岡縣袋井市鷲巢字西之谷 15 番地之 1

15-1, AZA-NISHINOYA, WASHIZU, FUKUROI-SHI, SHIZUOKA-KEN, JAPAN

國　籍：（中文/英文）

日本 / JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☑ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本； 2002.11.28； 特願2002-346316
2.
3.
4.
5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.
2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關一種安裝有顯示面板之顯示裝置。

【先前技術】

發明背景

晚近注意力移轉至架設有表面放電架構之交流電漿顯示面板之電漿顯示器，來作為尺寸大但厚度薄之彩色顯示面板。

第1至3圖顯示習知表面放電型交流電漿顯示面板結構之一部分。例如參考日本專利公開案第5-205642號(專利文件1)。

電漿顯示面板(PDP)係以一種結構形成，用來造成於平行設置之前玻璃基板1與後玻璃基板4間之每個像素放電，如第2圖所示。前玻璃基板1之表面係作為顯示面。前玻璃基板1具有背面，於該背面上循序設置複數個細長電極對(X',Y')，介電層2覆蓋列電極對(X',Y')，MgO(氧化鎂)保護層3覆蓋介電層2背面。各個列電極X'、Y'之結構為具有寬ITO透明傳導薄膜製造之透明電極Xa'、Ya'，以及由補償傳導性之窄金屬薄膜製成之匯流排電極Xb'、Yb'。列電極X'及Y'交替垂直排列於顯示幕上，其於相對兩邊而形成放電間隙g'。列電極對(X',Y')組成矩陣放電用之一顯示線(列)L。於後玻璃基板4，設置複數個行電極D'正交於列電極對X'、Y'排列、條狀成形之阻隔壁5平行成形於行電極D'

間，以及紅(R)、綠(G)及藍(B)螢光材料形成之螢光層6覆蓋阻隔壁5側面及行電極D'，如第3圖所示。介於保護層3與螢光層6間，存在有一個放電空間S'，於該處填補含氙之Ne-Xe氣體，如第2圖所示。於各個顯示線L，作為放電空間S'之發光單位區域之放電胞元C'係於行電極D'與列電極對(X',Y')之交叉點定界，如第1圖所示。

有關於表面放電型交流PDP之影像形成，已知使用子圖場技術用於以中間調性顯示之已知灰階驅動架構。於此種驅動方法，一圖場顯示週期被劃分為N子圖場，對各個子圖場指定對應該子圖場之加權發光次數。根據輸入視訊信號，放電胞元被設定為一發光子圖場、以及一非發光子圖場，如此被驅動而發光。此種情況下，所察覺的是整個一圖場產生之光總次數的中間亮度。

第4圖顯示於各個子圖場欲施加至PDP之各種驅動脈波用來實現前述驅動。

如第4圖所示，子圖場係由一同時復置期Rc、一定址期Wc以及一維持期Ic所組成。

於同時復置期Rc，復置脈波RPx、RPy同時施加至成對列電極X_1'-X_n'與Y_1'-Y_n'間，因而於全部放電胞元同時造成復置放電。如此於各個放電胞元一次形成預定量之壁電荷。於次一定址期Wc，掃描脈波SP被循序施加至列電極Y_1'-Y_n'，對應輸入視訊信號之基於各像素之像素資料脈波係以每次一顯示線之量被施加至行電極D_1'-D_m'。換言之如第4圖所示，行電極D_1'-D_m'分別與掃描脈波SP同步，被循

序施加像素資料脈波群DP_1-DP_n，脈波群各自包含數目為m之像素資料脈波，且係對應第一至第n顯示線。此種情況下，與掃描脈波同步，唯有於高電壓像素資料脈波所施加之放電胞元才被造成定址放電(選擇性抹消放電)。藉由此種定址放電，於放電胞元內部形成的壁電荷消失。同時，於未造成定址放電之放電胞元，壁電荷仍然維持。於次一維持期Ic，維持脈波IPx、IPy係以對應介於匹配列電極X_1'-X_n'與Y_1'-Y_n'間之各個子圖場之權值而施加。結果唯有保留壁電荷之放電胞元才重複維持放電，重複次數係對應於維持脈波IPx、IPy之施加次數。由於此種維持放電，具有波長147奈米之真空紫外光由放電空間S'內部填補之氙Xe發射紫外光。真空紫外光激發成形於後基板上的紅(R)、綠(G)及藍(B)螢光層因而產生可見光部分。

同時當具有如第1至3圖所示結構之PDP被驅動時，如第4圖所示，定址放電可能不會於定址期Wc正確引發。當未能正確造成定址放電時，壁電荷無法完全消除。結果導致無法對應於輸入視訊信號利用正確影像顯示的問題。

進行本發明意圖解決該項問題，一項目的係提供可防止錯誤放電以及改良顯示品質之顯示裝置。

【發明內容】

發明概要

本發明之顯示裝置為一種基於一輸入視訊信號而根據各個像素之像素資料進行一影像顯示之顯示裝置，對應於該輸入影像信號，該顯示裝置包含：一顯示面板，其具有

前基板及後基板排列成夾置一放電空間；複數個列電極對，其係設置於前基板內面；複數個行電極，其係設置於後基板內面且交叉列電極對；以及

單位發光區域，其係分別形成於列電極對與行電極的交叉點，各個區域各自包含一第一放電胞元以及一第二放電胞元，其具有一吸光層係接近前基板，以及一二次電子發射材料層係接近後基板；一定址裝置，其係供於循序施加一掃描脈波，該掃描脈波具有一種極性可供放置於低電位之列電極於組成列電極對之第一列電極及第二列電極中之第一列電極時，於該掃描脈波之相同時序，以每次一顯示線之量，循序施加一具有電壓對應於該像素資料之像素資料脈波至行電極，因而選擇性造成第二放電胞元內部之定址放電；以及一維持裝置，其係供交替施加一維持脈波至第一列電極及第二列電極。

圖式簡單說明

第1圖為由前方觀視，習知PDP結構部分之平面圖；

第2圖為視圖，顯示第1圖所示PDP於視線V-V之剖面；

第3圖為視圖，顯示第1圖所示PDP於視線W-W之剖面；

第4圖為線圖，各種欲施加至PDP之驅動脈波與其施加時序；

第5圖為略圖，顯示電漿顯示裝置之示意組配狀態；

第6圖為由前方觀視，第5圖所示PDP 50組配狀態之部分平面圖；

第7圖為視圖，顯示第6圖所示PDP 50於視線V1-V1之

剖面；

第8圖為視圖，顯示第6圖所示PDP 50於視線V2-V2之剖面；

第9圖為視圖，顯示第6圖所示PDP 50於視線W1-W1之剖面；

第10圖為線圖，欲用於採用選擇性寫入定址架構驅動之像素資料換算表，與基於該像素資料換算表所得像素驅動資料GD之發光驅動樣式；

第11圖為線圖，顯示採用選擇性寫入定址架構驅動之發光驅動順序範例；

第12圖為略圖，顯示根據第11圖所示發光驅動順序，於頭子圖場SF1欲施加至PDP 50之各驅動脈波及其施加時序；

第13圖為線圖，欲用於採用選擇性抹消定址架構驅動之像素資料換算表，與基於該像素資料換算表所得像素驅動資料GD之發光驅動樣式；

第14圖為線圖，顯示採用選擇性抹消定址架構驅動之發光驅動順序範例；

第15圖為略圖，顯示根據第14圖所示發光驅動順序，於頭子圖場SF1欲施加至PDP 50之各驅動脈波及其施加時序；

第16圖為略圖，顯示安裝有PDP 500之電漿顯示裝置之另一種組配狀態；

第17圖為由前方觀視之PDP 500結構之部分平面圖；

第18圖為視圖，顯示第17圖所示PDP 500於視線V1-V1之剖面；

第19圖為視圖，顯示第17圖所示PDP 500於視線V2-V2之剖面；

第20圖為視圖，顯示第17圖所示PDP 500於視線W1-W1之剖面；

第21圖為略圖，顯示於採用選擇性寫入定址架構驅動時，於頭子圖場SF1欲施加至PDP 500之各驅動脈波，及其施加時序；

第22圖為略圖，顯示於採用選擇性抹消定址架構驅動時，於頭子圖場SF1欲施加至PDP 500之各驅動脈波，及其施加時序；

第23圖為略圖，顯示電漿顯示裝置之另一種組配狀態；

第24圖為由前方觀視，第23圖所示PDP 501組配狀態之部分平面圖；

第25圖為視圖，顯示第24圖所示PDP 501於視線V1-V1之剖面；

第26圖為視圖，顯示第24圖所示PDP 501於視線V2-V2之剖面；

第27圖為視圖，顯示第24圖所示PDP 501於視線W1-W1之剖面；

第28圖為線圖，經由採用選擇性寫入定址架構驅動第23圖所示電漿顯示裝置用之像素資料換算表，與基於該像素資料換算表所得像素驅動資料GD之發光驅動樣式；

第29圖為線圖，顯示採用選擇性寫入定址架構驅動第23圖所示電漿顯示裝置用之發光驅動順序範例；

第30圖為略圖，顯示根據第29圖所示發光驅動順序，於頭子圖場SF1欲施加至PDP 501之各驅動脈波及其施加時序；

第31圖為線圖，經由採用選擇性抹消定址架構驅動第23圖所示電漿顯示裝置用之像素資料換算表，與基於該像素資料換算表所得像素驅動資料GD之發光驅動樣式；

第32圖為線圖，顯示經由採用選擇性抹消定址架構，驅動第23圖所示電漿顯示裝置之發光驅動順序範例；以及

第33圖為略圖，顯示根據第32圖所示發光驅動順序，於頭子圖場SF1欲施加至PDP 501之各驅動脈波及其施加時序。

【實施方式】

詳細說明

第5圖顯示作為根據本發明之顯示裝置之電漿顯示器組配狀態。

如第5圖所示，電漿顯示裝置係以一PDP 50作為電漿顯示面板、一奇編號X電極驅動器51、一偶編號X電極驅動器52、一奇編號Y電極驅動器53、一偶編號Y電極驅動器54、一定址驅動器55以及一驅動控制電路56組配形成。

PDP 50其上形成有條狀成形之行電極D_1-D_m於顯示幕上縱向延伸。此外，PDP 50其上形成有條狀成形之列電極X_1-X_n及列電極Y_2-Y_n於顯示幕上水平延伸，係以編號順序

交錯排列，如第5圖所示。成對列電極亦即列電極對(X_2,Y_2)-列電極對(X_n,Y_n)係作為PDP 50上之第一至第(n-1)顯示線。作為像素之像素胞元PC分別形成於顯示線與行電極D_1-D_m之交叉點(位於第5圖由單點鏈線所包圍區域)。換言之於PDP 50設置有屬於第一顯示線之像素胞元$PC_{1.1}$-$PC_{1,m}$，屬於第二顯示線之像素胞元$PC_{2.1}$-$PC_{2,m}$，...，屬於第(n-1)顯示線之像素胞元$PC_{n-1.1}$-$PC_{n-1,m}$，排列成矩陣形式。

第6至9圖顯示PDP 50內部結構之節錄部分。

第6圖為PDP 50由前方觀視之平面圖。第7圖為由第6圖所示線V1-V1觀視之PDP 50之剖面圖。第8圖為由第6圖所示線V2-V2觀視之PDP 50之剖面圖。第9圖為由第6圖所示線W1-W1觀視之PDP 50之剖面圖。

如第6圖所示，列電極Y之結構為於顯示幕上水平延伸之條狀成形之匯流排電極Yb(列電極Y之主體)，以及連結至匯流排電極Yb之複數個透明電極Ya。匯流排電極Yb係由金屬形成，例如黑色。透明電極Ya係由ITO等製成之透明傳導膜製造，且個別係排列於匯流排電極Yb上對應於行電極D位置。透明電極Ya係於正交於匯流排電極Yb之方向延伸，其一端及另一端成形為寬廣，如第6圖所示。換言之，透明電極Ya可被視為由列電極Y之主體所凸起的凸起電極。同時，列電極X之結構為於顯示幕上水平延伸之條狀成形之匯流排電極Xb(列電極X之主體)，以及連結至匯流排電極Xb之複數個透明電極Xa。匯流排電極Xb係由金屬形成，例如黑色。透明電極Xa係由ITO等製成之透明傳導膜製造，且

個別係排列於匯流排電極Xb上對應於行電極D位置。透明電極Xa係於正交於匯流排電極Xb之方向延伸，其一端及另一端成形為寬廣，如第6圖所示。換言之，透明電極Xa可被視為由列電極X之主體所凸起的凸起電極。透明電極Xa及Ya之寬部設置成經由放電間隙g之預定寬度而彼此相對，如第6圖所示。換言之，成對列電極X及Y具有透明電極Xa及Ya作為由其主體凸起的凸起電極，其係經由放電間隙g而相對設置。

由透明電極Ya及匯流排電極Yb製成之列電極Y、以及由透明電極Xa及匯流排電極Xb製成之列電極X係形成於前玻璃基板10背面上，用作為PDP 50之顯示面，如第7圖所示。此外，介電層11形成於前玻璃基板10之背面俾覆蓋列電極X及Y。於介電層11表面上的控制放電胞元C2(容後詳述)之對應位置，一本體介電層12形成為由介電層11朝向後方凸起。本體介電層12係由含有黑色素及深色色素之條狀吸光層製成，且係成形為於顯示面上水平延伸，如第6圖所示。本體介電層12之表面以及介電層11之未形成本體介電層12之表面係由MgO(氧化鎂)保護層(圖中未顯示)所覆蓋。於平行於前玻璃基板10設置之後基板13上，複數個行電極D係正交於(垂直於)匯流排電極Xa及Xb延伸，且經由一預定間隙而彼此平行。於後基板13上，白色行電極保護層(介電層)14係成形為覆蓋行電極D。於行電極保護層14上，經由第一側壁15A、第二側壁15B及縱向壁15C而形成為分隔壁15。第一側壁15A係水平設置於顯示面上延伸，位在行

電極保護層14之匯流排電極Yb之相對位置。第二側壁15B係成形為於顯示面上水平延伸，位在行電極保護層14上之匯流排電極Xb之相對位置。縱壁15C係成形為正交於匯流排電極Xb(Yb)，位在以相等間隙配置之透明電極Xa(Ya)中間位置。

同時，如第7圖所示，二次電子發射材料層30形成於行電極保護層14上，於本體介電層12之相對區域(包括縱壁15C、第一側壁15A及第二側壁15B之側面)。二次電子發射材料層30係由具有高工作函數(例如於4.2 eV或以下)所謂之二次電子發射係數高之高γ材料製成。可用於二次電子發射材料層30之材料係包括鹼土金屬氧化物例如MgO、CaO、SrO及BaO；鹼金屬氧化物如Cs_2O、氟化物如CaF_2及MgF_2、TiO_2、Y_2O_3或藉晶體缺陷或雜質攙雜而提升二次電子發射係數之材料、鑽石狀薄膜、碳奈米管等。另一方面如第7圖所示，螢光層16係形成於行電極保護層14上，形成於本體介電層12相對區以外之區域(包括縱壁15C、第一側壁15A及第二側壁15B之側面)。螢光層16包括發紅光之紅螢光層、發綠光之綠螢光層以及發藍光之藍螢光層。係基於各像素胞元PC之校準而決定。介於二次電子發射材料層30與螢光層16及介電層11間存在有一個以放電氣體填補的放電空間。第一側壁15A、第二側壁15B及縱壁15C之高度不夠高，無法到達本體介電層12或介電層11表面，如第7及9圖所示。結果存在有間隙r，允許放電氣體通過第二側壁15B與本體介電層12間，如第7圖所示。介於第一側壁15A與本

體介電層12間，介電層17係成形為沿第一側壁15A之方向延伸，以防放電干擾。此外，介於縱壁15C與本體介電層12間，於沿縱壁15C之方向間歇形成介電層18，如第8圖所示。

此處第一側壁15A及縱向壁15C包圍區域(第6圖單點鏈線包圍區域)提供像素胞元PC作為像素。此外如第6及7圖所示，像素胞元PC由第二側壁15B劃分為顯示放電胞元C1及控制放電胞元C2。顯示放電胞元C1包括一對列電極X及Y其係作為顯示線及螢光層16，如第6及7圖所示。同時，控制放電胞元C2包括作為顯示線之一對列電極中之一列電極Y，作為顯示線之一對列電極中之一列電極X係毗鄰於顯示面上之顯示線上方、一本體介電層12以及一二次電子發射材料層30。於顯示放電胞元C1內部有相對設置之寬部形成於列電極X之透明電極Xa一端，以及一寬部形成於列電極Y之透明電極Ya一端，二者間間隔一放電間隙g，如第6圖所示。另一方面，於控制放電胞元C2內部，含括於寬部係形成於透明電極Ya之另一端，但未含括透明電極X。

同理，如第7圖所示，垂直毗鄰於顯示面之像素胞元PC(第7圖左右方向)於其放電空間係由第一側壁15A及介電層17所屏蔽。雖言如此，屬於同一個像素胞元PC之顯示放電胞元C1及控制放電胞元C2係於放電空間經由間隙r而彼此連通，如第7圖所示。此外，交互毗鄰於顯示面之左右方向的控制放電胞元C2於其放電空間係由本體介電層12及介電層18所屏蔽，如第8圖所示，而交互毗鄰於顯示面左右方向之顯示放電胞元C1係於其放電空間彼此連通。

藉此方式，形成於PDP 50之像素胞元$PC_{1,1}$-$PC_{n-1,m}$係由顯示放電胞元C1以及控制放電胞元C2組成，而胞元具有個別放電空間彼此連通。

根據由驅動控制電路56供給的時序信號，奇編號X電極驅動器51施加各個驅動脈波(容後詳述)給PDP 50之列電極X之奇編號(顯示於第5圖)列電極X_1、X_3、X_5、...、X_{n-2}及X_n。根據由驅動控制電路56供給的時序信號，偶編號X電極驅動器52施加各個驅動脈波(容後詳述)給PDP 50之列電極X之偶編號(顯示於第5圖)列電極X_2、X_4、X_6、...、X_{n-3}及X_{n-1}。根據由驅動控制電路56供給的時序信號，奇編號Y電極驅動器53施加各個驅動脈波(容後詳述)給PDP 50之列電極Y之奇編號(顯示於第5圖)列電極Y_3、Y_5、...、Y_{n-2}及Y_n。根據由驅動控制電路56供給的時序信號，偶編號Y電極驅動器54施加各個驅動脈波(容後詳述)給PDP 50之列電極Y之偶編號(顯示於第5圖)列電極Y_2、Y_4、...、Y_{n-3}及Y_{n-1}。根據驅動控制電路56供給之時序信號，定址驅動器55施加像素資料脈波(容後詳述)給PDP 50之行電極D_1-D_m。

驅動控制電路56首先將輸入視訊信號轉成例如可表示各個像素亮度位準之8-位元像素資料，且對該像素資料進行錯誤擴散處理及遞色(dither)處理。例如於錯誤擴散處理，首先取較高6個位元像素資料作為顯示資料，以及其餘較低2位元作為錯誤資料。錯誤資料加權加至對應各個周邊像素之相關像素資料，反映於顯示資料。經由此種操作，原先像素之下方2位元亮度係由周邊像素以人工方式表

示。如此由少於8位元之6位元影像資料，可獲得等於8位元像素資料之亮度調性表現。對經過6位元錯誤擴散處理之像素資料進行遞色處理。於遞色處理，將複數個交互毗鄰像素取作為一個像素單位，讓交互不同係數值之遞色係數分別指定給對應一個像素單位之各個像素之經錯誤擴散處理像素資料，且加總，因而獲得遞色加總像素資料。使用遞色係數加總，基於一個像素單位觀視時，唯有較高4位元之遞色加總像素資料可表示為對應8位元像素資料之亮度。因此理由故，驅動控制電路56取遞色加總像素資料之較高4位元作為多階像素資料PDs。根據第10圖所示資料換算表，此被轉成包含第1至第15位元之15位元像素驅動資料GD。如此表示8位元256調性位準之像素資料被轉成共包含16總樣式之15位元像素驅動資料GD，如第10圖所示。然後驅動控制電路56基於一畫面像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$而介於相同位元數據間分開像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之此等樣式。結果獲得像素驅動資料位元組DB1-DB15如後：

DB1：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第一位元

DB2：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第二位元

DB3：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第三位元

DB4：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第四位元

DB5：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第五位元

DB6：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第六位元

DB7：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第七位元

DB8：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第八位元

DB9：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第九位元

DB10：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第十位元

DB11：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第十一位元

DB12：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第十二位元

DB13：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第十三位元

DB14：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第十四位元

DB15：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第十五位元

像素驅動資料位元組DB1-DB15分別係對應於子圖場SF1-SF15(容後詳述)。於各個子圖場SF1-SF15，驅動控制電路56係以每次一顯示線(編號m)之數量供給對應該子圖場之像素驅動資料位元組DB給定址驅動器55。

此外，驅動控制電路56根據第11圖所示發光驅動順序，產生多個時序信號來控制PDP 50的驅動，以及將該等時序信號供給奇編號X電極驅動器51、偶編號X電極驅動器52、奇編號Y電極驅動器53及偶編號Y電極驅動器54。

於第11圖所示發光驅動順序，視訊信號之各圖場被劃分為15個子圖場SF1-SF15，俾於各個子圖場執行定址處理W、發光維持處理I及抹消處理E。於頭子圖場SF1，於定址處理W之前進行同時復置處理R。

第12圖顯示於同時復置處理R、定址處理W、發光維持處理I及抹消處理E，欲藉奇編號X電極驅動器51、偶編號X電極驅動器52、奇編號Y電極驅動器53及偶編號Y電極驅動器54施加至PDP 50之各個驅動脈波。第12圖只節錄頭子圖場SF1。

首先於同時復置處理R，奇編號X電極驅動器51及偶編號X電極驅動器52產生負極性復置脈波RP_X，其下降變化比維持脈波(容後詳述)溫和，且同時施加復置脈波至PDP 50之列電極X_1-X_n。與復置脈波RP_x之施加同時，奇編號Y電極驅動器53及偶編號Y電極驅動器54產生負極性復置脈波RP_Y，其下降變化比維持脈波(容後詳述)溫和，且同時施加至PDP 50之列電極Y_2-Y_n。此種情況下，定址驅動器55產生正極性復置脈波RP_D，且同時施加至PDP 50之行電極D_1-D_n。根據施加此等復置脈波RP_D、RP_Y及RP_X，於PDP 50之像素胞元$PC_{1,1}$-$PC_{(n-1),m}$之各個控制放電胞元C2造成復置放電(抹消放電)。經由施加復置脈波RP_D、RP_Y及RP_X，行電極D端相對於列電極X及Y作為陽極。藉由復置放電，存在於每個像素胞元PC之控制放電胞元C2內部的壁電荷被消除。

如前文說明，於同時復置處理R，由PDP 50每個像素胞元PC之控制放電胞元C2同時消除壁電荷。像素胞元PC全部皆被初始化成光關閉胞元模。

其次於定址處理W，奇編號Y電極驅動器53及偶編號Y電極驅動器54循序施加具有正極性電壓V2(V2>V1)之掃描

脈波至列電極Y_2-Y_n，同時施加正極性電壓V1給全部列電極Y_2-Y_n。於此期間，定址驅動器55將對應此子圖場SF1之像素驅動資料位元組DB1，轉成像素資料脈波DP，脈波DP具有與其邏輯位準相稱之脈波電壓。例如，一方面，定址驅動器55將具有邏輯位準0之像素驅動資料位元轉成正極性高電壓像素資料；另一方面，將具有邏輯位準1之像素驅動資料位元轉成低電壓(0伏特)像素資料脈波DP。此種像素資料脈波DP，係與掃描脈波SP之施加時序同步，以每次一顯示線(m為其編號)之量施加至行電極D_1-D_m。換言之，定址驅動器55首先於對應第一顯示線編號m，以包含像素資料脈波DP之像素資料脈波群DP_1施加至行電極D_1-D_m，以及然後對應第二顯示線編號m，以包含像素資料脈波DP之像素資料脈波群DP_2施加至行電極D_1-D_m。此種情況下，於像素胞元PC之控制放電胞元C2內部行電極D與列電極Y間造成寫入定址放電，對該胞元C2施加低電壓(0伏特)像素資料脈波DP，連同具有正極性電壓V2之掃描脈波SP。由於寫入定址放電，放電經由間隙r朝向顯示放電胞元C1移動，如第7圖所示，造成顯示放電胞元C1內部之列電極Y與X間之放電。如前文說明，經由將放電由控制放電胞元C2移動至顯示放電胞元C1，於顯示放電胞元C1內部形成壁電荷。相反地對像素胞元PC之控制放電胞元C2施加掃描脈波SP，但施加高電壓像素資料脈波DP，於控制放電胞元C2內部，未造成前述之寫入定址放電。於控制放電胞元C2內部未形成壁電荷。如此於此種情況下，未發生控制放電胞元C2之放電移

動至顯示放電胞元C1。如此於顯示放電胞元C1內部未形成壁電荷。

藉此方式，於定址處理W，根據對應子圖場之像素驅動資料位元組之資料位元，於各個像素胞元PC之控制放電胞元C2選擇性造成寫入定址放電，因而形成壁電荷。結果形成有壁電荷之像素胞元PC被設定為光開啟胞元模，而未形成壁電荷之像素胞元PC被設定為光關閉胞元模。

其次於維持處理I，奇編號Y電極驅動器53重複正極性維持脈波IP_{YO}於維持處理I所屬子圖場所指定的次數，而將維持脈波施加給奇編號列電極Y_3、Y_5、...、Y_n。於與各個維持脈波IP_{YO}相同時序，偶編號X電極驅動器52重複正極性維持脈波IP_{XE}於維持處理I所屬子圖場所指定的次數，而將維持脈波施加給偶編號列電極X_2、X_4、...、X_{n-1}。同時，於維持處理I，奇編號X電極驅動器51重複正極性維持脈波IP_{XO}於維持處理I所屬子圖場所指定的次數，而將維持脈波施加給奇編號列電極X_1、X_3、X_5、...、X_n。此外，於維持處理I，偶編號Y電極驅動器54重複正極性維持脈波IP_{YE}於維持處理I所屬子圖場所指定的次數，而將維持脈波施加給偶編號列電極Y_2、Y_4、...、Y_{n-1}。維持脈波IP_{XE}或IP_{YO}及維持脈波IP_{XO}及IP_{YE}於施加時序彼此偏離，如第12圖所示。每次施加維持脈波IP_{XO}、IP_{XE}、IP_{YO}及IP_{YE}，介於設定於光開啟胞元模的像素胞元PC之顯示放電胞元C1內部的透明電極Xa與Ya間造成維持放電。經由此種維持放電產生之X光，於顯示放電胞元C1形成之螢光層16(紅、綠或藍螢光層)

引起激光，如第7圖所示。如此對應該螢光色彩之光輻射通過前玻璃基板10。換言之，藉維持放電於維持處理I所屬子圖場指定的次數而重複發光。

如前述，於維持處理I，唯有設定於光開啟胞元模之像素胞元PC才被造成於子圖場指定次數之發光。

於各個子圖場欲執行之最末抹消處理E，奇編號X電極驅動器51及偶編號X電極驅動器52如第12圖所示，施加正極性抹消脈波EP_X給全部列電極X。此外，如第12圖所示，奇編號Y電極驅動器53及偶編號Y電極驅動器54如第12圖所示，施加正極性抹消脈波EP_Y給全部列電極Y。經由施加抹消脈波EP_X及EP_Y，於每個控制放電胞元C2內部之列電極Y與行電極D間、以及每個顯示放電胞元C1內部之列電極X與Y間造成抹消放電。如此抹消於每個像素胞元PC內部剩餘之壁電荷。

由同時復置處理R、定址處理W、發光維持處理I及抹消處理E進行之驅動係基於像素驅動資料GD而以16種組合執行，如第10圖所示。根據該驅動，於各個子圖場以對應欲表現之中間亮度數量，於定址處理W造成寫入定址放電(如第10圖雙圈顯示)。換言之，像素胞元PC於各個子圖場一對應欲表現之中間亮度數量，被設定為連續光開啟胞元模。經由於各個子圖場以指定次數重覆維持放電造成發光。此種情況下察覺的亮度係對應於一個圖場內部由維持放電造成發光次數總數。如此，於子圖場SF1-SF15以16種發光樣式驅動第10圖所示第1至第16調性位準，表示出16種

調性位準之中間亮度，對應於子圖場出現的維持放電總數(以雙圈顯示)。

此處於第5圖所示電漿顯示裝置，作為PDP 50之像素之像素胞元PC係由顯示放電胞元C1及控制放電胞元C2組配而成，如第6及7圖所示。於顯示放電胞元C1內部造成顯示影像相關之維持放電，而非關顯示影像之帶有發光之復置放電及定址放電則主要係出現於控制放電胞元C2。於控制放電胞元C2內部，本體介電層12係成形為包含含黑色或深色色素之吸光層，以防止因復置放電及定址放電所產生之光經由前玻璃基板10而洩漏至外部。如此因復置放電及定址放電產生的放電光被本體介電層12所截斷，因此可提升顯示影像之對比度，特別為深色對比度。

此外，於控制放電胞元C2內部，二次電子發射材料層30設置於接近後基板13之一側，如第7圖所示。二次電子發射材料層30具有放電時有利的發射二次電子之γ特徵，其中其形成表面係作為陰極。於第12圖所示驅動，當於定址處理W造成寫入定址放電時，具有正極性電壓V2之掃描脈波SP被施加至列電極Y，而低電壓(0伏特)像素資料脈波DP被施加至行電極D。換言之經由施加掃描脈波SP，掃描脈波SP具有極性可將控制放電胞元C2內部之行電極D置於低電位，行電極D於寫入定址放電期間變成陰極端。結果，於控制放電胞元C2內部形成的二次電子發射材料層30也作為陰極。二次電子欲由二次電子發射材料層30發射。如此可於控制放電胞元C2內部正向造成寫入定址放電。

前述具體實施例中，係對所謂的選擇性寫入定址法案例作說明，該選擇性寫入定址法於定址處理期間於像素胞元PC內部選擇性形成壁電荷。另外，可採用選擇性抹消定址法來選擇性抹消於各個像素胞元PC形成的壁電荷。

當進行選擇性抹消定址法之驅動時，驅動控制電路56首先將輸入視訊信號轉成表示各個像素亮度位準的8位元像素資料，且對該像素資料進行錯誤擴散處理以及遞色處理。經由錯誤擴散處理以及遞色處理，驅動控制電路56將8位元像素資料轉成4位元多階像素資料PD_S，進一步根據第13圖所示資料換算表而將多階像素資料PD_S轉換成15位元像素驅動資料GD。因此理由故，可表示8位元之256調性位準之像素資料被轉成15位元像素驅動資料GD共組成16種樣式。然後驅動控制電路56基於像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之一畫面，而於相同位元數據間分開此等像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$，如此獲得像素驅動資料位元組DB1-DB15。基於各子圖場SF1-SF15，驅動控制電路56係以每次一條顯示線(編號m)之數量，供給對應子圖場之像素驅動資料位元組DB給定址驅動器55。

第14圖顯示藉施加選擇性抹消定址方案當調性驅動PDP 50時之發光驅動順序。

於第14圖所示發光驅動順序，視訊信號圖場被劃分為15個子圖場SF1-SF15。俾於各個子圖場進行定址處理W及發光維持處理I。於頭子圖場SF1，於定址處理W之前執行同時復置處理R。於最末子圖場SF15，於發光維持處理I之

後即刻執行抹消處理E。

第15圖顯示根據第14圖所示發光驅動順序，於同時復置處理R、定址處理W及發光維持處理I，奇編號X電極驅動器51、偶編號X電極驅動器52、奇編號Y電極驅動器53及偶編號Y電極驅動器54施加至PDP 50之各種驅動脈波。第15圖只節錄頭子圖場SF1。

首先於同時復置處理R，奇編號Y電極驅動器53及偶編號Y電極驅動器54產生負極性復置脈波RP_Y，其下降變化俾維持脈波(容後詳述)溫和，且同時施加至PDP 50之列電極Y_2-Y_n。於復置脈波RP_Y之相同時序，奇編號X電極驅動器51及偶編號X電極驅動器52產生正極性復置脈波RP_X，且同時施加至PDP 50之列電極X_1-X_n。此段期間，定址驅動器55產生正極性復置脈波RP_D，且同時施加至PDP 50之行電極D_1-D_n。根據施加此等復置脈波RP_D、RP_Y及RP_X，對PDP 50每個像素胞元PC之控制放電胞元C2內部之行電極D與列電極Y間造成復置放電(寫入放電)，因此形成壁電荷於控制放電胞元C2內部。經由施加復置脈波RP_D、RP_Y及RP_X，行電極D末端係相對於列電極X、Y作為陽極。如第7圖所示，復置放電經由間隙r朝向顯示放電胞元C1移動，造成顯示放電胞元C1內部的列電極Y與X間的放電。經由放電移動，於每個像素胞元PC之顯示放電胞元C1內部形成壁上放電。

如前述，於基於選擇性抹消定址方案之同時復置處理R，壁電荷形成於PDP 50之每個像素胞元PC之顯示放電胞元C1內部，如此初始化全部像素胞元PC成為光開啟胞元模。

其次於定址處理W，奇編號Y電極驅動器53及偶編號Y電極驅動器54循序施加具有正極性電壓V2(V2>V1)之掃描脈波SP至列電極Y_2-Y_n，同時施加正極性電壓V1至全部列電極Y_2-Y_n。於此期間，定址驅動器55將對應此子圖場SF1之像素驅動資料位元組DB1之資料位元轉成一像素資料脈波DP，像素資料脈波DP具有與其邏輯位準相稱的脈波電壓。例如，一方面，定址驅動器55將具有邏輯位準0之像素驅動資料位元轉成正極性高電壓像素資料脈波DP；另一方面，定址驅動器55將具有邏輯位準1之像素驅動資料位元轉成低電壓(0伏特)像素資料脈波DP。此種像素資料脈波DP係以每次一顯示線(編號m)之數量，與掃描脈波SP之施加時序同步施加至行電極D_1-D_m。換言之，定址驅動器55首先對行電極D_1-D_m施加像素資料脈波組DP_1，脈波群DP_1包含對應第一顯示線編號m之像素資料脈波DP；以及然後定址驅動器55對行電極D_1-D_m施加像素資料脈波組DP_2，脈波群DP_2包含對應第二顯示線編號m之像素資料脈波DP。於此種情況下，於像素胞元PC之控制放電胞元C2內部之行電極D與列電極Y之間造成抹消定址放電，對該控制放電胞元C2施加低電壓(0伏特)像素資料脈波DP，連同具有正極性電壓V2之掃描脈波SP。由於抹消定址放電，如第7圖所示，放電經由間隙r朝向顯示放電胞元C1移動，造成顯示放電胞元C1內部之列電極Y與X間之放電。如前文說明，經由由控制放電胞元C2至顯示放電胞元C1之放電移動，形成於顯示放電胞元C1內部之壁電荷被消除。相反地，於像素胞元PC之控

制放電胞元C2，對該控制放電胞元C2施加掃描脈波SP，但施加高電壓像素資料脈波DP，未造成前述之抹消定址放電。如此由於未發生由控制放電胞元C2至顯示放電胞元C1之放電移動，顯示放電胞元C1內部之壁電荷之形成態維持於目前狀態。換言之，當壁電荷存在於顯示放電胞元C1內部時，壁電荷就此維持。當壁電荷不存在時，維持此種壁電荷之不形成態。

藉此方式，於基於選擇性抹消定址架構之定址處理W，根據對應子圖場之像素驅動資料位元組之資料位元，於像素胞元PC之控制放電胞元C2選擇性造成抹消定址放電，藉此抹消壁電荷。因此理由故，壁電荷維持之像素胞元PC被設定為光開啟胞元模；而壁電荷被抹消之像素胞元PC被設定為光關閉胞元模。

其次於維持處理I，奇編號Y電極驅動器53於維持處理I所屬的子圖場，重複正極性維持脈波IP_{YO}指定次數，來施加維持脈波給奇編號列電極Y_3、Y_5、...、Y_n。於與各個維持脈波IP_{YO}相同時序，偶編號X電極驅動器52於維持處理I所屬子圖場，重複正極性維持脈波IP_{XE}指定次數，來施加維持脈波給偶編號列電極X_2、X_4、...、X_{n-1}。同時，於維持處理I，奇編號X電極驅動器51於維持處理I所屬的子圖場，重複正極性維持脈波IP_{XO}指定次數，來施加維持脈波給奇編號列電極X_1、X_3、X_5、...、X_n。此外，於維持處理I，偶編號Y電極驅動器54於維持處理I所屬的子圖場，重複正極性維持脈波IP_{YE}指定的次數，來施加維持脈波給偶編號列

電極Y_2、Y_4、...、Y_{n-1}。維持脈波IP_{XE}或IP_{YO}及維持脈波IP_{XO}及IP_{YE}之施加時序彼此偏移，如第15圖所示。每次施加維持脈波IP_{XO}、IP_{XE}、IP_{YO}或IP_{YE}時，於設定於光開啟胞元模之像素胞元PC之顯示放電胞元C1內部，介於透明電極Xa與Ya間造成維持放電。經由此種維持放電產生之X光，於顯示放電胞元C1形成之螢光層16(紅、綠或藍螢光層)形成激光，如第7圖所示。如此經由前玻璃基板10輻射對應螢光色之光。換言之，於維持處理I所屬之子圖場，出現因維持放電之發光重複指定次數。

如前述，於維持處理I，唯有設定於光開啟胞元模之像素胞元PC才被造成於子圖場發光指定次數。

基於如第13圖所示，像素驅動資料GD的16種組合，基於同時復置處理R、定址處理W及發光維持處理執行驅動。根據第14及15圖所示施加選擇性抹消定址架構之驅動，於子圖場SF1-SF11中，唯有於子圖場SF1之同時復置處理R條件下，像素胞元PC才可由光關閉胞元模變遷至光開啟胞元模。結果，於子圖場SF1-SF15中之一子圖場造成抹消定址放電。一旦像素胞元PC被設定於光關閉胞元模，則於隨後之子圖場，此一像素胞元PC不會返回光開啟胞元模。如此以基於第13圖所示像素驅動資料GD的16種組合驅動，像素胞元PC繼續以對應於欲表現之亮度數量，於子圖場設定於光開啟胞元模。直到造成抹消定址放電(以黑圈顯示)，才於各個子圖場之維持處理I連續進行維持放電發光(以白圈顯示)。

藉由如前述驅動，可察覺亮度係對應於一圖場期所引發之總放電次數的亮度。換言之使用如第13圖所示基於第1至第16調性位準之16種發光樣式，可於白圈顯示子圖場造成總維持放電次數之對應16種調性位準，表現中間亮度。

於基於前述選擇性抹消定址架構驅動，當於定址處理W造成抹消定址放電時，具有正極性電壓V2之掃描脈波SP施加至列電極Y，而低電壓(0伏特)像素資料脈波DP被施加至行電極D。藉此方式，經由將控制放電胞元C2內部之行電極D置於比列電極Y更低電位，於控制放電胞元C2形成的二次電子發射材料層30相對於列電極Y作為陰極。如此當造成抹消定址放電時，由二次電子發射材料層30有利地發射二次電子，如此正向造成控制放電胞元C2內部之抹消定址放電。

於前述具體實施例，以灰階驅動，於數目N(本具體實施例為15)之子圖場，呈現(N+1)調性位準之中間亮度來說明其操作。但該項說明同等適用於於數目N之子圖場，呈現2_N調性位準之中間亮度的灰階驅動。

同時雖然前述具體實施例說明顯示面板驅動案例，該顯示面板具有列電極X及Y排列成X、Y、X、Y來作為顯示線，但該具體實施例也同等適用於顯示面板具有列電極X及Y排列成X、X、Y、Y、X、X、Y、Y。

第16圖顯示一種電漿顯示裝置之組配狀態，該裝置安裝一顯示面板其具有列電極X及Y排列成X、X、Y、Y、X、X、Y、Y。

如第16圖所示，電漿顯示裝置採用PDP 500其具有列電極X及Y成排列順序X、X、Y、Y、X、X、Y、Y，來替代第5圖所示PDP 50。其它結構係與第5圖所示相同。

PDP 500形成有於顯示幕上縱向延伸之條紋形式行電極D_1-D_m。此外，PDP 500形成有條紋形式列電極X_1-X_n及列電極Y_2-Y_n，其係於顯示幕上水平延伸且以編號順序交錯排列。成對電極亦即列電極對(X_2,Y_2)-列電極對(X_n,Y_n)分別係作為PDP 500之第一至第(n-1)顯示線。作為像素之像素胞元PC分別係形成於顯示線與行電極D_1-D_m間之交叉點(於第16圖之單點鏈線包圍區域)。換言之，PDP 500係以屬於第一顯示線之像素胞元$PC_{1.1}$-$PC_{1,m}$、屬於第二顯示線之像素胞元$PC_{2.1}$-$PC_{2,m}$，...，屬於第(n-1)顯示線之像素胞元$PC_{n-1.1}$-$PC_{n-1,m}$排列成矩陣形式。

第17至20圖顯示PDP 500內部結構之節錄部分。

第17圖為平面圖顯示由前方觀視之結構。第18圖為由第17圖所示線V1-V1觀視之剖面圖。第19圖為由線V2-V2觀視之剖面圖。第20圖為由第17圖所示線W1-W1觀視之剖面圖。第6及9圖所示結構元件之相同編號表示之結構元件為相同元件。

換言之PDP 500其上形成有矩陣形式之像素胞元PC，像素胞元PC各自包含一對放電胞元(顯示放電胞元C1及控制放電胞元C2)，其具有與PDP 50結構之相同結構。注意PDP 500與PDP 50不同，具有二像素胞元之控制放電胞元C2排列成交互垂直毗鄰於顯示幕上。毗鄰控制放電胞元C2

於放電空間係由第一側壁15A及介電層17所屏蔽，如第18圖所示。

第21圖顯示當採用選擇性寫入定址架構，根據如第10及11圖所示驅動順序而驅動PDP 500時，經由奇編號X電極驅動器51、偶編號X電極驅動器52、奇編號Y電極驅動器53及偶編號Y電極驅動器54施加至PDP 500之各種驅動脈波。

於同時復置處理R、定址處理W、維持處理I或抹消處理E中，欲施加之復置脈波RP_x、RP_y、RP_D、像素資料脈波DP、掃描脈波SP、維持脈波IP_{XO}、IP_{XE}、IP_{YE}、IP_{YO}、抹消脈波EP_X及EP_Y係與第12圖所示相同。換言之，欲經由施加驅動脈波造成的放電以及基於放電之操作係與第12圖說明者相同。注意於第21圖所示驅動，維持脈波IP_{XO}及IP_{XE}係於相等時序施加至維持處理I之全部列電極X；此外，維持脈波IP_{YE}及IP_{YO}係以與IP_{XO}及IP_{XE}不同的時序施加至全部列電極Y。

相反地，第22圖顯示採用選擇性抹消定址架構，根據第13及14圖所示驅動順序，欲藉奇編號X電極驅動器51、偶編號X電極驅動器52、奇編號Y電極驅動器53及偶編號Y電極驅動器54施加至PDP 500之各種驅動脈波。

於同時復置處理R、定址處理W及維持處理I中，欲施加之復置脈波RP_x、RP_y、RP_D、像素資料脈波DP、掃描脈波SP、維持脈波IP_{XO}、IP_{XE}、IP_{YE}及IP_{YO}係同第15圖所示。換言之，欲藉該等驅動脈波造成的放電以及基於該放電之操作係與第15圖說明者相同。注意於第22圖所示驅動，維

持脈波IP_{XO}及IP_{XE}係於維持處理I於相同時序施加至全部列電極X；此外，維持脈波IP_{YE}及IP_{YO}係以與IP_{XO}及IP_{XE}不同的時序施加至全部列電極Y。

第23圖顯示作為顯示裝置之電漿顯示器之另一種組配狀態。

如第23圖所示，電漿顯示裝置係以一PDP 501作為電漿顯示面板、一奇編號X電極驅動器510、一偶編號X電極驅動器520、一奇編號Y電極驅動器530、一偶編號Y電極驅動器540、一定址驅動器550以及一驅動控制電路560組配形成。

PDP 500其上形成有條狀成形之行電極D_1-D_m於顯示幕上縱向延伸。此外，PDP 500其上形成有條狀成形之列電極X_2-X_n及行電極Y_1-Y_n於顯示幕上水平延伸，係以編號順序交錯排列，如第23圖所示。成對列電極亦即列電極對(X_2,Y_2)-列電極對(X_n,Y_n)係作為PDP 501上之第一至第(n-1)顯示線。作為像素之像素胞元PC分別形成於顯示線與行電極D_1-D_m之交叉點(位於第23圖由單點鏈線所包圍區域)。換言之於PDP 501設置有屬於第一顯示線之像素胞元$PC_{1,1}$-$PC_{1,m}$，屬於第二顯示線之像素胞元$PC_{2,1}$-$PC_{2,m}$，...，屬於第(n-1)顯示線之像素胞元$PC_{n-1,1}$-$PC_{n-1,m}$，排列成矩陣形式。

第24至27圖顯示PDP 501內部結構之節錄部分。

第24圖為PDP 501由前方觀視之平面圖。第25圖為由第24圖所示線V1-V1觀視之剖面圖。第26圖為由第24圖所示線

V2-V2觀視之剖面圖。第27圖為由第24圖所示線W1-W1觀視之PDP 501之剖面圖。第24至27圖中，第6至9圖所示以相同編號標示之結構元件為相同元件。

換言之，PDP 501配置有呈矩陣形式之像素胞元PC，各自包含具有PDP 50相同結構之一對放電胞元(顯示放電胞元C1及控制放電胞元C2)。須注意於PDP 501，作為列電極X之透明電極Xa係形成有寬廣部於兩端，如第24圖所示而與PDP 50不同。如此放電間隙g也形成於控制放電胞元C2內部之透明電極Ya與Xa之寬廣部分間。此外，形成於控制放電胞元C2之放電間隙g係形成於較接近顯示放電胞元C1(其於相關控制放電胞元C2形成一對)之偏移位置，而非形成於控制放電胞元C2內部之匯流排電極Xb與Yb間之中間點。

根據驅動控制電路560供給之時序信號，奇編號X電極驅動器510施加各種驅動脈波(容後詳述)給PDP 501之列電極X之奇編號(顯示於第23圖)之列電極X_3、X_5、...、X_{n-2}及X_n。根據由驅動控制電路560供給的時序信號，偶編號X電極驅動器520施加各個驅動脈波(容後詳述)給PDP 501之列電極X之偶編號(顯示於第23圖)之列電極X_2、X_4、...、X_{n-3}及X_{n-1}。根據由驅動控制電路560供給的時序信號，奇編號Y電極驅動器530施加各個驅動脈波(容後詳述)給PDP 501之列電極Y之奇編號(顯示於第23圖)列電極Y_1、Y_3、Y_5、...、Y_{n-2}及Y_n。根據由驅動控制電路560供給的時序信號，偶編號Y電極驅動器540施加各個驅動脈波(容後詳述)給PDP

501之列電極Y之偶編號(顯示於第23圖)列電極Y_2、Y_4、...、Y_{n-3}及Y_{n-1}。根據驅動控制電路560供給之時序信號，根據驅動控制電路560供給的時序信號，定址驅動器550施加像素資料脈波(容後詳述)給PDP 501之行電極D_1-D_m。

驅動控制電路560首先將輸入視訊信號轉成各個像素表示亮度位準的8位元像素資料，以及對像素資料進行錯誤擴散處理及遞色處理，藉此獲得4位元多階PD_s。根據第28圖所示資料換算表，此像素資料PD_s被轉換成包含第1至第15位元之15位元像素驅動資料GD。然後驅動控制電路560基於像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$畫面，將像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$介於相同位元數據間分開。如此獲得像素驅動資料位元組DB1-DB15如後：

DB1：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第一位元

DB2：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第二位元

DB3：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第三位元

DB4：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第四位元

DB5：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第五位元

DB6：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第六位元

DB7：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第七位元

DB8：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第八位元

DB9：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第九位元

DB10：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第十位元

DB11：於各個像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$之第十一位元

DB12：於各個像素驅動資料$GD_{1,1}$-$GD_{(n-1),m}$之第十二位元

DB13：於各個像素驅動資料$GD_{1,1}$-$GD_{(n-1),m}$之第十三位元

DB14：於各個像素驅動資料$GD_{1,1}$-$GD_{(n-1),m}$之第十四位元

DB15：於各個像素驅動資料$GD_{1,1}$-$GD_{(n-1),m}$之第十五位元

像素驅動資料位元組DB1-DB15分別係對應於子圖場SF1-SF15(容後詳述)。於各個子圖場SF1-SF15，驅動控制電路560係以每次一顯示線(編號m)之數量供給對應該相關子圖場之像素驅動資料位元組DB給定址驅動器550。

此外，驅動控制電路560根據第29圖所示發光驅動順序，產生多個時序信號來控制PDP 501的驅動，以及將該等時序信號供給奇編號X電極驅動器510、偶編號X電極驅動器520、奇編號Y電極驅動器530及偶編號Y電極驅動器540。

於第29圖所示發光驅動順序，視訊信號之各圖場被劃分為15個子圖場SF1-SF15，俾於各個子圖場執行下列驅動處理。

換言之於頭子圖場SF1，循序執行奇編號列復置處理R_{OD}、奇編號列定址處理W_{OD}、偶編號列復置處理R_{EV}、偶編號列定址處理W_{EV}、預備延伸處理PI、維持處理I及抹消處理E。同時，於各個子圖場SF2-SF15，循序執行定址處理W、預備延伸處理PI、維持處理I及抹消處理E。

第30圖顯示於第29圖所示子圖場SF1，欲藉奇編號X電極驅動器510、偶編號X電極驅動器520、奇編號Y電極驅動器530、偶編號Y電極驅動器540及定址驅動器550而施加至PDP 501之各驅動脈波，及其施用時序。

首先於奇編號列復置處理R_{OD}，奇編號Y電極驅動器530產生比較維持脈波(容後詳述)，升高變化溫和之正電極第一復置脈波RP_{Y1}，且將該脈波同時施加至PDP 501之奇編號列電極Y_1、Y_3、...、Y_n。根據施加第一復置脈波RP_{Y1}，於屬於奇編號顯示線之每個像素胞元PC之控制放電胞元C2內部之列電極Y與行電極D間造成第一復置放電(寫入放電)。於施加第一復置脈波RP_{Y1}後，奇編號Y電極驅動器530循序產生負極性第二復置脈波RP_{Y2}，且同時施加至PDP 501之奇編號列電極Y_1、Y_3、...、Y_n。此外於第二復置脈波RP_{Y2}的相同時序，定址驅動器550產生正極性復置脈波RP_D，且同時施加至列電極D_1-D_n。根據施加此等復置脈波RP_D及第二復置脈波RP_{Y2}，於屬於奇編號顯示線之每個像素胞元PC之控制放電胞元C2內部之列電極Y與行電極D間造成第二復置放電(抹消放電)。於完成第一復置放電及第二復置放電後，負壁電荷及正壁電荷分別形成於屬於奇編號顯示線之每個像素胞元PC之控制放電胞元C2內部，行電極D附近以及列電極X及Y附近。

然後於奇編號列定址處理W_{OD}，奇編號Y電極驅動器530循序施加具有正極性電壓V2(V2>V1)之掃描脈波SP至奇編號列電極Y_1、Y_3、Y_5、...、及Y_{n-2}，同時施加正極性電

壓V1至全部奇編號列電極Y。於此期間，定址驅動器550將對應此子圖場SF1之像素驅動資料位元組DB1中之對應奇編號顯示線之像素驅動資料位元，轉成具有脈波電壓與其邏輯位準相稱之像素資料脈波DP。例如，一方面定址驅動器550將具有邏輯位準0之像素驅動資料位元轉成正極性高電壓像素資料脈波DP；另一方面，將具有邏輯位準1之像素驅動資料位元轉成低電壓(0伏特)像素資料脈波DP。與掃描脈波SP之施加時序同步，像素資料脈波DP每次以一顯示線(編號m)之數量施加至行電極D_1-D_m。換言之，定址驅動器550首先對行電極D_1-D_m施加像素資料脈波組DP_1，包含對應第一顯示線編號m之像素資料脈波DP；然後對行電極D_1-D_m施加像素資料脈波組DP_3，包含對應第三顯示線編號m之像素資料脈波DP。此種情況下，像素胞元PC之控制放電胞元C2被施加低電壓(0伏特)像素資料脈波DP，連同具有正極性電壓V2之掃描脈波SP，於控制放電胞元C2內部選擇性造成寫入定址放電。換言之，於控制放電胞元C2內部之行電極D與透明電極Ya寬廣部件造成寫入定址放電。同時於被施加高電壓像素資料脈波DP連同掃描脈波SP之像素胞元PC之控制放電胞元C2內部，則未引發如同前述之寫入定址放電。此處於造成寫入定址放電之像素胞元PC，分別於相關控制放電胞元C2內部之列電極Y附近以及列電極X附近形成負壁電荷及正壁電荷。此像素胞元PC被設定為暫時光開啟胞元模。另一方面，於未造成寫入定址放電之像素胞元PC之控制放電胞元C2內部的列電極Y及X附近，於奇編號列

復置處理R_{OD}產生的正壁電荷仍然維持。此種像素胞元PC被設定為光關閉胞元模。於奇編號列定址處理W_{OD}，奇編號X電極驅動器510連續對奇編號列電極X施加與掃描脈波SP相同極性的電壓，俾防止控制放電胞元C2內部之列電極D與行電極X間發生錯誤放電。

藉此方式，於奇編號列定址處理W_{OD}，對應奇編號顯示線之像素胞元PC，根據基於輸入視訊信號之像素資料而被設定為暫時光開啟胞元模或光關閉胞元模。

其次於偶編號列復置處理R_{EV}，偶編號Y電極驅動器540產生比較維持脈波(容後詳述)，升高變化溫和之正電極第一復置脈波RP_{Y1}，且將該脈波同時施加至PDP 501之偶編號列電極Y_2、Y_4、...、Y_{n-1}。根據施加第一復置脈波RP_{Y1}，於屬於偶編號顯示線之每個像素胞元PC之控制放電胞元C2內部之列電極Y與行電極D間造成第一復置放電(寫入放電)。於施加第一復置脈波RP_{Y1}後，偶編號Y電極驅動器540循序產生負極性第二復置脈波RP_{Y2}，且同時施加至PDP 501之偶編號列電極Y_2、Y_4、...、Y_{n-1}。此外於第二復置脈波RP_{Y2}的相同時序，定址驅動器550產生正極性復置脈波RP_D，且同時施加至列電極D_1-D_n。根據施加此等復置脈波RP_D及第二復置脈波RP_{Y2}，於屬於偶編號顯示線之每個像素胞元PC之控制放電胞元C2內部之列電極Y與行電極D間造成第二復置放電(抹消放電)。於完成第一復置放電及第二復置放電後，負壁電荷及正壁電荷分別形成於屬於偶編號顯示線之每個像素胞元PC之控制放電胞元C2內部，行電極D附近以

及列電極X及Y附近。

然後於偶編號列定址處理W_{EV}，偶編號Y電極驅動器540循序施加具有正極性電壓V2(V2>V1)之掃描脈波SP至偶編號列電極Y_2、Y_4、Y_6、...、及Y_{n-1}，同時施加正極性電壓V1至全部偶編號列電極Y。於此期間，定址驅動器550將對應此子圖場SF1之像素驅動資料位元組DB1中之對應偶編號顯示線之像素驅動資料位元，轉成具有脈波電壓與其邏輯位準相稱之像素資料脈波DP。例如，一方面定址驅動器550將具有邏輯位準0之像素驅動資料位元轉成正極性高電壓像素資料脈波DP；另一方面，將具有邏輯位準1之像素驅動資料位元轉成低電壓(0伏特)像素資料脈波DP。與掃描脈波SP之施加時序同步，像素資料脈波DP每次以一顯示線(編號m)之數量施加至行電極D_1-D_m。換言之，定址驅動器550首先對行電極D_1-D_m施加像素資料脈波組DP_2，包含對應第二顯示線編號m之像素資料脈波DP；然後對行電極D_1-D_m施加像素資料脈波組DP_4，包含對應第四顯示線編號m之像素資料脈波DP。此種情況下，像素胞元PC之控制放電胞元C2被施加低電壓(0伏特)像素資料脈波DP，連同具有正極性電壓V2之掃描脈波SP，於控制放電胞元C2內部選擇性造成寫入定址放電。換言之，於控制放電胞元C2內部之行電極D與透明電極Ya寬廣部件造成寫入定址放電。同時於被施加高電壓像素資料脈波DP連同掃描脈波SP之像素胞元PC之控制放電胞元C2內部，則未引發如同前述之寫入定址放電。

於造成寫入定址放電之像素胞元PC，分別於相關控制放電胞元C2內部之列電極Y附近以及列電極X附近形成負壁電荷及正壁電荷。此像素胞元PC被設定為暫時光開啟胞元模。另一方面，於未造成寫入定址放電之像素胞元PC之控制放電胞元C2內部的列電極Y及X附近，於偶編號列復置處理R_{EV}產生的正壁電荷仍然維持。此種像素胞元PC被設定為光關閉胞元模。於偶編號列定址處理W_{EV}，偶編號X電極驅動器520連續對偶編號列電極X施加與掃描脈波SP相同極性的電壓，俾防止控制放電胞元C2內部之列電極D與行電極X間發生錯誤放電。

藉此方式，於偶編號列定址處理W_{EV}，對應偶編號顯示線之像素胞元PC，根據基於輸入視訊信號之像素資料而被設定為暫時光開啟胞元模或光關閉胞元模。

於各個子圖場SF2-SF15之定址處理W，如第30圖所示，奇編號Y電極驅動器530及偶編號Y電極驅動器540循序施加正極性掃描脈波SP至列電極Y_1、Y_2、Y_3、...、Y_{n-1}(圖中未顯示)。於此期間，定址驅動器550將對應各個子圖場SF(j)[j為2-15自然數]之像素驅動資料位元組DB(j)之像素驅動資料位元，轉換成像素資料脈波DP，脈波DP具有與其邏輯位準相稱之脈波電壓。與掃描脈波SP之施加時序同步，以每次一掃描線(m為編號)之數量，施加像素資料脈波DP至行電極D_1-D_m。此種情況下，於對其施加低電壓(0伏特)像素資料脈波DP連同掃描脈波SP之像素胞元PC之控制放電胞元C2內部，選擇性造成前述寫入定址放電。相反地，

於對其施加高電壓像素資料脈波DP連同掃描脈波SP之像素胞元PC之控制放電胞元C2內部，則未造成前述寫入定址放電。於造成寫入定址放電之像素胞元PC，分別於控制放電胞元C2內部於列電極Y附近及列電極X附近形成負壁電荷及正壁電荷。此種像素胞元PC被設定為暫時光開啟胞元模。相反地，於未造成寫入定址放電之像素胞元PC之控制放電胞元C2內部，正壁電荷留在列電極Y與X附近。此種像素胞元PC設定為光關閉胞元模。

其次於預備延伸處理PI，奇編號Y電極驅動器530間歇重複正極性預備脈波RP_{YO}，如第30圖所示，俾施加其至奇編號列電極Y_1、Y_3、...、Y_n。同時於預備延伸處理PI，於預備脈波PP_{YO}之相同時序，奇編號X電極驅動器510間歇重複正極性預備脈波PP_{XO}，俾施加至奇編號列電極X_3、X_5、...、X_n。同時於預備延伸處理PI，以與第30圖所示前述PP_{XO}及PP_{YO}之不同時序，偶編號X電極驅動器520間歇重複正極性預備脈波PP_{XE}，俾施加至偶編號列電極X_2、X_4、...、X_{n-1}。此外於預備延伸處理PI，以與第30圖所示前述預備脈波PP_{XE}之相同時序，偶編號Y電極驅動器540間歇重複正極性預備脈波PP_{YE}，俾施加至偶編號列電極Y_2、Y_4、...、Y_{n-1}。每次施加預備脈波PP_{XO}、PP_{XE}、PP_{YO}或PP_{YE}，如前文說明設定於暫時光開啟胞元模之像素胞元PC之控制放電胞元C2內部，介於透明電極Xa與Ya間造成預備放電。此種情況下，當引發預備放電時，放電經由間隙r延伸朝向顯示放電胞元C1，如第25圖所示，形成壁電荷於顯示放電

胞元C1內部。

如前述，於預備延伸處理PI，唯有於奇編號列定址處理W_{OD}、偶編號列定址處理W_{EV}或定址處理W，設定於暫時光開啟胞元模之像素胞元PC之控制放電胞元C2才重複預備放電，藉此逐漸將放電朝向顯示放電胞元C1延伸。此種放電延伸，形成壁電荷於顯示放電胞元C1內部。顯示放電胞元C1所屬的像素胞元PC係設定為光開啟胞元模。相反地，於各種定址處理，於設定於光關閉胞元模之控制放電胞元C2內部，則未造成預備放電。如此，因壁電荷未形成與相關控制放電胞元C2連通之顯示放電胞元C1內部，故像素胞元PC被設定為光關閉胞元模。

其次，於維持處理I，奇編號Y電極驅動器530於維持處理I所屬的子圖場，重複如第30圖所示正極性維持脈波IP_{YO}經歷指定次數，藉此施加至奇編號列電極Y_1、Y_3、Y_5、...、Y_n。同時於維持處理I，偶編號X電極驅動器520於維持脈波IP_{YO}之相同時序，產生正極性維持脈波IP_{XE}，且於相關維持處理I所屬之子圖場重複指定次數，藉此施加至偶編號列電極X_2、X_4、...、X_{n-1}。同時於維持處理I，奇編號X電極驅動器510於與維持脈波IP_{YO}不同時序，產生正極性維持脈波IP_{XO}，如第30圖所示，以及於相關維持處理I所屬之子圖場，重複產生步驟指定次數，藉此施加至奇編號列電極Y_1、Y_3、Y_5、...、Y_n。同時於維持處理I，偶編號Y電極驅動器540於維持脈波IP_{XO}之相同時序產生正極性維持脈波IP_{YE}，且於相關維持處理I所屬之子圖場，重複產生步驟經歷指定次

數，藉此施加至偶編號列電極X_2、X_4、...、X_{n-1}。每次施加維持脈波IP_{XO}、IP_{XE}、IP_{YO}或IP_{YE}，於設定於光開啟胞元模之像素胞元PC之顯示放電胞元C1內部，介於透明電極Xa與Ya間引發維持放電。此種情況下，經由於此維持放電產生之紫外光，於顯示放電胞元C1形成的螢光層16(紅、綠或藍螢光層)形成激光，如第27圖所示。如此，對應該螢光色之光被輻射通過前玻璃基板10。換言之於維持處理I所屬之子圖場，因維持放電造成之發光被重複指定次數。

於抹消處理E，奇編號X電極驅動器51、偶編號X電極驅動器52、奇編號Y電極驅動器53、偶編號Y電極驅動器54及定址驅動器55施加正極性抹消脈波EP至全部列電極X及Y。根據施加抹消脈波，於殘留壁電荷的每個控制放電胞元C2內部造成抹消放電，如此抹消壁電荷。

此處基於第28圖所示像素驅動資料GD的16種組合，於如第29及30圖所示執行驅動之情況下，於各圖場，於各子圖場之定址處理(W_{OD}、W_{EV}、W)以對應於欲表現之中間亮度數量，造成寫入定址放電(以第28圖之雙圈顯示)。換言之，像素胞元PC被設定為光開啟胞元模，於連續子圖場之數量係對應欲表現之中間亮度，來於各個子圖場之維持處理I引發維持放電。此種情況下覺察對應於一圖場內所引發的維持放電總數之亮度。換言之如第28圖所示，於第1至第16調性驅動有16種發光樣式，依據雙圈顯示，於子圖場引發之放電總數，可以16種調性位準表現中間亮度。

此處於第23圖所示電漿顯示裝置，用作為PDP 501像素

之像素胞元PC係藉顯示放電胞元C1及控制放電胞元C2組態配置，如第24及25圖所示。於顯示放電胞元C1引發顯示影像相關的維持放電；而於控制放電胞元C2造成非關顯示影像之復置放電、預備放電及定址放電帶有發光。於控制放電胞元C2內部，形成本體介電層12，包含含有黑色或深色色素之吸光層，以防止於控制放電胞元C2內部引發之復置放電、預備放電及定址放電造成光經由前玻璃基板10而洩漏至外側。如此因復置放電、預備放電及定址放電引發的放電光被本體介電層12所屏蔽，故可提升對比度，特別為深色對比度。此外，於控制放電胞元C2內部，二次電子發射材料層30設置於接近背基板13該側，如第25圖所示。使用二次電子發射材料層30，於控制放電胞元C2內部介於行電極D與列電極Y間之放電開始電壓與放電維持電壓係低於顯示放電胞元C1內部之行電極D與列電極Y間之放電開始電壓及放電維持電壓。換言之，顯示放電胞元C1具有比控制放電胞元C2更高的放電開始電壓及放電維持電壓。如此即使於延伸放電朝向顯示放電胞元C1之預備延伸處理PI係藉由於控制放電胞元C2內部重複造成預備放電所執行，於顯示放電胞元C1內部引發之放電微弱，故可抑制深色對比度的下降。

此外，於控制放電胞元C2內部，由列電極X及Y之主要部分凸起的透明電極Xa及Ya，提供一放電間隙g於偏位較為接近與相關控制放電胞元C2形成一對的顯示放電胞元C1，而非位於匯流排電極Xb與Yb間的中間點。如此經由如

第30圖所示驅動，於控制放電胞元C2內部，對應放電間隙g位置，例如第25圖位置P引發預備放電。換言之，因於控制放電胞元C2內部於較為接近與控制放電胞元C2成對的顯示放電胞元C1位置，引發預備放電，故放電容易由控制放電胞元C2延伸至顯示放電胞元C1。同時，於控制放電胞元C2內部，介於行電極D與透明電極Ya間引發復置放電及寫入定址放電。換言之，於控制放電胞元C2內部，介於透明電極Ya與列電極D間引發復置放電及寫入定址放電，二者間之距離比透明電極Xa之與控制放電胞元C2成對的顯示放電胞元C1之距離更大。結果，於距離於此種控制放電胞元C2成對的顯示放電胞元C1比引發預備放電位置P更遠的位置Q，引發復置放電及定址放電，如第25圖所示。如此復置放電及定址放電引發之紫外光朝向顯示放電胞元C1洩漏量減少，因而壓抑深色對比度的下降。

同時，經由於控制放電胞元C2內部之接近顯示放電胞元C1位置，形成一放電間隙，可提供透明電極Ya寬廣部面對控制放電胞元C2面積，比透明電極Xa寬廣部面對控制放電胞元C2之面積更大。如此提高於控制放電胞元C2內部介於列電極D寬廣部與透明電極Ya間引發之復置放電或定址放電的穩定性，如此有助於於預備放電時顯示放電胞元C1的放電移轉。

第28至30圖說明所謂選擇性寫入定址架構之應用案例，於定址處理，經由引發寫入定址放電，而於像素胞元PC選擇性形成壁電荷。但可採用選擇性抹消定址架構，其

中於像素胞元PC形成的壁電荷被選擇性抹消。

經由基於選擇性抹消定址架構進行驅動時，驅動控制電路560首先將輸入視訊信號轉成8位元像素資料，例如表示各個像素之亮度位準，以及如前文說明對像素資料進行錯誤擴散處理及遞色處理。藉由錯誤擴散處理及遞色處理，驅動控制電路560將8位元像素資料轉成4位元多階像素資料PD_S，進一步根據第31圖所示資料換算表，將多階像素資料PD_S轉成15位元像素驅動資料GD。然後基於一畫面像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$，驅動控制電路560將此等像素驅動資料$GD_{1.1}$-$GD_{(n-1),m}$介於相同位元數據間分開，如此獲得像素驅動資料位元組DB1-DB15。基於各子圖場SF1-SF15，驅動控制電路560以每次一顯示線之量(m為編號)供給對應子圖場之像素驅動資料位元組DB給定址驅動器550。

第32圖顯示經由施加選擇性抹消定址架構，於調性驅動PDP 501之發光驅動順序。

第32圖所示發光驅動順序於頭子圖場SF1，循序進行奇編號列復置處理R_{OD}、奇編號列定址處理W_{OD}、偶編號列復置處理R_{EV}、偶編號列定址處理W_{EV}、預備延伸處理PI、維持處理I及電荷去除處理MR。同時於各個子圖場SF2-SF15，循序執行定址處理W、預備延伸處理PI、維持處理I及電荷去除處理MR。只悠關最末子圖場SF15，抹消處理E係恰於電荷去除處理MR之後進行。

第33圖顯示根據第32圖所示發光驅動順序，施加至PDP 501之各驅動脈波，及其施加時序。第33圖只節錄於第

32圖所示子圖場SF1之操作。

首先，於奇編號列復置處理R_{OD}，奇編號Y電極驅動器530產生負極性復置脈波RP_Y，其下降變化比維持脈波(容後詳述)溫和，且將脈波同時施加至PDP 501之奇編號列電極Y_1、Y_3、...、Y_n。於此期間，定址驅動器550產生正極性復置脈波RP_D，且同時施加至行電極D_1-D_n。根據施加復置脈波RP_Y及RP_D，於像素胞元PC之各個控制放電胞元C2(各自屬於奇編號顯示線)內部，介於列電極D與列電極Y間引發復置放電(寫入放電)。於此種復置放電後，於像素胞元PC屬於奇編號顯示線之各控制放電胞元C2內部，於接近行電極D及接近列電極X及Y分別形成負壁電荷及正壁電荷。

然後於奇編號列定址處理W_{OD}，奇編號Y電極驅動器530循序施加具有正極性電壓V2(V2>V1)之掃描脈波SP至奇編號列電極Y_1、Y_3、Y_5、...、及Y_{n-2}，同時施加正極性電壓V1至全部列電極Y。於此期間，定址驅動器550將對應此子圖場SF1之像素驅動資料位元組DB1中之對應奇編號顯示線之像素驅動資料位元，轉換成具有脈波電壓與其邏輯位準相稱之像素資料脈波DP。換言之，一方面，定址驅動器550將具有邏輯位準0之像素驅動資料位元轉成正極性高電壓之像素資料脈波DP；另一方面，將具有邏輯位準1之像素驅動資料位元轉成低電壓(0伏特)像素資料脈波DP。與掃描脈波SP之施加時序同步，像素資料脈波DP係以每次一顯示線(編號m)之數量，施加至行電極D_1-D_m。換言之，定址驅動器550首先對行電極D_1-D_m施加像素資料脈波組DP_1，包

含對應第一顯示線編號m之像素資料脈波DP；以及然後定址驅動器550對行電極D_1-D_m施加像素資料脈波組DP_3，其包含對應第三顯示線編號m之像素資料脈波DP。此種情況下，於像素胞元PC之控制放電胞元C2內部，對其施加低電壓(0伏特)像素資料脈波DP，連同正極性電壓V2之掃描脈波SP，選擇性引發抹消定址放電。換言之，於控制放電胞元C2內部，介於行電極D與透明電極Ya寬廣部件引發抹消定址放電。同時於由高電壓像素資料脈波DP連同掃描脈波SP所施加之像素胞元PC之控制放電胞元C2內部，則未引發如前述之抹消定址放電。此種情況下，於引發抹消定址放電之像素胞元PC，於相關控制放電胞元C2內部於列電極Y及X附近分別形成負壁電荷。此種像素胞元PC被設定為光關閉胞元模。相反地，於像素胞元PC之控制放電胞元C2內部之列電極Y及X附近，於該處未引發抹消定址放電，於奇編號列復置處理R_{OD}產生的正壁電荷仍然維持。此種像素胞元PC被設定為暫時光開啟胞元模。於奇編號列定址處理W_{OD}，奇編號X電極驅動器510及偶編號X電極驅動器520對列電極X連續施加與掃描脈波SP相同極性的電壓，俾防止控制放電胞元C2內部介於列電極D與行電極X間之錯誤放電。

藉此方式，於奇編號列定址處理W_{OD}，對應奇編號顯示線之像素胞元PC，根據基於輸入視訊信號之像素資料而被設定為暫時光開啟胞元模或光關閉胞元模。

其次，於偶編號列復置處理R_{EV}，偶編號Y電極驅動器

540產生負極性復置脈波RP_Y，其下降變化比維持脈波(容後詳述)溫和，且將脈波同時施加至PDP 501之偶編號列電極Y_2、Y_4、...、Y_{n-1}。於此期間，定址驅動器550產生正極性復置脈波RP_D，且同時施加至行電極D_1-D_n。根據施加復置脈波RP_Y及RP_D，於像素胞元PC之各個控制放電胞元C2(各自屬於偶編號顯示線)內部，介於列電極D與列電極Y間引發復置放電(寫入放電)。於此種復置放電後，於像素胞元PC屬於偶編號顯示線之各控制放電胞元C2內部，於接近行電極D及接近列電極X及Y分別形成負壁電荷及正壁電荷。

然後於偶編號列定址處理W_{EV}，偶編號Y電極驅動器540循序施加具有正極性電壓V2(V2>V1)之掃描脈波SP至偶編號列電極Y_2、Y_4、Y_6、...、及Y_{n-1}，同時施加正極性電壓V1至全部列電極Y。於此期間，定址驅動器550將對應此子圖場SF1之像素驅動資料位元組DB1中之對應偶編號顯示線之像素驅動資料位元，轉換成具有脈波電壓與其邏輯位準相稱之像素資料脈波DP。換言之，一方面，定址驅動器550將具有邏輯位準0之像素驅動資料位元轉成正極性高電壓之像素資料脈波DP；另一方面，將具有邏輯位準1之像素驅動資料位元轉成低電壓(0伏特)像素資料脈波DP。與掃描脈波SP之施加時序同步，像素資料脈波DP係以每次一顯示線(編號m)之數量，施加至行電極D_1-D_m。換言之，定址驅動器550首先對行電極D_1-D_m施加像素資料脈波組DP_2，包含對應第二顯示線編號m之像素資料脈波DP；以及然後定址驅動器550對行電極D_1-D_m施加像素資料脈波組DP_4，其包

含對應第四顯示線編號m之像素資料脈波DP。此種情況下，於像素胞元PC之控制放電胞元C2內部，對其施加低電壓(0伏特)像素資料脈波DP，連同正極性電壓V2之掃描脈波SP，選擇性引發抹消定址放電。換言之，於控制放電胞元C2內部，介於行電極D與透明電極Ya寬廣部件引發抹消定址放電。同時於由高電壓像素資料脈波DP連同掃描脈波SP所施加之像素胞元PC之控制放電胞元C2內部，則未引發如前述之抹消定址放電。此種情況下，於引發抹消定址放電之像素胞元PC，於相關控制放電胞元C2內部於列電極Y及X附近分別形成負壁電荷。此種像素胞元PC被設定為光關閉胞元模。相反地，於像素胞元PC之控制放電胞元C2內部之列電極Y及X附近，於該處未引發抹消定址放電，於偶編號列復置處理R_{EV}產生的正壁電荷仍然維持。此種像素胞元PC被設定為暫時光開啟胞元模。於偶編號列定址處理W_{EV}，偶編號X電極驅動器510及偶編號X電極驅動器520對列電極X連續施加與掃描脈波SP相同極性的電壓，俾防止控制放電胞元C2內部介於行電極D與列電極X間之錯誤放電。

藉此方式，於偶編號列定址處理W_{EV}，對應偶編號顯示線之像素胞元PC，根據基於輸入視訊信號之像素資料而被設定為暫時光開啟胞元模或光關閉胞元模。

其次於預備延伸處理PI，偶編號X電極驅動器520分別施加第33圖所示之正極性預備脈波PP_{XE}至偶編號列電極X_2、X_4、...、X_{n-1}。同時於預備延伸處理PI，偶編號Y電極驅動器540間歇重複正極性預備脈波PP_{YE}，來施加該脈波至

偶編號列電極Y_2、Y_4、...、Y_{n-2}及Y_2。同時於預備延伸處理PI，奇編號Y電極驅動器530分別施加正極性預備脈波PP_{YO}至奇編號列電極X_1、X_3、...、X_n。此外，與預備脈波PP_{YO}相同時序，奇編號X電極驅動器510施加正極性預備脈波PP_{XO}至奇編號列電極X_3、X_5、...、X_n。如第33圖所示，欲施加至奇編號列電極X及Y之預備脈波PP_{XO}及PP_{YO}、與欲施加至偶編號列電極X及Y之預備脈波PP_{XE}及PP_{YE}間之施加時序交互偏移。此處，每次施加預備脈波PP_{XO}、PP_{XE}、PP_{YO}或PP_{YE}，如前述，於設定於暫時光開啟胞元模之像素胞元PC的控制放電胞元C2內部，介於透明電極Xa與Ya間引發預備放電。此種情況下，當引發預備放電時，經由間隙r朝向顯示放電胞元C1延伸之放電，如第25圖所示，於顯示放電胞元C1內部形成壁電荷。對應顯示放電胞元C1之像素胞元PC被設定為光開啟胞元模。同時於顯示放電胞元C1內部與控制放電胞元C2連通，於該處未引發預備放電，則未形成壁電荷。如此此種像素胞元PC被維持於光關閉胞元模。

其次於維持處理I，奇編號Y電極驅動器530產生正極性維持脈波IP_{YO}，如第33圖所示，於維持處理I所屬的子圖場，重複產生指定次數，藉此施加至奇編號列電極Y_1、Y_3、Y_5、...、Y_n。同時於維持處理I，偶編號X電極驅動器520於維持脈波IP_{YO}之相同時序，產生正極性維持脈波IP_{XE}，且於相關維持處理I所屬之子圖場重複指定次數，藉此施加至偶編號列電極X_2、X_4、...、X_{n-1}。同時於維持處理I，奇編號X電極驅動器510於與維持脈波IP_{XE}不同時序，產生正極

性維持脈波IP_{XO}，如第33圖所示，以及於相關維持處理I所屬之子圖場，重複產生步驟指定次數，藉此施加至奇編號列電極Y_3、Y_5、...、Y_n。此外，於維持處理I，偶編號Y電極驅動器540於維持脈波IP_{XO}之相同時序產生正極性維持脈波IP_{YE}，且於相關維持處理I所屬之子圖場，重複產生步驟經歷指定次數，藉此施加至偶編號列電極X_2、X_4、...、X_{n-1}。每次施加維持脈波IP_{XO}、IP_{XE}、IP_{YO}或IP_{YE}，於設定於光開啟胞元模之像素胞元PC之顯示放電胞元C1內部，介於透明電極Xa與Ya間引發維持放電。此種情況下，藉由此維持放電產生之紫外光，於形成於顯示放電胞元C1之螢光層16(紅、綠或藍螢光層)產生激光，如第25圖所示。如此對應該螢光色之光被輻射通過前玻璃基板10。換言之於維持處理I所屬之子圖場，因維持放電導致之發光重複指定次數。

如前述，於維持處理I，唯有於緊接前一定址處理(W_{OD}、W_{EV}、W)設定於光開啟胞元模之像素胞元PC才於子圖場被引發發光指定次數。

其次於電荷移動處理MR，偶編號X電極驅動器520產生正極性電荷移動脈波MP_{XE}，重複產生俾施加至偶編號列電極X_2、X_4、...、X_{n-1}。同時，偶編號Y電極驅動器540係於電荷移動脈波MP_{XE}之相同時序產生正極性電荷移動脈波MP_{YE}，且重複之，俾施加至偶編號列電極X_2、X_4、...、X_{n-1}。同時，於電荷移動處理MR，奇編號Y電極驅動器530係於電荷移動脈波MP_{XE}之不同時序產生正極性電荷移動脈波

MP_{YO}，俾施加至奇編號列電極X_1、X_3、...、X_n。此外於電荷移動處理MR，奇編號X電極驅動器510係於電荷移動脈波MP_{XE}之不同時序產生正極性電荷移動脈波MP_{XO}，俾施加至奇編號列電極X_1、X_3、X_5、...、X_n。每次施加電荷移動脈波MP_{XO}、MP_{YO}、MP_{XE}或MP_{YE}時，於像素胞元PC之控制放電胞元C2內部，於該處於緊接前一維持處理I中引發維持放電位置引發放電。因放電故，形成於與相關控制放電胞元C2成對的顯示放電胞元C1之壁電荷，經由間隙r移動至控制放電胞元C2，如第25圖所示。

於最末子圖場SF15之抹消處理E，奇編號X電極驅動器510、偶編號X電極驅動器520、奇編號Y電極驅動器530及偶編號Y電極驅動器540施加正極性抹消脈波至全部列電極X及Y(圖中未顯示)。根據施加抹消脈波，於每個控制放電胞元C2內部之殘留壁電荷位置引發抹消放電，藉此抹消壁電荷。

此處根據第30-32圖所示施加選擇性抹消定址架構之驅動，於子圖場SF1-SF15中，唯有於子圖場SF1之奇編號列復置處理R_{OD}及偶編號列復置處理R_{EV}之情況下，像素胞元PC才可由光關閉胞元模變遷成光開啟胞元模。換言之，於子圖場SF1-SF15之一子圖場引發抹消定址放電。一旦像素胞元PC被設定於光關閉胞元模，則於隨後之子圖場，此一像素胞元PC不會返回光開啟胞元模。如此使用第31圖所示，基於像素驅動資料GD之驅動，於各個子圖場，連續以對應欲表現之亮度數量，像素胞元PC被設定為光開啟胞元

模。直到引發抹消定址放電(以黑圈顯示)，於各個子圖場之維持處理I連續進行持續放電發光(以白圈顯示)。藉由此種驅動，可察覺於一圖場期間對應引發之放電總次數之亮度。換言之，使用如第31圖所示，基於驅動至16調性位準的16種發光樣式，於白圈表示之子圖場，以對應子圖場出現之維持放電總次數以於16調性位準之中間亮度表示。

此種情況下，即使使用前述選擇性抹消定址架構施加驅動，於顯示放電胞元C1內部引發顯示影像相關之維持放電，而於控制放電胞元C2內部引發非關顯示影像之復置放電、預備放電及定址放電伴以發光。如此因復置放電、預備放電或定址放電引發之放電光被唯有形成於控制放電胞元C2之本體介電層12所屏蔽，故可提升於顯示影像之對比度，特別為深色對比度。此外，即使使用選擇性抹消定址架構施加驅動，於控制放電胞元C2內部，介於透明電極Xa與Ya間引發預備放電，而介於行電極D與透明電極Ya間引發復置放電及定址放電。如此因於接近(與控制放電胞元C2成對的)顯示放電胞元C1位置引發預備放電，故放電易由控制放電胞元C2延伸至顯示放電胞元C1。同時，於比引發預備放電點，更遠離顯示放電胞元C1位置，引發復置放電及定址放電，因復置放電及定址放電造成之紫外光朝向顯示放電胞元C1洩漏量減少，如此抑制深色對比度的下降。

【圖式簡單說明】

第1圖為由前方觀視，習知PDP結構部分之平面圖；

第2圖為視圖，顯示第1圖所示PDP於視線V-V之剖面；

第3圖為視圖，顯示第1圖所示PDP於視線W-W之剖面；

第4圖為線圖，各種欲施加至PDP之驅動脈波與其施加時序；

第5圖為略圖，顯示電漿顯示裝置之示意組配狀態；

第6圖為由前方觀視，第5圖所示PDP 50組配狀態之部分平面圖；

第7圖為視圖，顯示第6圖所示PDP 50於視線V1-V1之剖面；

第8圖為視圖，顯示第6圖所示PDP 50於視線V2-V2之剖面；

第9圖為視圖，顯示第6圖所示PDP 50於視線W1-W1之剖面；

第10圖為線圖，欲用於採用選擇性寫入定址架構驅動之像素資料換算表，與基於該像素資料換算表所得像素驅動資料GD之發光驅動樣式；

第11圖為線圖，顯示採用選擇性寫入定址架構驅動之發光驅動順序範例；

第12圖為略圖，顯示根據第11圖所示發光驅動順序，於頭子圖場SF1欲施加至PDP 50之各驅動脈波及其施加時序；

第13圖為線圖，欲用於採用選擇性抹消定址架構驅動之像素資料換算表，與基於該像素資料換算表所得像素驅動資料GD之發光驅動樣式；

第14圖為線圖，顯示採用選擇性抹消定址架構驅動之

發光驅動順序範例；

第15圖為略圖，顯示根據第14圖所示發光驅動順序，於頭子圖場SF1欲施加至PDP 50之各驅動脈波及其施加時序；

第16圖為略圖，顯示安裝有PDP 500之電漿顯示裝置之另一種組配狀態；

第17圖為由前方觀視之PDP 500結構之部分平面圖；

第18圖為視圖，顯示第17圖所示PDP 500於視線V1-V1之剖面；

第19圖為視圖，顯示第17圖所示PDP 500於視線V2-V2之剖面；

第20圖為視圖，顯示第17圖所示PDP 500於視線W1-W1之剖面；

第21圖為略圖，顯示於採用選擇性寫入定址架構驅動時，於頭子圖場SF1欲施加至PDP 500之各驅動脈波，及其施加時序；

第22圖為略圖，顯示於採用選擇性抹消定址架構驅動時，於頭子圖場SF1欲施加至PDP 500之各驅動脈波，及其施加時序；

第23圖為略圖，顯示電漿顯示裝置之另一種組配狀態；

第24圖為由前方觀視，第23圖所示PDP 501組配狀態之部分平面圖；

第25圖為視圖，顯示第24圖所示PDP 501於視線V1-V1之剖面；

第26圖為視圖，顯示第24圖所示PDP 501於視線V2-V2之剖面；

第27圖為視圖，顯示第24圖所示PDP 501於視線W1-W1之剖面；

第28圖為線圖，經由採用選擇性寫入定址架構驅動第23圖所示電漿顯示裝置用之像素資料換算表，與基於該像素資料換算表所得像素驅動資料GD之發光驅動樣式；

第29圖為線圖，顯示採用選擇性寫入定址架構驅動第23圖所示電漿顯示裝置用之發光驅動順序範例；

第30圖為略圖，顯示根據第29圖所示發光驅動順序，於頭子圖場SF1欲施加至PDP 501之各驅動脈波及其施加時序；

第31圖為線圖，經由採用選擇性抹消定址架構驅動第23圖所示電漿顯示裝置用之像素資料換算表，與基於該像素資料換算表所得像素驅動資料GD之發光驅動樣式；

第32圖為線圖，顯示經由採用選擇性抹消定址架構，驅動第23圖所示電漿顯示裝置之發光驅動順序範例；以及

第33圖為略圖，顯示根據第32圖所示發光驅動順序，於頭子圖場SF1欲施加至PDP 501之各驅動脈波及其施加時序。

【圖式之主要元件代表符號表】

1、10…前玻璃基板

2、11、17、18…介電層

3…保護層

4…後玻璃基板

5、15…阻隔壁

6、16…螢光層

12…本體介電層

13…後基板

14…行電極保護層

15A、15B…側壁

15C…縱壁

30...二次電子發射材料層

50、500、501…電漿顯示面板

51、510...奇編號X電極驅動器

52、520...偶編號X電極驅動器

53、530...奇編號Y電極驅動器

54、540...偶編號Y電極驅動器

55、550…定址驅動器

56、560...驅動控制電路

C1…顯示放電胞元

C2…控制放電胞元

PC…像素胞元

R…同時復置處理

W…定址處理

I…發光維持處理

E…抹消處理

GD…像素驅動資料

D…行電極

X、Y…列電極

伍、中文發明摘要：

一種可防止錯誤放電且改良顯示品質之顯示裝置。顯示面板具有一個單位發光區域其係形成於列電極與行電極之交叉點，該區域係經由第一放電胞元及第二放電胞元結構化，具有一吸光層於接近前基板該側，以及一二次電子發射材料層於接近後基板該側。當施加掃描脈波其極性可將列電位之行電極設置於列電極對之一列電極時，具有電壓與像素資料相稱之像素資料脈波施加至該行電極，因而於第二放電胞元內部選擇性造成定址放電。使用此種結構，由於第二放電胞元內部之行電極係相對於列電極用作為陰極，故可有利地由形成於第二放電胞元內部之二次電子發射材料層發射二次電子，因而正向造成定址放電。

陸、英文發明摘要：

A display device capable of preventing erroneous discharge and improving the quality of display. The display panel has a unit light-emitting area formed at the intersection of row and column electrodes which is structured by a first discharge cell and a second discharge cell having a light absorbing layer at a side close to a front substrate and a secondary-electron emitting material layer at a side close to a back substrate. While applying a scanning pulse having a polarity to place the column electrode in low potential to one row electrode of a row electrode pair, a pixel data pulse having a voltage commensurate with pixel data is applied to the column electrode, thereby selectively causing address discharge within the second discharge cell. With this structure, because the column electrode within the second discharge cell acts as a cathode relative to the row electrode, secondary electrons are to be emitted favorably from the secondary-electron emitting material layer formed within the second discharge cell, thus positively causing address discharge.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件代表符號簡單說明：

50…電漿顯示面板
51…奇編號X電極驅動器
52…偶編號X電極驅動器
53…奇編號Y電極驅動器
54…偶編號Y電極驅動器
55…定址驅動器
56…驅動控制電路

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種基於一輸入視訊信號而根據各個像素之像素資料進行一影像顯示之顯示裝置，對應於該輸入影像信號，該顯示裝置包含：

一顯示面板，其具有

前基板及後基板排列成夾置一放電空間；

複數個列電極對，其係設置於前基板內面；

複數個行電極，其係設置於後基板內面且交叉列電極對；以及

單位發光區域，其係分別形成於列電極對與行電極的交叉點，各個區域各自包含一第一放電胞元以及一第二放電胞元，其具有一吸光層係接近前基板，以及一二次電子發射材料層係接近後基板；

一定址裝置，其係供於循序施加一掃描脈波，該掃描脈波具有一種極性可供放置於低電位之列電極於組成列電極對之第一列電極及第二列電極中之第一列電極時，於該掃描脈波之相同時序，以每次一顯示線之量，循序施加一具有電壓對應於該像素資料之像素資料脈波至行電極，因而選擇性造成第二放電胞元內部之定址放電；以及

一維持裝置，其係供交替施加一維持脈波至第一列電極及第二列電極。

2. 如申請專利範圍第1項之顯示裝置，其中該定址裝置包括一朝向第一放電胞元延伸定址放電之裝置，藉此設定

第一放電胞元於光開啟胞元模；維持裝置交替施加維持脈波至第一列電極及第二列電極，如此只引發於光開啟胞元模之第一放電胞元重複作維持放電。

3. 如申請專利範圍第1項之顯示裝置，其中該第一放電胞元包括一部分，於該處第一列電極與第二列電極係經由放電空間內部之一第一放電間隙而彼此相對；該第二放電胞元包括一部分，於該處列電極對之第二列電極與一列電極對之毗鄰該列電極對之第一列電極於該放電空間內部經由一第二放電間隙彼此相對；進一步包括一預備延伸裝置，其係供交替施加一預備脈波至第二放電胞元內部之該第一列電極及該第二列電極，且唯有於引發定址放電之第二放電胞元才引發預備放電，藉此朝向第一放電胞元延伸放電，且設定第一放電胞元至光開啟胞元模。

4. 如申請專利範圍第3項之顯示裝置，其中該第二放電間隙之形成位置係偏移，比第二放電胞元內部第一列電極與第二列電極之中間位置，較為接近第一放電胞元。

5. 如申請專利範圍第3項之顯示裝置，其中組成該列電極對之第一列電極及第二列電極各自有一主體係於顯示面板延伸，以及凸部於交叉水平方向之方向由各個單位發光區域的主體凸起，第一放電胞元包括一部分，於該處第一列電極及第二列電極之凸部彼此經由放電空間內部之第一放電間隙相對；該第二放電胞元包括一部分，於該處列電極對中之第二列電極凸部與一列電極對

之毗鄰該列電極對之第一列電極凸部彼此經由放電空間內部之第二放電間隙而彼此相對。

6. 如申請專利範圍第1項之顯示裝置，其中於顯示面板上彼此水平毗鄰的第二放電胞元之放電空間為封閉空間；以及於顯示面板上彼此水平毗鄰的第一放電胞元之放電空間彼此連通。

7. 如申請專利範圍第1項之顯示裝置，其中因只於第一放電胞元內部放電，故形成之螢光層發光。

8. 如申請專利範圍第1項之顯示裝置，進一步包含復置裝置，供於定址放電前，施加一復置脈波至該第一列電極與該行電極間，藉此於第二放電胞元內部引發復置放電。

9. 如申請專利範圍第8項之顯示裝置，其中該復置裝置係於屬於顯示面板之奇編號顯示線之各第二放電胞元內部進行復置放電，以及於屬於顯示面板之偶編號顯示線之各第二放電胞元內部進行復置放電，其放電時間分開。

10. 如申請專利範圍第1項之顯示裝置，其中該定址裝置係於與屬於顯示面板之奇編號顯示線之各第二放電胞元內部引發的定址放電不同時間，於屬於顯示面板之偶編號顯示線之各第二放電胞元內部引發的定址放電。

11. 如申請專利範圍第1項或第8項之顯示裝置，其中該復置脈波比較維持脈波具有上升區段或下降區段溫和程度變遷之波形。

12. 如申請專利範圍第2項之顯示裝置，進一步包括一抹消裝置，其係供於完成維持放電後，施加一抹消脈波至該第一列電極及第二列電極，藉此於第一放電胞元內部引發抹消放電。

13. 如申請專利範圍第2項之顯示裝置，進一步包括一電荷移動裝置，其係供於完成維持放電後，施加一電荷移動脈波至形成於第二放電胞元內部之列電極對之第二列電極、與一毗鄰該列電極對之列電極對之第二列電極間，俾唯有於引發維持放電之第一放電胞元成對之該第二放電胞元內部引發放電，藉此由第一放電胞元移動壁電荷至第二放電胞元，因而將第二放電胞元置於開啟胞元態。

14. 如申請專利範圍第1項之顯示裝置，其中該單位發光區域係由阻隔壁定界其範圍，該單位發光區域內部之第一放電胞元及第二放電胞元係由一阻隔壁定界。

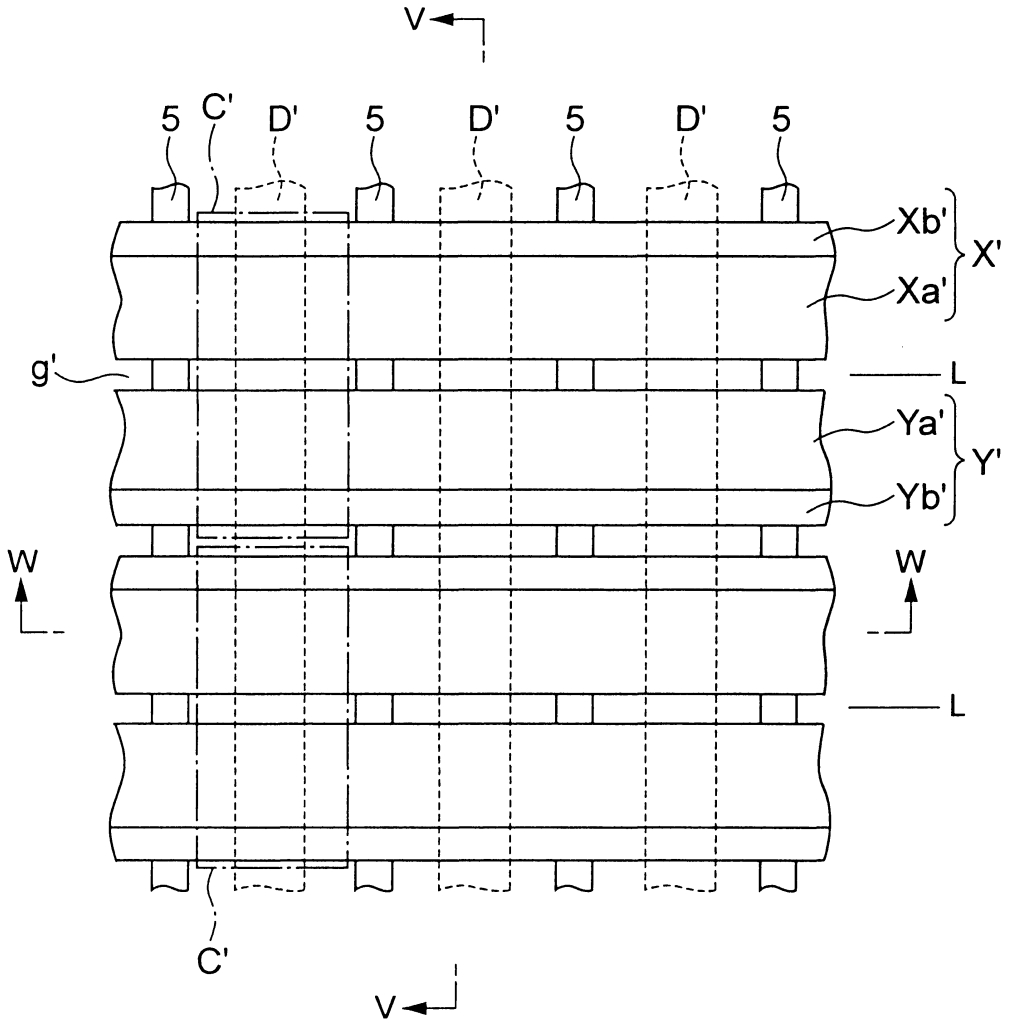
15. 如申請專利範圍第14項之顯示裝置，其中於該單位發光區域內部之第二放電胞元以及一毗鄰該單位發光區域之一單位發光區域為封閉，以及於該單位發光區域內部之第一放電胞元之放電空間以及第二放電胞元之放電空間彼此連通。

16. 如申請專利範圍第1項之顯示裝置，其中該第一放電胞元具有一部分，於該處該第一列電極與第二列電極係經由放電空間內部之一第一放電間隙彼此相對；該第二放電胞元包括一部分，於該處該列電極對之第一列電極與

毗鄰該列電極對之一列電極對之第二列電極係經由該放電空間內部之一第二放電間隙而彼此相對。

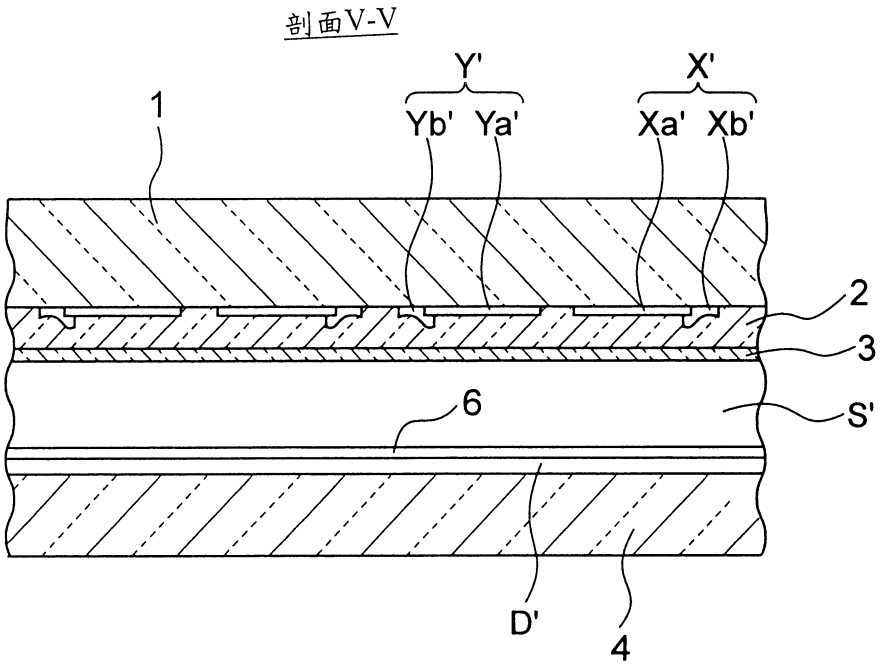
17. 如申請專利範圍第1項之顯示裝置，其中該第一放電胞元具有一部分，於該處該第一列電極與第二列電極係經由放電空間內部之一第一放電間隙彼此相對；該第二放電胞元包括一部分，於該處該列電極對之第一列電極與行電極係經由放電空間內部之一第三放電間隙彼此相對。

92131388

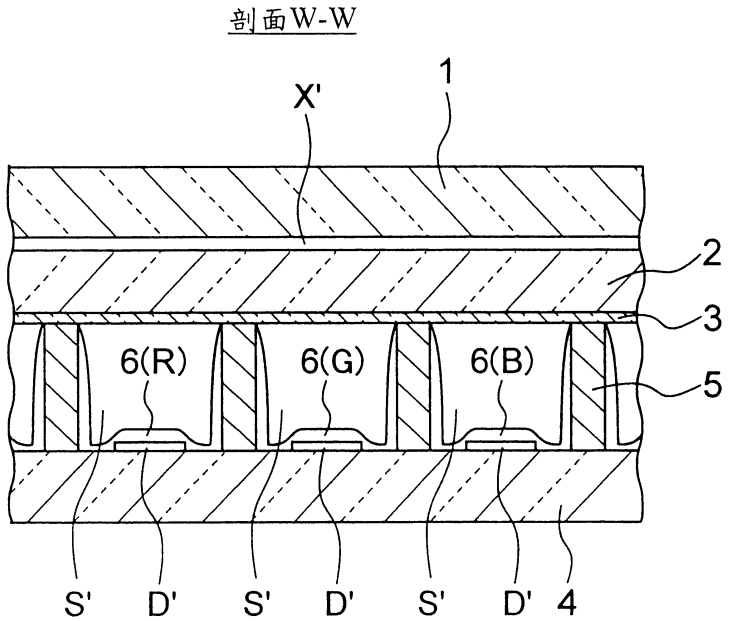


第 1 圖

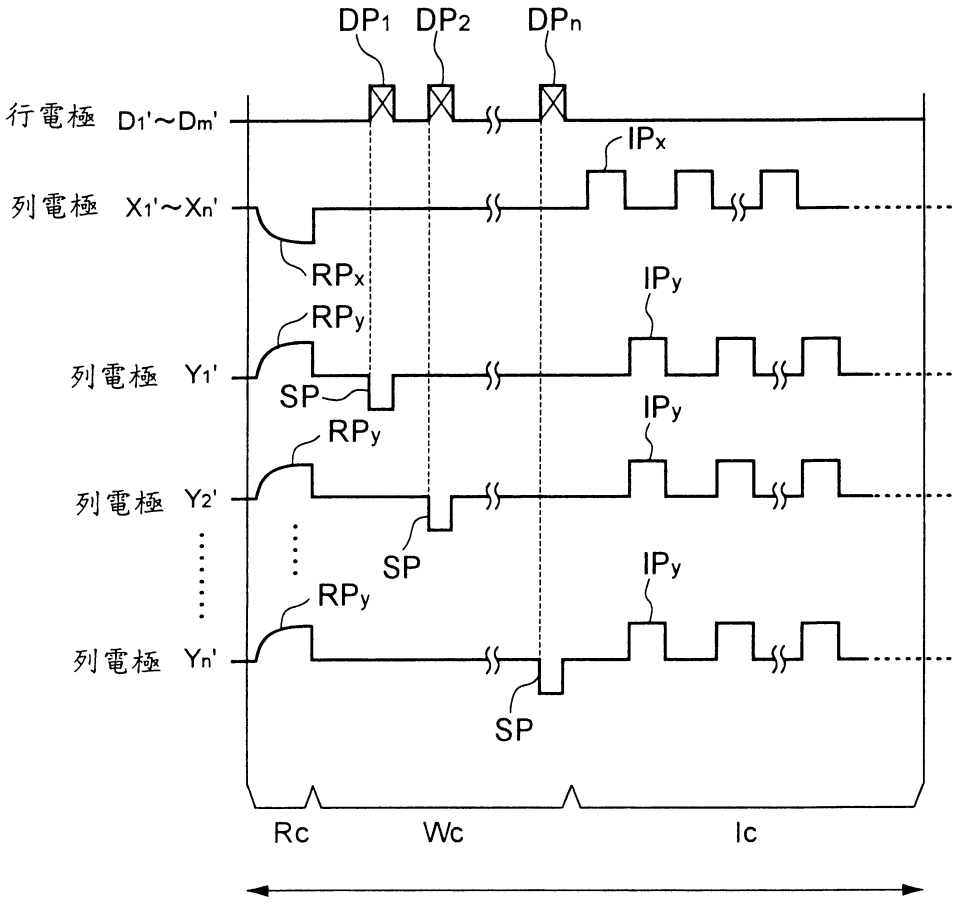
第 2 圖

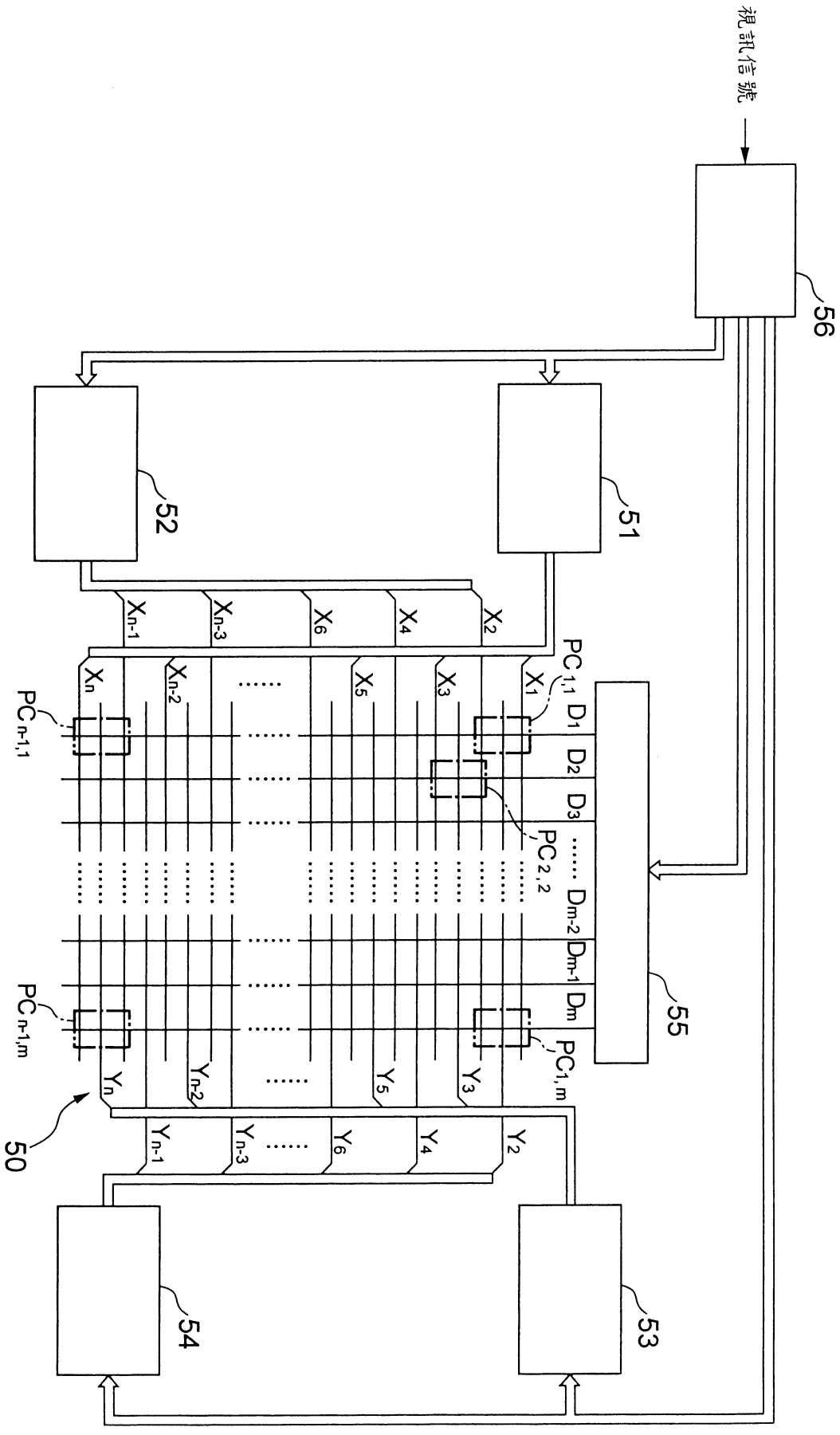


第 3 圖



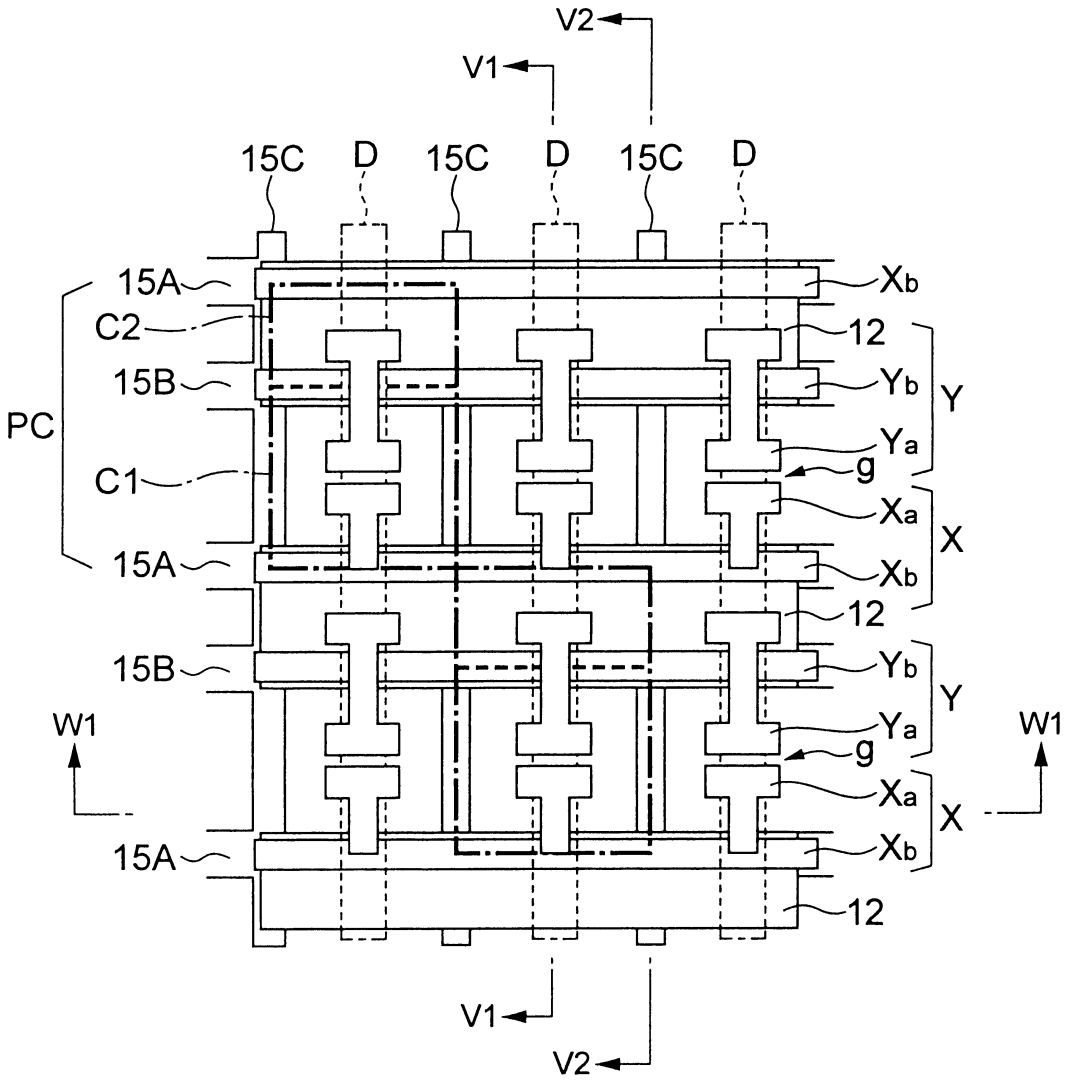
第 4 圖


DP1
DP2
DPn
行電極 D1'~Dm'
列電極 X1'~Xn'
IPx
RPx
IPy
RPy
列電極 Y1'
SP
IPy
RPy
列電極 Y2'
SP
IPy
RPy
列電極 Yn'
SP
Rc
Wc
Ic

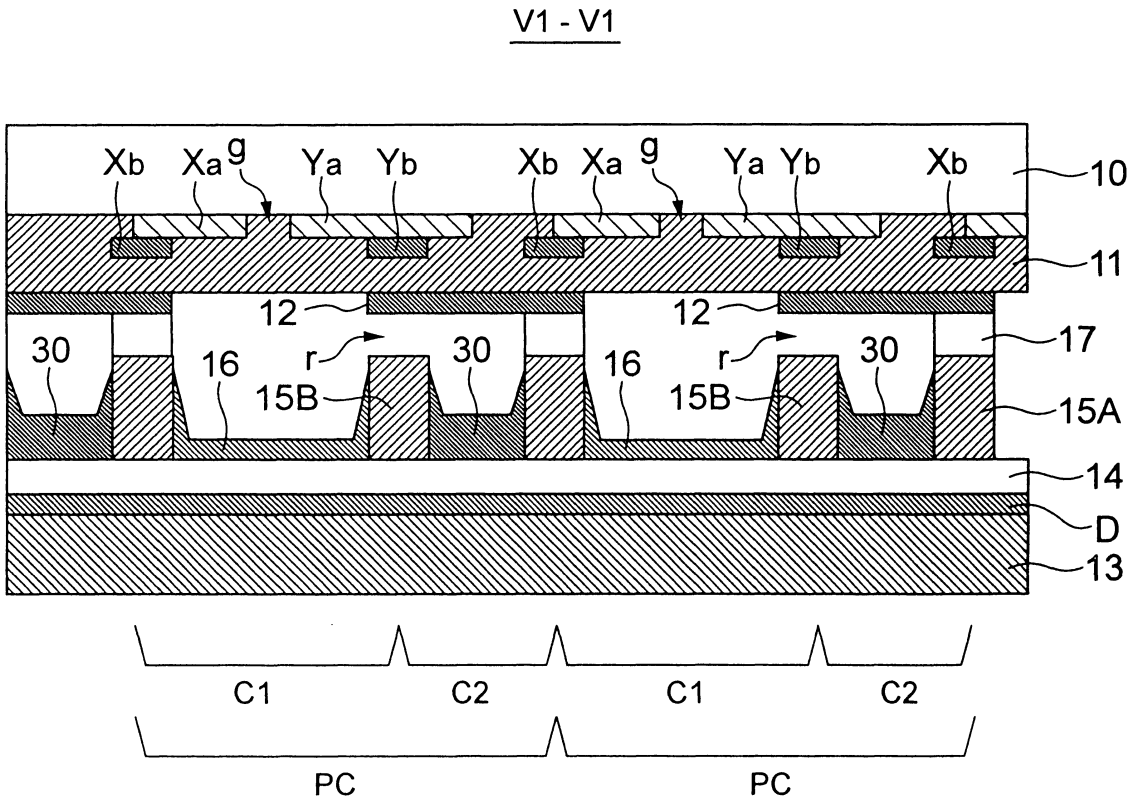

視訊信號
56
52
51
55
54
53
50
X_{n-1}
X_{n-3}
X_6
X_4
X_2
X_n
X_{n-2}
X_5
X_3
X_1
$PC_{1,1}$
$PC_{n-1,1}$
$PC_{2,2}$
$PC_{n-1,m}$
$PC_{1,m}$
D_1
D_2
D_3
D_{m-2}
D_{m-1}
D_m
Y_n
Y_{n-2}
Y_5
Y_3
Y_{n-1}
Y_{n-3}
Y_6
Y_4
Y_2

第 5 圖

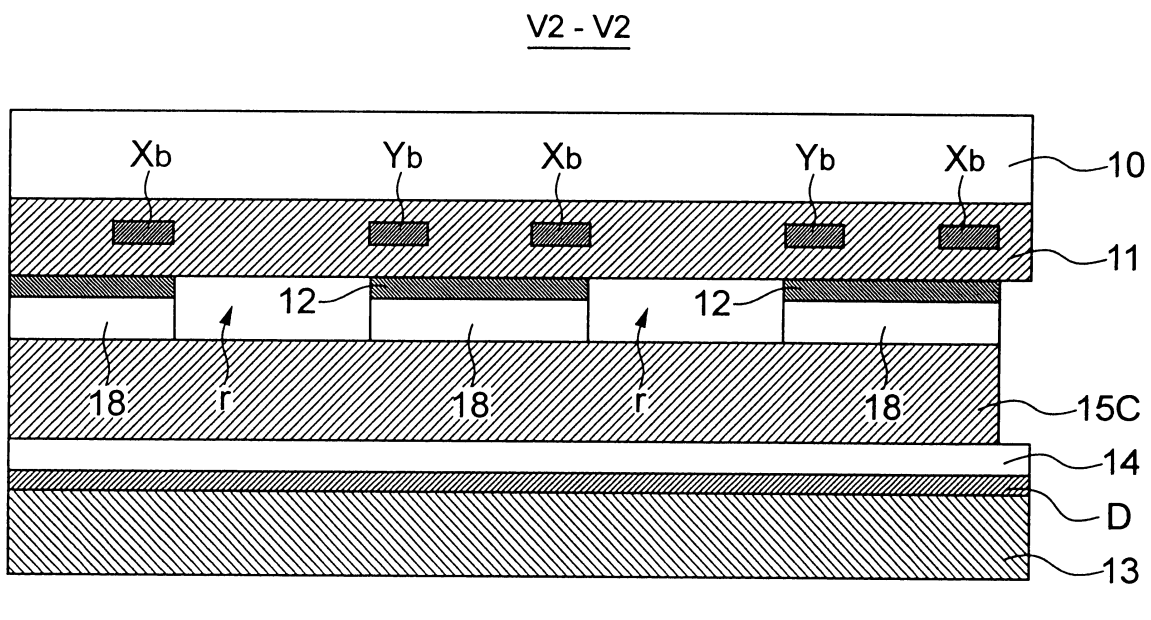
第 6 圖


V2
V1
15C
D
15C
D
15C
D
15A
Xb
C2
12
15B
Yb
Y
PC
Ya
g
C1
Xa
X
15A
Xb
12
15B
Yb
Y
W1
Ya
W1
g
Xa
X
15A
Xb
12
V1
V2

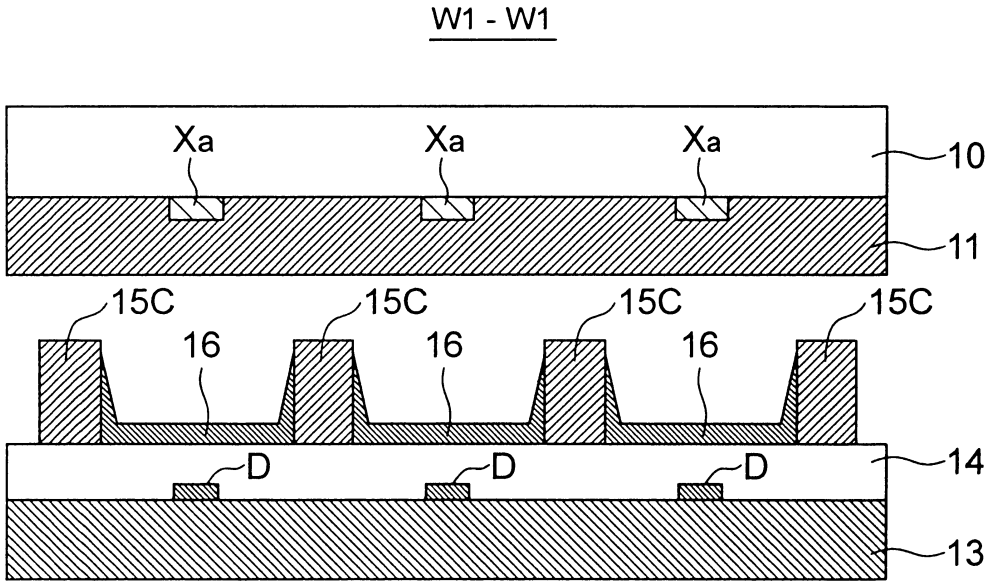
第 7 圖


V1 - V1
Xb
Xa
g
Ya
Yb
Xb
Xa
g
Ya
Yb
Xb
10
11
12
12
17
30
16
r
30
16
r
30
15B
15B
15A
14
D
13
C1
C2
C1
C2
PC
PC

第 8 圖



第 9 圖



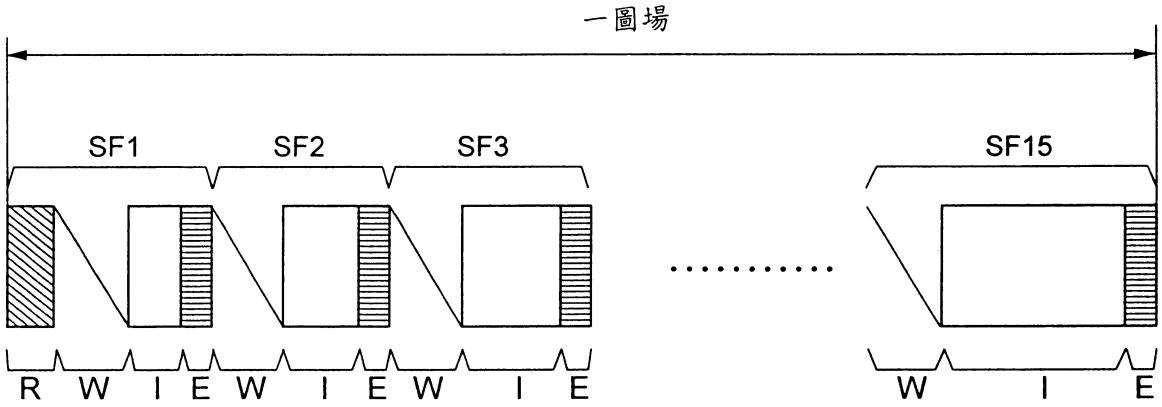
第 10 圖

灰階驅動	換算表																發光樣式														
	PDs	GD															SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1ST	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
2ND	0001	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	◎														
3RD	0010	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	◎	◎													
4TH	0011	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	◎	◎	◎												
5TH	0100	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	◎	◎	◎	◎											
6TH	0101	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	◎	◎	◎	◎	◎										
7TH	0110	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎									
8TH	0111	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎								
9TH	1000	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎							
10TH	1001	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎						
11TH	1010	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎					
12TH	1011	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎				
13TH	1100	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎			
14TH	1101	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎		
15TH	1110	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	
16TH	1111	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎

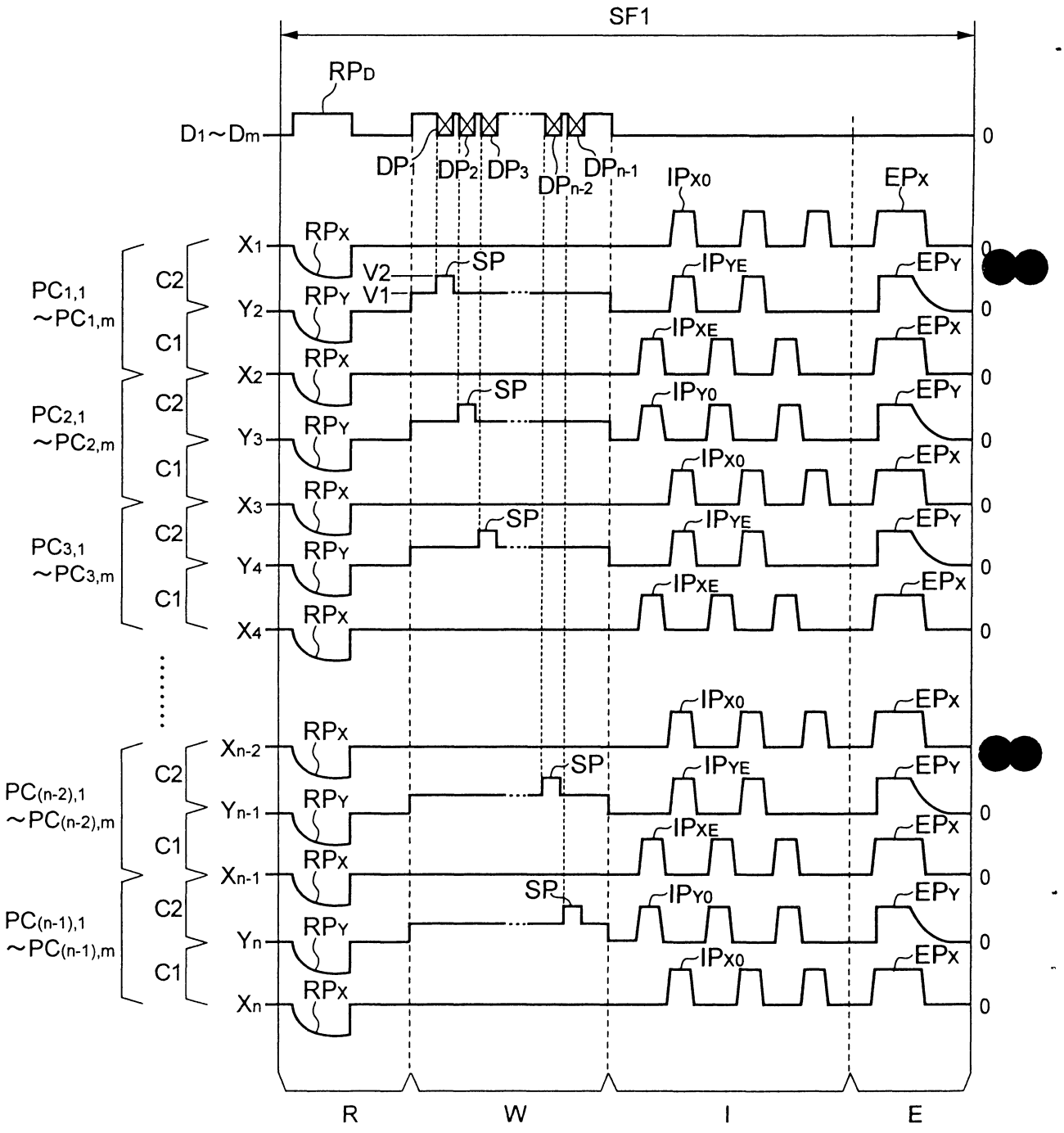
◎：寫入定址放電+維持放電發光

I233585

第 11 圖



第 12 圖

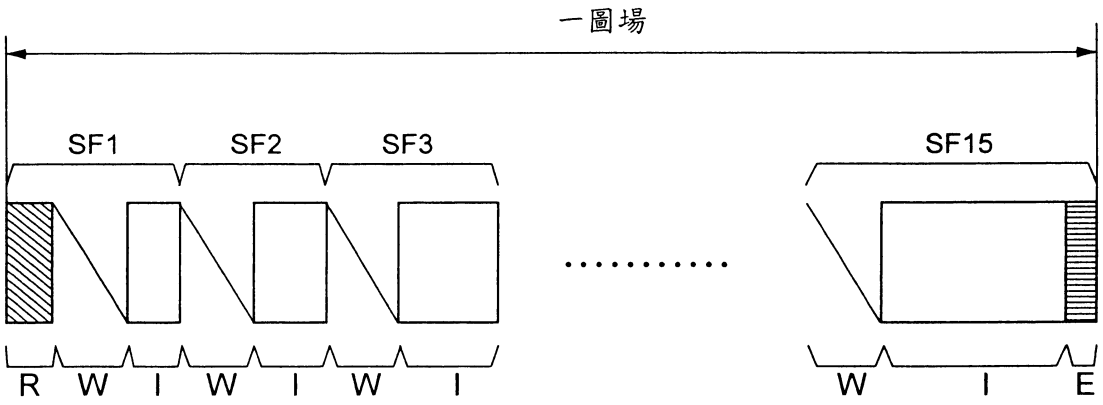

SF1
RPD
D1~Dm
DP1
DP2
DP3
DPn-2
DPn-1
IPX0
EPX
PC1,1 ~PC1,m
PC2,1 ~PC2,m
PC3,1 ~PC3,m
PC(n-2),1 ~PC(n-2),m
PC(n-1),1 ~PC(n-1),m
C2
C1
X1
Y2
X2
Y3
X3
Y4
X4
Xn-2
Yn-1
Xn-1
Yn
Xn
RPX
RPY
V2
V1
SP
IPYE
IPXE
IPY0
EPY
0
R
W
I
E

第 13 圖

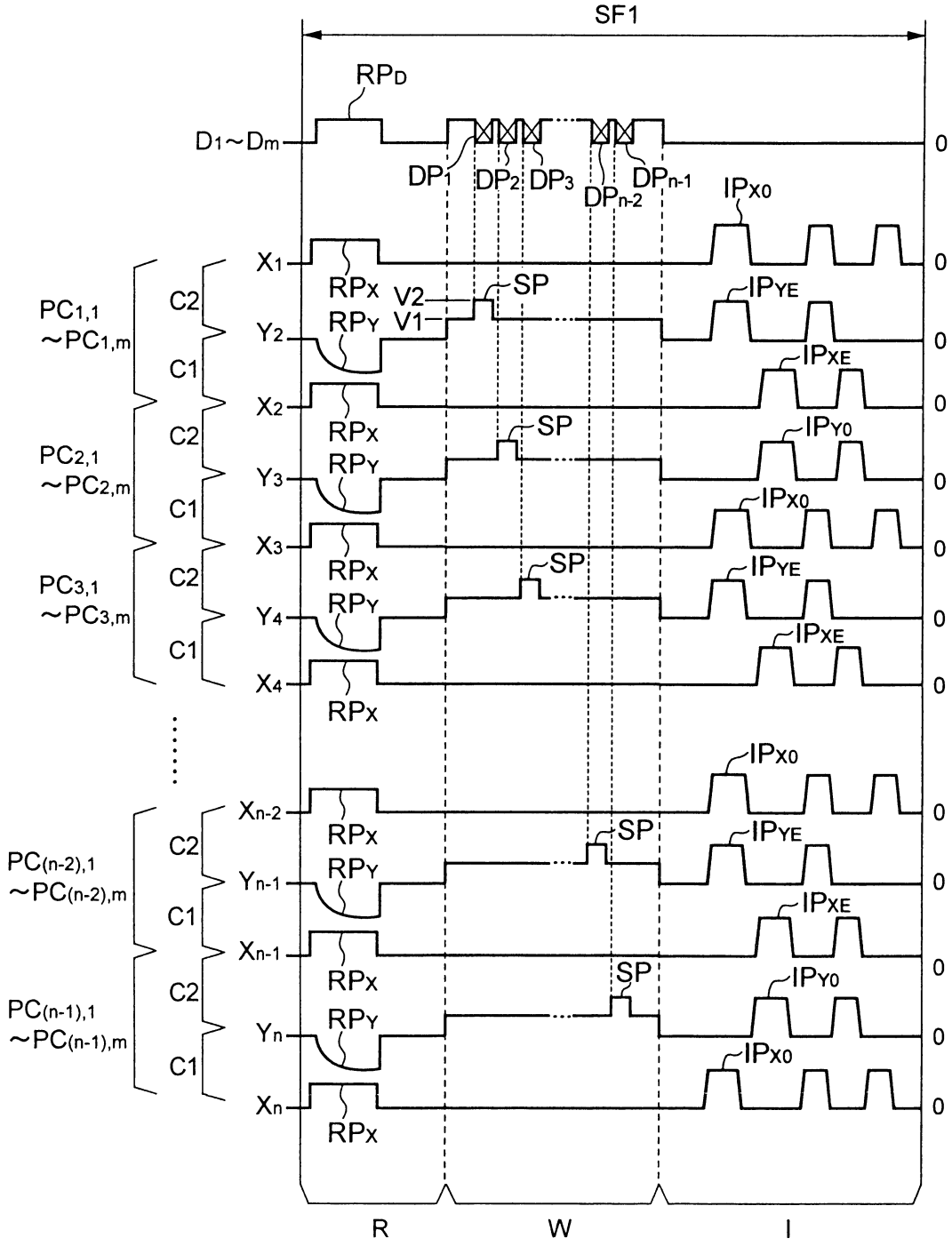
灰階驅動	換算表																發光樣式															
	PDs	GD															SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1ST	0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	●														
2ND	0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	○	●													
3RD	0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	○	●												
4TH	0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	○	●											
5TH	0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	○	●										
6TH	0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	○	●									
7TH	0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	○	●								
8TH	0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	●							
9TH	1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	●						
10TH	1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	●					
11TH	1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	●				
12TH	1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	◐			
13TH	1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	●		
14TH	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	●	
15TH	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	●
16TH	1111	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

●：抹消定址放電　　○：維持放電發光

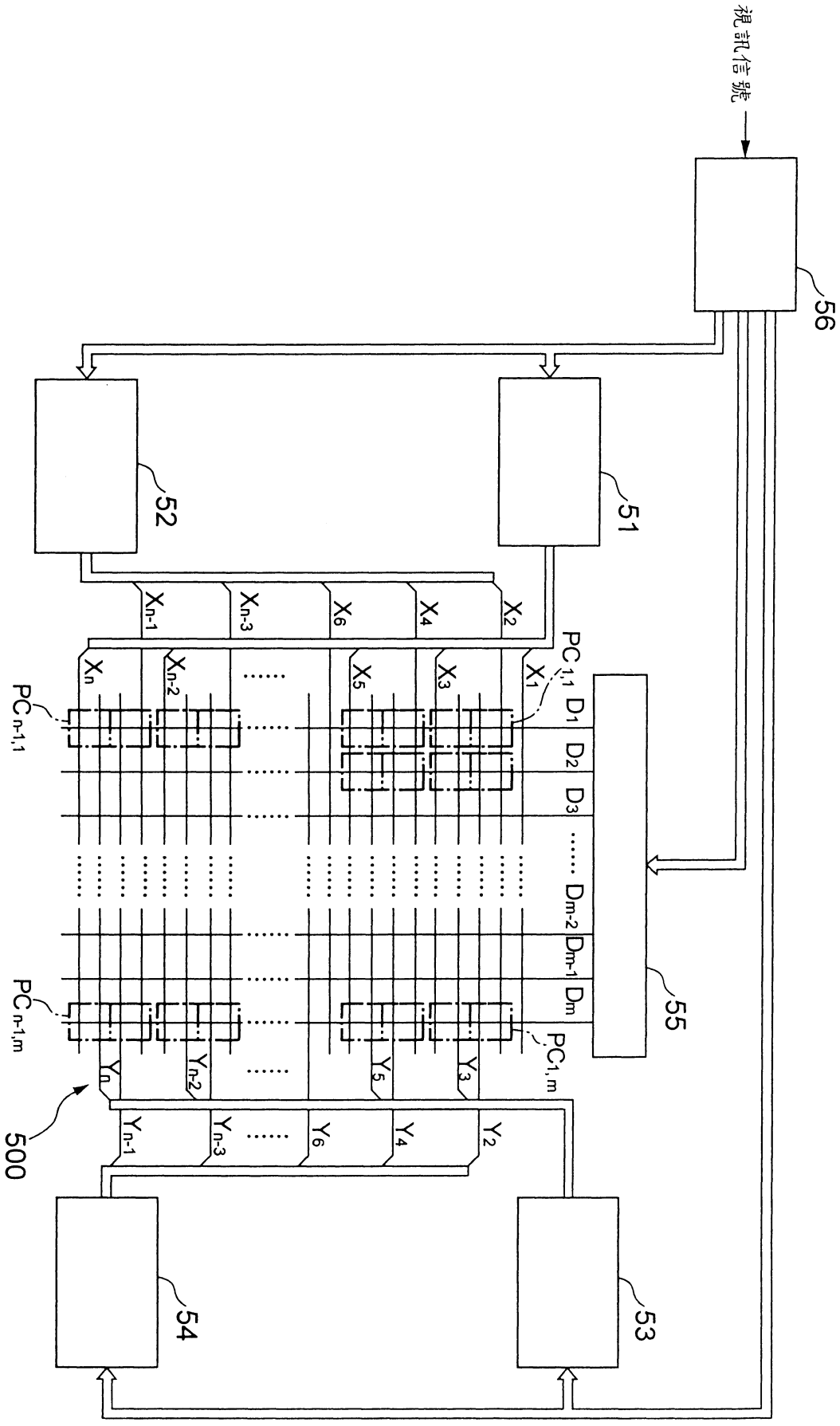
第 14 圖



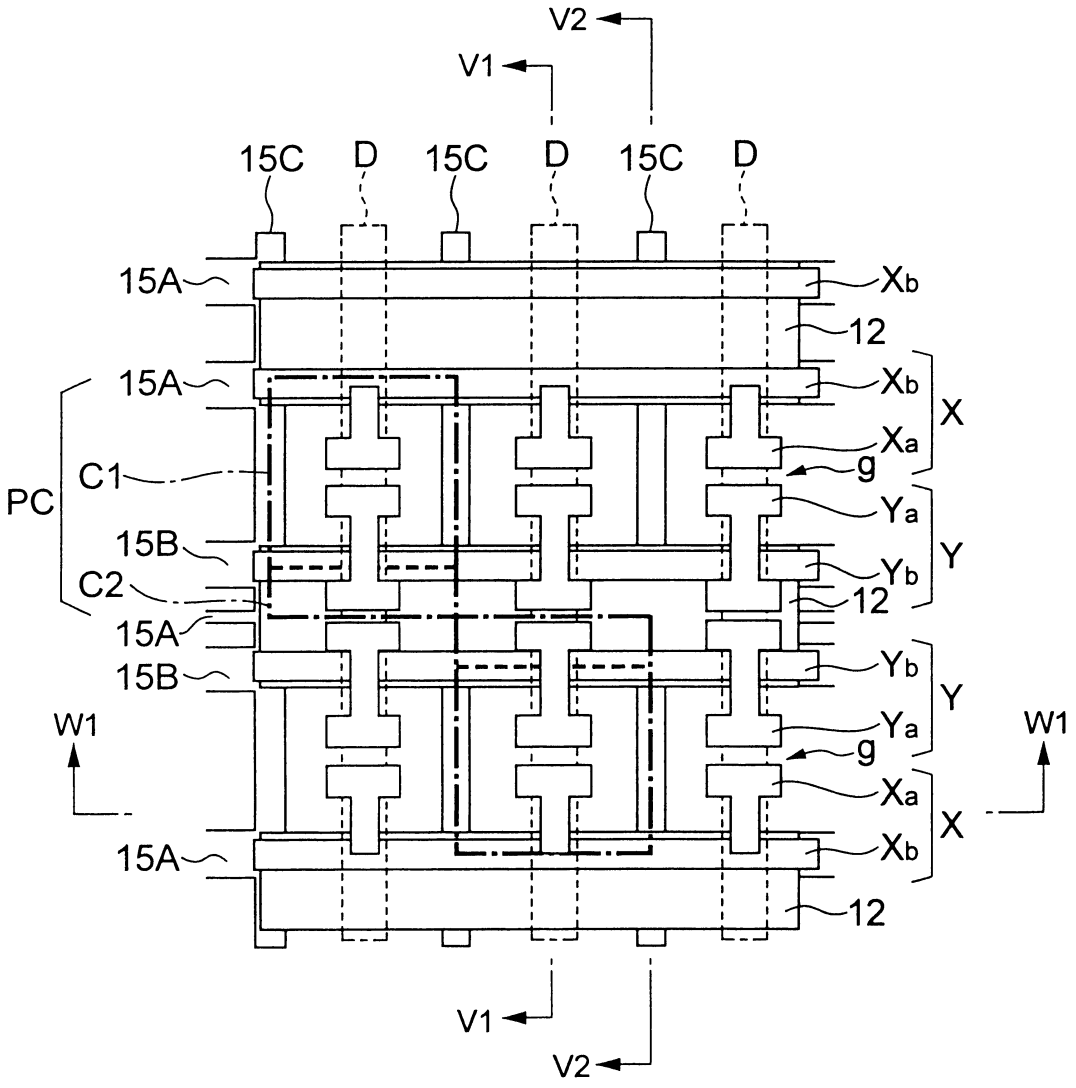
第 15 圖


SF1
RPD
D1~Dm
DP1
DP2
DP3
DPn-2
DPn-1
IPX0
X1
RPX
V2
SP
V1
RPY
Y2
IPYE
IPXE
X2
Y3
IPY0
X3
Y4
X4
Xn-2
Yn-1
Xn-1
Yn
Xn
C2
C1
PC1,1 ~PC1,m
PC2,1 ~PC2,m
PC3,1 ~PC3,m
PC(n-2),1 ~PC(n-2),m
PC(n-1),1 ~PC(n-1),m
0
R
W
I

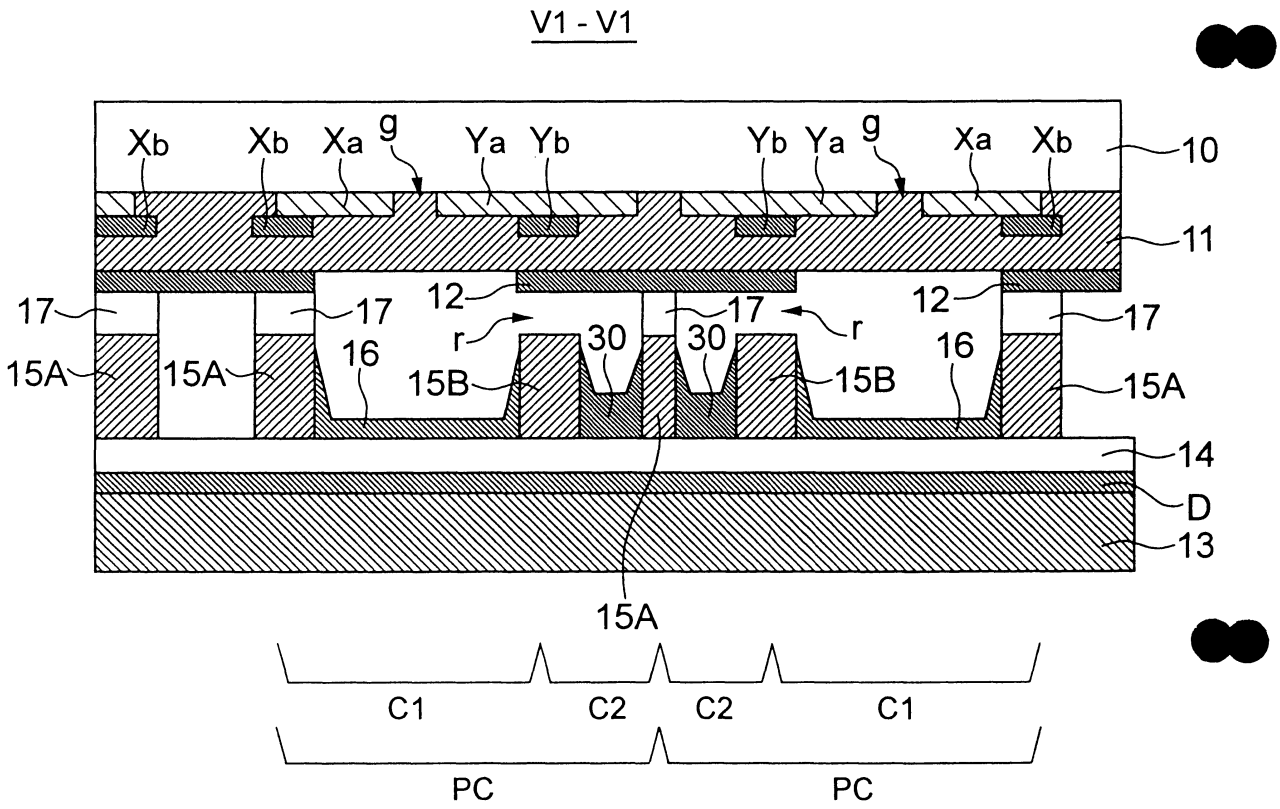
第 16 圖


視訊信號
56
52
51
55
54
53
500
X_{n-1} X_{n-3} X_6 X_4 X_2
X_n X_{n-2} X_5 X_3 X_1
$PC_{1,1}$
$PC_{n-1,1}$
$PC_{n-1,m}$
$PC_{1,m}$
D_1 D_2 D_3 …… D_{m-2} D_{m-1} D_m
Y_n Y_{n-2} Y_5 Y_3
Y_{n-1} Y_{n-3} Y_6 Y_4 Y_2

第 17 圖

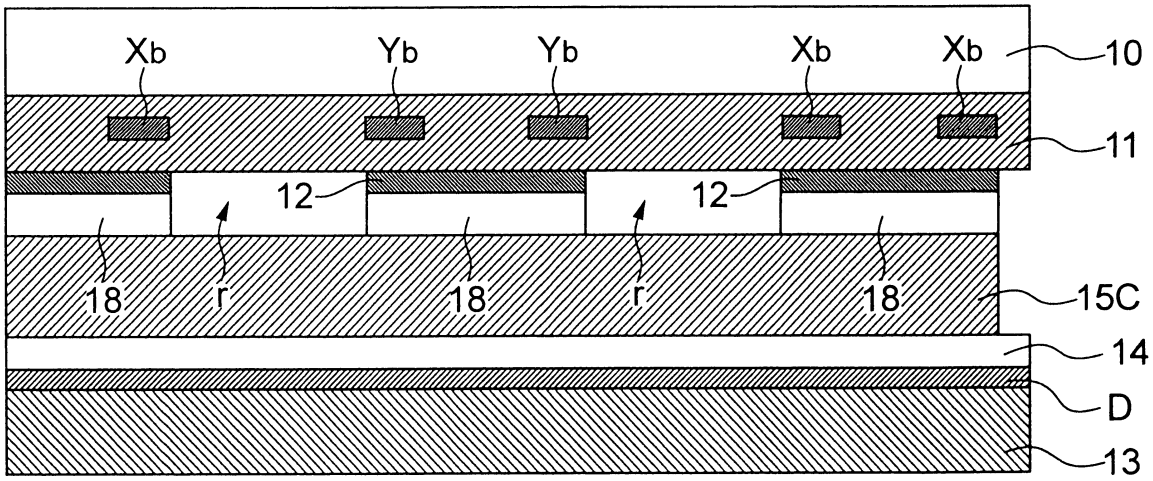

V2
V1
15C
D
15C
D
15C
D
15A
Xb
12
15A
Xb
X
Xa
g
PC
C1
Ya
15B
Yb
Y
C2
12
15A
15B
Yb
Y
W1
Ya
W1
g
Xa
X
15A
Xb
12
V1
V2

第 18 圖

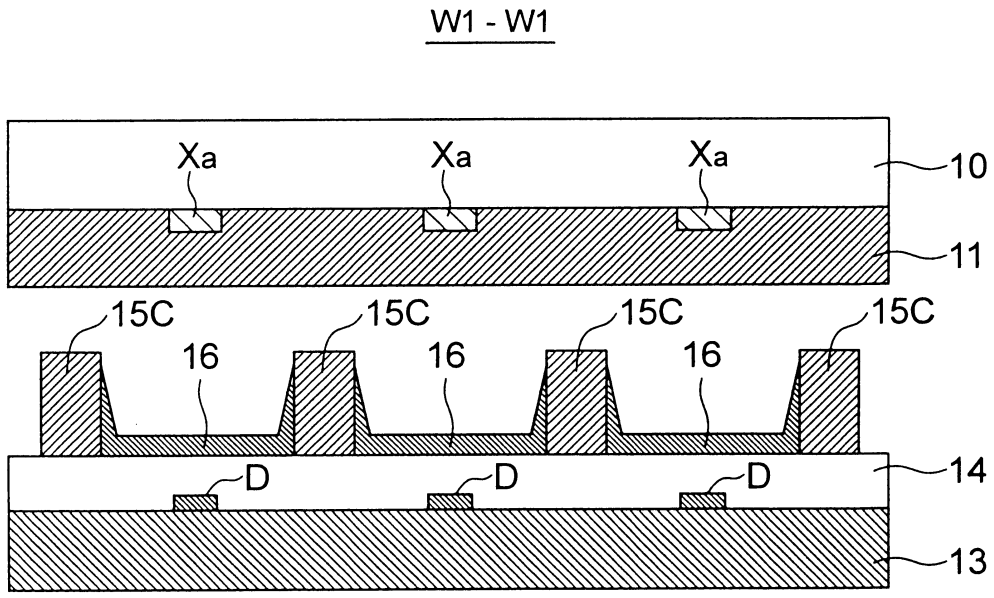

V1 - V1
Xb
Xb
Xa
g
Ya
Yb
Yb
Ya
g
Xa
Xb
10
11
17
17
12
r
30
30
17
r
12
17
16
16
15A
15A
15B
15B
15A
14
D
13
15A
C1
C2
C2
C1
PC
PC

第 19 圖

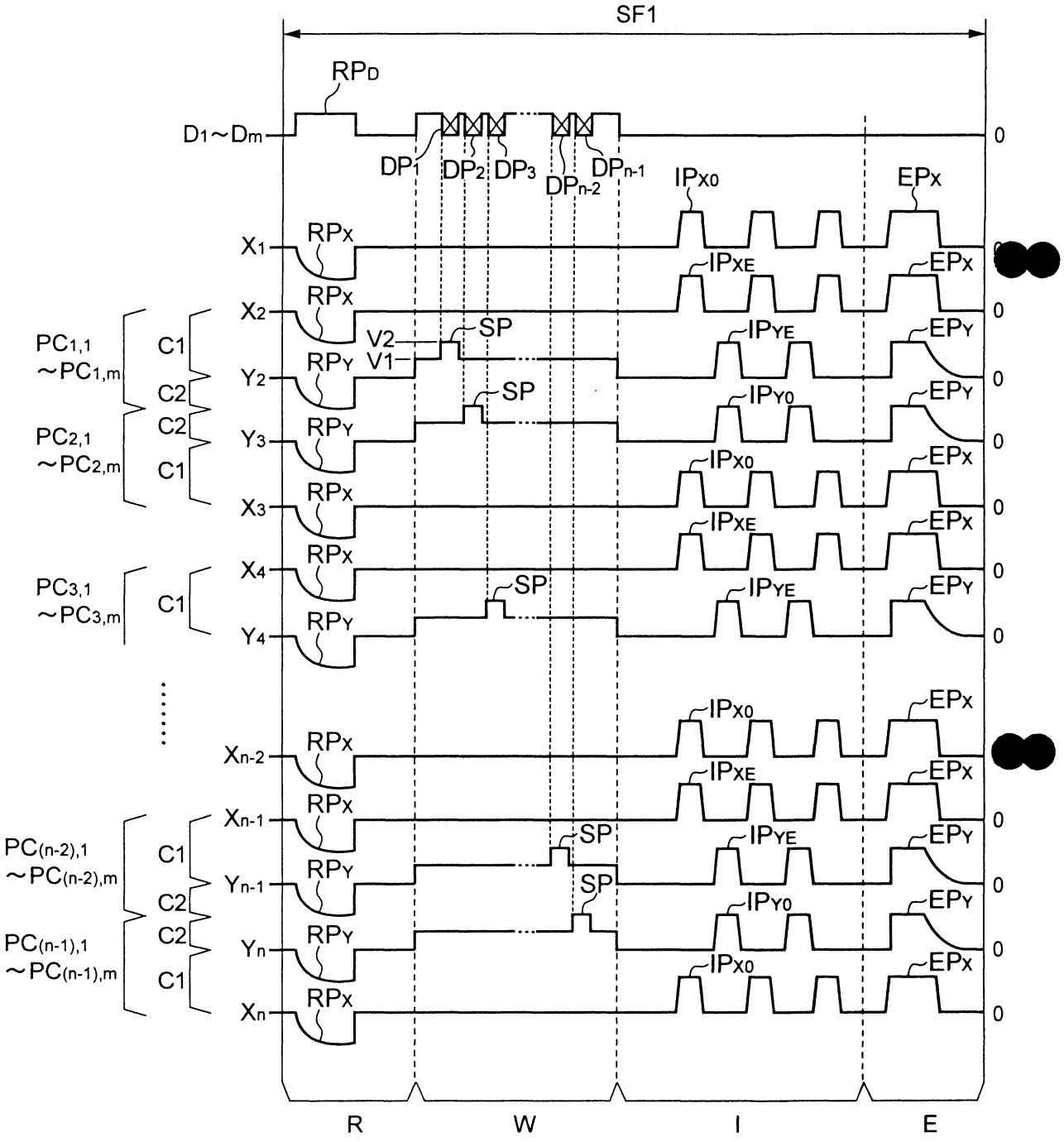
V2 - V2



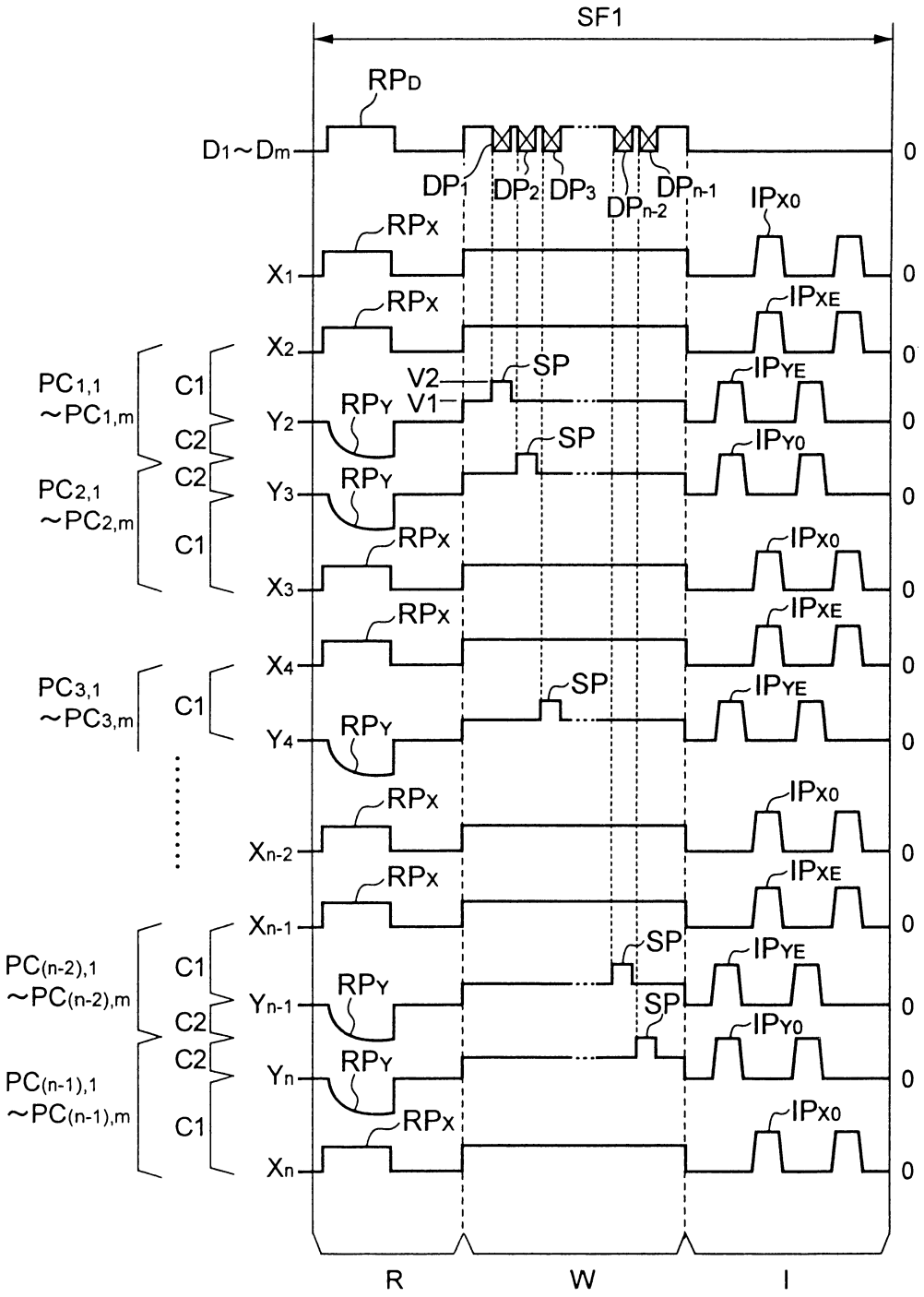
第 20 圖



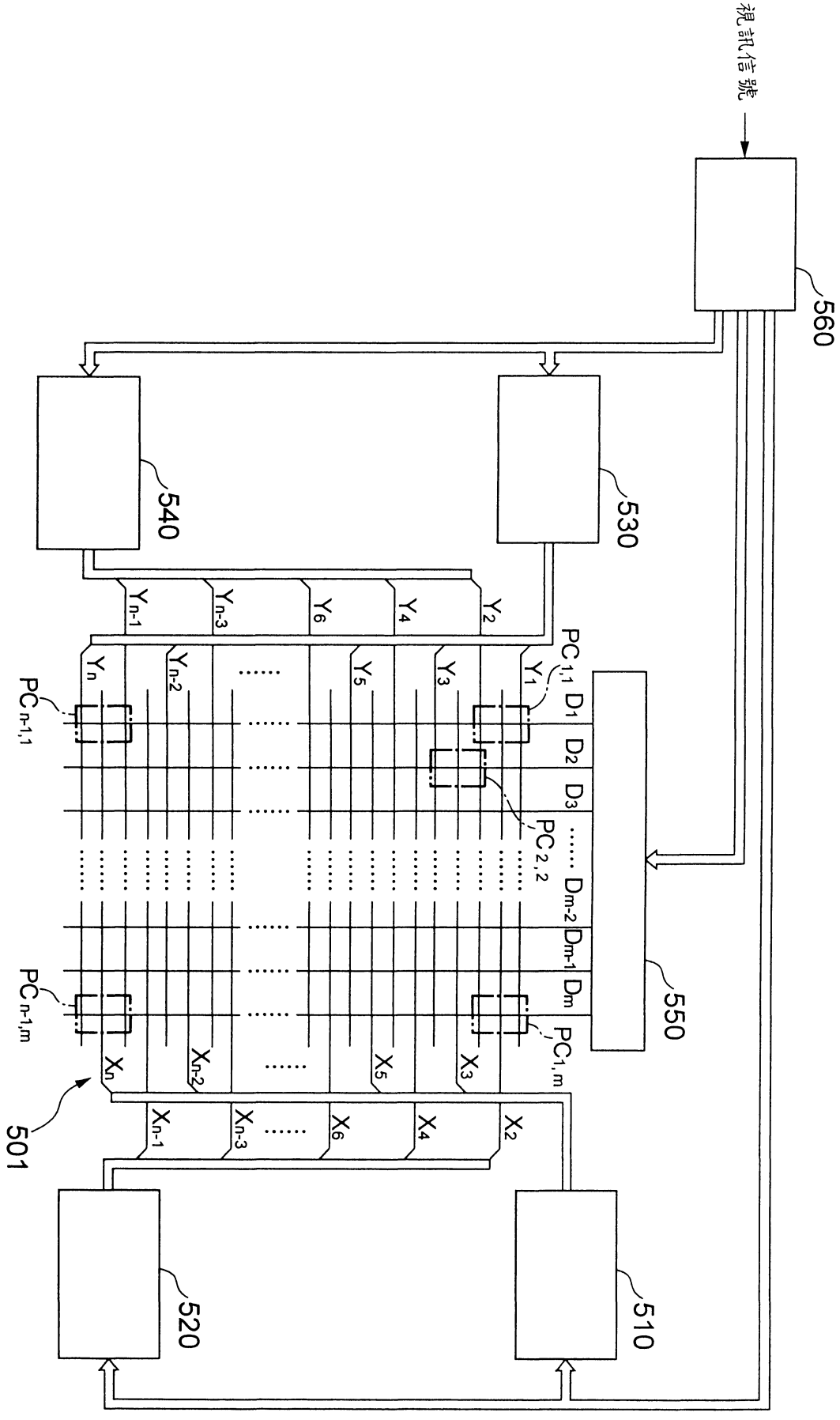
第 21 圖


SF1
RPD
D1~Dm
DP1
DP2
DP3
DPn-2
DPn-1
IPX0
EPX
X1
RPX
IPXE
EPX
X2
RPX
V2
V1
SP
IPYE
EPY
PC1,1
~PC1,m
C1
C2
Y2
RPY
IPY0
EPY
C2
PC2,1
~PC2,m
C1
Y3
RPY
SP
IPX0
EPX
X3
RPX
IPXE
EPX
X4
RPX
SP
IPYE
EPY
PC3,1
~PC3,m
C1
Y4
RPY
Xn-2
RPX
IPX0
EPX
IPXE
EPX
Xn-1
RPX
SP
IPYE
EPY
PC(n-2),1
~PC(n-2),m
C1
C2
Yn-1
RPY
SP
IPY0
EPY
C2
PC(n-1),1
~PC(n-1),m
C1
Yn
RPY
IPX0
EPX
Xn
RPX
0
R
W
I
E

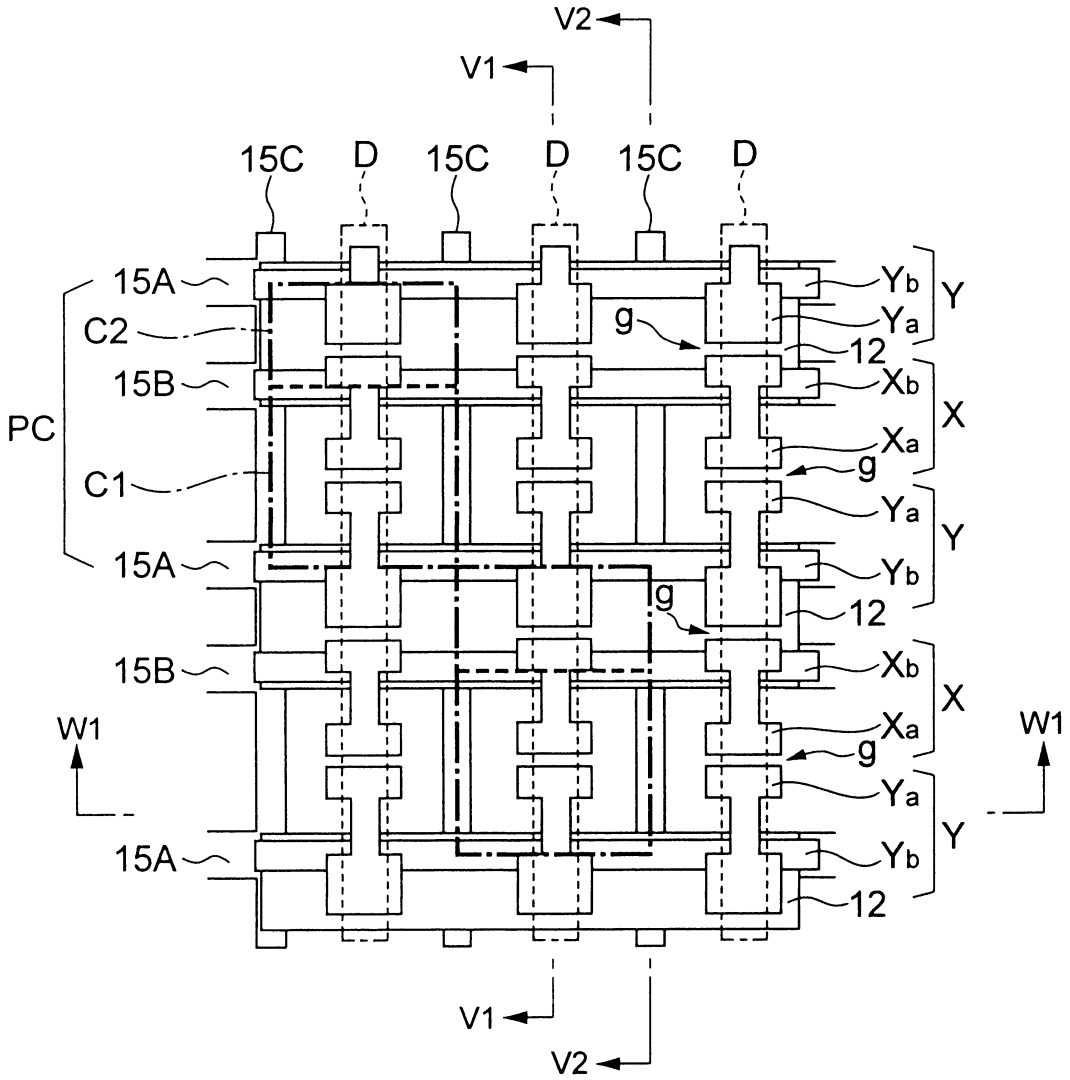
第 22 圖


SF1
RPD
D1～Dm
DP1
DP2
DP3
DPn-2
DPn-1
IPX0
RPX
X1
IPXE
X2
V2
V1
SP
IPYE
RPY
Y2
IPY0
PC1,1
～PC1,m
C1
C2
PC2,1
～PC2,m
Y3
X3
X4
PC3,1
～PC3,m
Y4
Xn-2
Xn-1
PC(n-2),1
～PC(n-2),m
Yn-1
PC(n-1),1
～PC(n-1),m
Yn
Xn
0
R
W
I

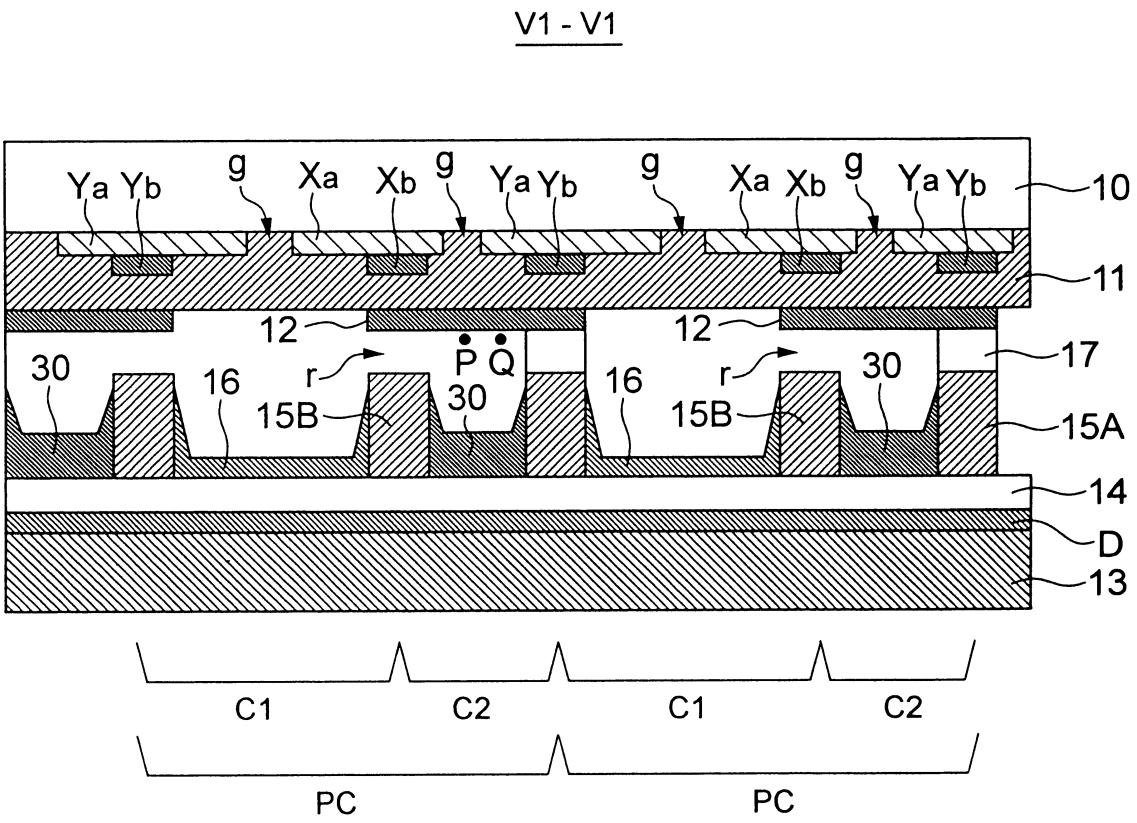
第 23 圖


視訊信號
560
540
530
550
520
510
501
Y_{n-1} Y_{n-3} Y_6 Y_4 Y_2
Y_n Y_{n-2} Y_5 Y_3 Y_1
$PC_{n-1,1}$
$PC_{1,1}$
$PC_{2,2}$
$PC_{n-1,m}$
$PC_{1,m}$
D_1 D_2 D_3 …… D_{m-2} D_{m-1} D_m
X_n X_{n-2} X_5 X_3
X_{n-1} X_{n-3} …… X_6 X_4 X_2

第 24 圖

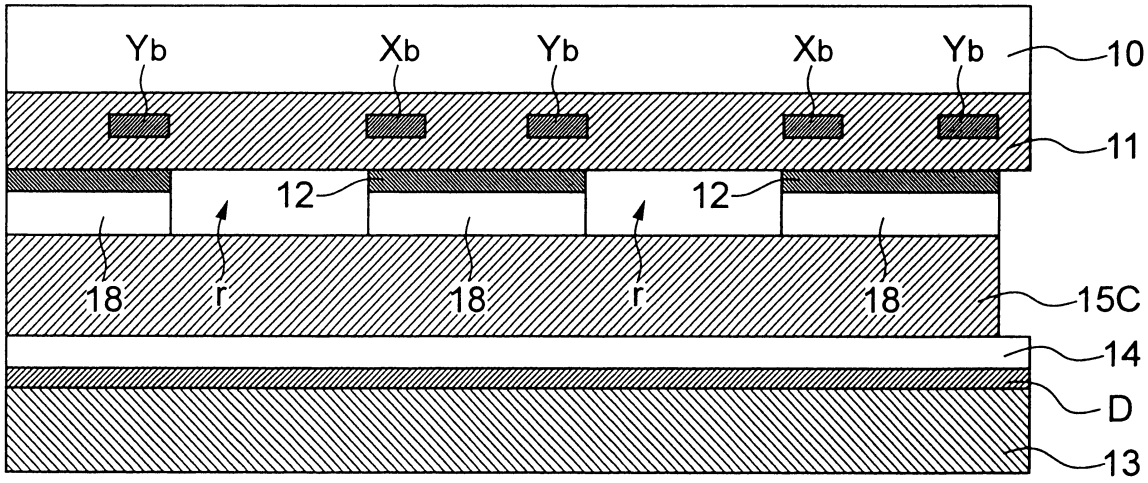

V2
V1
15C
D
15C
D
15C
D
15A
C2
15B
PC
C1
15A
15B
15A
W1
W1
g
g
g
Yb
Ya
12
Xb
Xa
Ya
Yb
12
Xb
Xa
Ya
Yb
12
Y
X
Y
X
Y
V1
V2

第 25 圖

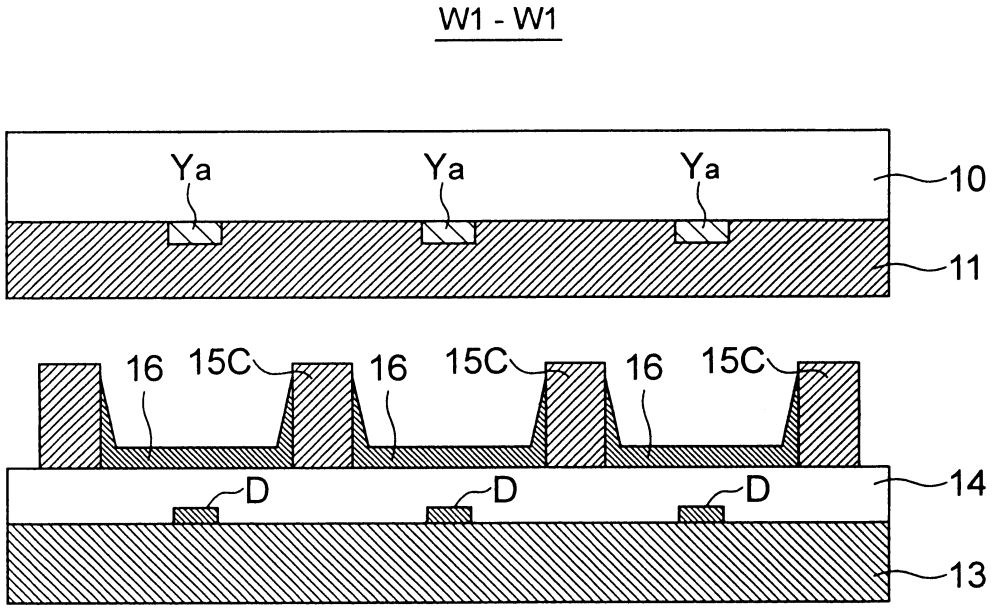

V1 - V1
Ya Yb
g
Xa
Xb
g
Ya Yb
g
Xa Xb
g
Ya Yb
10
11
12
12
17
30
16
r
P Q
15B
30
16
r
15B
30
15A
14
D
13
C1
C2
C1
C2
PC
PC

第 26 圖

V2 - V2



第 27 圖



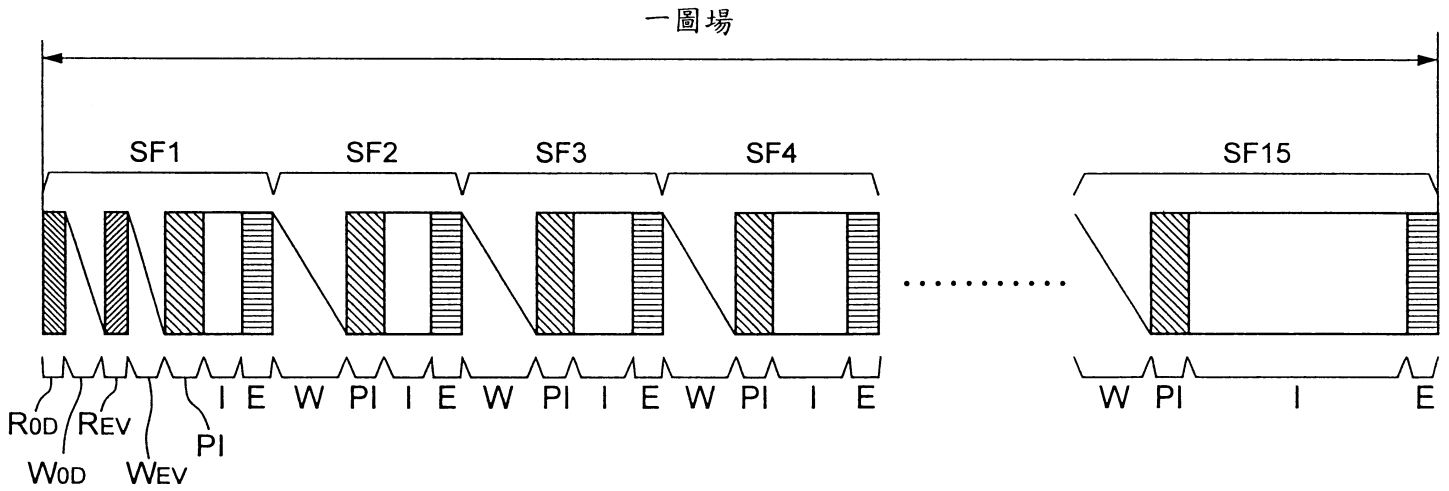
第 28 圖

灰階驅動	換算表																發光樣式														
	PDs	GD															SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1ST	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0															
2ND	0001	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	◎														
3RD	0010	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	◎	◎													
4TH	0011	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	◎	◎	◎												
5TH	0100	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	◎	◎	◎	◎											
6TH	0101	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	◎	◎	◎	◎	◎										
7TH	0110	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎									
8TH	0111	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎								
9TH	1000	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎							
10TH	1001	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎						
11TH	1010	1	1	1	1	1	1	1	1	1	1	0	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎					
12TH	1011	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎				
13TH	1100	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎			
14TH	1101	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎		
15TH	1110	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	
16TH	1111	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎	◎

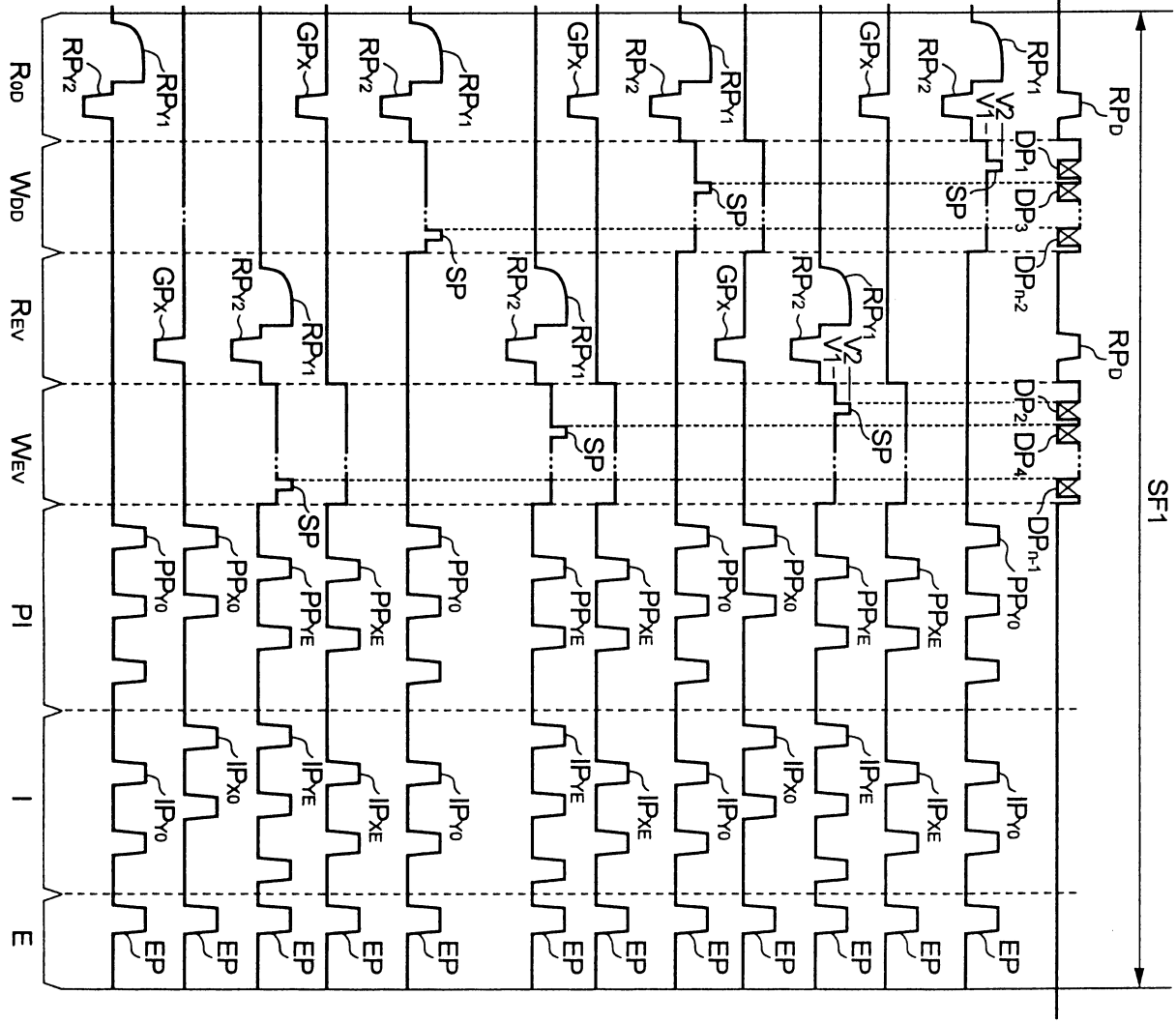
◎：寫入定址放電+維持放電發光

I233585

第 29 圖


一圖場
SF1
SF2
SF3
SF4
SF15
I E W PI I E W PI I E W PI I E
W PI I E
ROD
REV
WOD
WEV
PI

第 30 圖

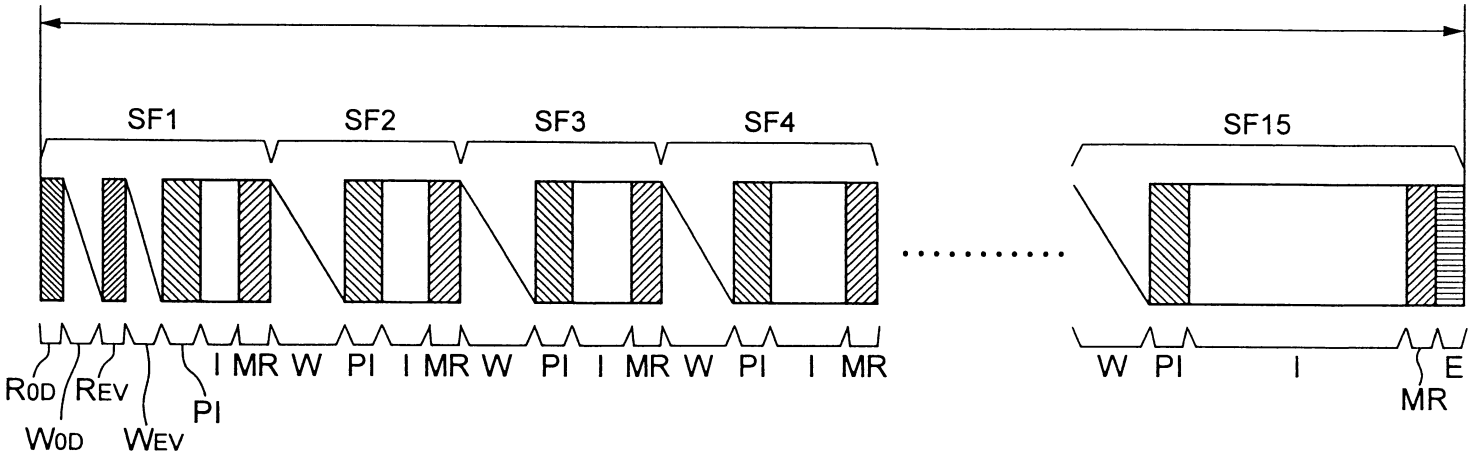

D1~Dm
SF1
RPD
DP1 DP3 DPn-2
DP2 DP4 DPn-1
SP
GPx
RPY1
RPY2
PPY0
PPXE
PPX0
PPYE
IPY0
IPXE
IPX0
IPYE
EP
PC1,1 ~PC1,m
PC2,1 ~PC2,m
PC3,1 ~PC3,m
PC(n-2),1 ~PC(n-2),m
PC(n-1),1 ~PC(n-1),m
C1
C2
Y1 X2 Y2 X3 Y3 X4 Y4
Yn-2 Xn-1 Yn-1 Xn Yn
ROD
WDD
REV
WEV
PI
I
E

第 31 圖

灰階驅動	換算表																發光樣式														
	PDs	GD															SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF	SF
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1ST	0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	●														
2ND	0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	○	●													
3RD	0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	○	●												
4TH	0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	○	●											
5TH	0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	○	●										
6TH	0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	○	●									
7TH	0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	○	●								
8TH	0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	●							
9TH	1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	●						
10TH	1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	●					
11TH	1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	●				
12TH	1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	●			
13TH	1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	●		
14TH	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	●	
15TH	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	●
16TH	1111	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

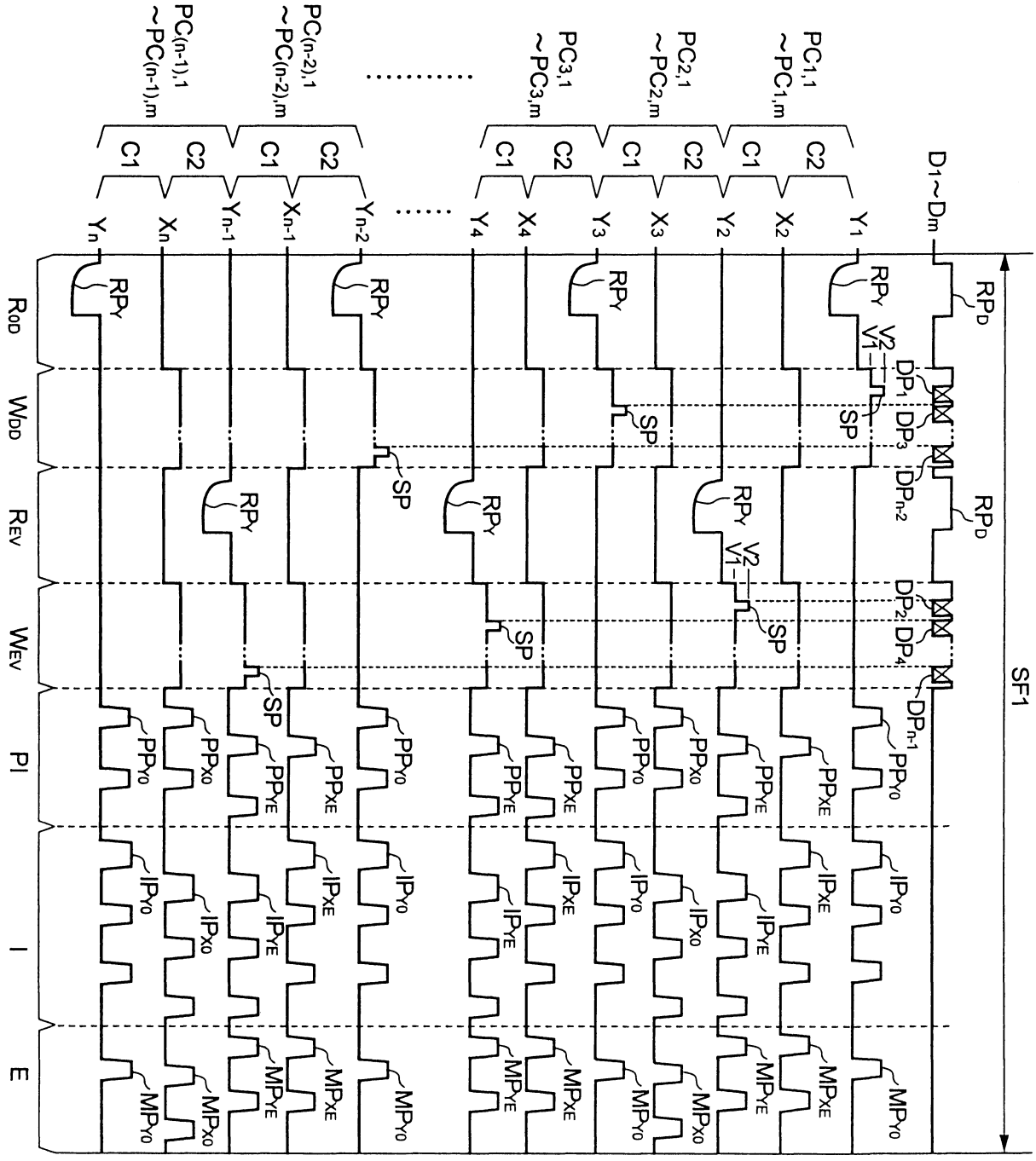
● ：抹消定址放電　　○ ：維持放電發光

第 32 圖



I233585

第 33 圖


D1~Dm
RPD
SF1
RPY
V2
V1
DP1
DP3
DPn-2
DP2
DP4
DPn-1
SP
PC1,1 ~PC1,m
PC2,1 ~PC2,m
PC3,1 ~PC3,m
PC(n-2),1 ~PC(n-2),m
PC(n-1),1 ~PC(n-1),m
C1
C2
Y1
X2
Y2
X3
Y3
X4
Y4
Xn-1
Yn-2
Yn-1
Xn
Yn
PPY0
PPXE
PPYE
PPX0
IPY0
IPXE
IPYE
IPX0
MPY0
MPXE
MPYE
MPX0
ROD
WDD
REV
WEV
PI
I
E