

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 27 日(27.12.2012)



(10) 国際公開番号
WO 2012/176410 A1

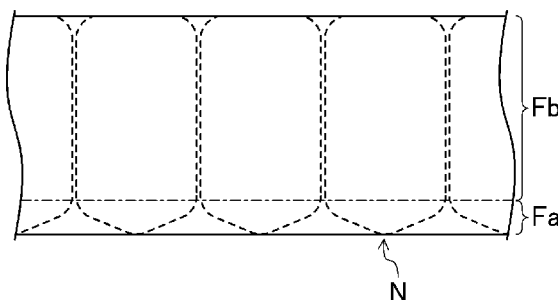
- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003905
- (22) 国際出願日: 2012 年 6 月 14 日(14.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-137305 2011 年 6 月 21 日(21.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 河野 昭彦
(KOHNO, Akihiko). 水木 敏雄(MIZUKI, Toshio).
田中 康一(TANAKA, Kohichi).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町
2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).

(54) Title: METHOD FOR MANUFACTURING THIN FILM TRANSISTOR SUBSTRATE, THIN FILM TRANSISTOR SUBSTRATE MANUFACTURED BY SAME, AND METHOD FOR MANUFACTURING SEMICONDUCTOR FILM

(54) 発明の名称: 薄膜トランジスタ基板の製造方法及びその製造方法により製造された薄膜トランジスタ基板、並びに半導体膜の製造方法

[図3]

13a(13)



(57) Abstract: This TFT substrate manufacturing method is provided with a gate electrode forming step, a gate insulating film forming step, a microcrystalline silicon film forming step, a silicon film patterning step, and a semiconductor layer forming step. In the microcrystalline silicon film forming step, a base layer (Fa) is formed by forming, in a rare gas atmosphere, crystal nuclei (N) of a microcrystalline silicon film (13) on a gate insulating film by means of a CVD method using surface wave plasma. Then, a main body layer (Fb) is formed on the base layer (Fa) by growing, in the rare gas atmosphere, the crystal nuclei (N) by means of the CVD method using surface wave plasma, and the microcrystalline silicon film (13) is formed.

(57) 要約:

[続葉有]

WO 2012/176410 A1



ゲート電極形成工程、ゲート絶縁膜形成工程、微結晶シリコン膜成膜工程、シリコン膜パターニング工程及び半導体層形成工程を備えたTFT基板の製造方法において、微結晶シリコン膜成膜工程では、ゲート絶縁膜上に微結晶シリコン膜（13）の結晶核（N）を表面波プラズマによるCVD法により希ガスの雰囲気内で形成して下地層（Fa）を形成した後に、結晶核（N）を表面波プラズマによるCVD法により希ガスの雰囲気内で成長させて、下地層（Fa）上に本体層（Fb）を形成して微結晶シリコン膜（13）を成膜する。

明 細 書

発明の名称：

薄膜トランジスタ基板の製造方法及びその製造方法により製造された薄膜トランジスタ基板、並びに半導体膜の製造方法

技術分野

[0001] 本発明は、薄膜トランジスタ基板の製造方法及びその製造方法により製造された薄膜トランジスタ基板、並びに半導体膜の製造方法に関し、特に、微結晶シリコンを用いた薄膜トランジスタ基板の製造方法及びその製造方法により製造された薄膜トランジスタ基板、並びに微結晶シリコンを用いた半導体膜の製造方法に関するものである。

背景技術

[0002] 微結晶シリコンを用いた薄膜トランジスタ（Thin Film Transistor、以下、「T F T」とも称する）は、アモルファスシリコンを用いたT F Tよりも高い電子移動度を得ることができるので、近年、注目されている。

[0003] 例えば、特許文献1には、基板上、又は基板上に設けられた絶縁膜上に水素を含む半導体膜を形成し、その水素を含む半導体膜上に表面波プラズマによるプラズマ処理を行って半導体の結晶核を発生させ、その結晶核を成長させる、結晶性半導体膜の形成方法が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-158950号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、表面波プラズマC V D（Chemical Vapor Deposition）装置を用いて、微結晶シリコン膜を成膜すると、成膜された微結晶シリコン膜では、アモルファス成分が多くなって、結晶性が低くなるおそれがある。ここで、

表面波プラズマCVD装置を用いて、微結晶シリコン膜を成膜する際には、プラズマを安定して発生させるために、プロセスガスの流量を大きくする必要があるものの、例えば、シランガスや水素ガスなどのプロセスガスの流量を大きくすると、微結晶シリコン膜の結晶性が低くなってしまう。

[0006] 本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、微結晶シリコン膜の結晶性を高くすることにある。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明は、微結晶シリコン膜の下地層だけでなく本体層も希ガスの雰囲気内で形成するようにしたものである。

[0008] 具体的に本発明に係る薄膜トランジスタ基板の製造方法は、基板にゲート電極を形成するゲート電極形成工程と、上記ゲート電極を覆うようにゲート絶縁膜を形成するゲート絶縁膜形成工程と、上記ゲート絶縁膜上に微結晶シリコン膜の結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で形成することにより、微結晶シリコン膜の下地層を形成した後に、上記結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で成長させることにより、上記下地層上に微結晶シリコン膜の本体層を形成して、微結晶シリコン膜を成膜する微結晶シリコン膜成膜工程と、上記成膜された微結晶シリコン膜を覆うように不純物シリコン膜を成膜した後に、該微結晶シリコン膜及び不純物シリコン膜を上記ゲート電極と重なるように島状にパターニングして、半導体層形成層を形成するシリコン膜パターニング工程と、上記半導体層形成層上にソース電極及びドレイン電極を形成し、該ソース電極及びドレイン電極から露出する半導体層形成層の不純物シリコン膜を除去して、微結晶シリコン層及び不純物シリコン層からなる半導体層を形成する半導体層形成工程とを備える。

[0009] 上記の方法によれば、ゲート電極形成工程及びゲート絶縁膜形成工程を行った後の微結晶シリコン膜成膜工程において、微結晶シリコン膜の結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で形成して、微結晶シリコン膜の下地層を形成するので、例えば、シランガスや水素ガスなどの

プロセスガスが希ガスで希釈されることにより、微結晶シリコン膜の下地層を形成する際に、プラズマが安定して発生することになり、また、微結晶シリコン膜の結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で成長させて、下地層上に微結晶シリコン膜の本体層を形成するので、例えば、シランガスや水素ガスなどのプロセスガスが希ガスで希釈されることにより、微結晶シリコン膜の本体層を形成する際に、プラズマが安定して発生することになる。これにより、微結晶シリコン膜の下地層を形成する際にだけでなく、微結晶シリコン膜の本体層を形成する際にも、プラズマが安定して発生するので、微結晶シリコン膜成膜工程で成膜される微結晶シリコン膜の結晶性が高くなる。そして、その後、シリコン膜パターニング工程及び半導体層形成工程を行うことにより、結晶性が高く成膜された微結晶シリコン膜により微結晶シリコン層が形成されるので、製造された薄膜トランジスタ基板において、薄膜トランジスタのオン電流が高くなる。

[0010] なお、上述した特許文献1に開示された結晶性半導体膜の形成方法では、半導体の結晶核を発生させる際にだけ、水素と希ガスとを含むガス中で表面波プラズマ処理を行うので、すなわち、上記微結晶シリコン膜の下地層を形成する際にだけ希ガスの雰囲気内で行うので、微結晶シリコン膜の膜質に改善の余地がある。

[0011] 上記微結晶シリコン膜成膜工程では、上記下地層を形成する前に、成膜室の内壁にシリコン膜を成膜してもよい。

[0012] 上記の方法によれば、微結晶シリコン膜成膜工程では、微結晶シリコン膜の下地層を形成する前に、成膜室の内壁に（アモルファスの）シリコン膜を成膜するので、微結晶シリコン膜を成膜している間に、成膜室の内壁に付着していた残留異物が剥がれて、微結晶シリコン膜に混入することが抑制される。

[0013] 上記シリコン膜パターニング工程では、上記不純物シリコン膜を成膜する前に、上記微結晶シリコン膜上に上記ゲート電極と重なるようにチャネル保護層を形成してもよい。

- [0014] 上記の方法によれば、シリコン膜パターニング工程では、不純物シリコン膜を成膜する前に、微結晶シリコン膜上にゲート電極と重なるようにチャンネル保護層を形成するので、半導体層形成工程において、ソース電極及びドレイン電極から露出する半導体層形成層の不純物シリコン膜を除去する際に、微結晶シリコン層の表面が除去され難くなる。
- [0015] また、本発明に係る薄膜トランジスタ基板は、上記の薄膜トランジスタ基板の製造方法により製造され、上記微結晶シリコン層の結晶粒界の間には、希ガスの原子が含まれている。
- [0016] 上記の構成によれば、微結晶シリコン層の結晶粒界の間に希ガスの原子が含まれているので、薄膜トランジスタのオフ電流が低くなる。
- [0017] また、本発明に係る半導体膜の製造方法は、基板に微結晶シリコン膜の結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で形成して、微結晶シリコン膜の下地層を形成する下地層形成工程と、上記結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で成長させることにより、上記下地層上に微結晶シリコン膜の本体層を形成する本体層形成工程とを備える。
- [0018] 上記の方法によれば、下地層形成工程において、微結晶シリコン膜の結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で形成して、微結晶シリコン膜の下地層を形成するので、例えば、シランガスや水素ガスなどのプロセスガスが希ガスで希釈されることにより、微結晶シリコン膜の下地層を形成する際に、プラズマが安定して発生することになる。また、本体層形成工程において、微結晶シリコン膜の結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で成長させて、下地層上に微結晶シリコン膜の本体層を形成するので、例えば、シランガスや水素ガスなどのプロセスガスが希ガスで希釈されることにより、微結晶シリコン膜の本体層を形成する際に、プラズマが安定して発生することになる。これにより、下地層形成工程で微結晶シリコン膜の下地層を形成する際にだけでなく、本体層形成工程で微結晶シリコン膜の本体層を形成する際にも、プラズマが安定して発生す

るので、微結晶シリコン膜の結晶性が高くなる。

[0019] なお、上述した特許文献 1 に開示された結晶性半導体膜の形成方法では、半導体の結晶核を発生させる際にだけ、水素と希ガスとを含むガス中で表面波プラズマ処理を行うので、すなわち、上記微結晶シリコン膜の下地層を形成する際にだけ希ガスの雰囲気内で行うので、微結晶シリコン膜の膜質に改善の余地がある。

発明の効果

[0020] 本発明によれば、微結晶シリコン膜の下地層だけでなく本体層も希ガスの雰囲気内で形成するので、微結晶シリコン膜の結晶性を高くすることができる。

図面の簡単な説明

[0021] [図1]図 1 は、実施形態 1 に係る T F T 基板を構成する T F T の平面図である。

[図2]図 2 は、図 1 中のII-II線に沿った T F T 基板の断面図である。

[図3]図 3 は、実施形態 1 に係る T F T 基板を構成する微結晶シリコン層を断面で示すイメージ図である。

[図4]図 4 は、実施形態 1 に係る T F T 基板を構成する微結晶シリコン層を平面で示すイメージ図である。

[図5]図 5 は、実施形態 1 に係る T F T 基板の製造方法で用いるマイクロ波プラズマ C V D 装置の断面図である。

[図6]図 6 は、実施形態 1 に係る T F T 基板の製造工程を断面で示す説明図である。

[図7]図 7 は、実施形態 1 に係る T F T 基板を構成する T F T の $V_g - I_d$ 特性を示すグラフである。

[図8]図 8 は、実施形態 2 に係る T F T 基板を構成する T F T の $V_g - I_d$ 特性を示すグラフである。

[図9]図 9 は、実施形態 3 に係る液晶表示装置の等価回路図である。

[図10]図 10 は、実施形態 3 に係る液晶表示装置を構成する T F T 基板の平

面図である。

[図11]図 1 1 は、図 1 0 中のXI-XI線に沿ったT F T基板の断面図である。

発明を実施するための形態

[0022] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0023] 《発明の実施形態 1》

図 1 ～図 7 は、本発明に係るT F T基板の製造方法及びその製造方法により製造されたT F T基板、並びに半導体膜の製造方法の実施形態 1 を示している。具体的に、図 1 は、本実施形態のT F T基板 2 0 を構成するT F T 5 の平面図であり、図 2 は、図 1 中のII-II線に沿ったT F T基板 2 0 の断面図である。また、図 3 は、T F T基板 2 0 を構成する微結晶シリコン層 1 3 a を断面で示すイメージ図であり、図 4 は、微結晶シリコン層 1 3 a を平面で示すイメージ図である。

[0024] T F T基板 2 0 は、図 2 に示すように、透明基板 1 0 と、透明基板 1 0 上に設けられたT F T 5 と、T F T 5 を覆うように設けられた保護膜 1 8 とを備えている。

[0025] T F T 5 は、図 1 及び図 2 に示すように、透明基板 1 0 上に設けられたゲート電極 1 1 a a と、ゲート電極 1 1 a a を覆うように設けられたゲート絶縁膜 1 2 と、ゲート絶縁膜 1 2 上にゲート電極 1 1 a a と重なるように島状に設けられた半導体層 1 6 b と、半導体層 1 6 b 上にゲート電極 1 1 a a と重なりと共に、互いに離間するように設けられたソース電極 1 7 a a 及びドレイン電極 1 7 b とを備えている。

[0026] 半導体層 1 6 b は、図 2 に示すように、ゲート絶縁膜 1 2 側に設けられた微結晶シリコン層 1 3 a と、微結晶シリコン層 1 3 a 上にゲート電極 1 1 a a と重なるようにチャネル保護層として設けられたエッチストップ層 1 4 を介して、微結晶シリコン層 1 3 a 上に不純物シリコン層として設けられ、ソース電極 1 7 a a 及びドレイン電極 1 7 b にそれぞれ接続されたN⁺アモルファスシリコン層 1 5 b とを備えている。

- [0027] 微結晶シリコン層 1 3 a（及び後述する微結晶シリコン膜 1 3）は、図 3 に示すように、ゲート絶縁膜 1 2 の表面に形成された結晶核 N を含むゲート絶縁膜 1 2 の表面近傍（ゲート絶縁膜 1 2 の表面から数 nm 程度）に設けられた結晶性が相対的に低い下地層（遷移層）F a と、下地層 F a 上に設けられた結晶性が相対的に高い本体層（バルク層）F b とを備え、柱状結晶の構造を有している。なお、図 3 では、略五角形のベース状の部分の内側が結晶質の部分を示し、その外側が非晶質の部分を示している。また、微結晶シリコン層 1 3 a（及び微結晶シリコン膜 1 3）は、図 4 に示すように、粒径 2 nm ～ 100 nm 程度の複数の結晶粒 G を有し、複数の結晶粒 G の各結晶粒界 B の間に希ガスの原子としてネオン原子 R が含まれている。
- [0028] 次に、本実施形態の微結晶シリコン膜 1 3 及びそれを用いた T F T 基板 2 0 を製造する方法について、図 5 及び図 6 を用いて説明する。
- [0029] まず、T F T 基板 2 0 の製造方法で用いるマイクロ波プラズマ C V D 装置 6 0 について説明する。ここで、図 5 は、本実施形態の製造方法で用いるマイクロ波プラズマ C V D 装置 6 0 の断面図である。
- [0030] マイクロ波プラズマ C V D 装置 6 0 は、図 5 に示すように、成膜室 5 1 と、成膜室 5 1 の内下部に設けられ、ヒーターが内蔵されたステージ 5 2 と、成膜室 5 1 の内上部に設けられた誘電体板 5 3 と、成膜室 5 1 の内部にプロセスガスを導入するための導入系配管 5 4 と、成膜室 5 1 の内部を排気するための排気系配管 5 5 と、成膜室 5 1 の内部に誘電体板 5 3 を介してマイクロ波を導入するための導波管 5 6 とを備え、導波管 5 6 から導入されたマイクロ波により表面波を形成し、その表面波により導入系配管 5 4 から導入されたプロセスガスを励起して高密度の表面波プラズマを形成し、その表面波プラズマによりステージ 5 2 上に載置された被処理基板 S の表面に薄膜を堆積させるように構成されている。
- [0031] 続いて、T F T 基板 2 0 の製造工程について説明する。ここで、図 6 は、T F T 基板 2 0 の製造工程を断面で示す説明図である。なお、本実施形態の T F T 基板 2 0 の製造工程は、ゲート電極形成工程、ゲート絶縁膜形成工程

、微結晶シリコン膜成膜工程、シリコン膜パターニング工程及び半導体層形成工程を備える。

[0032] <ゲート電極形成工程>

0. 7 mm×127 mm×127 mmのガラス基板などの透明基板10の基板全体に、例えば、スパッタリング法により、厚さ100 nm程度のチタン膜などの金属膜を成膜した後に、その金属膜に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、図6 (a) に示すように、ゲート電極11a aを形成する。

[0033] <ゲート絶縁膜形成工程>

上記ゲート電極形成工程でゲート電極11a aが形成された基板全体に、例えば、平行平板型のCVD装置を用いて、厚さ410 nm程度の窒化シリコン膜などの無機絶縁膜を成膜した後に、その無機絶縁膜に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、図6 (b) に示すように、ゲート絶縁膜12を形成する。

[0034] <微結晶シリコン膜成膜工程>

まず、マイクロ波プラズマCVD装置60の成膜室51の内部に被処理基板Sを搬入する前に、成膜室51の内壁の表面にアモルファスシリコン膜を成膜（プリコート）する。

[0035] 続いて、上記ゲート絶縁膜形成工程でゲート絶縁膜12が形成された基板を被処理基板Sとして成膜室51の内部に搬入した後に、成膜室51の内部にモノシランガス及びネオンガスを導入することにより、ゲート絶縁膜12の表面に微結晶シリコン膜13の結晶核Nを含む下地層Faを形成し（下地層形成工程）、連続的に結晶核Nを成長させることにより下地層Faの表面に微結晶シリコン膜13の本体層Fbを形成して（本体層形成工程）、厚さ50 nm程度の微結晶シリコン膜13を成膜する（図6 (c) 参照）。

[0036] 以上のようにして、半導体膜として、微結晶シリコン膜13を製造することができる。

[0037] <シリコン膜パターニング工程>

まず、上記微結晶シリコン膜成膜工程で微結晶シリコン膜 13 が成膜された基板全体に、例えば、マイクロ波プラズマ CVD 装置 60 の他の成膜室（不図示）を用いて、厚さ 150 nm 程度の窒化シリコン膜などの無機絶縁膜を成膜した後に、その無機絶縁膜に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、エッチストップ層 14 を形成する（図 6（c）参照）。

[0038] 続いて、エッチストップ層 14 が形成された基板全体に、例えば、平行平板型の CVD 装置を用いて、図 6（c）に示すように、厚さ 50 nm 程度の N⁺アモルファスシリコン膜などの不純物シリコン膜 15 を成膜する。

[0039] さらに、微結晶シリコン膜 13 及び不純物シリコン膜 15 の積層膜に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、図 6（d）に示すように、微結晶シリコン層 13 a 及び不純物シリコン層 15 a からなる半導体層形成層 16 a を形成する。

[0040] <半導体層形成工程>

まず、上記シリコン膜パターニング工程で半導体層形成層 16 a が形成された基板全体に、例えば、スパッタリング法により、厚さ 100 nm 程度のチタン膜などの金属膜を成膜した後に、その金属膜、及び半導体層形成層 16 a の不純物シリコン層 15 a に対して、フォトリソグラフィ、エッチング及びレジストパターンの剥離洗浄を行うことにより、図 6（e）に示すように、ソース電極 17 a a、ドレイン電極 17 b 及び不純物シリコン層 15 b を形成して、微結晶シリコン層 13 a 及び不純物シリコン層 15 b からなる半導体層 16 b を形成する。

[0041] 続いて、半導体層 16 b が形成された基板全体に、例えば、平行平板型の CVD 装置を用いて、厚さ 265 nm 程度の窒化シリコン膜などの無機絶縁膜を成膜することにより、保護膜 18 を形成する。

[0042] さらに、保護膜 18 が形成された基板に対して、例えば、250℃で1時間程度の加熱処理を行うことにより、本実施形態の TFT 基板 20 を製造することができる。

[0043] 次に、具体的に行った実験について説明する。

[0044] 詳細には、本発明の実施例 1 として、本実施形態の T F T 基板 20 の製造方法を用いて、下記の製造条件でチャネル長 $L = 12 \mu m$ / チャネル幅 $W = 20 \mu m$ (図 1 参照) の T F T 基板を作製した。また、本発明の比較例 1 として、本実施形態の T F T 基板 20 の製造方法において、微結晶シリコン膜の本体層を形成する際にネオンガスを導入しないで下記の製造条件で $L = 12 \mu m$ / $W = 20 \mu m$ の T F T 基板を作製した。ここで、下記の s c c m は、「standard cubic centimeters per minute」という意味であり、1 分間当たり流量 (c c) を示す単位である。

[0045] ～プリコートの条件 (実施例 1 及び比較例 1 で共通) ～

マイクロ波の周波数 : 915 MHz

マイクロ波のパワー : $0.8 \text{ W} / \text{cm}^2$ (投入パワー : 1.0 kW)

成膜室の圧力 : 2.66 Pa

モノシランガスの流量 : 400 sccm

ネオンガスの流量 : 600 sccm

誘電体板と被処理基板との距離 : 90 mm

成膜室の内部温度 : 100°C

プラズマ処理時間 : 600 秒

～下地層形成工程でのプラズマ処理条件 (実施例 1 及び比較例 1 で共通)

～

マイクロ波の周波数 : 915 MHz

マイクロ波のパワー : $3.2 \text{ W} / \text{cm}^2$ (投入パワー : 4.0 kW)

成膜室の圧力 : 2.66 Pa

水素ガスの流量 : 48 sccm

ネオンガスの流量 : 504 sccm

誘電体板と被処理基板との距離 : 150 mm

被処理基板の設定温度 : 200°C

プラズマ処理時間 : 15 秒

～本体層形成工程での成膜条件（実施例１）～

マイクロ波の周波数：9 1 5 M H z

マイクロ波のパワー：3. 2 W / c m²（投入パワー：4. 0 k W）

成膜室の圧力：2. 6 6 P a

モノシランガスの流量：6 s c c m

ネオンガスの流量：1 2 6 s c c m

誘電体板と被処理基板との距離：1 5 0 m m

被処理基板の設定温度：2 0 0 °C

～本体層形成工程での成膜条件（比較例１）～

マイクロ波の周波数：9 1 5 M H z

マイクロ波のパワー：3. 2 W / c m²（投入パワー：4. 0 k W）

成膜室の圧力：2. 6 6 P a

モノシランガスの流量：1 2 0 s c c m

誘電体板と被処理基板との距離：1 5 0 m m

被処理基板の設定温度：2 0 0 °C

そして、実施例１及び比較例１として作製された各ＴＦＴ基板に対して、微結晶シリコン層の結晶性の評価、ＴＦＴの V_g （ゲート電圧）－ I_d （ドレイン電流）特性（図７参照）を測定し、オン電流値及びオフ電流値の評価、ＴＦＴの電子移動度の評価、並びに微結晶シリコン層におけるネオン原子の分布の評価を行った。ここで、図７は、実施例１及び比較例１の各ＴＦＴ基板を構成するＴＦＴの V_g － I_d 特性を示すグラフである。なお、図７のグラフでは、実線が実施例１のＴＦＴの V_g － I_d 特性を示し、破線が比較例１のＴＦＴの V_g － I_d 特性を示している。また、図７のグラフでは、ソース電極及びドレイン電極の間の電圧が１０Ｖである。

[0046] 微結晶シリコン層の結晶性の評価は、微結晶シリコン層のラマン散乱スペクトルを測定し、結晶質シリコン成分に起因する波数 520 cm^{-1} 付近の鋭いピークの強度（ I_c ）と、非晶質シリコン成分に起因する波数 480 cm^{-1} 付近の幅広のピークの強度（ I_a ）との強度比（ I_c / I_a ）を算出するこ

とにより行った。

[0047] TFTのオン電流値及びオフ電流値の評価は、図7のTFTの $V_g - I_d$ 特性のグラフにおいて、 $V_g = 20V$ のときの I_d の値をオン電流値とすると共に、 $V_g = -20V$ のときの I_d の値をオフ電流値とすることにより行った。

[0048] TFTの電子移動度(μ)の評価は、 $\mu = L/W \times \{g / (q N_s)\}$ の式に、 $V_g - I_d$ 特性により算出されるコンダクタンス g 、 C (容量) - V (電圧)特性により算出されるキャリア密度 N_s 、TFTのサイズ L 及び W 、並びに電気素量 q を代入することにより行った。

[0049] 微結晶シリコン層におけるネオン原子の分布の評価は、アトムプローブ電界イオン顕微鏡(Atom Probe Field Ion Microscope、APFIM)を用いた3次元アトムプローブ分析により、微結晶シリコン層の中のネオン原子の2次元分布を測定することにより行った。

[0050] 実施例1及び比較例1の評価結果は、下記の表1に示すとおりである。

[0051] [表1]

	実施例 1	比較例 1
微結晶シリコン層の結晶性	9.2	4.7
TFTのオン電流値[A]	3.14×10^{-6}	1.89×10^{-6}
TFTのオフ電流値[A]	5.07×10^{-12}	4.11×10^{-11}
TFTの電子移動度[cm^2/Vs]	1.1	0.5
微結晶シリコン層中のネオン原子	結晶粒界間で検出	非検出

[0052] 具体的に微結晶シリコン層の結晶性については、比較例1で4.7であるのに対し、実施例1で9.2であるので、本体層形成工程でネオンガスを導入することにより、結晶性が高くなることが確認された。

[0053] また、TFTのオン電流値及びオフ電流値については、比較例1で 1.89×10^{-6} 及び 4.11×10^{-11} であるのに対し、実施例1で 3.14×10^{-6} 及び 5.07×10^{-12} であるので、本体層形成工程でネオンガスを導入

することにより、オン電流が高くなり、オフ電流が低くなることが確認された。

[0054] また、T F Tの電子移動度については、比較例1で $0.5 \text{ cm}^2/\text{Vs}$ であるのに対し、実施例1で $1.1 \text{ cm}^2/\text{Vs}$ であるので、本体層形成工程でネオンガスを導入することにより、電子移動度が高くなることが確認された。

[0055] また、微結晶シリコン層におけるネオン原子の分布については、比較例1でネオン原子が検出されずに、実施例1で結晶粒界の間でネオン原子が検出されることが確認された。

[0056] 以上説明したように、本実施形態の微結晶シリコン膜13を用いたT F T基板20の製造方法によれば、ゲート電極形成工程及びゲート絶縁膜形成工程を行った後の微結晶シリコン膜成膜工程において、微結晶シリコン膜13の結晶核Nを表面波プラズマによるC V D法によりネオンガスの雰囲気内で形成して、微結晶シリコン膜13の下地層F aを形成するので、シランガスや水素ガスなどのプロセスガスがネオンガスで希釈されることにより、微結晶シリコン膜13の下地層F aを形成する際に、プラズマが安定して発生することになり、また、微結晶シリコン膜13の結晶核Nを表面波プラズマによるC V D法によりネオンガスの雰囲気内で成長させて、下地層F a上に微結晶シリコン膜13の本体層F bを形成するので、シランガスや水素ガスなどのプロセスガスがネオンガスで希釈されることにより、微結晶シリコン膜13の本体層F bを形成する際に、プラズマが安定して発生することになる。これにより、微結晶シリコン膜13の下地層F aを形成する際にだけでなく、微結晶シリコン膜13の本体層F bを形成する際にも、プラズマが安定して発生するので、微結晶シリコン膜成膜工程で成膜される微結晶シリコン膜13の結晶性を高くすることができる。そして、その後、シリコン膜パターンニング工程及び半導体層形成工程を行うことにより、結晶性が高く成膜された微結晶シリコン膜13により微結晶シリコン層13 aが形成されるので、製造されたT F T基板20において、T F T 5のオン電流を高くすることができる。

[0057] また、本実施形態のTFT基板20の製造方法によれば、微結晶シリコン膜成膜工程では、微結晶シリコン膜13の下地層Faを形成する前に、成膜室51の内壁にアモルファスシリコン膜を成膜するので、微結晶シリコン膜13を成膜している間に、成膜室51の内壁に付着していた残留異物が剥がれて、微結晶シリコン膜13に混入することを抑制することができる。

[0058] また、本実施形態のTFT基板20の製造方法によれば、シリコン膜パターンニング工程では、不純物シリコン膜15を成膜する前に、微結晶シリコン膜13上にゲート電極11aaと重なるようにエッチストップ層14を形成するので、半導体層形成工程において、ソース電極17aa及びドレイン電極17bから露出する半導体層形成層16aの不純物シリコン膜（不純物シリコン層15a）を除去する際に、微結晶シリコン層13aの表面が除去され難くすることができる。

[0059] また、本実施形態のTFT基板20の製造方法により製造されたTFT基板20によれば、微結晶シリコン層13aの結晶粒界Bの間にネオン原子Rが含まれているので、TFT5のオフ電流を低くすることができる。

[0060] 《発明の実施形態2》

図8は、本実施形態のTFT基板を構成するTFTのVg-I_d特性を示すグラフである。なお、以下の各実施形態において、図1～図7と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0061] 上記実施形態1では、モノシランガス及びネオンガスを用いて微結晶シリコン膜13を形成するTFT基板20の製造方法を例示したが、本実施形態では、モノシランガス、ネオンガス及び水素ガスを用いて微結晶シリコン膜13を形成するTFT基板20の製造方法を例示する。

[0062] 本実施形態のTFT基板20は、上記実施形態1の微結晶シリコン膜成膜工程において、マイクロ波プラズマCVD装置60の成膜室51の内部にモノシランガス、ネオンガス及び水素ガスを導入することにより、製造することができる。

[0063] 次に、具体的に行った実験について説明する。

[0064] 詳細には、本発明の実施例2として、本実施形態のTF T基板20の製造方法を用いて、下記の製造条件でチャンネル長 $L = 12 \mu m$ ／チャンネル幅 $W = 20 \mu m$ のTF T基板を作製した。また、本発明の比較例2として、本実施形態のTF T基板20の製造方法において、微結晶シリコン膜を本体層を形成する際にネオンガスを導入しないで下記の製造条件で $L = 12 \mu m$ ／ $W = 20 \mu m$ のTF T基板を作製した。

[0065] ～プリコートの条件（実施例2及び比較例2で共通）～

マイクロ波の周波数：915MHz

マイクロ波のパワー：0.8W/cm²（投入パワー：1.0kW）

成膜室の圧力：2.66Pa

モノシランガスの流量：400sccm

ネオンガスの流量：600sccm

誘電体板と被処理基板との距離：90mm

成膜室の内部温度：100℃

プラズマ処理時間：600秒

～下地層形成工程でのプラズマ処理条件（実施例2及び比較例2で共通）

～

マイクロ波の周波数：915MHz

マイクロ波のパワー：3.2W/cm²（投入パワー：4.0kW）

成膜室の圧力：2.66Pa

水素ガスの流量：48sccm

ネオンガスの流量：504sccm

誘電体板と被処理基板との距離：150mm

被処理基板の設定温度：200℃

プラズマ処理時間：15秒

～本体層形成工程での成膜条件（実施例2）～

マイクロ波の周波数：915MHz

マイクロ波のパワー：3.2W/cm²（投入パワー：4.0kW）

成膜室の圧力：2.66 Pa

水素ガスの流量：6 sccm

モノシランガスの流量：6 sccm

ネオンガスの流量：126 sccm

誘電体板と被処理基板との距離：150 mm

被処理基板の設定温度：200℃

～本体層形成工程での成膜条件（比較例2）～

マイクロ波の周波数：915 MHz

マイクロ波のパワー：3.2 W/cm²（投入パワー：4.0 kW）

成膜室の圧力：2.66 Pa

水素ガスの流量：250 sccm

モノシランガスの流量：30 sccm

誘電体板と被処理基板との距離：150 mm

被処理基板の設定温度：200℃

そして、実施例2及び比較例2として作製された各TF T基板に対して、微結晶シリコン層の結晶性の評価、TF Tの V_g （ゲート電圧）－ I_d （ドレイン電流）特性（図8参照）を測定し、オン電流値及びオフ電流値の評価、TF Tの電子移動度の評価、並びに微結晶シリコン層におけるネオン原子の分布の評価を行った。なお、図8のグラフでは、実線が実施例2のTF Tの V_g － I_d 特性を示し、破線が比較例2のTF Tの V_g － I_d 特性を示している。また、図8のグラフでは、ソース電極及びドレイン電極の間の電圧が10 Vである。

[0066] 実施例2及び比較例2の評価結果は、下記の表2に示すとおりである。

[0067]

[表2]

	実施例 2	比較例 2
微結晶シリコン層の結晶性	8.6	4.5
TFTのオン電流値[A]	2.96×10^{-6}	1.14×10^{-6}
TFTのオフ電流値[A]	4.23×10^{-12}	3.65×10^{-11}
TFTの電子移動度[cm ² /Vs]	1.0	0.4
微結晶シリコン層中のネオン原子	結晶粒界間で検出	非検出

[0068] 具体的に微結晶シリコン層の結晶性については、比較例 2 で 4.5 であるのに対し、実施例 2 で 8.6 であるので、本体層形成工程でネオンガスを導入することにより、結晶性が高くなることが確認された。

[0069] また、TFT のオン電流値及びオフ電流値については、比較例 2 で 1.14×10^{-6} 及び 3.65×10^{-11} であるのに対し、実施例 2 で 2.96×10^{-6} 及び 4.23×10^{-12} であるので、本体層形成工程でネオンガスを導入することにより、オン電流が高くなり、オフ電流が低くなることが確認された。

[0070] また、TFT の電子移動度については、比較例 2 で $0.4 \text{ cm}^2/\text{Vs}$ であるのに対し、実施例 2 で $1.0 \text{ cm}^2/\text{Vs}$ であるので、本体層形成工程でネオンガスを導入することにより、電子移動度が高くなることが確認された。

[0071] また、微結晶シリコン層におけるネオン原子の分布については、比較例 2 でネオン原子が検出されずに、実施例 2 で結晶粒界の間でネオン原子が検出されることが確認された。

[0072] 以上説明したように、本実施形態の微結晶シリコン膜 13 を用いた TFT 基板 20 の製造方法によれば、上記実施形態 1 と同様に、微結晶シリコン膜 13 の下地層 Fa だけでなく本体層 Fb もネオンガスの雰囲気内で形成するので、微結晶シリコン膜 13 の結晶性を高くすることができる。

[0073] 《発明の実施形態 3》

図 9 は、本実施形態の液晶表示装置 50 の等価回路図である。また、図 1

0は、液晶表示装置50を構成するTFT基板30の平面図であり、図11は、図10中のXI-XI線に沿ったTFT基板30の断面図である。

[0074] 液晶表示装置50は、図9に示すように、液晶表示パネル40と、液晶表示パネル40の図中左側に設けられたゲートドライバ41と、液晶表示パネル40の図中上側に設けられたソースドライバ42と、ゲートドライバ41及びソースドライバ42にそれぞれ接続された表示制御回路43とを備えている。

[0075] 液晶表示パネル40は、互いに対向するように設けられたTFT基板30及び対向基板（不図示）と、TFT基板30及び対向基板の間に設けられた液晶層（不図示）とを備えている。

[0076] TFT基板30は、図9～図11に示すように、ガラス基板などの透明基板10と、透明基板10上に互いに平行に延びるように設けられた複数のゲート線11aと、各ゲート線11aを覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上に各ゲート線11aと直交する方向に互いに平行に延びるように設けられた複数のソース線17aと、各ゲート線11a及び各ソース線17aの交差部分毎、すなわち、画像の最小単位である各副画素P毎にそれぞれ設けられた複数のTFT5と、各TFT5及び各ソース線17aを覆うように保護膜18aと、保護膜18a上に設けられた層間絶縁膜21と、層間絶縁膜21上にマトリクス状に設けられ、各TFT5にそれぞれ接続された複数の画素電極22と、各画素電極22を覆うように設けられた配向膜（不図示）とを備えている。

[0077] ゲート線11aは、端子領域（不図示）に延びるように設けられ、その端子領域において、図9に示すように、ゲートドライバ41に接続されている。また、TFT5のゲート電極11aaは、図10に示すように、各ゲート線11aが各副画素P毎に側方に突出した部分である。

[0078] ソース線17aは、端子領域（不図示）に延びるように設けられ、その端子領域において、図9に示すように、ソースドライバ42に接続されている。また、TFT5のソース電極17aaは、図10に示すように、各ソース

線 1 7 a が各副画素 P 毎に側方に突出した部分である。

[0079] TFT 5 のドレイン電極 1 7 b は、図 1 0 及び図 1 1 に示すように、保護膜 1 8 a 及び層間絶縁膜 2 1 に形成されたコンタクトホール 2 1 c を介して、画素電極 2 2 に接続されている。

[0080] TFT 基板 3 0 は、上記実施形態 1 の TFT 基板 2 0 の基板全体に、まず、例えば、スピンコート法により、アクリル系の感光性樹脂を厚さ $2\ \mu\text{m}$ ～ $3\ \mu\text{m}$ 程度で塗布し、その塗布された感光性樹脂に対して、露光及び現像を行うことにより、コンタクトホール 2 1 c を有する層間絶縁膜 2 1 を形成し、続いて、コンタクトホール 2 1 c から露出する保護膜 1 8 をエッチングすることにより、保護膜 1 8 a を形成し、さらに、例えば、スパッタリング法により、ITO (Indium Tin Oxide) 膜などの透明導電膜を厚さ $100\ \text{nm}$ 程度で成膜した後に、その透明導電膜に対して、フォトリソグラフィ、エッチング及びレジストの剥離洗浄を行って、画素電極 2 2 を形成することにより、製造することができる。

[0081] 上記対向基板は、例えば、ガラス基板などの透明基板（不図示）と、透明基板上に格子状に設けられたブラックマトリクス（不図示）と、ブラックマトリクスの各格子間にそれぞれ設けられた赤色層、緑色層及び青色層などの複数の着色層（不図示）と、ブラックマトリクス、各着色層を覆うように設けられた共通電極（不図示）と、共通電極上に柱状に設けられた複数のフォトスペーサ（不図示）と、共通電極及び各フォトスペーサを覆うように設けられた配向膜（不図示）とを備えている。

[0082] 上記液晶層は、例えば、電気光学特性を有するネマチックの液晶材料などにより構成されている。

[0083] 上記構成の液晶表示装置 5 0 では、各副画素 P において、制御信号 S_c 及び画像信号 S_d が入力される表示制御回路 4 3 から出力されるゲート制御信号 S_{ca} に基づいて、ゲートドライバ 4 1 からのゲート信号がゲート線 1 1 a を介してゲート電極 1 1 a a に送られて、TFT 5 がオン状態になったときに、表示制御回路 4 3 から出力されるソース制御信号 S_{cb} 及び画像信号

S dに基づいて、ソースドライバ4 2からのソース信号がソース線1 7 aを介してソース電極1 7 a aに送られて、半導体層1 6 b及びドレイン電極1 7 bを介して、画素電極2 2に所定の電荷が書き込まれる。このとき、T F T基板3 0の各画素電極2 2と対向基板の共通電極との間において電位差が生じ、液晶層、すなわち、各副画素Pの液晶容量に所定の電圧が印加される。そして、液晶表示装置5 0では、各副画素Pにおいて、液晶層に印加する電圧の大きさによって液晶層の配向状態を変えることにより、液晶層の光透過率を調整して、画像が表示される。

[0084] 以上説明したように、本実施形態の液晶表示装置5 0によれば、上記実施形態1及び2と同様に、T F T 5を形成するための微結晶シリコン膜1 3の下地層F aだけでなく本体層F bもネオンガスの雰囲気内で形成するので、T F T 5を構成する微結晶シリコン層1 3 aの結晶性を高くすることができる。

[0085] また、本実施形態の液晶表示装置5 0によれば、T F T 5の特性が向上するので、各副画素の開口率の向上することができると共に、液晶表示装置5 0の消費電力の低減、高精細化及びハイレームレート化を実現することができる。

[0086] また、本実施形態の液晶表示装置5 0によれば、微結晶シリコン層1 3 aの結晶性を高くなるので、ゲートドライバ4 1のモノリシック化を実現することができる。

[0087] また、本実施形態の液晶表示装置5 0によれば、T F T 5の半導体層が微結晶シリコン膜を用いて形成されていることにより、ゲートバイアスストレスによる閾値電圧シフトが高温下でも小さくなるので、液晶表示装置5 0の信頼性を向上させることができる。

[0088] なお、本実施形態では、液晶表示装置を例示したが、本発明は、例えば、有機E L (Electro Luminescence) 装置などの他の表示装置にも適用することができる。

[0089] また、上記各実施形態では、希ガスとして、ネオンガスを例示したが、本

発明は、例えば、アルゴンなどの他の希ガスにも適用することができる。

[0090] また、上記各実施形態では、表面波プラズマ方式のマイクロ波プラズマCVD装置を用いて微結晶シリコン膜を成膜する製造方法を例示したが、本発明は、例えば、ICP (Inductively Coupled Plasma) 方式やESR (Electron Cyclotron Resonance) 方式などの高密度プラズマCVD装置を用いて微結晶シリコン膜を製造する方法にも適用することができる。

[0091] また、上記各実施形態では、TF T基板に用いる微結晶シリコン膜の製造方法を例示したが、本発明は、例えば、太陽電池用の微結晶シリコン膜の製造方法にも適用することができる。

[0092] また、上記各実施形態では、画素電極に接続されたTF Tの電極をドレイン電極としたTF T基板を例示したが、本発明は、画素電極に接続されたTF Tの電極をソース電極と呼ぶTF T基板にも適用することができる。

産業上の利用可能性

[0093] 以上説明したように、本発明は、微結晶シリコン膜の結晶性を高くすることができるので、微結晶シリコンを用いたTF Tについて有用である。

符号の説明

[0094]	B	結晶粒界
	F a	下地層
	F b	本体層
	N	結晶核
	R	ネオン原子
	5	TF T
	1 0	透明基板
	1 1 a a	ゲート電極
	1 2	ゲート絶縁膜
	1 3	微結晶シリコン膜（半導体膜）
	1 3 a	微結晶シリコン層
	1 4	エッチストップ層（チャネル保護層）

1 5	不純物シリコン膜
1 5 b	不純物シリコン層
1 6 a	半導体層形成層
1 6 b	半導体層
1 7 a a	ソース電極
1 7 b	ドレイン電極
2 0, 3 0	T F T 基板

請求の範囲

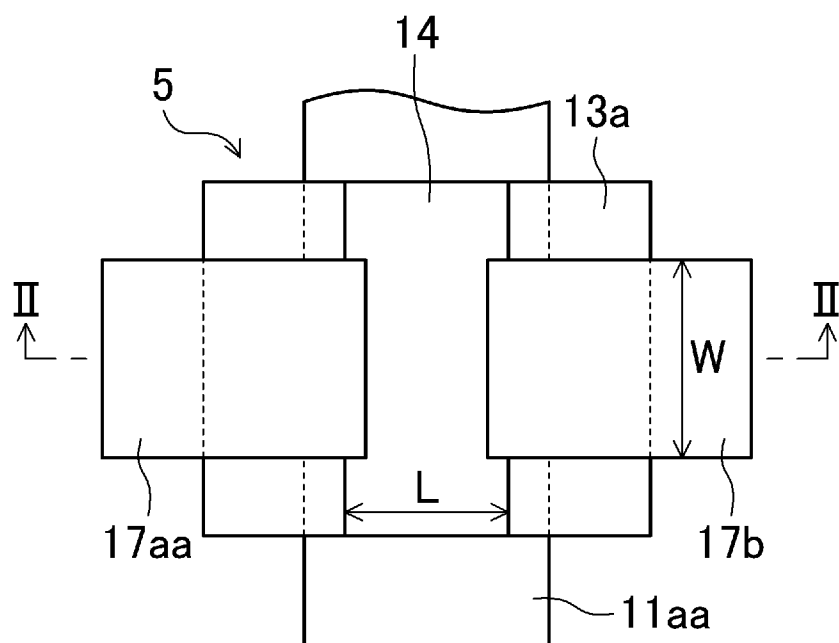
- [請求項1] 基板にゲート電極を形成するゲート電極形成工程と、
 上記ゲート電極を覆うようにゲート絶縁膜を形成するゲート絶縁膜形成工程と、
 上記ゲート絶縁膜上に微結晶シリコン膜の結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で形成することにより、微結晶シリコン膜の下地層を形成した後に、上記結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で成長させることにより、上記下地層上に微結晶シリコン膜の本体層を形成して、微結晶シリコン膜を成膜する微結晶シリコン膜成膜工程と、
 上記成膜された微結晶シリコン膜を覆うように不純物シリコン膜を成膜した後に、該微結晶シリコン膜及び不純物シリコン膜を上記ゲート電極と重なるように島状にパターニングして、半導体層形成層を形成するシリコン膜パターニング工程と、
 上記半導体層形成層上にソース電極及びドレイン電極を形成し、該ソース電極及びドレイン電極から露出する半導体層形成層の不純物シリコン膜を除去して、微結晶シリコン層及び不純物シリコン層からなる半導体層を形成する半導体層形成工程とを備える、薄膜トランジスタ基板の製造方法。
- [請求項2] 上記微結晶シリコン膜成膜工程では、上記下地層を形成する前に、成膜室の内壁にシリコン膜を成膜する、請求項1に記載の薄膜トランジスタ基板の製造方法。
- [請求項3] 上記シリコン膜パターニング工程では、上記不純物シリコン膜を成膜する前に、上記微結晶シリコン膜上に上記ゲート電極と重なるようにチャンネル保護層を形成する、請求項1又は2に記載の薄膜トランジスタ基板の製造方法。
- [請求項4] 請求項1乃至3の何れか1つに記載の薄膜トランジスタ基板の製造方法により製造され、

上記微結晶シリコン層の結晶粒界の間には、希ガスの原子が含まれている、薄膜トランジスタ基板。

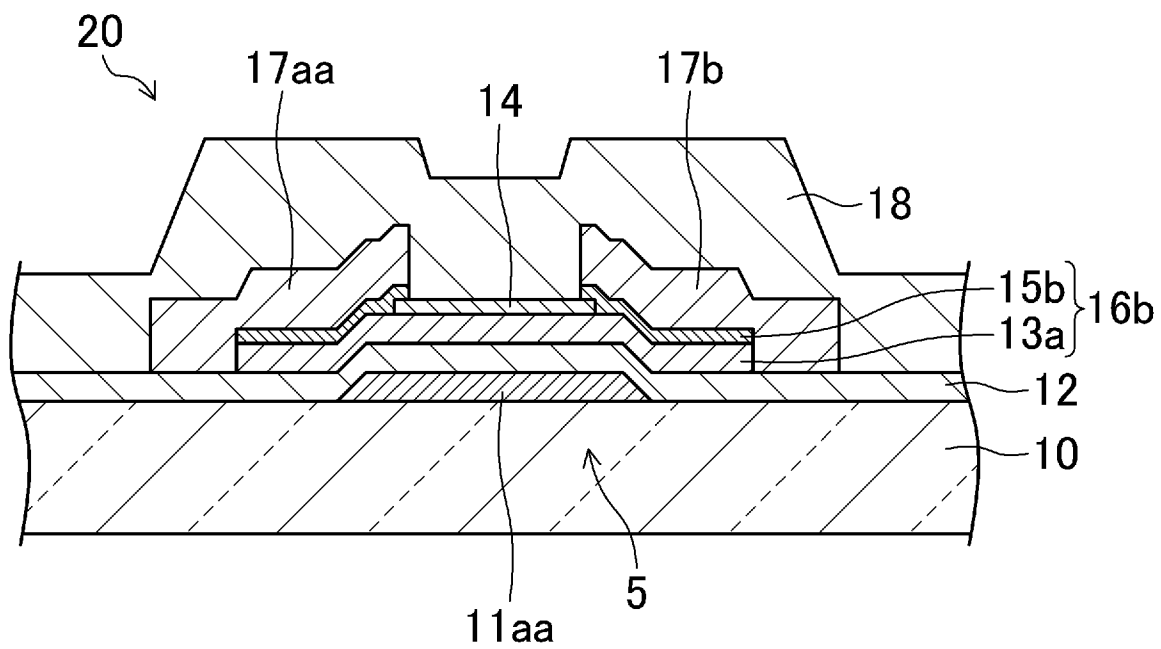
[請求項5] 基板に微結晶シリコン膜の結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で形成して、微結晶シリコン膜の下地層を形成する下地層形成工程と、

上記結晶核を表面波プラズマによるCVD法により希ガスの雰囲気内で成長させることにより、上記下地層上に微結晶シリコン膜の本体層を形成する本体層形成工程とを備える、半導体膜の製造方法。

[図1]

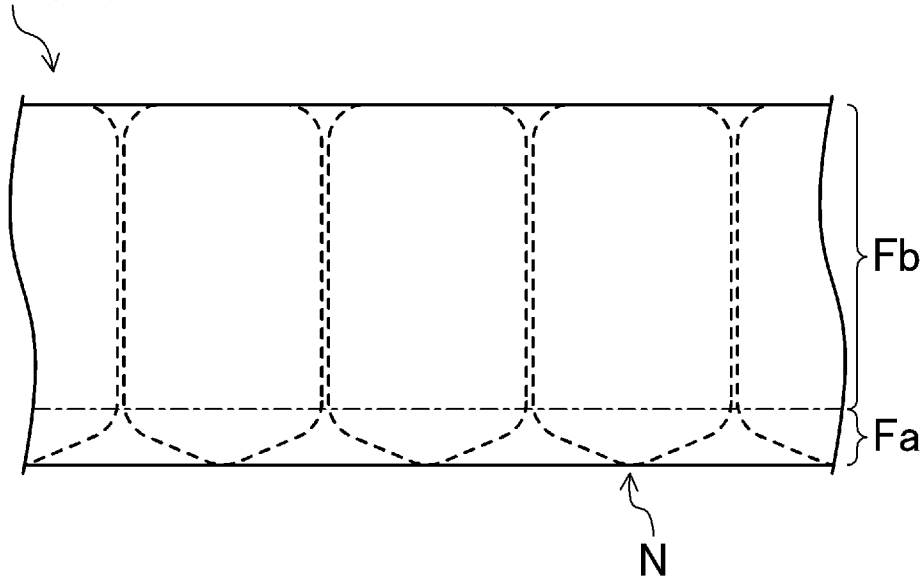


[図2]



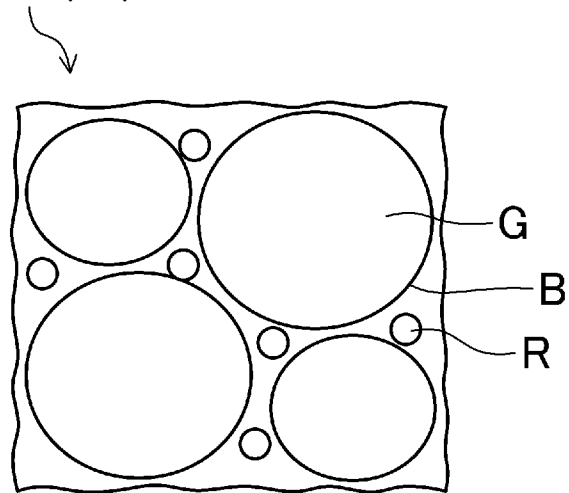
[図3]

13a(13)



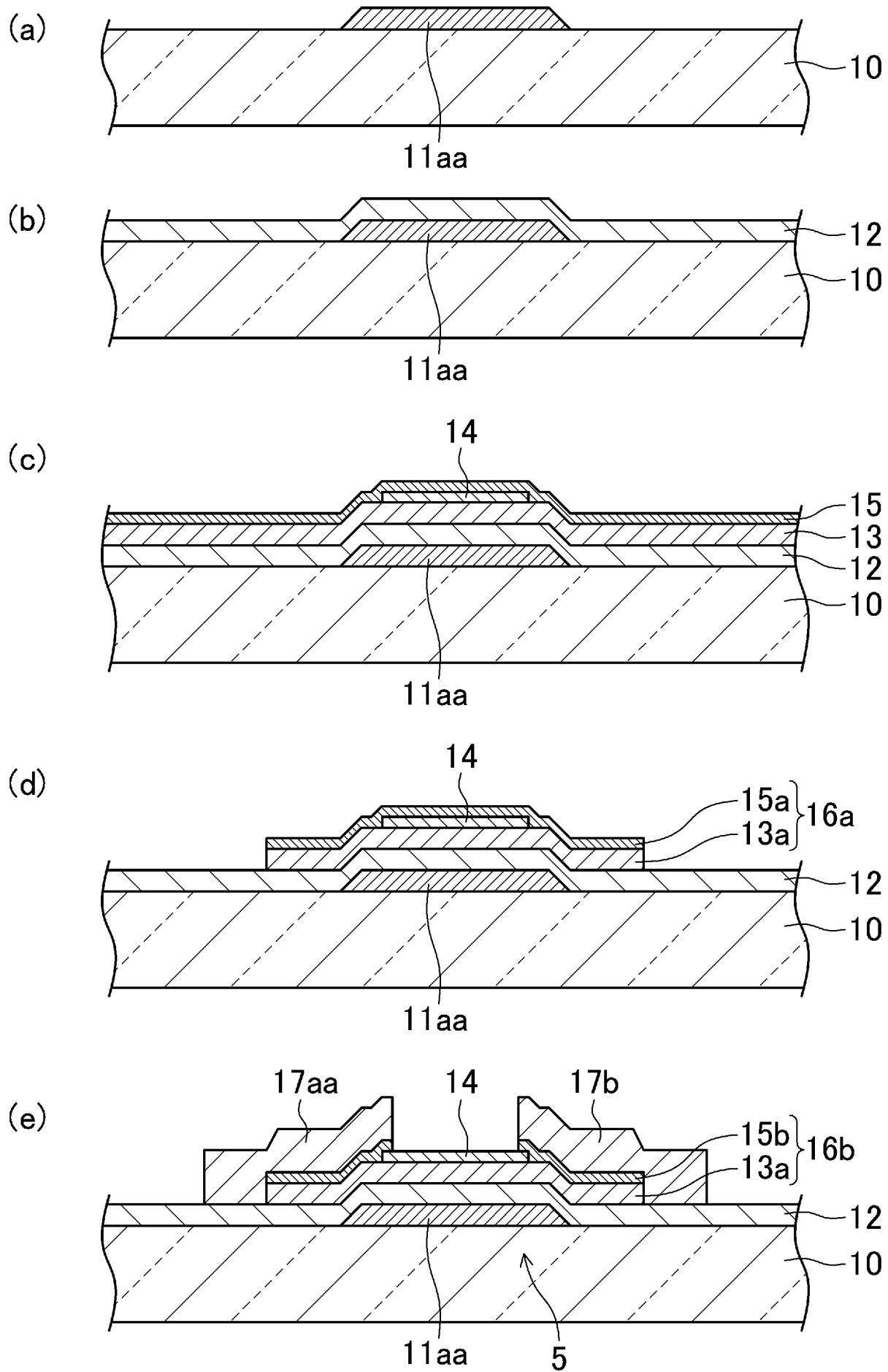
[図4]

13a(13)

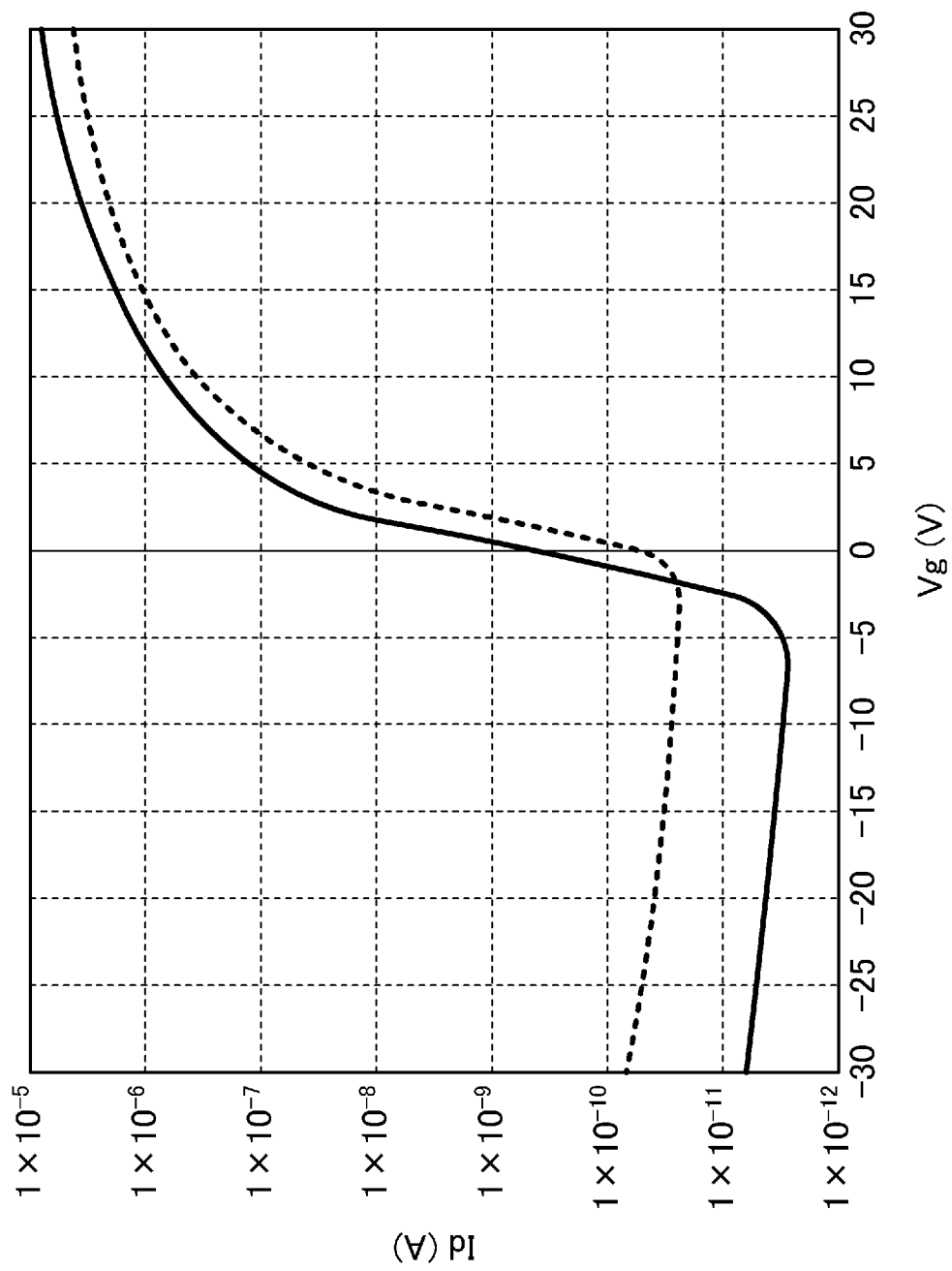


A cross-sectional view of a semiconductor device 60. The device includes a substrate 51 with a trench 53. A central structure 52 is located within the trench 53, containing a layer S. The device is covered by a top layer 56 and a bottom layer 55. A side layer 54 is also present.

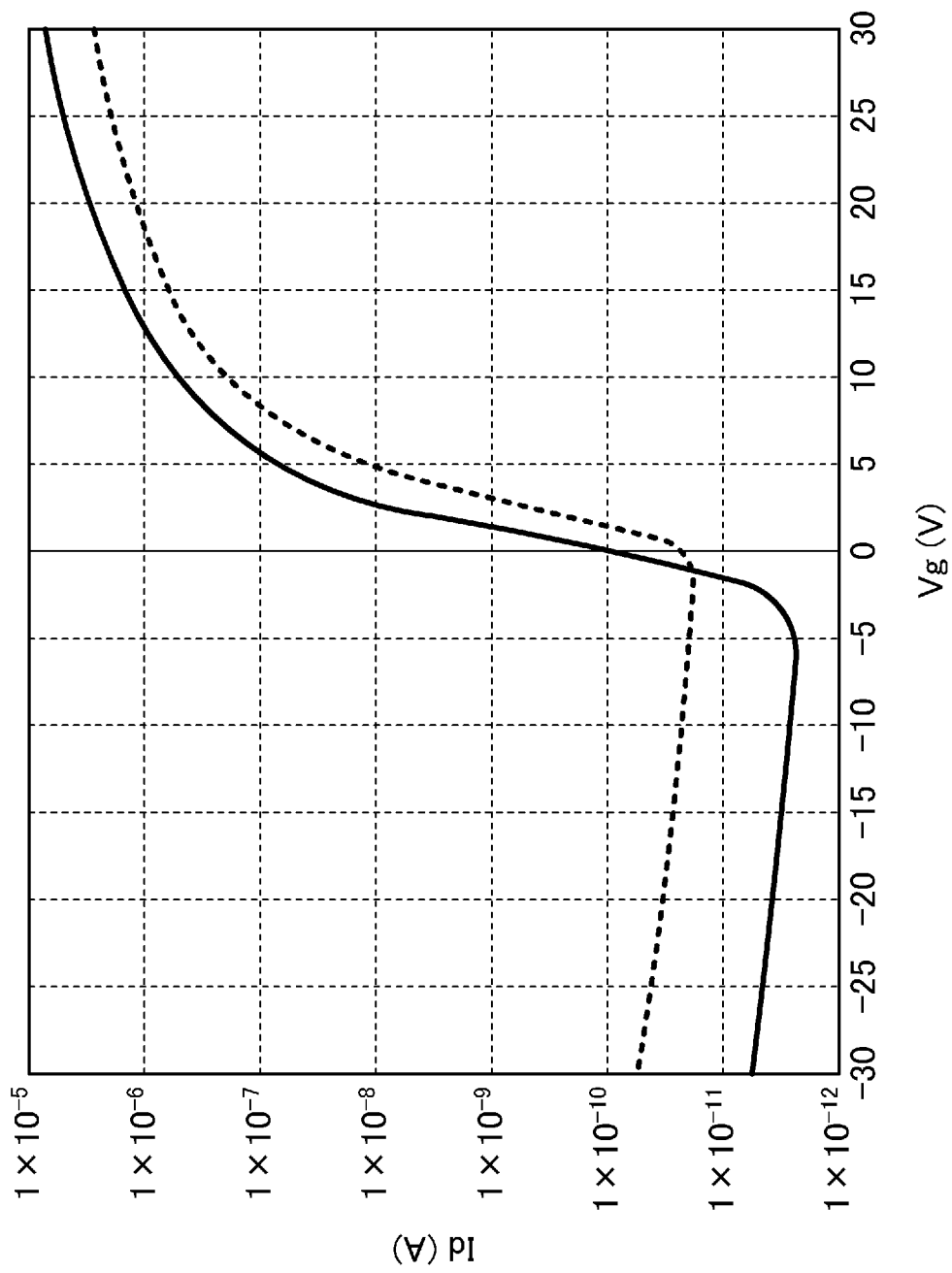
[図6]



[図7]

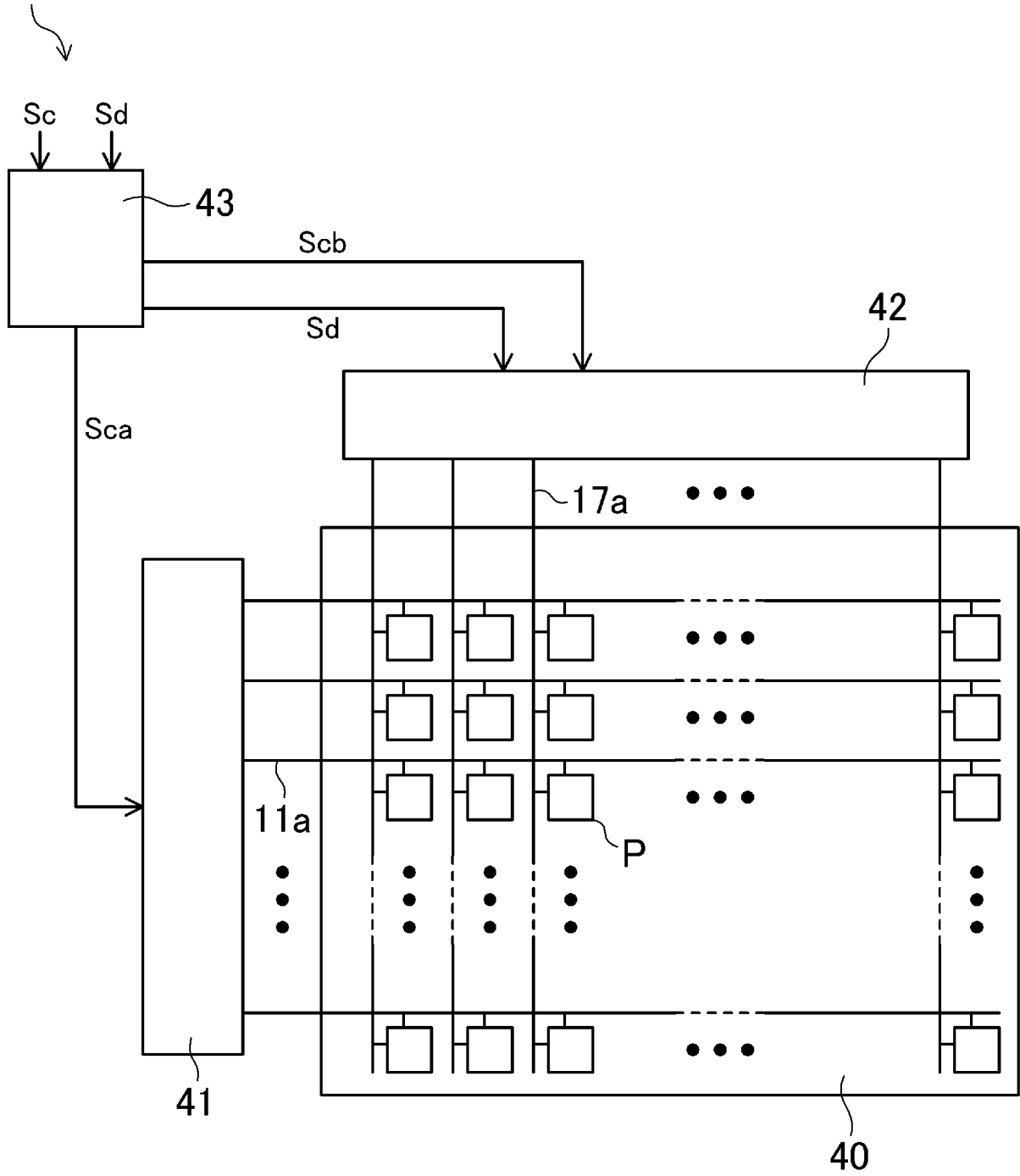


[図8]

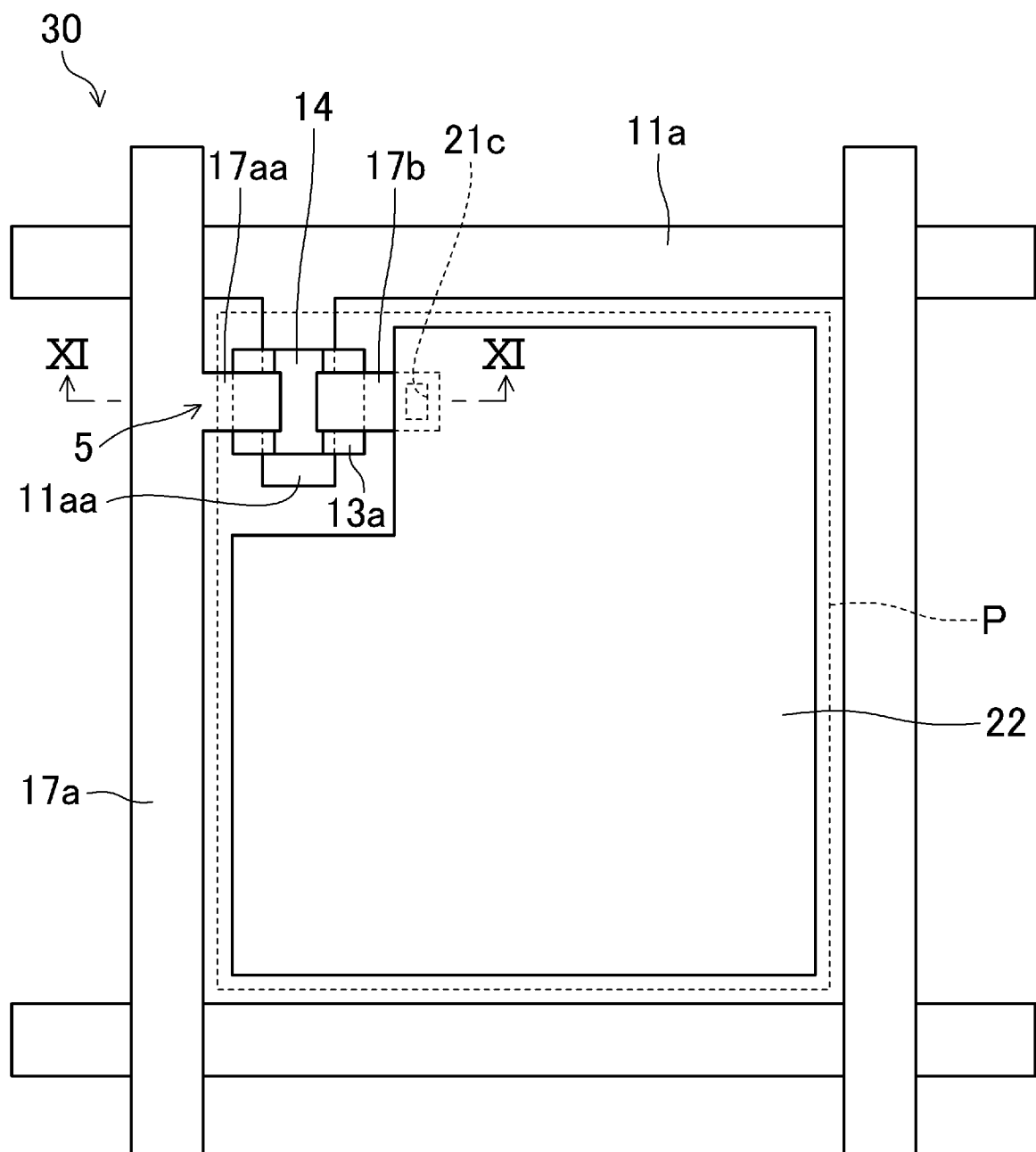


[図9]

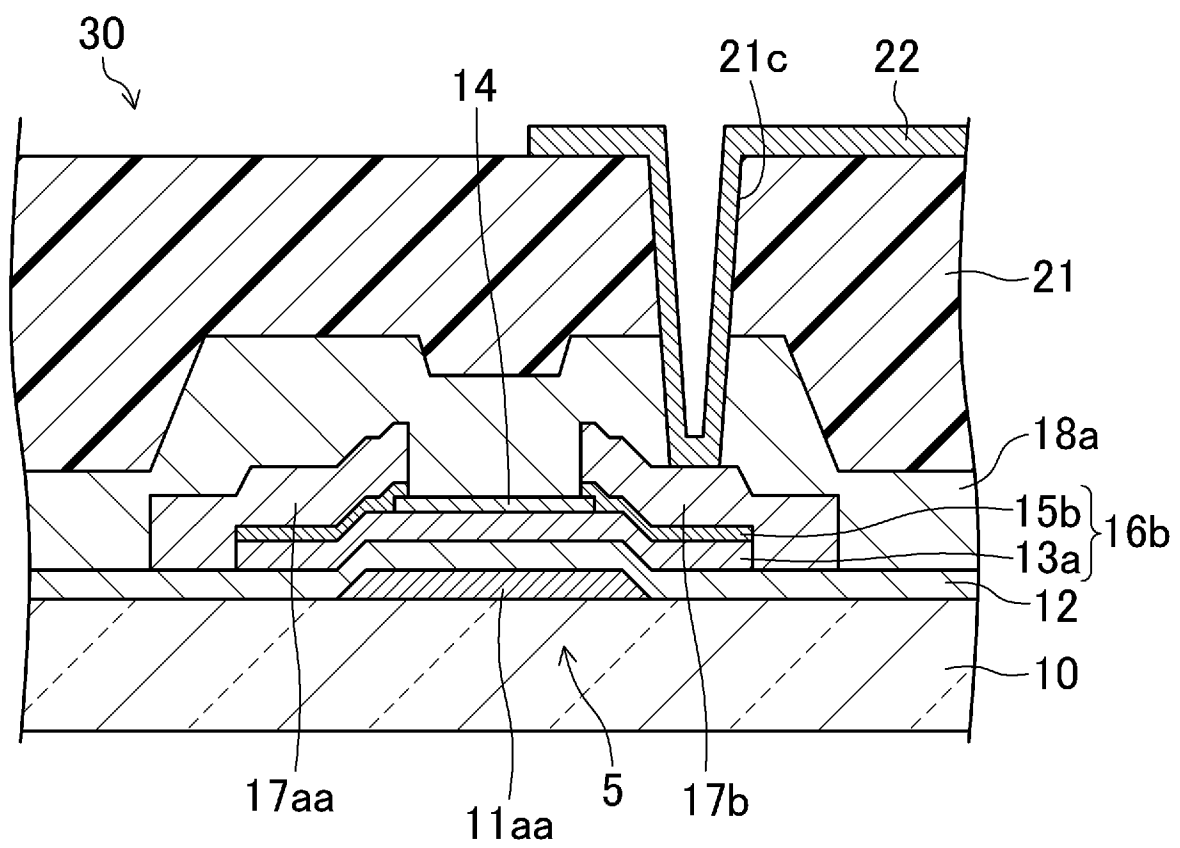
50



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003905

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/205(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/205, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-54950 A (Semiconductor Energy Laboratory Co., Ltd.), 17 March 2011 (17.03.2011), paragraphs [0015] to [0109], [0131] to [0146]; fig. 1 to 8 & US 2011/0039402 A1	1-4
Y	WO 2011/040279 A1 (Sharp Corp.), 07 April 2011 (07.04.2011), paragraphs [0021] to [0047]; fig. 1 to 2 (Family: none)	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T”

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X”

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y”

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&”

document member of the same patent family

Date of the actual completion of the international search

09 July, 2012 (09.07.12)

Date of mailing of the international search report

17 July, 2012 (17.07.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003905

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-158950 A (Semiconductor Energy Laboratory Co., Ltd.), 16 July 2009 (16.07.2009), paragraph [0108] & US 2009/0139447 A1 & KR 10-2009-0057908 A & CN 101527260 A & TW 200941556 A	2
X	JP 2009-135277 A (Tokyo Electron Ltd.), 18 June 2009 (18.06.2009), paragraphs [0049] to [0133]; fig. 1 to 14 & US 2009/0140257 A1 & CN 101447419 A & KR 10-2009-0056906 A & TW 200945419 A	5

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, H01L21/205(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, H01L21/205, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-54950 A (株式会社半導体エネルギー研究所) 2011.03.17, 段落[0015]-[0109], [0131]-[0146], 図 1-8 & US 2011/0039402 A1	1-4
Y	WO 2011/040279 A1 (シャープ株式会社) 2011.04.07, 段落[0021]-[0047], 図 1-2 (ファミリーなし)	1-4
Y	JP 2009-158950 A (株式会社半導体エネルギー研究所) 2009.07.16, 段落[0108] & US 2009/0139447 A1 & KR 10-2009-0057908 A & CN 101527260 A & TW 200941556 A	2

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.07.2012

国際調査報告の発送日

17.07.2012

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

竹口 泰裕

50

4054

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-135277 A (東京エレクトロン株式会社) 2009.06.18, 段落[0049]-[0133], 図 1-14 & US 2009/0140257 A1 & CN 101447419 A & KR 10-2009-0056906 A & TW 200945419 A	5