



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I570844 B

(45)公告日：中華民國 106 (2017) 年 02 月 11 日

(21)申請案號：104120440

(22)申請日：中華民國 95 (2006) 年 11 月 22 日

(51)Int. Cl. : H01L21/82 (2006.01)

H01L23/528 (2006.01)

(30)優先權：2005/11/30 日本

2005-345347

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：林崇弘 (JP)；豐島俊輔 (JP)；坂本和夫 (JP)；森野直純 (JP)；田中一雄 (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 200516671

JP 9-283632

JP 2002-16069A

US 5892276

US 6426665B2

US 6953997B1

審查人員：翁佑菱

申請專利範圍項數：10 項 圖式數：24 共 69 頁

(54)名稱

半導體裝置

(57)摘要

本發明係縮小半導體裝置之平面尺寸。於半導體基板 30 上形成有輸入輸出電路 11，接地佈線 7 及電源佈線 8 通過其上，於其上形成有接合墊 4 用之導體層 51。輸入輸出電路 11 由如下元件而形成：nMISFET 形成區域 21 及 pMISFET 形成區域 27 之 MISFET 元件、作為保護元件而發揮功能之電阻元件形成區域 22、26 之電阻元件、以及二極體元件形成區域 23、25 之二極體元件。與該等保護元件相連接且比接地佈線 7 及電源佈線 8 更下層之佈線 53 係於 nMISFET 形成區域 21 與 pMISFET 形成區域 27 之間且於接地佈線 7 與電源佈線 8 之間的引出區域 24 被引出而連接於導體層 51。

指定代表圖：

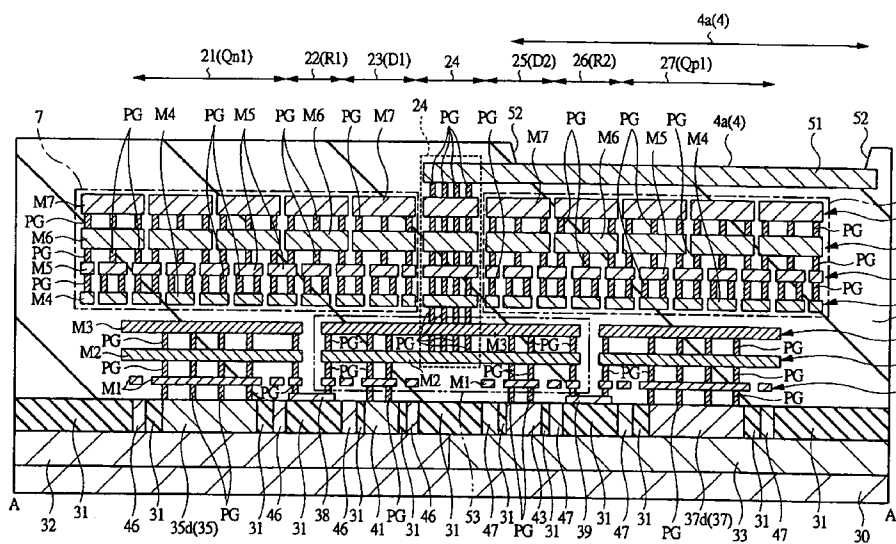


圖6

符號簡單說明：

- 4a(4) . . . 接合墊
- 7 . . . 接地佈線
- 8 . . . 電源佈線
- 21(Qn1) . . . nMISFET 形成區域
- 22(R1)、26 (R2) . . . 電阻元件形成區域
- 23(D1)、25 (D2) . . . 二極體元件形成區域
- 24 . . . 引出區域
- 27(Qp1) . . . pMISFET 形成區域
- 30 . . . 半導體基板
- 31 . . . 元件分離區域
- 32 . . . p 型井
- 33 . . . n 型井
- 35d(35)、41、47 . . . n 型半導體區域
- 37d(37)、43、46 . . . p 型半導體區域
- 38、39 . . . 電阻元件
- 50 . . . 絕緣膜
- 51 . . . 導體層
- 52 . . . 開口部
- 53、M1~M7 . . . 佈線
- PG . . . 栓塞

發明摘要

公告本

104120440

※ 申請案號(由1021056128案)

※ 申請日：95-11-22

※IPC 分類：H01L 21/82 (2006.01)

H01L 23/528 (2006.01)

【發明名稱】

半導體裝置

【中文】

本發明係縮小半導體裝置之平面尺寸。於半導體基板30上形成有輸入輸出電路11，接地佈線7及電源佈線8通過其上，於其上形成有接合墊4用之導體層51。輸入輸出電路11由如下元件而形成：nMISFET形成區域21及pMISFET形成區域27之MISFET元件、作為保護元件而發揮功能之電阻元件形成區域22、26之電阻元件、以及二極體元件形成區域23、25之二極體元件。與該等保護元件相連接且比接地佈線7及電源佈線8更下層之佈線53係於nMISFET形成區域21與pMISFET形成區域27之間且於接地佈線7與電源佈線8之間的引出區域24被引出而連接於導體層51。

【英文】

【代表圖】

【本案指定代表圖】：第（6）圖。

【本代表圖之符號簡單說明】：

4a(4)	接合墊
7	接地佈線
8	電源佈線
21(Qn1)	nMISFET形成區域
22(R1)、26(R2)	電阻元件形成區域
23(D1)、25(D2)	二極體元件形成區域
24	引出區域
27(Qp1)	pMISFET形成區域
30	半導體基板
31	元件分離區域
32	p型井
33	n型井
35d(35)、41、47	n型半導體區域
37d(37)、43、46	p型半導體區域
38、39	電阻元件
50	絕緣膜
51	導體層
52	開口部
53、M1~M7	佈線
PG	栓塞

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置

【技術領域】

本發明關於一種半導體裝置，尤其關於一種應用於具有接合墊之半導體裝置之有效的技術。

【先前技術】

例如，於包含單晶矽等之半導體晶圓上形成各種半導體積體電路後，藉由切割而使半導體晶圓分離為各個半導體晶片，藉此，製造晶片狀半導體裝置。於半導體裝置之主面上，沿半導體裝置之外周部，設置有複數個作為外部端子之接合墊。

日本專利特開平9-283632號公報(專利文獻1)中揭示有如下技術：於沿半導體晶片之外周部交錯配置有複數行接合墊，且具有3層以上佈線層之半導體積體電路裝置中，利用至少包含最上層佈線之1層或複數層佈線，構成電性連接內側之行之接合墊與內部電路的第1引出佈線，利用與第1引出佈線不同層之複數層佈線，構成電性連接外側之行之接合墊與內部電路的第2引出佈線。

又，於日本專利特開2003-163267號公報(專利文獻2)中揭示有如下技術：於包括單元(cell)部、以及以包圍單元部之方式而形成之緩衝電路部的半導體裝置中，使複數個接合墊分別形成於緩衝電路部之外周部上、以及緩衝電路部上，且於緩衝電路部之外周部上、以及緩衝電路部上交錯配置。

[專利文獻1]

日本專利特開平9-283632號公報

[專利文獻2]

日本專利特開2003-163267號公報

[發明所欲解決之問題]

根據本發明者之討論，可瞭解如下內容。

近年來，逐漸要求半導體裝置之小型化及多端子化。若以交錯排列配置接合墊，則可縮小接合墊之實效間距，因此，可對於相同尺寸之半導體裝置，形成更多接合墊，且可使半導體裝置多端子化。

又，對於各接合墊，設置輸入輸出電路，沿半導體裝置之外周部，形成電源佈線。輸入輸出電路藉由形成於構成半導體裝置之半導體基板上之各種元件等而構成，根據須要使接合墊或電源佈線連接於該輸入輸出電路。接合墊藉由最上層之金屬層而形成，因此，必須將連接於構成輸入輸出電路之元件的佈線上拉至最上層，並連接於接合墊用金屬層。將該上拉部設置於輸入電路形成區域之端部，將接合墊配置於該上拉部進而更外側時，必須使半導體裝置之平面尺寸增大與接合墊尺寸相應之量。尤其，將接合墊以交錯排列時，內周側之接合墊可配置於上述上拉部之更內側，但外周側之接合墊必須配置於上述上拉部之更外側，因此，產生如下情況：必須使半導體裝置之平面尺寸增大與外周側之接合墊尺寸相應的量。該情況不利於半導體裝置之小型化。

又，藉由相同層之金屬層形成電源佈線與接合墊時，若欲避開輸入輸出電路而配設電源佈線，則電源佈線之佈線寬度變細，電流密度降低，又，若為了保持電流密度而使電源佈線之佈線寬度變粗，則半導體裝置之平面尺寸增加。該情況不利於半導體裝置之小型化。

本發明之目的在於提供一種可縮小半導體裝置之尺寸(平面尺寸)之技術。

本發明之上述以及其他目的與新穎特徵由本說明書之記述以及

附圖當可瞭解。

【發明內容】

若簡單說明本申請案中所揭示之發明中之代表者的概要，則如下所述。

本發明係第1及第2電源佈線通過形成於半導體基板上且電性連接於接合墊之保護元件上方，於上述第1電源佈線與第2電源佈線之間之引出區域，將位於比上述第1及第2電源佈線更下層且與上述保護元件電性連接之第1佈線引出至比上述第1及第2電源佈線更上層，並與位於比上述第1及第2電源佈線更上層之接合墊用第1導體層電性連接。

又，本發明係形成於半導體基板上且電性連接於接合墊之保護元件包含MISFET元件，上述MISFET元件形成於第1及第2MISFET形成區域，於上述第1MISFET形成區域與上述第2MISFET形成區域之間的引出區域，將位於比電源佈線更下層且與上述保護元件電性連接之第1佈線引出至比電源佈線更上層，與接合墊用第1導體層電性連接。

[發明之效果]

若簡單說明藉由本申請案中所揭示之發明中之代表者而獲得的效果，則如下所述。

可縮小半導體裝置之尺寸(平面尺寸)。

【圖式簡單說明】

圖1係作為本發明之一實施形態之半導體裝置的平面圖。

圖2係作為本發明之一實施形態之半導體裝置的主要部分平面圖。

圖3係作為本發明之一實施形態之半導體裝置的主要部分平面圖。

圖4係作為本發明之一實施形態之半導體裝置的主要部分平面圖。

圖5係作為本發明之一實施形態之半導體裝置的主要部分平面圖。

圖6係作為本發明之一實施形態之半導體裝置的主要部分剖面圖。

圖7係作為本發明之一實施形態之半導體裝置之主要部分剖面圖。

圖8係作為本發明之一實施形態之半導體裝置之主要部分剖面圖。

圖9係作為本發明之一實施形態之半導體裝置之主要部分剖面圖。

圖10係表示作為本發明之一實施形態之半導體裝置之輸入輸出電路的電路圖。

圖11係本發明之其他實施形態之半導體裝置的主要部分平面圖。

圖12係本發明之其他實施形態之半導體裝置的主要部分平面圖。

圖13係本發明之其他實施形態之半導體裝置的主要部分平面圖。

圖14係作為本發明之其他實施形態之半導體裝置的主要部分剖面圖。

圖15係作為本發明之其他實施形態之半導體裝置的主要部分剖面圖。

圖16係表示作為本發明之其他實施形態之半導體裝置之輸入輸出電路的電路圖。

圖17係本發明之其他實施形態之半導體裝置的主要部分平面圖。

圖18係本發明之其他實施形態之半導體裝置的主要部分平面圖。

圖19係本發明之其他實施形態之半導體裝置的主要部分平面圖。

圖20係本發明之其他實施形態之半導體裝置的主要部分平面圖。

圖21係作為本發明之其他實施形態之半導體裝置的主要部分剖面圖。

面圖。

圖22係作為本發明之其他實施形態之半導體裝置的主要部分剖面圖。

圖23係表示作為本發明之其他實施形態之半導體裝置之輸入輸出電路的電路圖。

圖24係表示作為本發明之其他實施形態之半導體裝置之輸入輸出電路的電路圖。

【實施方式】

以下實施形態中為方便起見，有其必要時分割為複數個區或實施形態而說明，但除特別明示之情形外，該等並非相互無關者，而係一方在於另一方之一部分或全部之變形例、詳細、補充說明等關係。又，以下實施形態中，言及要素數等(包含個數、數值、量、範圍等)時，除特別明示之情形以及原理上明確限定為特定數之情形等外，並非限定於該特定數者，亦可為特定數以上或以下。再者，以下實施形態中，其構成要素(亦包含要素步驟等)，除特別明示之情形以及原理上明確認為必須之情形等外，當然亦並非必須者。同樣，以下實施形態中，言及構成要素等之形狀、位置關係等時，除特別明示之情形以及原理上明確認為不為那樣之情形等外，為包含實質上近似或類似於該形狀等者等者。上述情況關於上述數值以及範圍亦相同。

以下，根據圖式，就本發明之實施形態加以詳細說明。再者，於用以說明實施形態之全部圖中，對具有相同功能之構件附加相同符號，且省略其重複說明。

又，於實施形態所使用之圖式中，即使係剖面圖，亦有為了使圖式易於觀察而省略影線之情形。又，即使係平面圖或立體圖，亦有為了使圖式易於觀察而附加影線之情形。

(實施形態1)圖1係作為本發明之一實施形態之半導體裝置1的平

面圖(整體平面圖)。再者，圖1係平面圖，但為了使圖式易於觀察，而對電源佈線5、接地佈線6、接地佈線7及電源佈線8附加影線。

半導體裝置(半導體晶片)1藉由例如於包含單晶矽等之半導體基板(半導體晶圓)上形成各種半導體積體電路及接合墊4後，利用切割等使半導體基板分離為晶片狀各半導體裝置(半導體晶片)1等而形成。因此，半導體裝置1係半導體晶片。

於半導體裝置1之主面2之中央部，配置有核心區域(單元部、內部電路形成區域)3。於核心區域3內，形成有各種半導體積體電路(內部電路)。例如，使多數個組合有特定數之n通道型MISFET以及p通道型MISFET而構成之基本單元配置為矩陣狀來構成核心區域3，根據邏輯設計，於各基本單元內之MISFET以及基本單元間接線，藉此實現預期之邏輯功能。

於半導體裝置1之主面2上，沿外周部，配置有複數個接合墊(衰減電極、外部端子、外部連接端子)4。各接合墊4可作為用以取得與外部裝置之電性連接之、半導體裝置1之外部端子(外部連接用端子、輸入輸出端子)而發揮功能。

又，於半導體裝置1之主面2之核心區域3的外側，配置有核心區域3用電源佈線5以及接地佈線(接地佈線)6，於更外側，配置有輸入輸出(I/O, input/output)用接地佈線(接地佈線)7以及電源佈線8。電源佈線5、接地佈線6、接地佈線7及電源佈線8沿任一半導體裝置1之主面2之外周部(亦即於下述Y方向)而延伸，但於半導體裝置1之主面2中，配置於核心區域3之更外側(半導體裝置1之主面2之外周側，亦即端部2a側)，核心區域3用電源佈線5及接地佈線6配置於輸入輸出用接地佈線7及電源佈線8之更內側(半導體裝置1之主面2之內部側)。例如，自內側依序配置電源佈線5、接地佈線6、接地佈線7及電源佈線8。

核心區域3用電源佈線5係將電源電位(固定電位、參考電位)供給

至核心區域3之電路或元件等的佈線，核心區域3用接地佈線6係將接地電位(ground potential)供給至核心區域3之電路或元件等的佈線。又，接地佈線7係將接地電位供給至下述輸入輸出電路11之佈線，電源佈線8係將電源電位(固定電位、參考電位)供給至輸入輸出電路11之佈線。使半導體裝置1接通電源時，電源佈線5、接地佈線6、接地佈線7及電源佈線8中，分別為施加有固定電壓之狀態。例如，使半導體裝置1接通電源時，接地佈線6以及接地佈線7中為供給有接地電位之狀態，電源佈線5與電源佈線8中，為供給有彼此不同之電源電位(固定電位、參考電位)之狀態。

又，更好的是，接地佈線6、7中供給接地電位(ground potential)，但亦可不供給接地電位(ground potential)而是供給電源電位(固定電位、參考電位)。此時，至少，接地佈線6中，供給與電源佈線5不同之電源電位，接地佈線7中，供給與電源佈線8不同之電源電位。因此，不僅電源佈線5、8，接地佈線6、7亦可視為電源佈線。例如，亦可將接地佈線7與電源佈線8之其中一個視為第1電源佈線(第1電位之電源佈線)，將另一個視為第2電源佈線(與第1電位不同之第2電位之電源佈線)。又，亦可將電源佈線5與接地佈線6之其中一個視為第3電源佈線(第3電位之電源佈線)，將另一個視為第4電源佈線(與第3電位不同之第4電位之電源佈線)。

設置於半導體裝置1之主面之複數個接合墊4沿半導體裝置1的各邊配置為2行，於各行間，接合墊4之位置偏移一半間距，以所謂交錯排列而配置。例如，複數個接合墊4沿半導體裝置1之各邊配置為2行，於各行間，接合墊4之位置偏移一半間距，接近於半導體裝置1之端部2a側之第1接合墊4a、與比第1接合墊4a更靠近半導體裝置1之內部的第2接合墊4b交互地配置。若以交錯排列而配置接合墊4，則可使接合墊4之實效間距縮小，因此對於相同尺寸之半導體裝置，可形成更多的接

合墊，且可使半導體裝置多端子化。

圖2~圖5係本實施形態之半導體裝置1之主要部分平面圖，表示半導體裝置1之周邊部附近。圖6~圖9係本實施形態之半導體裝置1之主要部分剖面圖。圖10係表示本實施形態之半導體裝置1之輸入輸出電路11的電路圖(等效電路圖)。圖2~圖5表示任一相同區域，但圖2中，表示輸入輸出電路11以及電路15之平面布局，圖3與圖2中加上了電源佈線5、接地佈線6、接地佈線7及電源佈線8之圖相對應，圖4與圖2中加上了電源佈線5、接地佈線6、導體層51以及接合墊4之圖相對應，圖5表示輸入輸出電路11、電源佈線5、接地佈線6、接地佈線7、電源佈線8、導體層51以及接合墊4之平面布局。又，圖2之A-A線之剖面大致與圖6相對應，圖2之B-B線之剖面大致與圖7相對應，圖2之C-C線之剖面大致與圖8相對應，圖2之D-D線之剖面大致與圖9相對應。

於半導體裝置1之主面2中，沿外周部，配置有複數個輸入輸出電路(輸入輸出電路部、輸入輸出緩衝電路、緩衝電路、I/O電路、I/O緩衝電路)11，於各輸入輸出電路11附近配置有與該輸入輸出電路11相對應之接合墊4，各接合墊4分別電性連接於各輸入輸出電路11。複數個接合墊4以及複數個輸入輸出電路11以包圍上述核心區域3之方式配置於上述核心區域3之周圍。

如根據圖10之電路圖可瞭解般，輸入輸出電路11包括：輸出用(輸出控制用、輸入輸出控制用) n 通道型 MISFET Q_{n1} (以下，稱為 n MISFET Q_{n1})，輸出用(輸出控制用、輸入輸出控制用) p 通道型 MISFET Q_{p1} (以下，稱為 p MISFET Q_{p1})，保護用電阻元件 $R1$ 、 $R2$ ，以及保護用二極體元件 $D1$ 、 $D2$ 。又，接合墊4經由輸入輸出電路11，電性連接於輸入輸出用接地佈線7及電源佈線8。

接合墊4電性連接於輸入輸出電路11，經由輸入輸出電路11，電性連接於接地佈線7及電源佈線8。具體而言，接合墊4經由電阻元件

R1，電性連接於nMISFETQn1之源極或汲極之其中一個(於此為汲極)，又，經由電阻元件R2，電性連接於pMISFETQp1之源極或汲極之其中一個(於此為汲極)。nMISFETQn1之源極或汲極之另一個(於此為源極)電性連接於輸入輸出用接地佈線7，pMISFETQp1之源極或汲極之另一個(於此為源極)電性連接於輸入輸出用電源佈線8。nMISFETQn1及pMISFETQp1之閘極電極電性連接於電路15或核心區域3之電路或元件等。進而，接合墊4經由二極體元件D1，電性連接於接地佈線7，又，經由二極體元件D2，電性連接於電源佈線8。

構成輸入輸出電路11之元件中，二極體元件D1、D2與電阻元件R1、R2可作為保護用元件(保護元件)而發揮功能。例如，於可將突波(ESD(electrostatic discharge，靜電放電)突波)等輸入接合墊4時，藉由電阻元件R1、R2，防止突波輸入nMISFETQn1及pMISFETQp1，並經由二極體元件D1或二極體元件D2，使突波釋放至接地佈線7或電源佈線8。亦即，可藉由二極體元件D1、D2以及電阻元件R1、R2，防止突波(ESD突波)輸入nMISFETQn1及pMISFETQp1，從而保護nMISFETQn1以及pMISFETQp1等。如此，保護元件(二極體元件D1、D2以及電阻元件R1、R2)電性連接於接合墊4，該等保護元件形成於下述半導體基板30上。

又，構成輸入輸出電路11之元件中，nMISFETQn1及pMISFETQp1可作為輸出控制用(輸入輸出控制用)元件而發揮功能。例如，可藉由nMISFETQn1之接通狀態與斷開狀態及/或pMISFETQp1之接通狀態與斷開狀態，控制來自接合墊4之輸出(輸入輸出)。

又，圖10之nMISFETQn1及pMISFETQp1之連接關係適用於如下情形則較佳，即，輸入輸出電路11為輸出電路，且接合墊4為信號輸出用接合墊。輸入輸出電路11為輸入電路，且接合墊4為信號輸入用接合墊之情形，亦可根據圖10變更nMISFETQn1及pMISFETQp1之連接關係。

例如，接合墊4亦可經由電阻元件R1，電性連接於nMISFETQn1之閘極電極，又，經由電阻元件R2，電性連接於pMISFETQp1之閘極電極。此時，可為，nMISFETQn1之源極或汲極之其中一個電性連接於接地佈線7，pMISFETQp1之源極或汲極之其中一個電性連接於電源佈線8，nMISFETQn1之源極或汲極之另一個與pMISFETQp1之源極或汲極之另一個，電性連接於電路15或核心區域3的電路或元件等。如此，即使係變更了nMISFETQn1及pMISFETQp1之連接關係之情形，亦可適用本實施形態。因此，本實施形態適用於如下情形則較佳，即，接合墊4為信號輸入或輸出或者輸入輸出用接合墊。

如圖2~圖9所示，於半導體裝置1之主面2之周邊部，於自內側(半導體裝置1之主面2之內側)朝向外周側(半導體裝置1之主面2之端部2a側)之方向，亦即圖2~圖6之X方向，依序配置nMISFET形成區域21、電阻元件形成區域22、二極體元件形成區域23、引出區域24、二極體元件形成區域25、電阻元件形成區域26、以及pMISFET形成區域27。圖2~圖6之Y方向係沿半導體裝置1之主面2之四邊(端部2a)的(平行的)方向，X方向係向Y方向直行(交叉)之方向，沿該X方向(平行)，依序配置有nMISFET形成區域21、電阻元件形成區域22、二極體元件形成區域23、引出區域24、二極體元件形成區域25、電阻元件形成區域26以及pMISFET形成區域27。又，接地佈線7及電源佈線8之延伸方向為Y方向，因此，於與接地佈線7及電源佈線8之延伸方向(Y方向)交叉(較好的是正交)之方向(X方向)上，成為依序配置有nMISFET形成區域21、電阻元件形成區域22、二極體元件形成區域23、引出區域24、二極體元件形成區域25、電阻元件形成區域26以及pMISFET形成區域27之狀態。

其中，nMISFET形成區域21係形成有與上述nMISFETQn1相對應之MISFET(Metal Insulator Semiconductor Field Effect Transistor)之區

域，電阻元件形成區域22係形成有與上述電阻元件R1相對應之電阻元件之區域，二極體元件形成區域23係形成有與上述二極體元件D1相對應之二極體元件之區域。又，二極體元件形成區域25係形成有與上述二極體元件D2相對應之二極體元件之區域，電阻元件形成區域26係形成有與上述電阻元件R2相對應之電阻元件之區域，pMISFET形成區域27係形成與上述pMISFETQp1相對應之MISFET之區域。因此，藉由nMISFET形成區域21(nMISFETQn1)、電阻元件形成區域22(電阻元件R1)、二極體元件形成區域23(二極體元件D1)、二極體元件形成區域25(二極體元件D2)、電阻元件形成區域26(電阻元件R2)以及pMISFET形成區域27(pMISFETQp1)，形成輸入輸出電路11，該輸入輸出電路11設置於各個接合墊4。

又，電路15係形成有例如位準偏移器或輸入輸出(IO)控制邏輯部等之電路區域，設置為比輸入輸出電路11更靠近半導體裝置1之主面2之內部。電源佈線5及接地佈線6通過電路15上方。

參照圖2~圖9，就半導體裝置1之周邊部之構造加以更詳細的說明。

於包含例如p型單晶矽等之半導體基板(半導體晶圓)30之主面，配置有nMISFET形成區域21、電阻元件形成區域22、二極體元件形成區域23、二極體元件形成區域25、電阻元件形成區域26以及pMISFET形成區域27，該等各區域間藉由形成於半導體基板30之主面之元件分離區域31而彼此電性地分離。元件分離區域31包含氧化矽等絕緣體(場絕緣膜或嵌入絕緣膜)，可藉由例如，STI(Shallow Trench Isolation，淺槽隔離)法或LOCOS(Local Oxidization of Silicon，矽局部氧化)法等而形成。

又，於半導體基板30之主面上，形成有p型井(p型半導體區域)32與n型井(n型半導體區域)33。p型井32形成於平面地包含nMISFET形成

區域21、電阻元件形成區域22、以及二極體元件形成區域23之區域，n型井33形成於平面地包含二極體元件形成區域25、電阻元件形成區域26以及pMISFET形成區域27之區域。

於nMISFET形成區域21內，於p型井32上，經由閘極絕緣膜(未圖示)，以於X方向延伸之方式形成有複數個閘極電極34。於該等閘極電極34兩側之區域內，形成有作為源極·汲極之n型半導體區域(n型擴散層)35。再者，n型半導體區域35中，作為源極或汲極之其中一個(於此為汲極區域)而發揮功能者係n型半導體區域35d，作為源極或汲極之另一個(於此為源極區域)而發揮功能者係n型半導體區域35s。複數個閘極電極34包含例如低電阻之多晶矽(摻雜多晶矽)膜，藉由未圖示之佈線等而彼此電性連接。藉由閘極電極34、閘極電極34下方之閘極絕緣膜(未圖示)以及作為源極·汲極之n型半導體區域35(35d、35s)，形成有構成nMISFETQn1之n通道型MISFET。

pMISFET形成區域27之構成與nMISFET形成區域21之構成大致相同，但導電型相反。亦即，於pMISFET形成區域27中，於n型井33上，經由閘極絕緣膜(未圖示)，以於X方向延伸之方式形成有複數個閘極電極36，於該等閘極電極36兩側之區域，形成有作為源極·汲極之p型半導體區域(p型擴散層)37。再者，p型半導體區域37中，作為源極或汲極之其中一個(於此為汲極區域)而發揮功能者係p型半導體區域37d，作為源極或汲極之另一個(於此為源極區域)而發揮功能者係p型半導體區域37s。複數個閘極電極36包含例如低電阻之多晶矽(摻雜多晶矽)膜，藉由未圖示之佈線等而彼此電性連接。藉由閘極電極36、閘極電極36下方之閘極絕緣膜(未圖示)以及作為源極·汲極之p型半導體區域37(37d、37s)，形成有構成pMISFETQp1之p通道型MISFET。

於電阻元件形成區域22中，整體地形成有元件分離區域31，於該元件分離區域31上，形成有包含導入了例如雜質之多晶矽(摻雜多晶

矽)膜之複數個電阻元件38(構成電阻元件R1之電阻元件38)。

又，電阻元件形成區域26之構成與電阻元件形成區域22大致相同。亦即，於電阻元件形成區域26，整體地形成有元件分離區域31，於該元件分離區域31上，形成有包含導入了例如雜質之多晶矽(摻雜多晶矽)膜之複數個電阻元件39(構成電阻元件R2之電阻元件39)。

電阻元件38、39可藉由於例如半導體基板30上形成導入了雜質之多晶矽膜，使用微影法以及乾蝕刻法使該多晶矽膜圖案化而形成。電阻元件38、39之電阻值，藉由調整導入於構成電阻元件38、39之多晶矽膜中之雜質的濃度，構成電阻元件38、39之多晶矽膜之尺寸，或者連接於電阻元件38、39之接觸部(栓塞PG)間之距離等，而控制為預期之值。

於二極體元件形成區域23中，於p型井32上，以平面地鄰接之方式形成有n型半導體區域(n型擴散層)41與p型半導體區域(p型擴散層)42。例如，於X方向延伸之n型半導體區域41與p型半導體區域42，於Y方向上交互地配置。藉由n型半導體區域41與p型半導體區域42之間之PN接合，形成有二極體元件(構成二極體元件D1之二極體元件)。再者，亦可藉由p型井32之一部分構成p型半導體區域42。

又，二極體元件形成區域25之構成與二極體元件形成區域23之構成大致相同，但導電型相反。亦即，於二極體元件形成區域25中，於n型井33上，以平面地鄰接之方式形成有p型半導體區域(p型擴散層)43與n型半導體區域(n型擴散層)44，藉由p型半導體區域43與n型半導體區域44之間之PN接合，形成有二極體元件(構成二極體元件D2之二極體元件)。例如，於X方向延伸之p型半導體區域43與n型半導體區域44，於Y方向上交互地配置。再者，亦可藉由n型井33之一部分構成n型半導體區域44。

又，於半導體基板30之主面，於nMISFET形成區域21與二極體元

件形成區域23之周圍，形成有作為保護環之p型半導體區域(p型擴散層)46。又，於半導體基板30之主面，於二極體元件形成區域25與pMISFET形成區域27之周圍，形成有作為保護環之n型半導體區域(n型擴散層)47。亦可藉由p型井32之一部分構成p型半導體區域46，又，亦可藉由n型井33之一部分構成n型半導體區域47。

再者，圖6及圖8表示通過nMISFET形成區域21之n型半導體區域35d(汲極區域)、電阻元件形成區域22之電阻元件38、二極體元件形成區域23之n型半導體區域41、二極體元件形成區域25之p型半導體區域43、電阻元件形成區域26之電阻元件39、以及pMISFET形成區域27之p型半導體區域37d(汲極區域)之(X方向之)剖面。又，圖7及圖9表示通過nMISFET形成區域21之n型半導體區域35s(源極區域)、電阻元件形成區域22之未形成有電阻元件38之區域、二極體元件形成區域23之p型半導體區域42、二極體元件形成區域25之n型半導體區域44、電阻元件形成區域26之未形成有電阻元件39之區域、以及pMISFET形成區域27之p型半導體區域37s(源極區域)之(X方向之)剖面。

於半導體基板30上，形成有複數個層間絕緣膜與複數個佈線層，半導體裝置1於半導體基板30上具有多層佈線構造。圖6~圖9之剖面圖中，為了使圖式易於觀察，而將複數個層間絕緣膜與最上層保護膜(表面保護膜、絕緣膜)整體顯示為絕緣膜50。

如圖6~圖9所示，於半導體基板30之主面上，自下方依序形成有第1層佈線M1、第2層佈線M2、第3層佈線M3、第4層佈線M4、第5層佈線M5、第6層佈線M6及第7層佈線M7。其中，第1層佈線M1藉由例如經圖案化之鎢膜等而形成，第2層佈線M2、第3層佈線M3、第4層佈線M4、第5層佈線M5、第6層佈線M6及第7層佈線M7藉由利用例如鑲嵌法(單層鑲嵌或雙層鑲嵌法)而形成之嵌入銅佈線而形成。作為其他形態，亦可使用包含經過圖案化之鋁合金膜等之鋁佈線作為佈線

M2~M7。

於半導體基板30與第1層佈線M1之間、以及各佈線M1~M7之間，形成有包含氧化矽膜或低介電常數絕緣膜(所謂Low-k膜)等之層間絕緣膜(絕緣膜50)。又，各佈線M1~M7之間，根據須要，經由形成於層間絕緣膜上之導電性栓塞PG而電性連接。藉由雙層鑲嵌法形成佈線(M2~M7)時，栓塞PG與佈線(M2~M7)一體地形成。又，第1層佈線M1，根據須要，經由形成於層間絕緣膜上之導電性栓塞PG，與形成於半導體基板30主面上之元件(半導體元件或被動元件)電性連接。

於第7層佈線M7之更上層，形成有接合墊4用導體層(導體膜，金屬層)51，作為最上層金屬層(佈線層、第8層佈線)，藉由該導體層51形成有接合墊4。導體層51藉由例如經圖案化之鋁合金膜(金屬層)等而形成。於導體層51與第7層佈線之間，形成有層間絕緣膜(未圖示)，於導體層51上，形成有包含絕緣體之保護膜(絕緣膜50)，該保護膜為半導體裝置1之最上層膜(表面膜)。藉由導體層51中之自形成於保護膜上之開口部52露出之部分，而形成有接合墊4。因此，一體形成有接合墊4與導體層51，導體層51之一部分為接合墊4。亦即，藉由導體層51之一部分而形成接合墊4。

接地佈線7與電源佈線8藉由第4層佈線M4，第5層佈線M5，第6層佈線M6，第7層佈線M7，以及連接該等佈線M4、M5、M6、M7間之栓塞PG而形成。接地佈線7及電源佈線8沿半導體裝置1之外周部(四邊)延伸，因此，沿Y方向延伸。

鑲嵌法係以填埋形成於層間絕緣膜之佈線開口部內之方式使導體膜形成於層間絕緣膜上，再利用CMP(Chemical Mechanical Polishing，化學機械研磨)法等去除佈線開口部外部之導體膜，並使導體膜埋於佈線開口部內而形成嵌入佈線之方法，但如果佈線開口部之寬度過大，則可能於CMP時產生凹陷等。因此，圖6~圖9中，將形成接

地佈線7之佈線中之同層佈線分割為複數個而形成，並將該等佈線合起來，構成接地佈線7，同樣，將形成電源佈線8之佈線中的同層佈線分割為複數個，並將該等佈線合起來，構成電源佈線8。藉此，可防止利用鑲嵌法進行CMP時之凹陷等。再者，圖3及圖5中，為使圖式易於觀察，而將接地佈線7及電源佈線8分別圖示為一體圖案。不使用鑲嵌法而藉由鋁佈線等形成接地佈線7及電源佈線8時，可將形成接地佈線7之佈線中之同層佈線一體形成，同樣，亦可將形成電源佈線8之佈線之同層佈線一體形成。

又，接地佈線7及電源佈線8以通過輸入輸出電路11形成區域上方之方式而延伸於Y方向。亦即，以通過形成輸入輸出電路11之nMISFET形成區域21、電阻元件形成區域22、二極體元件形成區域23、二極體元件形成區域25、電阻元件形成區域26以及pMISFET形成區域27上方之方式，沿半導體裝置1外周部延伸於Y方向上。本實施形態中，半導體裝置1之主面2中，接地佈線7及電源佈線8均沿半導體裝置1之主面2之外周部延伸，而於接地佈線7外側(半導體裝置1之主面2外周側)配置有電源佈線8。因此，接地佈線7通過nMISFET形成區域21、電阻元件形成區域22以及二極體元件形成區域23上方，而電源佈線8通過二極體元件形成區域25、電阻元件形成區域26以及pMISFET形成區域27上方。作為其他形態，亦可改換接地佈線7與電源佈線8之位置(使內側為電源佈線8，而外側為接地佈線7)，但此時，更好的是，亦使nMISFET形成區域21、電阻元件形成區域22、二極體元件形成區域23、引出區域24、二極體元件形成區域25、電阻元件形成區域26以及pMISFET形成區域27之排列順序相反。

接合墊4及接合墊4形成用導體層51位於接地佈線7及電源佈線8之更上層。又，導體層51可視為位於接地佈線7及電源佈線8之更上層、且電性連接於接合墊4之導體層。

接合墊4，接地佈線7，電源佈線8，nMISFET形成區域21之MISFET，電阻元件形成區域22、26之電阻元件38(R1)、39(R2)，二極體元件形成區域23、25之二極體元件(D1、D2)，以及pMISFET形成區域27之MISFET，如圖2~圖9所示，根據須要，經由栓塞PG、佈線M1~M7以及導體層51而電性連接，形成如圖10所示之電路構成之輸入輸出電路11。

接地佈線7及電源佈線8沿半導體裝置1之外周部，分別於Y方向延伸，但本實施形態中，於接地佈線7與電源佈線8之間，設置有佈線53之引出區域(佈線引出區域、佈線上拉區域、佈線取出區域、接合墊取出部)24。引出區域24係如下區域(部分)：與形成於半導體基板30上之元件(於此為作為構成輸入輸出電路11之保護元件之電阻元件R1、R2以及二極體元件D1、D2)電性連接，且將位於接地佈線7及電源佈線8之更下層之佈線53(第1佈線)引出(取出、上拉)至接地佈線7及電源佈線8之更上層，並連接於接合墊4用導體層51。

亦即，佈線53經由栓塞PG等，與形成於半導體基板30上之構成輸入輸出電路11之保護元件(於此為電阻元件形成區域22、26之電阻元件38、39(R1、R2)以及二極體元件形成區域23、25之二極體元件(D1、D2))電性連接。該佈線53係接合墊4、導體層51、接地佈線7及電源佈線8之更下層之佈線，藉由例如第1層佈線M1、第2層佈線M2、以及第3層佈線M3、以及連接該等佈線M1、M2、M3間之栓塞PG而形成。

佈線53位於接地佈線7及電源佈線8之更下層，但利用栓塞PG連接了佈線53之半導體基板30上之保護元件(電阻元件R1、R2以及二極體元件D1、D2)必須電性連接於接合墊4，因此，必須將佈線53引出(上拉、取出)至接地佈線7及電源佈線8之更上層，並電性連接於接合墊4用導體層51。因此，本實施形態中，於接地佈線7與電源佈線8之間之引出區域24，將佈線53引出至接地佈線7及電源佈線8之更上層，並電性連

接於導體層51。因此，引出區域24係電性連接導體層51與佈線53之間之部分(導體部)，包含例如第2層佈線M2、第3層佈線M3、第4層佈線M4、第5層佈線M5、第6層佈線M6、第7層佈線M7及導體層51、以及電性連接該等之間之栓塞PG。

又，亦可視為，於包含nMISFET形成區域21、電阻元件形成區域22以及二極體元件形成區域23之群組，與包含pMISFET形成區域27、電阻元件形成區域26以及二極體元件形成區域25之群組之間，配置有引出區域24，於該引出區域24，將佈線53引出至接地佈線7及電源佈線8之更上層，並電性連接於導體層51。又，亦可視為，於輸入輸出電路11之nMISFET形成區域21與pMISFET形成區域27之間，配置有引出區域24。

如上所述，經由引出區域24而電性連接於接合墊4用導體層51之佈線53，亦如圖6及圖8所示般，經由栓塞PG等而電性連接於電阻元件形成區域22之電阻元件38之一端、二極體元件形成區域23之n型半導體區域41、二極體元件形成區域25之p型半導體區域43、以及電阻元件形成區域26之電阻元件39之一端。電阻元件形成區域22之電阻元件38之另一端經由第1層佈線M1、第2層佈線M2、第3層佈線M3以及栓塞PG，電性連接於nMISFET形成區域21之n型半導體區域35d(汲極區域)。電阻元件形成區域26之電阻元件39之另一端經由第1層佈線M1、第2層佈線M2、第3層佈線M3以及栓塞PG，電性連接於pMISFET形成區域27之p型半導體區域37d(汲極區域)。nMISFET形成區域21之n型半導體區域35s(源極區域)，亦如圖7及圖9所示般，經由佈線55電性連接於接地佈線7。pMISFET形成區域27之p型半導體區域37s(源極區域)經由佈線56，電性連接於電源佈線8。佈線55與佈線56係接地佈線7及電源佈線8之更下層之佈線，包含第1層佈線M1、第2層佈線M2、第3層佈線M3以及栓塞PG，但佈線53、佈線55、以及佈線56即使位於同層，亦係彼

此不同之佈線。如此，實現了如圖10般之電路構成。

又，本實施形態中，以交錯排列配置有複數個接合墊4。亦即，複數個接合墊4沿半導體裝置1之各邊配置為2行，於各行間，接合墊4之位置偏移一半間距，接近於半導體裝置1之端部側之第1接合墊4a、與比第1接合墊4a更靠近半導體裝置1之內部之第2接合墊4b交互地配置。因此，如圖4及圖6所示，於引出區域24引出佈線53，並將其連接於導體層51，使該導體層51沿X方向，於朝向半導體裝置1之端部2a側之方向延伸，使該導體層51自保護膜之開口部52露出，形成接近於半導體裝置1之端部側之第1接合墊4a。又，如圖4及圖8所示，於引出區域24引出佈線53，並將其連接於導體層51，使該導體層51沿X方向，於與朝向半導體裝置1之端部2a側之方向相反的方向(亦即朝向半導體裝置1之主面2之內側的方向)延伸，使該導體層51自保護膜之開口部52露出，形成比第1接合墊4a更靠近半導體裝置1之內部之第2接合墊4b。

又，於第1接合墊4a之下方配置電源佈線8，於更下方配置二極體元件形成區域25、電阻元件形成區域26、以及pMISFET形成區域27。又，於第2接合墊4b之下方配置接地佈線7，於更下方配置nMISFET形成區域21、電阻元件形成區域22、以及二極體元件形成區域23。因此，接地佈線7及電源佈線8通過構成輸入輸出電路11之保護元件(電阻元件形成區域22、26之電阻元件38、39(R1、R2)以及二極體元件形成區域23、25之二極體元件(D1、D2))之上方(upside)，又，接合墊4配置(存在)於構成輸入輸出電路11之保護元件(電阻元件形成區域22、26之電阻元件38、39(R1、R2)以及二極體元件形成區域23、25之二極體元件(D1、D2))之上方(upside)。

與本實施形態不同，不使引出區域24設置於接地佈線7與電源佈線8之間，而設置於電源佈線8之更外側(半導體裝置1之端部2a側)，因此，將佈線53引出至接地佈線7及電源佈線8之更上層並連接於導體層

51時(以下，稱為第1比較例)，接合墊配置於該引出區域24之進而更外側，因此必須使半導體裝置之平面尺寸增大與接合墊尺寸相應之量。尤其，接合墊為交錯排列時，內周側之接合墊可配置於引出區域24之更內側，但外周側之接合墊則必須配置於引出區域24之更外側，因此，第1比較例中，必須使半導體裝置之平面尺寸增大與外周側之接合墊尺寸相應的量。因此，不利於半導體裝置之小型化。

對此，本實施形態中，於接地佈線7與電源佈線8之間，設置引出區域24，於該引出區域24，將佈線53引出至接地佈線7及電源佈線8之更上層並(電性地)連接於導體層51。因此，即使將接合墊4配置於引出區域24之更外側(半導體裝置1之端部2a側)，但因引出區域24位於電源佈線8之更內側，故可使接合墊4配置於內側。亦即，可使接合墊4配置於包含nMISFET形成區域21、電阻元件形成區域22、二極體元件形成區域23、二極體元件形成區域25、電阻元件形成區域26、以及pMISFET形成區域27的輸入輸出電路11形成區域(IO單元)上方。換言之，可成為接合墊4配置於保護元件(電阻元件形成區域22、26之電阻元件38、39(R1、R2)以及二極體元件形成區域23、25之二極體元件(D1、D2))上方之狀態。因此，可使半導體裝置1之平面尺寸縮小，從而實現半導體裝置1之小型化。

尤其，較好的是，接合墊4為交錯排列時，將內周側之第2接合墊4b配置於引出區域24之更內側(半導體裝置1之主面2之內部側)，將外周側之第1接合墊4a配置於引出區域24之更外側(半導體裝置1之主面2之端部2a側)。本實施形態中，將引出區域24設置於接地佈線7與電源佈線8之間，因此，不僅內周側之第2接合墊4b，外周側之第1接合墊4a亦可配置於輸入輸出電路11形成區域(I/O單元)上方。因此，即使對接合墊4採用交錯排列，亦無須使半導體裝置之平面尺寸增大與接合墊4之尺寸相應之量。因此，不會使半導體裝置1之平面尺寸增大，即可實

現接合墊4之交錯排列，且可同時實現半導體裝置1之小型化與多端子化(接合墊4之個數之增加或接合墊4之狹間距化)。又，可使外周側之第1接合墊4a與內周側之第2接合墊4b與引出區域24之距離(導體層51之延伸長度、佈線長度)相同，因此，可使第1接合墊4a與第2接合墊4b之特性均一，且可使具有交錯排列之接合墊4之半導體裝置的特性進一步提高。

又，藉由使電源佈線5與接地佈線6最上層之一圈佈線保留，而不會使核心區域3之性能受到損害。

又，輸入輸出電路11中使用2個MISFET元件(亦即nMISFETQn1及pMISFETQp1)，但分別於不同之2個區域(nMISFET形成區域21及pMISFET形成區域27)形成該等nMISFETQn1及pMISFETQp1，且於nMISFET形成區域21與pMISFET形成區域27之間設置引出區域24。因此，可於輸入輸出電路11形成區域之中央部附近配置引出區域24，且可將接合墊4配置於輸入輸出電路11形成區域之中央部附近之位置。亦即，即使將接合墊4配置於引出區域24之更外側(半導體裝置1之端部側)，但因引出區域24位於pMISFET形成區域27之更內側(半導體裝置1之主面2之內部側)，故可使接合墊4配置於內側。因此，可使半導體裝置1之平面尺寸縮小，從而實現半導體裝置之小型化。

又，本實施形態中，將接地佈線7及電源佈線8配置於保護元件(電阻元件形成區域22、26之電阻元件38、39(R1、R2)以及二極體元件形成區域23、25之二極體元件(D1、D2))、與nMISFET形成區域21及pMISFET形成區域27之上方，亦即輸入輸出電路11形成區域(I/O單元)之上方，將接合墊4(導體層51)配置於更上方。藉由將接合墊4配置於保護元件(電阻元件形成區域22、26之電阻元件38、39(R1、R2)以及二極體元件形成區域23、25之二極體元件(D1、D2))、與nMISFET形成區域21及pMISFET形成區域27之上方，亦即輸入輸出電路11形成區域

(I/O單元)之上方，不會因接合墊4而使晶片尺寸增大，可使半導體裝置1之平面尺寸縮小。

又，與本實施形態不同，藉由與接合墊4為同一層之金屬層而形成接地佈線7及電源佈線8時，若欲避開輸入輸出電路11而配設接地佈線以及電源佈線，則電源佈線之佈線寬度變細，電流密度降低，又，若為了保持電流密度而使電源佈線之佈線寬度變寬，則會使半導體裝置之平面尺寸增大。

對此，本實施形態中，於接合墊4之下方，於保護元件、與nMISFET形成區域21及pMISFET形成區域27之上方(亦即輸入輸出電路11形成區域(I/O單元)之上方)，配置接地佈線7及電源佈線8，因此，可使接地佈線7及電源佈線8之佈線寬度變大，從而可使輸入接合墊4之ESD突波準確地釋放至接地佈線7或電源佈線8。又，於接地佈線7與電源佈線8之間設置引出區域24，因此，可容易地實現佈線寬度較寬之接地佈線7及電源佈線8。

(實施形態2)圖11係本實施形態之半導體裝置之主要部分平面圖，係與上述實施形態1之圖4相對應者。與上述實施形態1之圖4相同，圖11表示半導體裝置之周邊部附近，表示輸入輸出電路11、電路15、電源佈線5、接地佈線6、以及接合墊4之平面布局，接地佈線7及電源佈線8等省略圖示。

上述實施形態1中，接合墊4以交錯排列而配置，但本實施形態中，並非以交錯排列而配置，而係沿半導體裝置之主面之外周部，將複數個接合墊4直線狀的配置為一行。亦即，使所有接合墊4成為與上述實施形態1之第1接合墊4a相同之構成者與本實施形態相對應。作為其他形態，可使所有接合墊4成為與上述實施形態1之第2接合墊4b相同之構成。本實施形態之半導體裝置之其他構成與上述實施形態1的半導體裝置1大致相同，因此，於此省略其說明。

關於除了與上述實施形態1中之接合墊4之交錯排列相關聯之效果以外的效果，本實施形態中亦可同樣獲得。例如，於接地佈線7與電源佈線8之間之引出區域24，將佈線53引出至接地佈線7及電源佈線8之更上層，連接於導體層51，藉此，可使接合墊4配置於輸入輸出電路11形成區域(I/O單元)上方，因此，可使半導體裝置1之平面尺寸縮小，從而使半導體裝置1小型化。

(實施形態3)圖12及圖13係本實施形態之半導體裝置之主要部分平面圖，係分別與上述實施形態1之圖2及圖5相對應者。圖12與圖13表示相同區域，但與上述實施形態1之圖2相同，圖12中，表示半導體裝置之周邊部附近，表示輸入輸出電路11a以及電路15之平面布局，圖13表示輸入輸出電路11a、電源佈線5、接地佈線6、接地佈線7、電源佈線8、導體層51以及接合墊4c之平面布局。圖14及圖15係本實施形態之半導體裝置之主要部分剖面圖，圖12之E-E線之剖面大致與圖14相對應，圖12之F-F線之剖面大致與圖15相對應。圖16係表示輸入輸出電路11a之電路圖(等效電路圖)。

圖12~圖16表示接合墊4c以及輸入輸出電路11a，但接合墊4c如上述圖1般，係沿半導體裝置之主面之外周部而設置的複數個接合墊4中的、用於將電源電壓(電源電位)供給至電源佈線8的接合墊。輸入輸出電路11a係構成I/O電源供給單元之電路，為如圖16般之電路構成。亦即，如根據圖16之電路圖亦可瞭解般，輸入輸出電路11a具有保護用n通道型MISFET Q_{n3} 、 Q_{n4} (以下，稱為nMISFET Q_{n3} 、 Q_{n4})，以及保護用二極體元件D3、D4，接合墊4c直接電性連接於電源佈線8，並且，經由作為保護元件之nMISFET Q_{n3} 、 Q_{n4} 以及二極體元件D3、D4，電性連接於接地佈線7。

具體而言，接合墊4c經由二極體元件D3，電性連接於接地佈線7，又，接合墊4c經由二極體元件D4，電性連接於接地佈線7。亦即，接

合墊4c電性連接於二極體元件D3之陽極或陰極之其中一個，二極體元件D3之陽極或陰極之另一個電性連接於接地佈線7，又，接合墊4c電性連接於二極體元件D4之陽極或陰極之其中一個，二極體元件D4之陽極或陰極之另一個電性連接於接地佈線7。進而，接合墊4c電性連接於nMISFETQn3之源極·汲極之其中一個，nMISFETQn3之源極·汲極之另一個以及閘極電極電性連接於接地佈線7，又，接合墊4c電性連接於nMISFETQn4之源極·汲極之其中一個，nMISFETQn4之源極·汲極之另一個以及閘極電極電性連接於接地佈線7。

構成輸入輸出電路11a之nMISFETQn3、Qn4以及二極體元件D3、D4可作為保護用元件(保護元件)而發揮功能。例如，將突波(ESD突波)等輸入接合墊4c時，可經由nMISFETQn3、Qn4以及二極體元件D3、D4，使突波釋放至接地佈線7。因此，輸入輸出電路11a可作為保護電路(I/O電源供給單元之保護電路)而發揮功能。

如圖12~圖15所示，於半導體裝置1之主面2之周邊部，於自內側(半導體裝置1之主面2之內側)朝向外周側(半導體裝置1之主面2之端部2a側)之方向上，亦即X方向上，依序配置nMISFET形成區域21a、二極體元件形成區域23a、引出區域24、二極體元件形成區域25a、nMISFET形成區域27a。其中，nMISFET形成區域21a係形成有與上述nMISFETQn3相對應之MISFET之區域，二極體元件形成區域23a係形成有與上述二極體元件D3相對應之二極體元件之區域。又，二極體元件形成區域25a係形成有與上述二極體元件D4相對應之二極體元件之區域，nMISFET形成區域27a係形成有與上述nMISFETQn4相對應之MISFET之區域。因此，藉由nMISFET形成區域21a(nMISFETQn3)、二極體元件形成區域23a(二極體元件D3)、二極體元件形成區域25a(二極體元件D4)以及nMISFET形成區域27a(nMISFETQn4)，形成輸入輸出電路11a，該輸入輸出電路11a設置於接合墊4c附近。

參照圖12~圖15，就本實施形態之半導體裝置之周邊部(接合墊4c附近)的構造加以更詳細的說明。

本實施形態中，亦如圖14及圖15所示般，於半導體基板30之主面上，形成有p型井32與n型井33，但p型井32形成於平面地包含nMISFET形成區域21a、27a之區域，n型井33形成於平面地包含二極體元件形成區域23a、25a之區域。

nMISFET形成區域21a與nMISFET形成區域27a具有大致相同之構成。又，nMISFET形成區域21a、27a之構成與上述實施形態1之nMISFET形成區域21類似。亦即，nMISFET形成區域21a、27a中，於p型井32上，經由閘極絕緣膜(未圖示)，以於X方向延伸之方式形成有複數個閘極電極61，於該等閘極電極61之兩側區域，形成有作為源極·汲極之n型半導體區域(n型擴散層)62。再者，n型半導體區域62中，作為源極·汲極之其中一個而發揮功能者係n型半導體區域62a，作為源極·汲極之另一個而發揮功能者係n型半導體區域62b。藉由閘極電極61、閘極電極61下方之閘極絕緣膜(未圖示)以及作為源極·汲極之n型半導體區域62(62a、62b)而構成nMISFETQn3、Qn4之n通道型MISFET，形成於nMISFET形成區域21a、27a。

二極體元件形成區域23a與二極體元件形成區域25a具有大致相同之構成。又，二極體元件形成區域23a、25a之構成與上述實施形態1之二極體元件形成區域23、二極體元件形成區域25類似。亦即，二極體元件形成區域23a、25a中，於n型井33上，以平面地鄰接之方式形成有n型半導體區域(n型擴散層)63與p型半導體區域(p型擴散層)64。例如，於X方向延伸之n型半導體區域63與p型半導體區域64於Y方向交互地配置。藉由n型半導體區域63與p型半導體區域64之間之PN接合，二極體元件(構成二極體元件D3、D4之二極體元件)形成於二極體元件形成區域23a、25a。再者，可藉由n型井33之一部分構成n型半導體區域

64。

又，nMISFET形成區域21a、27a中，形成有作為保護環之p型半導體區域(p型擴散層)65，二極體元件形成區域23a、25a中，形成有作為保護環之n型半導體區域(n型擴散層)66。可藉由p型井32之一部分構成p型半導體區域65，又，亦可藉由n型井33之一部分構成n型半導體區域66。

再者，圖14表示通過nMISFET形成區域21a、27a之n型半導體區域62a與二極體元件形成區域23a、25a之n型半導體區域63的(X方向的)剖面。又，圖15表示通過nMISFET形成區域21a、27a之n型半導體區域62b與二極體元件形成區域23a、25a之p型半導體區域64的(X方向的)剖面。

於半導體基板30上，與上述實施形態1相同，形成有多層佈線構造，且形成有複數個層間絕緣膜(作為絕緣膜50而一體地圖示)與複數個佈線層(佈線M1~M7)。接地佈線7與電源佈線8，與上述實施形態1相同，藉由第4層佈線M4，第5層佈線M5，第6層佈線M6及第7層佈線M7，以及連接該等佈線M4、M5、M6、M7間之栓塞PG而形成。又，接地佈線7及電源佈線8以通過構成輸入輸出電路11a之保護元件(nMISFET形成區域21a、27a及二極體元件形成區域23a、25a)上方之方式，沿半導體裝置之外周部，於Y方向延伸。於此，接地佈線7通過nMISFET形成區域21a及二極體元件形成區域23a上方，電源佈線8通過二極體元件形成區域25a及nMISFET形成區域27a上方。

又，與上述實施形態1之接合墊4相同，作為最上層之金屬層之導體層51自保護膜(作為絕緣膜50而圖示)之開口部52露出，藉此形成接合墊4c。接合墊4c與導體層51一體地形成，導體層51之一部分為接合墊4c。導體層51可視為位於接地佈線7及電源佈線8之更上層、且電性連接於接合墊4c之導體層。

接合墊4c配置於構成輸入輸出電路11a之保護元件(nMISFET形成

區域21a、27a及二極體元件形成區域23a、25a)上方。於此，圖示了於二極體元件形成區域25a及nMISFET形成區域27a上方配置接合墊4c之情形，但作為其他形態，可如上述實施形態1之第2接合墊4b之情形般形成導體膜51之圖案，藉此於nMISFET形成區域21a及二極體元件形成區域23a上方配置接合墊4c。

接合墊4c用導體層51經由引出區域24，電性連接於接地佈線7及電源佈線8之更下層之佈線53a，該佈線53a如圖14所示，經由栓塞PG等連接於電源佈線8，並且，經由栓塞PG等，電性連接於二極體元件形成區域23a、25a之n型半導體區域63及nMISFET形成區域21a、27a之n型半導體區域62a。佈線53a係相當於上述實施形態1之佈線53者。又，如圖15所示，二極體元件形成區域23a、25a之p型半導體區域64及nMISFET形成區域21a、27a之n型半導體區域62b，經由栓塞PG等電性連接於佈線56a，該佈線56a經由栓塞PG等電性連接於佈線56a之更上層之接地佈線7。佈線56a係相當於上述實施形態1之佈線55、56者。佈線53a與佈線56a係導體層51、接地佈線7及電源佈線8之更下層之佈線，且包含第1層佈線M1、第2層佈線M2、第3層佈線M3以及栓塞PG，但即使佈線53a與佈線56a位於同層，亦係彼此不同之佈線。如此，實現如圖16之電路構成。

佈線53a經由栓塞PG等，與形成於半導體基板30上之保護元件(於此係nMISFET形成區域21a、27a之MISFET(Qn3、Qn4)以及二極體元件形成區域23a、25a之二極體元件(D3、D4))電性連接。該佈線53a位於接地佈線7及電源佈線8之更下層，但必須電性連接於接合墊4c。與上述實施形態1相同，本實施形態中，亦於接地佈線7與電源佈線8之間設置引出區域24，於該引出區域24，將佈線53a引出至接地佈線7及電源佈線8之更上層，並電性連接於導體層51。

又，本實施形態中，將構成作為保護電路之輸入輸出電路11a之保

護元件，即nMISFET，分為2個nMISFET形成區域21a、27a而形成，將構成輸入輸出電路11a之保護元件，即二極體元件，分為2個二極體元件形成區域23a、25a而形成。並且，於包含nMISFET形成區域21a及二極體元件形成區域23a之群組、與包含二極體元件形成區域25a及nMISFET形成區域27a之群組之間，配置引出區域24，於該引出區域24，將佈線53a引出至接地佈線7及電源佈線8之更上層，並電性連接於導體層51。又，亦可視為於nMISFET形成區域21a與nMISFET形成區域27a之間配置引出區域24。

藉由上述構成，於本實施形態中，亦可獲得與上述實施形態1大致相同之效果。

例如，本實施形態中，亦與上述實施形態1相同，於接地佈線7與電源佈線8之間，設置引出區域24，於該引出區域24，將佈線53a引出至接地佈線7及電源佈線8之更上層，並連接於導體層51，因此，可於更內側配置接合墊4c，使半導體裝置(半導體晶片)之平面尺寸縮小，從而使半導體裝置小型化。

又，將構成輸入輸出電路11a之保護元件(nMISFET以及二極體元件)分別分為2個區域而設置，於其之間(於nMISFET形成區域21a、27a之間，且於二極體元件形成區域23a、25a之間)配置引出區域24，將佈線53a引出至接地佈線7及電源佈線8之更上層，並連接於導體層51。尤其，將與二極體元件形成區域23a、25a相比，佔有面積變大之nMISFET形成區域分為2個區域(亦即nMISFET形成區域21a、27a)而設置，於其之間(nMISFET形成區域21a與nMISFET形成區域27a之間)配置引出區域24。因此，可於輸入輸出電路11a形成區域之中央部附近配置引出區域24，且可於接近於輸入輸出電路11a形成區域之中央部之位置配置接合墊4c。亦即，即使將接合墊4c配置於引出區域24之更外側(半導體裝置1之端部側)，但因引出區域24位於nMISFET形成區域27a之更內側，

故可於內側配置接合墊4c。因此，可使半導體裝置之平面尺寸縮小，從而使半導體裝置小型化。

(實施形態4)圖17~圖20係本實施形態之半導體裝置之主要部分平面圖。圖17~圖19係分別與上述實施形態1之圖2~圖4對應者。圖17~圖20表示相同區域，但與上述實施形態1之圖2相同，圖17中，表示半導體裝置之周邊部附近，故表示有輸入輸出電路11b、11c以及電路15之平面布局，圖18與圖17者再添加有電源佈線5、接地佈線6、接地佈線7及電源佈線8之圖相對應。圖19與圖17者再添加有電源佈線5、接地佈線6、導體層51以及接合墊4之圖相對應，圖20與圖17者再添加有電源佈線5，接地佈線6以及佈線71、72之圖相對應。圖21及圖22係本實施形態之半導體裝置之主要部分剖面圖，圖17之G-G線之剖面大致與圖21相對應，圖17之H-H線之剖面大致與圖22相對應。圖23係表示輸入輸出電路11b之電路圖(等效電路圖)，圖24係表示輸入輸出電路11c之電路圖(等效電路圖)。

圖17~圖24表示接合墊4d、4e以及輸入輸出電路11b、11c，但如上述圖1所示，接合墊4d係沿半導體裝置之主面外周部而設置的複數個接合墊4中之用於將電源電壓(電源電位)供給至電源佈線5之接合墊。又，如上述圖1所示般，接合墊4e係沿半導體裝置之主面外周部而設置的複數個接合墊4中之用於將接地電壓(接地電位)供給至接地佈線6之接合墊。輸入輸出電路11b係構成核心電源供給單元之電路，且電路構成如圖23所示，輸入輸出電路11c係構成核心GND(core ground)供給單元之電路，且電路構成如圖24所示。

亦即，根據圖23之電路圖亦可瞭解到，輸入輸出電路11b具有保護用n通道型MISFETQn5、Qn6(以下，稱為nMISFETQn5、Qn6)，以及保護用二極體元件D5、D6，接合墊4d直接電性連接於電源佈線5，並且，經由作為保護元件之nMISFETQn5、Qn6以及二極體元件D5、D6，

電性連接於接地佈線6。

具體而言，接合墊4d經由二極體元件D5電性連接於接地佈線6，又，接合墊4d經由二極體元件D6電性連接於接地佈線6。亦即，接合墊4d電性連接於二極體元件D5之陽極或陰極之其中一個，二極體元件D5之陽極或陰極之另一個電性連接於接地佈線6，又，接合墊4d電性連接於二極體元件D6之陽極或陰極之其中一個，二極體元件D6之陽極或陰極之另一個電性連接於接地佈線6。進而，接合墊4d電性連接於nMISFETQn5之源極·汲極之其中一個，nMISFETQn5之源極·汲極之另一個以及閘極電極電性連接於接地佈線6，又，接合墊4d電性連接於nMISFETQn6之源極·汲極之其中一個，nMISFETQn6之源極·汲極之另一個以及閘極電極電性連接於接地佈線6。

又，如根據圖24之電路圖亦可瞭解般，輸入輸出電路11c具有保護用n通道型MISFETQn7、Qn8(以下，稱為nMISFETQn7、Qn8)，以及保護用二極體元件D7、D8，接合墊4e直接電性連接於接地佈線6，並且經由作為保護元件之nMISFETQn7、Qn8以及二極體元件D7、D8，電性連接於電源佈線5。

具體而言，接合墊4e經由二極體元件D7電性連接於電源佈線5，又，接合墊4e經由二極體元件D8電性連接於電源佈線5。亦即，接合墊4e電性連接於二極體元件D7之陽極或陰極之其中一個，二極體元件D7之陽極或陰極之另一個電性連接於電源佈線5，又，接合墊4e電性連接於二極體元件D8之陽極或陰極之其中一個，二極體元件D8之陽極或陰極之另一個電性連接於電源佈線5。進而，接合墊4e電性連接於nMISFETQn7之源極·汲極之其中一個以及閘極電極，nMISFETQn7之源極·汲極之另一個電性連接於電源佈線5，又，接合墊4e電性連接於nMISFETQn8之源極·汲極之其中一個以及閘極電極，nMISFETQn8之源極·汲極之另一個電性連接於電源佈線5。

構成輸入輸出電路11b、11c之nMISFETQn5、Qn6、Qn7、Qn8以及二極體元件D5、D6、D7、D8，可作為保護用元件(保護元件)而發揮功能。例如，突波(ESD突波)等輸入接合墊4d時，可經由nMISFETQn5、Qn6以及二極體元件D5、D6，使突波釋放至接地佈線6。又，例如，突波(ESD突波)等輸入接合墊4e時，可經由nMISFETQn7、Qn8以及二極體元件D7、D8，使突波釋放至電源佈線5。因此，輸入輸出電路11b、11c可作為保護電路(核心電源供給單元以及核心GND供給單元之保護電路)而發揮功能。

如圖17~圖22所示，於輸入輸出電路11b形成區域內，於半導體裝置1之主面2之周邊部，於自內側(半導體裝置1之主面2之內側)朝向外周側(半導體裝置1之主面2之端部2a側)之方向上，亦即X方向上，依序配置nMISFET形成區域21b、二極體元件形成區域23b、引出區域24、二極體元件形成區域25b、以及nMISFET形成區域27b。又，輸入輸出電路11c形成區域亦具有與輸入輸出電路11b形成區域相同之構成。亦即，於輸入輸出電路11c形成區域內，於半導體裝置1之主面2之周邊部，於自內側(半導體裝置1之主面2之內側)朝向外周側(半導體裝置1之主面2之端部2a側)之方向上，亦即X方向上，依序配置nMISFET形成區域21c、二極體元件形成區域23c、引出區域24、二極體元件形成區域25c、以及nMISFET形成區域27c。

其中，nMISFET形成區域21b係形成有與上述nMISFETQn5相對應之MISFET之區域，二極體元件形成區域23b係形成有與上述二極體元件D5相對應之二極體元件之區域。又，二極體元件形成區域25b係形成有與上述二極體元件D6相對應之二極體元件之區域，nMISFET形成區域27b係形成有與上述nMISFETQn6相對應之MISFET之區域。因此，藉由nMISFET形成區域21b(nMISFETQn5)、二極體元件形成區域23b(二極體元件D5)、二極體元件形成區域25b(二極體元件D6)以及

nMISFET形成區域27b(nMISFETQn6)，形成輸入輸出電路11b，該輸入輸出電路11b設置於接合墊4d附近。

又，nMISFET形成區域21c係形成有與上述nMISFETQn7相對應之MISFET之區域，二極體元件形成區域23c係形成有與上述二極體元件D7相對應之二極體元件之區域。又，二極體元件形成區域25c係形成有與上述二極體元件D8相對應之二極體元件之區域，nMISFET形成區域27c係形成有與上述nMISFETQn8相對應之MISFET之區域。因此，藉由nMISFET形成區域21c(nMISFETQn7)、二極體元件形成區域23c(二極體元件D7)、二極體元件形成區域25c(二極體元件D8)以及nMISFET形成區域27c(nMISFETQn8)，形成輸入輸出電路11c，該輸入輸出電路11c設置於接合墊4e附近。

參照圖17~圖22，就本實施形態之半導體裝置之周邊部(接合墊4d、4e附近)的構造加以更詳細的說明。

本實施形態中，輸入輸出電路27b形成區域、與輸入輸出電路27c形成區域，以於Y方向鄰接之方式而配置。因此，接合墊4d與接合墊4e亦以鄰接之方式而配置。

輸入輸出電路27b形成區域與輸入輸出電路27c形成區域之任一個，除佈線以外之構成均與上述實施形態3之輸入輸出電路11a形成區域大致相同。亦即，nMISFET形成區域21b、21c，除佈線以外，分別具有與上述nMISFET形成區域21a大致相同之構造；二極體元件形成區域23b、23c，除佈線以外，分別具有與上述二極體元件形成區域23a大致相同之構造。又，二極體元件形成區域25b、25c，除佈線以外，分別具有與上述二極體元件形成區域25a大致相同之構造，nMISFET形成區域27b、27c，除佈線以外，分別具有與上述nMISFET形成區域27a大致相同之構造。因此，關於nMISFET形成區域21b、21c、27b、27c以及二極體元件形成區域23b、23c、25b、25c之構造，於此省略其

說明。

再者，圖21表示通過nMISFET形成區域21b、27b之n型半導體區域62a與二極體元件形成區域23b、25b之n型半導體區域63的(X方向的)剖面，圖22表示通過nMISFET形成區域21c、27c之n型半導體區域62a與二極體元件形成區域23c、25c之p型半導體區域64的(X方向的)剖面。

本實施形態中，亦與上述實施形態1~3相同，於半導體基板30上，形成有多層佈線構造，形成有複數個層間絕緣膜(作為絕緣膜50而一體地圖示)與複數個佈線層(佈線M1~M7)。

本實施形態中，接地佈線7與電源佈線8藉由第6層佈線M6及第7層佈線M7，以及連接該等佈線M6、M7間之栓塞PG而形成。又，接地佈線7及電源佈線8以通過構成輸入輸出電路11b、11c之保護元件(nMISFET形成區域21b、21c、27b、27c以及二極體元件形成區域23b、23c、25b、25c)上方之方式，沿半導體裝置之外周部，於Y方向延伸。於此，接地佈線7通過nMISFET形成區域21b、21c以及二極體元件形成區域23b、23c上方，電源佈線8通過二極體元件形成區域25b、25c以及nMISFET形成區域27b、27c上方。

本實施形態中，進而，於接地佈線7之下方，設置包含第4層佈線M4以及第5層佈線M5之佈線71，於電源佈線8之下方，設置包含第4層佈線M4以及第5層佈線M5之佈線72。佈線71以自輸入輸出電路11b之nMISFET形成區域21b及二極體元件形成區域23b上方，延伸至輸入輸出電路11c之nMISFET形成區域21c及二極體元件形成區域23c上方之方式，於Y方向延伸。又，佈線72以自輸入輸出電路11b之二極體元件形成區域25b及nMISFET形成區域27b上方，延伸至輸入輸出電路11c之二極體元件形成區域25c及nMISFET形成區域27c上方之方式，於Y方向延伸。

電源佈線5與接地佈線6藉由第4層佈線M4，第5層佈線M5，第6層

佈線M6及第7層佈線M7，以及連接該等佈線M4、M5、M6、M7間之栓塞PG而形成。電源佈線5及接地佈線6於接地佈線7及電源佈線8之更內側，亦即輸入輸出電路11b、11c形成區域之更內側，於Y方向延伸。

又，與上述實施形態1之接合墊4相同，作為最上層之金屬層之導體層51自保護膜(作為絕緣膜50而圖示)之開口部52露出，藉此形成接合墊4d、4e。接合墊4d與導體層51一體地形成，導體層51之一部分為接合墊4d。又，接合墊4e與導體層51一體地形成，導體層51之一部分為接合墊4e。其中，接合墊4d用導體層51與接合墊4e用導體層51係同層之導體層，但係彼此分離之不同圖案之導體層。導體層51可視為電性連接於位於接地佈線7及電源佈線8之更上層之接合墊4d、4e的導體層。又，亦可將導體層51之圖案用於第8層佈線(最上層佈線)，藉由佈線M4、M5、M6、M7以及導體層51形成電源佈線5及接地佈線6。

接合墊4d配置於構成輸入輸出電路11b之保護元件(nMISFET形成區域21b、27b以及二極體元件形成區域23b、25b)上方，接合墊4e配置於構成輸入輸出電路11c之保護元件(nMISFET形成區域21c、27c以及二極體元件形成區域23c、25c)上方。

可使包含接合墊4d、4e之複數個接合墊4為交錯排列，此時，使接合墊4d與接合墊4e之位置於Y方向上錯開，使接合墊4d、4e之其中一個(於此為接合墊4e)如上述第1接合墊4a般，配置於接近於半導體裝置之端部側，使接合墊4d、4e之另一個(於此為接合墊4d)如上述第2接合墊4b般，配置於靠近半導體裝置之內部之位置。

因此，圖示了如下情形，即，於nMISFET形成區域21b及二極體元件形成區域23b上方配置接合墊4d，於二極體元件形成區域25c及nMISFET形成區域27c上方配置接合墊4e。作為其他形態，可於二極體元件形成區域25b及nMISFET形成區域27b上方配置接合墊4d，於nMISFET形成區域21c及二極體元件形成區域23c上方配置接合墊4e。

接合墊4d用導體層51自引出區域24上方，通過二極體元件形成區域23b以及nMISFET形成區域21b上方，延伸至電源佈線5上方，並經由栓塞PG，與其下方之電源佈線5電性連接。又，接合墊4d用導體層51經由引出區域24，電性連接於下層之佈線53b。佈線53b係電源佈線5、接地佈線6、接地佈線7、電源佈線8、導體層51、以及佈線71、72之更下層之佈線，包含例如第1層佈線M1、第2層佈線M2、第3層佈線M3以及栓塞PG。該佈線53b如圖21所示，自輸入輸出電路11b形成區域延伸至電源佈線5之下方，經由栓塞PG等電性連接於佈線53b之更上層之電源佈線5，且經由栓塞PG等電性連接於佈線53b之更上層之佈線72。佈線53b進而經由栓塞PG等，電性連接於位於佈線53b下方之二極體元件形成區域23b、25b之n型半導體區域63及nMISFET形成區域21b、27b之n型半導體區域62a。

又，接合墊4e用導體層51自nMISFET形成區域27c上方，通過二極體元件形成區域25c、引出區域24、二極體元件形成區域23c以及nMISFET形成區域21c上方，延伸至接地佈線6上方，經由栓塞PG，與其下方之接地佈線6電性連接。又，接合墊4e用導體層51經由引出區域24，電性連接於下層之佈線53c。佈線53c係電源佈線5、接地佈線6、接地佈線7、電源佈線8、導體層51以及佈線71、72之更下層之佈線，包含例如第1層佈線M1、第2層佈線M2、第3層佈線M3以及栓塞PG。該佈線53c如圖22所示，自輸入輸出電路11c形成區域延伸至接地佈線6下方，經由栓塞PG等電性連接於佈線53c之更上層之接地佈線6，且經由栓塞PG等電性連接於佈線53c之更上層之佈線71。佈線53c進而經由栓塞PG等，電性連接於位於佈線53c下方之二極體元件形成區域23c、25c之p型半導體區域64及nMISFET形成區域21c、27c之n型半導體區域62a。

佈線53b、53c係相當於上述實施形態1~3之佈線53、53a者。又，

雖未圖示，但與上述實施形態3相同，二極體元件形成區域23b、25b之p型半導體區域64及nMISFET形成區域21b、27b之n型半導體區域62b經由栓塞PG等電性連接於佈線，該佈線經由栓塞PG等電性連接於更上層之佈線71。又，同樣，雖未圖示，但二極體元件形成區域23c、25c之n型半導體區域63及nMISFET形成區域21c、27c之n型半導體區域62b，經由栓塞PG等電性連接於佈線，該佈線經由栓塞PG等電性連接於更上層之佈線72。如此，實現如圖23及圖24之電路構成。

佈線53b經由栓塞PG等，與形成於半導體基板30上之保護元件(於此係nMISFET形成區域21b、27b之MISFET(Qn5、Qn6)以及二極體元件形成區域23b、25b之二極體元件(D5、D6))電性連接。又，佈線53c經由栓塞PG等，與形成於半導體基板30上之保護元件(於此係nMISFET形成區域21c、27c之MISFET(Qn7、Qn8)以及二極體元件形成區域23c、25c之二極體元件(D7、D8))電性連接。該佈線53b、53c位於接地佈線7、電源佈線8以及佈線71、72之更下層，但必須分別電性連接於接合墊4d、4e。與上述實施形態1相同，本實施形態中，亦於接地佈線7與電源佈線8之間，設置引出區域24，於該引出區域24，將佈線53b、53c引出至接地佈線7及電源佈線8之更上層，電性連接於導體層51。

又，本實施形態中，將構成作為保護電路之輸入輸出電路11b之保護元件，即nMISFET，分為2個nMISFET形成區域21b、27b而形成，將構成輸入輸出電路11b之保護元件，即二極體元件，分為2個二極體元件形成區域23b、25b而形成。並且，於包含nMISFET形成區域21b及二極體元件形成區域23b之群組、與包含二極體元件形成區域25b及nMISFET形成區域27b之群組之間，配置引出區域24，於該引出區域24，將佈線53b引出至佈線71、72、接地佈線7及電源佈線8之更上層，並電性連接於導體層51。又，將構成作為保護電路之輸入輸出電路11c之保護元件，即nMISFET，分為2個nMISFET形成區域21c、27c而形成，

將構成輸入輸出電路11c之保護元件，即二極體元件，分為2個二極體元件形成區域23c、25c而形成。並且，於包含nMISFET形成區域21c及二極體元件形成區域23c之群組、與包含二極體元件形成區域25c及nMISFET形成區域27c之群組之間，配置引出區域24，於該引出區域24，將佈線53c引出至佈線71、72、電源佈線5、接地佈線6、接地佈線7及電源佈線8之更上層，並電性連接於導體層51。又，亦可視為於nMISFET形成區域21b與nMISFET形成區域27b之間配置引出區域24，於nMISFET形成區域21c與nMISFET形成區域27c之間配置引出區域24。

根據上述構成，本實施形態中，亦可獲得與上述實施形態3大致相同之效果。

例如，本實施形態中，亦於上述實施形態1相同，於接地佈線7與電源佈線8之間，設置引出區域24，與該引出區域24，將佈線53b、53c引出至佈線71、72、接地佈線7及電源佈線8之更上層，並連接於導體層51，因此，可將接合墊4d、4e配置於更內側，使半導體裝置(半導體晶片)之平面尺寸縮小，從而使半導體裝置小型化。

又，將構成各輸入輸出電路11b、11c之各保護元件(nMISFET以及二極體元件)分別分為2個區域而設置，於其等之間(nMISFET形成區域21b、27b間、且二極體元件形成區域23b、25b間以及nMISFET形成區域21c、27c間、且二極體元件形成區域23c、25c間)配置引出區域24，於該引出區域24引出佈線53b、53c，使之連接於導體層51。尤其，將與二極體元件形成區域23b、23c、25b、25c相比，佔有面積變大之nMISFET形成區域分為2個區域而設置，於該等區域之間配置引出區域24。亦即，輸入輸出電路11b之情形時，將作為保護元件之nMISFET之形成區域分為nMISFET形成區域21b以及nMISFET形成區域27b，於該等區域之間配置引出區域24，又，輸入輸出電路11c之情形時，將作

為保護元件之nMISFET之形成區域分為nMISFET形成區域21c以及nMISFET形成區域27c，於該等區域之間配置引出區域24。因此，可於各輸入輸出電路11b、11c形成區域之中央部附近配置引出區域24，且可將接合墊4d、4e分別配置於接近於輸入輸出電路11b、11c形成區域之中央部的位置。例如，即使將接合墊4e配置於引出區域24之更外側(半導體裝置1之端部側)，但因引出區域24位於nMISFET形成區域27c之更內側，故可將接合墊4e配置於內側。因此，可使半導體裝置之平面尺寸縮小，從而使半導體裝置小型化。

進而，本實施形態中，可獲得如下效果。

接合墊4d電性連接於電源佈線5，因此，可將電源電位(電源電壓)自接合墊4d供給至電源佈線5，但佈線72亦經由佈線53b以及引出區域24，連接於接合墊4d用導體層51，因此，佈線72亦與接合墊4d以及電源佈線5電性連接，並供給有電源電位。又，接合墊4e電性連接於接地佈線6，因此，可將接地電位(接地電壓)自接合墊4e供給至接地佈線6，但佈線71亦經由佈線53c以及引出區域24，連接於接合墊4e用導體層51，因此，佈線71亦與接合墊4e以及接地佈線6電性連接，並供給有接地電位。

並且，佈線71自nMISFET形成區域21b及二極體元件形成區域23b上方延伸至nMISFET形成區域21c及二極體元件形成區域23c上方，藉此可使二極體元件形成區域23b、25b之p型半導體區域64及nMISFET形成區域21b、27b之n型半導體區域62b與延伸於其上部之佈線71(電性連接於接地佈線6之佈線71)連接。又，佈線72自二極體元件形成區域25b及nMISFET形成區域27b上方延伸至二極體元件形成區域25c及nMISFET形成區域27c上方，藉此可使二極體元件形成區域23c、25c之n型半導體區域63及nMISFET形成區域21c、27c之n型半導體區域62b與延伸於其上部之佈線72(電性連接於電源佈線5之佈線72)連接。

如此，藉由設置佈線71、72，可簡化用以將二極體元件D5、D6及nMISFETQn5、Qn6連接於接地佈線6之佈線之配置，以及用以將二極體元件D7、D8及nMISFETQn7、Qn8連接於電源佈線5之佈線之配置。又，可使用以將二極體元件D5、D6及nMISFETQn5、Qn6連接於接地佈線6之佈線，以及用以將二極體元件D7、D8及nMISFETQn7、Qn8連接於電源佈線5之佈線的佈線長度大致相同，從而使半導體裝置之性能更加提高。

以上，根據該實施形態，就本發明者所開發之發明加以了具體的說明，但本發明並非限定於上述實施形態者，當然可於不脫離其要旨之範圍內作各種變更。

[產業上之可利用性]

本發明係適用於具有接合墊之半導體裝置者。

【符號說明】

1	半導體裝置
2	主面
2a	端部
3	核心區域
4、4a、4b、4c、4d、4e	接合墊
5	電源佈線
6	接地佈線
7	接地佈線
8	電源佈線
11、11a、11b、11c	輸入輸出電路
21、21a、21b、21c	nMISFET形成區域
22	電阻元件形成區域
23、23a、23b、23c	二極體元件形成區域

24	引出區域
25、25a、25b、25c	二極體元件形成區域
26	電阻元件形成區域
27	pMISFET形成區域
27a、27b、27c	nMISFET形成區域
30	半導體基板
31	件分離區域
32	p型井
33	n型井
34	閘極電極
35、35d、35s	n型半導體區域
36	閘極電極
37、37d、37s	p型半導體區域
38、39	電阻元件
41	n型半導體區域
42	p型半導體區域
43	p型半導體區域
44	n型半導體區域
46	p型半導體區域
47	n型半導體區域
50	絕緣膜
51	導體層
52	開口部
53、53a、53b、53c	佈線
61	閘極電極
62、62a、62b	n型半導體區域

63	n型半導體區域
64	p型半導體區域
65	p型半導體區域
66	n型半導體區域
71、72	佈線
D1、D2、D3、D4、D5、 D6、D7、D8	二極體元件
M1~M7	佈線
PG	栓塞
Qn1、Qn3、Qn4、Qn5、 Qn6、Qn7、Qn8	n通道型MISFET
Qp1	p通道型MISFET
R1、R2	電阻元件

申請專利範圍

1. 一種半導體裝置，其包括：

一半導體基板；

複數個輸出電路(11)，其於上述半導體基板上成列地配置，其中該等複數個輸出電路之各個包含彼此耦合的一第一 MISFET(21)及一第二 MISFET(27)；

複數個接合墊(4)，其配置於上述半導體基板，且於俯視時，該等複數個接合墊之各個係與該等複數個輸出電路之各個重疊；

複數個佈線(M7)，該等複數個佈線之各個係配置於該等複數個接合墊之各個之下，且於俯視時，該等複數個接合墊之各個係與該等複數個佈線之各個重疊；

複數個導體栓塞(PG)，該等複數個導體栓塞之各個係配置於該等複數個接合墊之各個與該等複數個佈線之各個之間，該等複數個導體栓塞之各個係耦合至該等複數個接合墊之各個與該等複數個佈線之各個，且該等複數個接合墊之各個與該等複數個佈線之各個係耦合至該等複數個輸出電路之各個中之上述第一及第二 MISFET；

一接地佈線(7)，其配置於該等複數個接合墊之下，且耦合至該等複數個輸出電路之各個中之上述第一 MISFET；及

一電源佈線(8)，其配置於該等複數個接合墊之下，且耦合至該等複數個輸出電路之各個中之上述第二 MISFET；且

於俯視時，該等複數個佈線之各個與該等複數個導體栓塞之各個係位於該等複數個輸出電路之各個中之上述第一 MISFET 與上述第二 MISFET 之間；

於俯視時，該等複數個佈線之各個與該等複數個導體栓塞之各

個係位於上述接地佈線與上述電源佈線之間。

2. 如請求項1之半導體裝置，其中

該等複數個輸出電路之各個包含一第一保護二極體(D1)與一第二保護二極體(D2)；

於該等複數個輸出電路之各個中之上述第一及第二保護二極體係耦合至該等複數個接合墊之各個；

於俯視時，該等複數個導體栓塞之各個係位於該等複數個輸出電路之各個中之上述第一及第二保護二極體之間。

3. 如請求項1之半導體裝置，其中

該等複數個輸出電路之各個包含一第一電阻元件(R1)與一第二電阻元件(R2)；

該等複數個輸出電路之各個中之上述第一及第二電阻元件係耦合至該等複數個接合墊之各個；

於俯視時，該等複數個導體栓塞之各個係位於該等複數個輸出電路之各個中之上述第一及第二電阻元件之間。

4. 如請求項1之半導體裝置，其中

上述第一MISFET與上述第二MISFET係分別為一nMISFET與一pMISFET。

5. 如請求項4之半導體裝置，其中

上述第一與第二MISFET之各個係具有一源極和一汲極；

該等複數個輸出電路之各個中之上述第一MISFET之上述汲極與上述第二MISFET之上述汲極係耦合。

6. 如請求項5之半導體裝置，其中

上述接地佈線係耦合至該等複數個輸出電路之各個中之上述第一MISFET之上述源極；

上述電源佈線係耦合至該等複數個輸出電路之各個中之上述

第二MISFET之上述源極。

7. 如請求項5之半導體裝置，其中

該等複數個接合墊之各個係耦合至該等複數個輸出電路之各個中之上述第一MISFET之上述汲極與上述第二MISFET之上述汲極。

8. 如請求項1之半導體裝置，其中

一保護膜(50)係配置於該等複數個接合墊之上；且

該等複數個接合墊之各個係自上述保護膜部分露出。

9. 如請求項8之半導體裝置，其中

於俯視時，上述保護膜係與該等複數個導體栓塞重疊。

10. 如請求項1之半導體裝置，其中

該等複數個接合墊之各個係包含鋁；

上述接地佈線、上述電源佈線及該等複數個佈線之各個係包含銅。

圖式

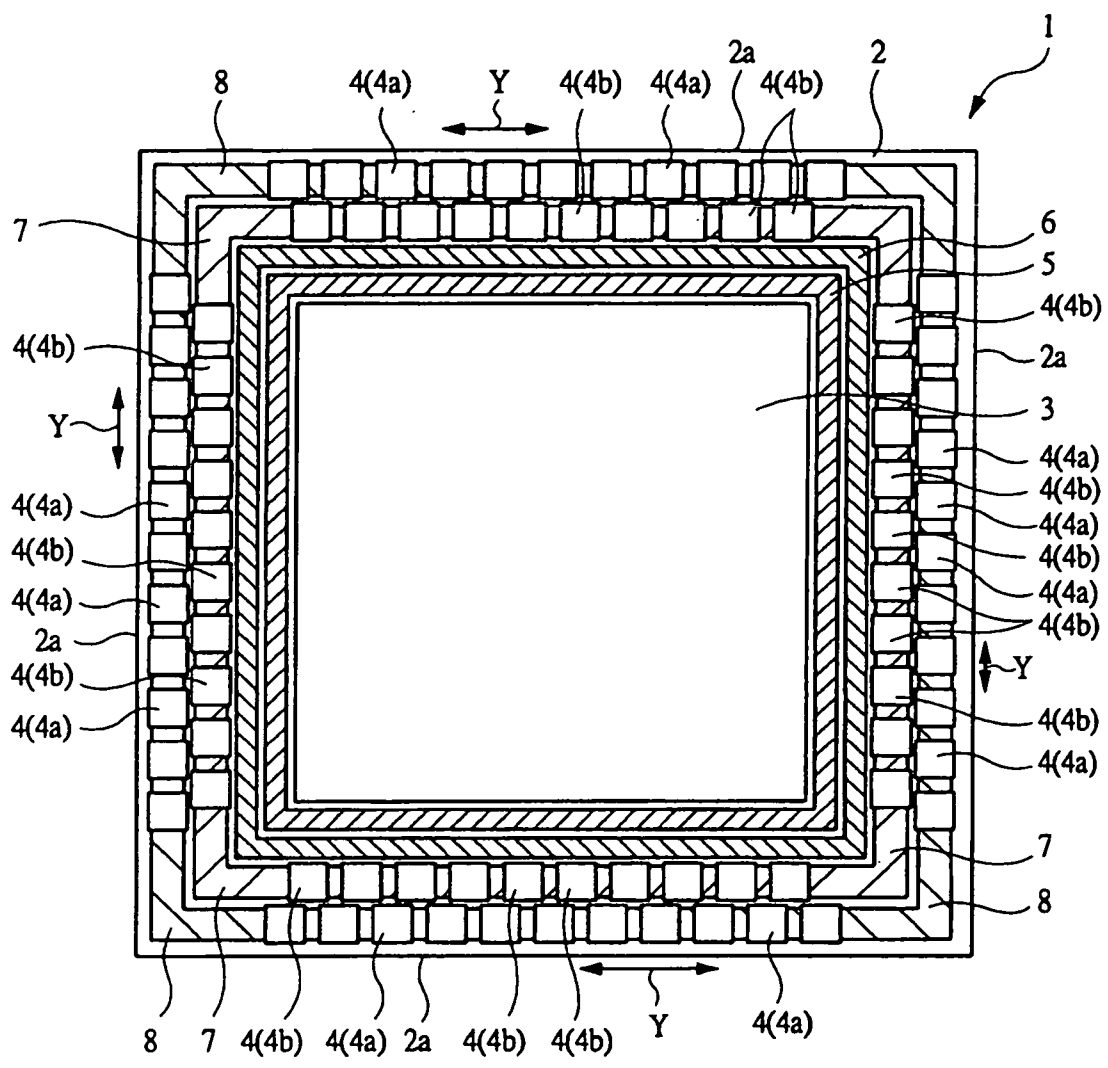


圖 1

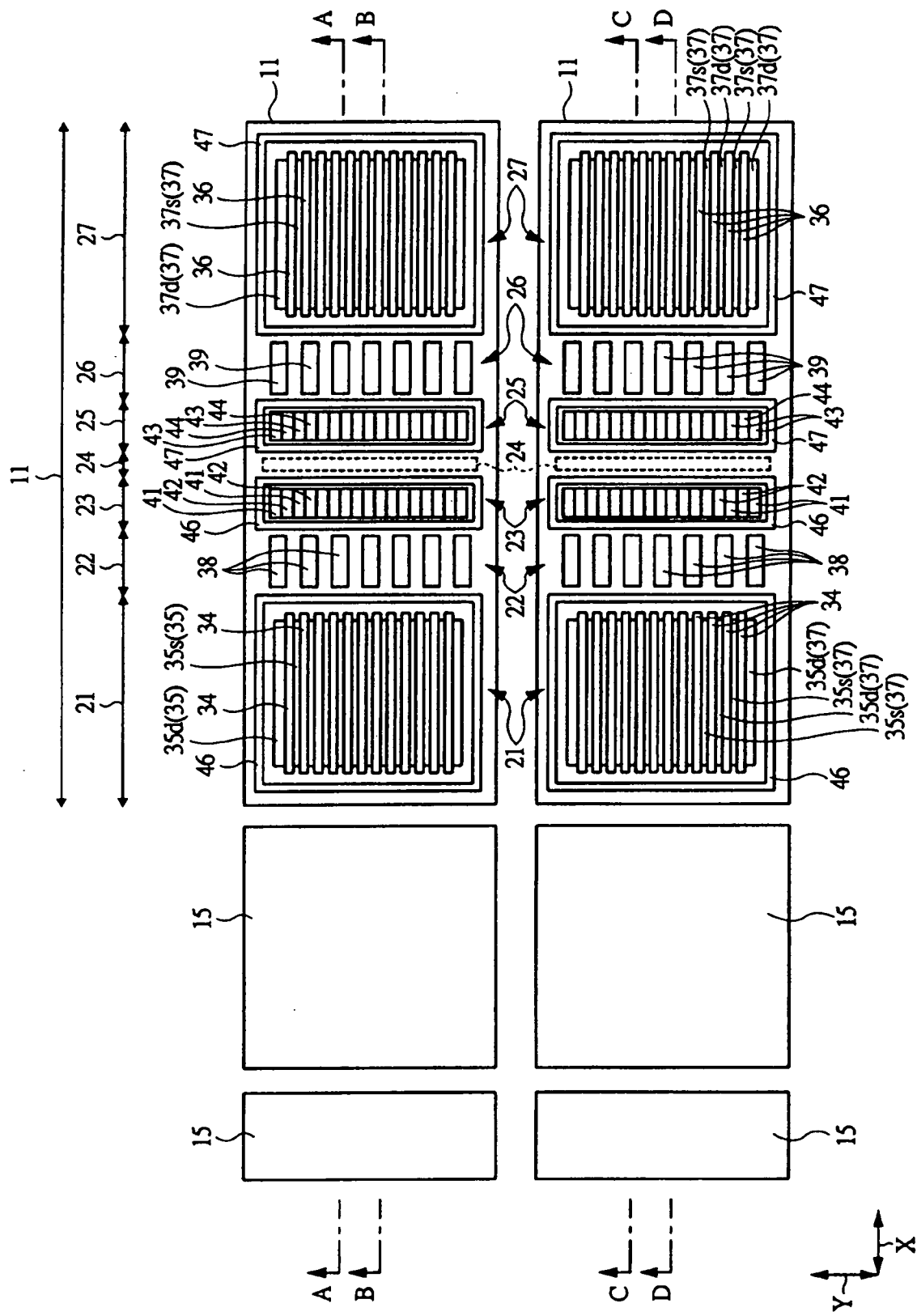


圖 2

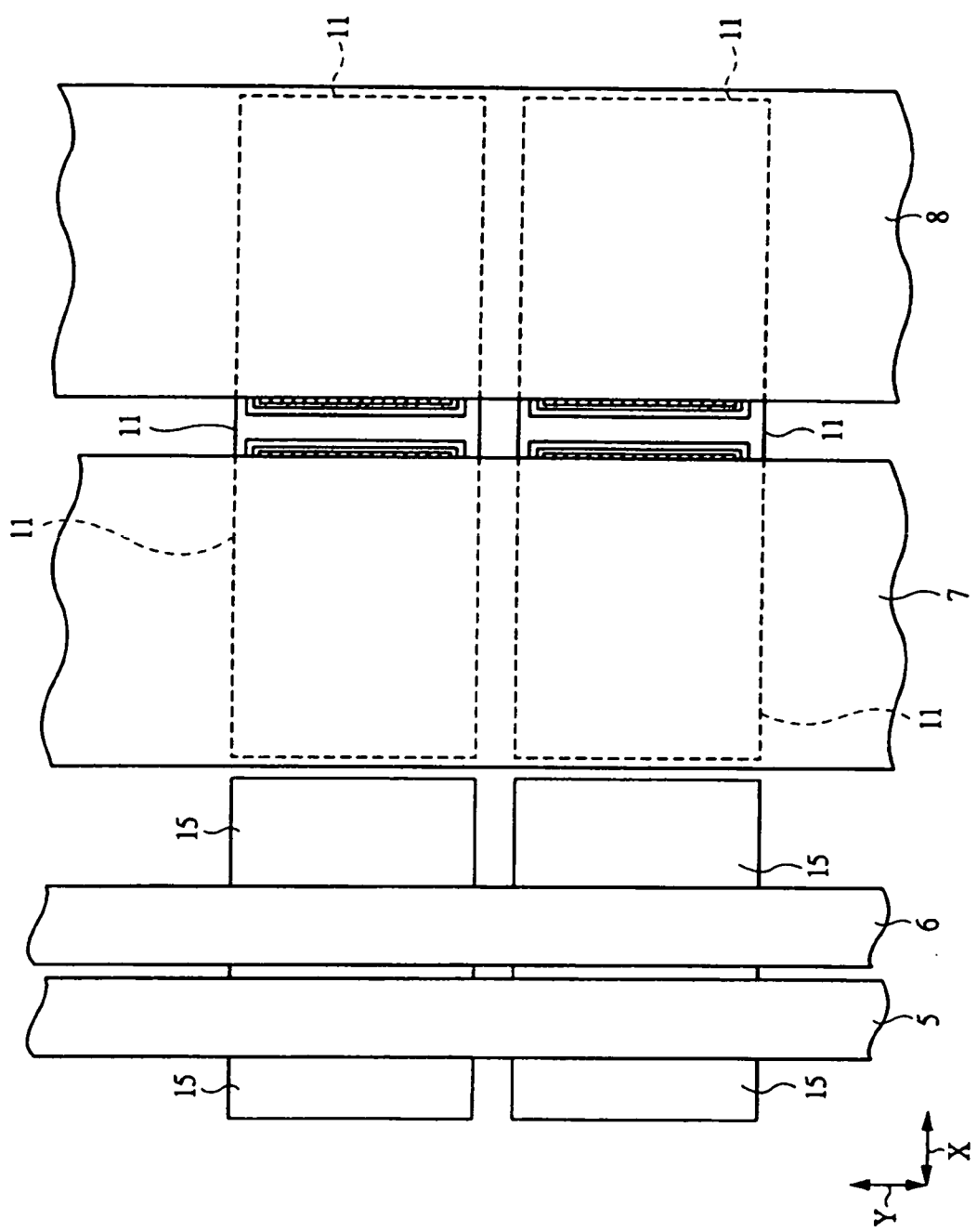


圖 3

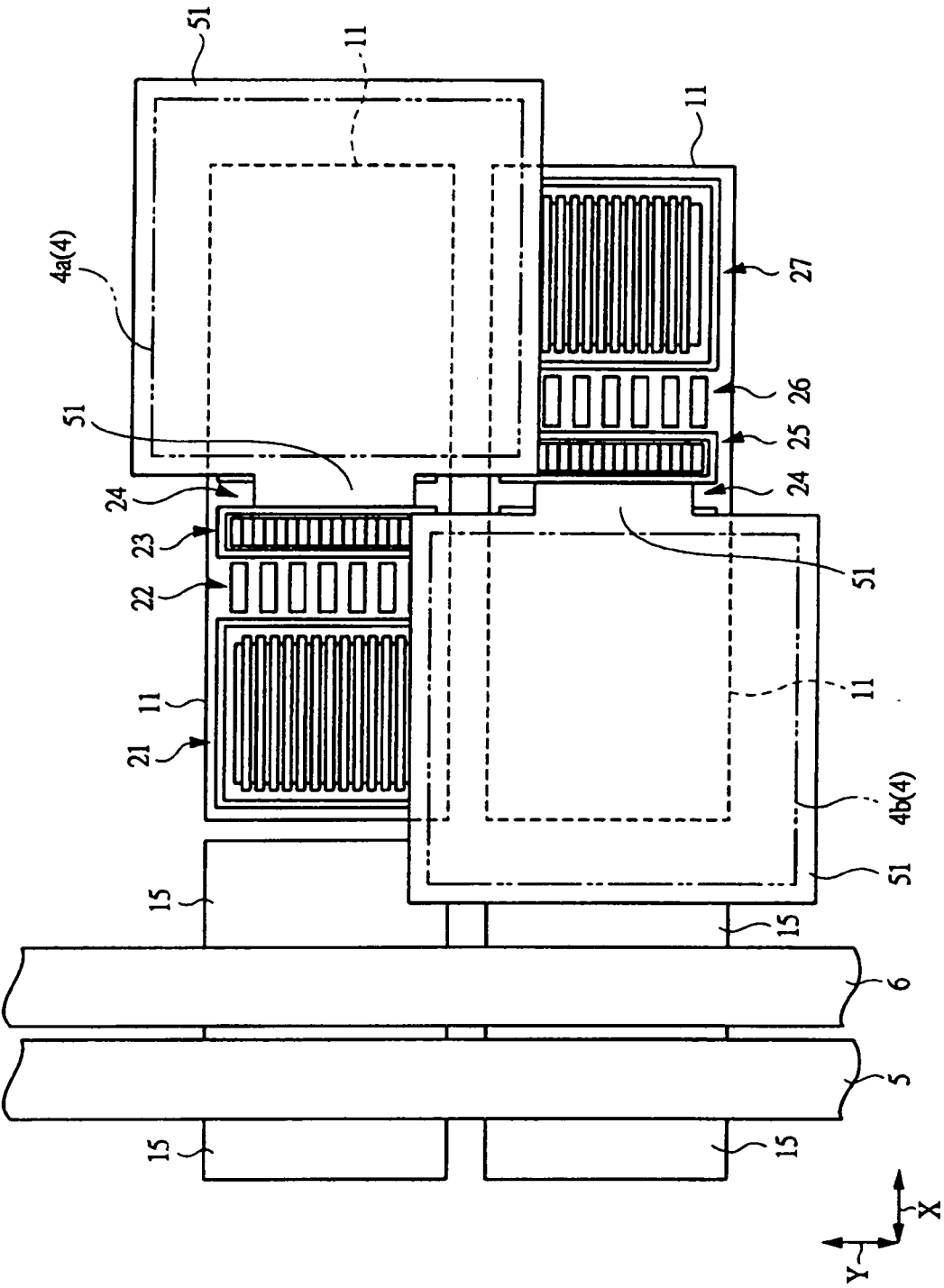


圖 4

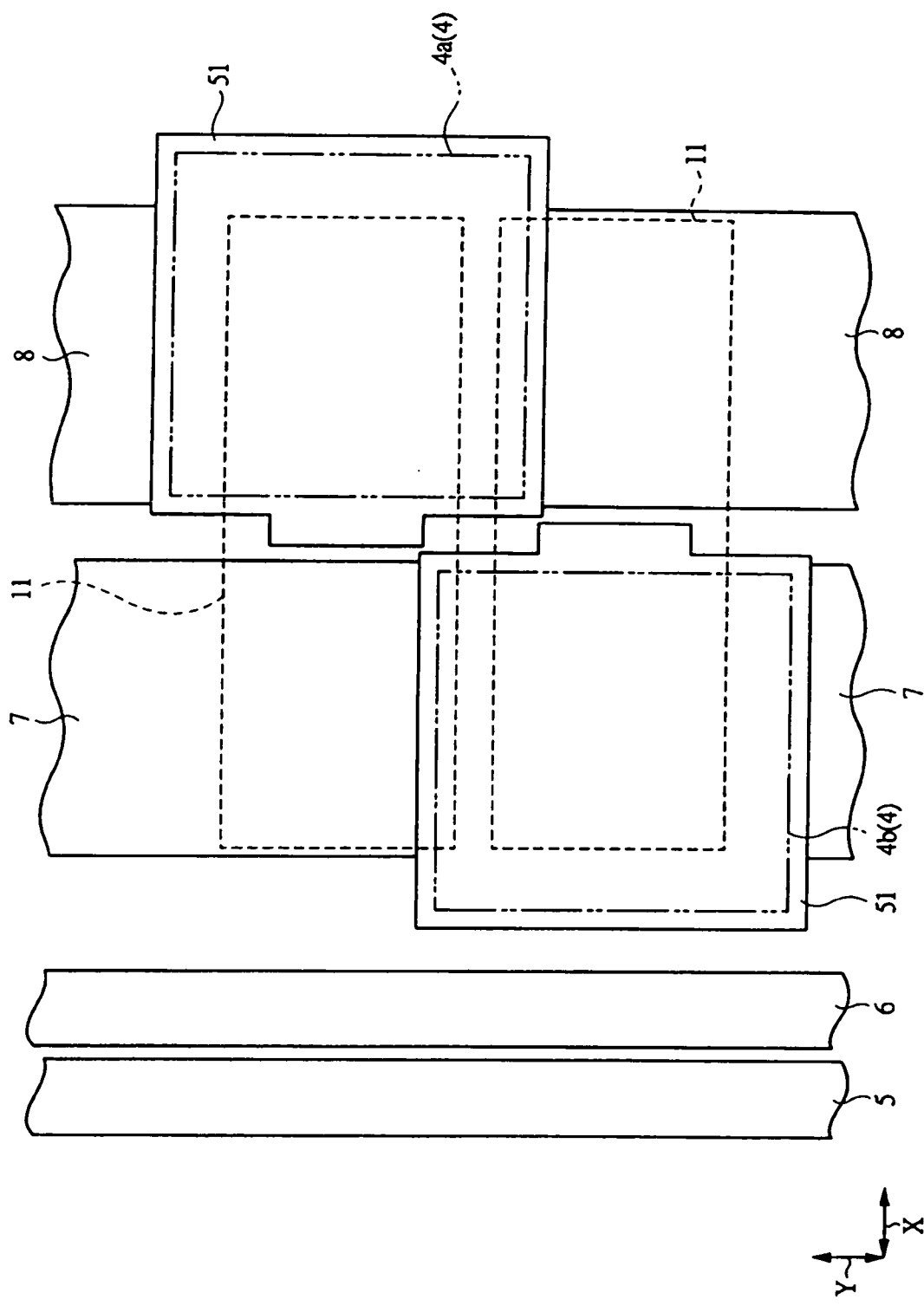
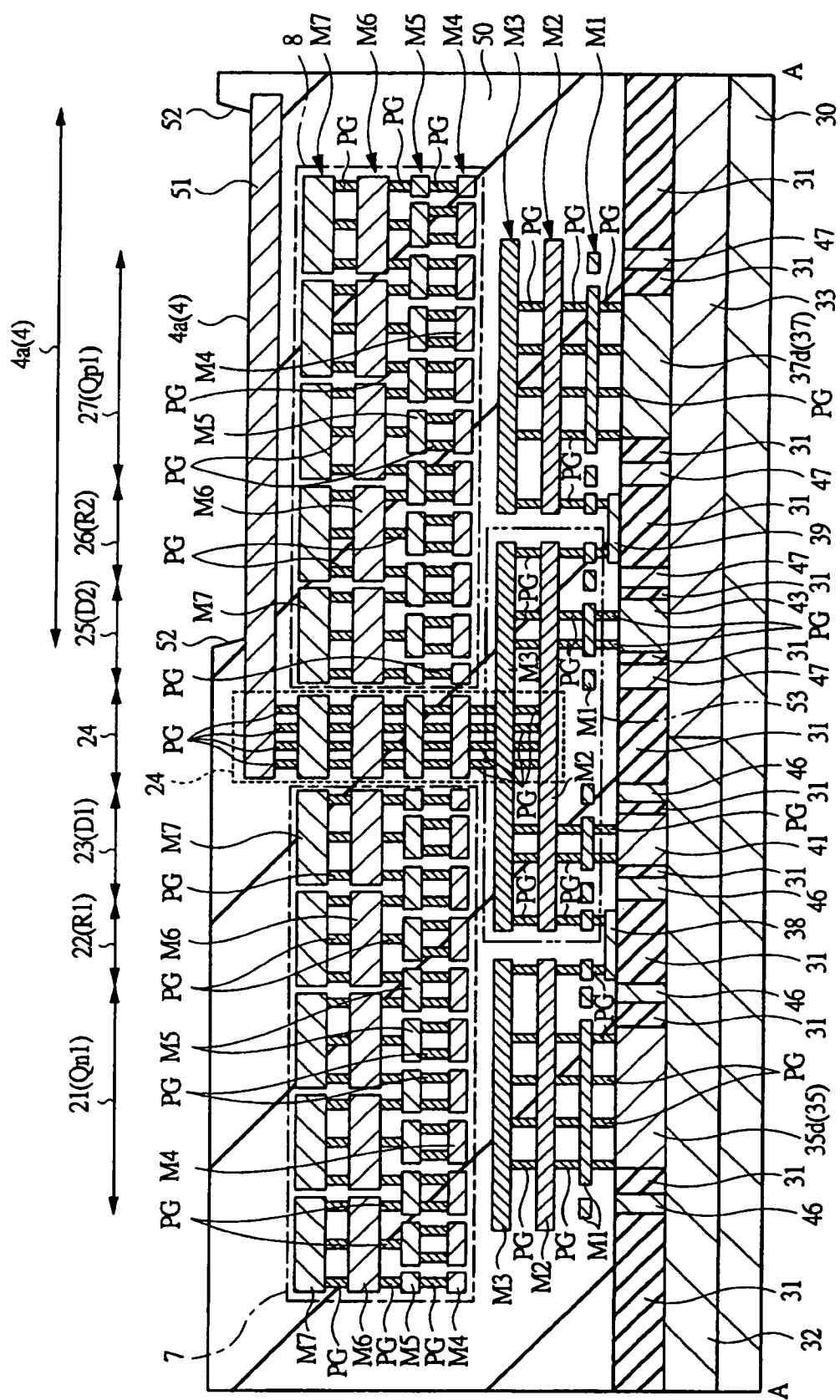


圖 5









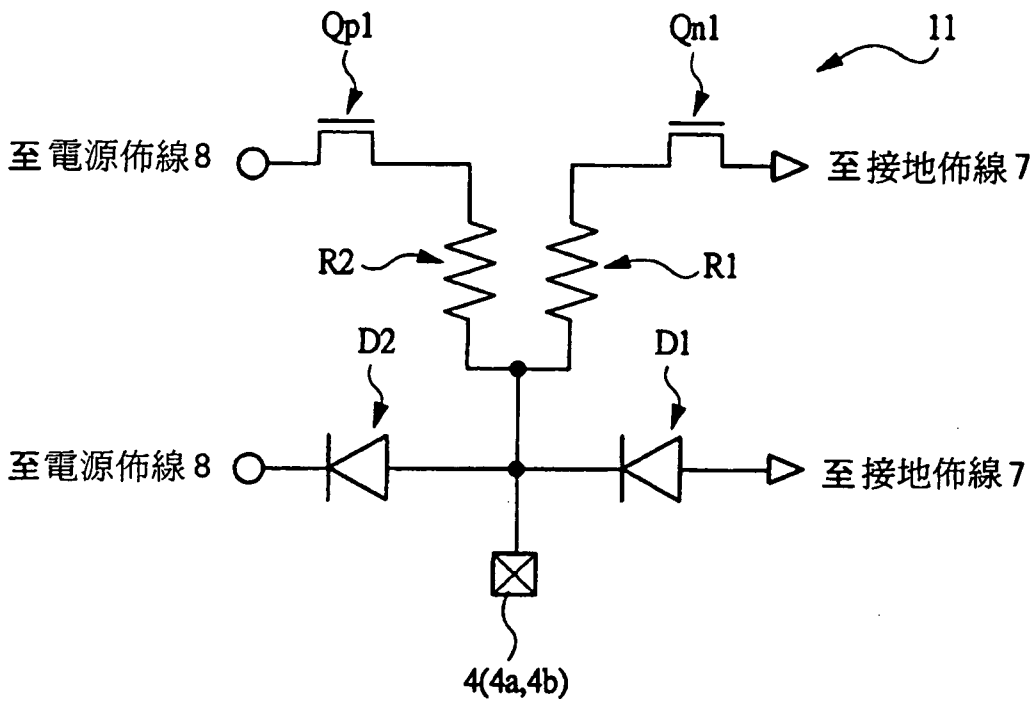


圖 10

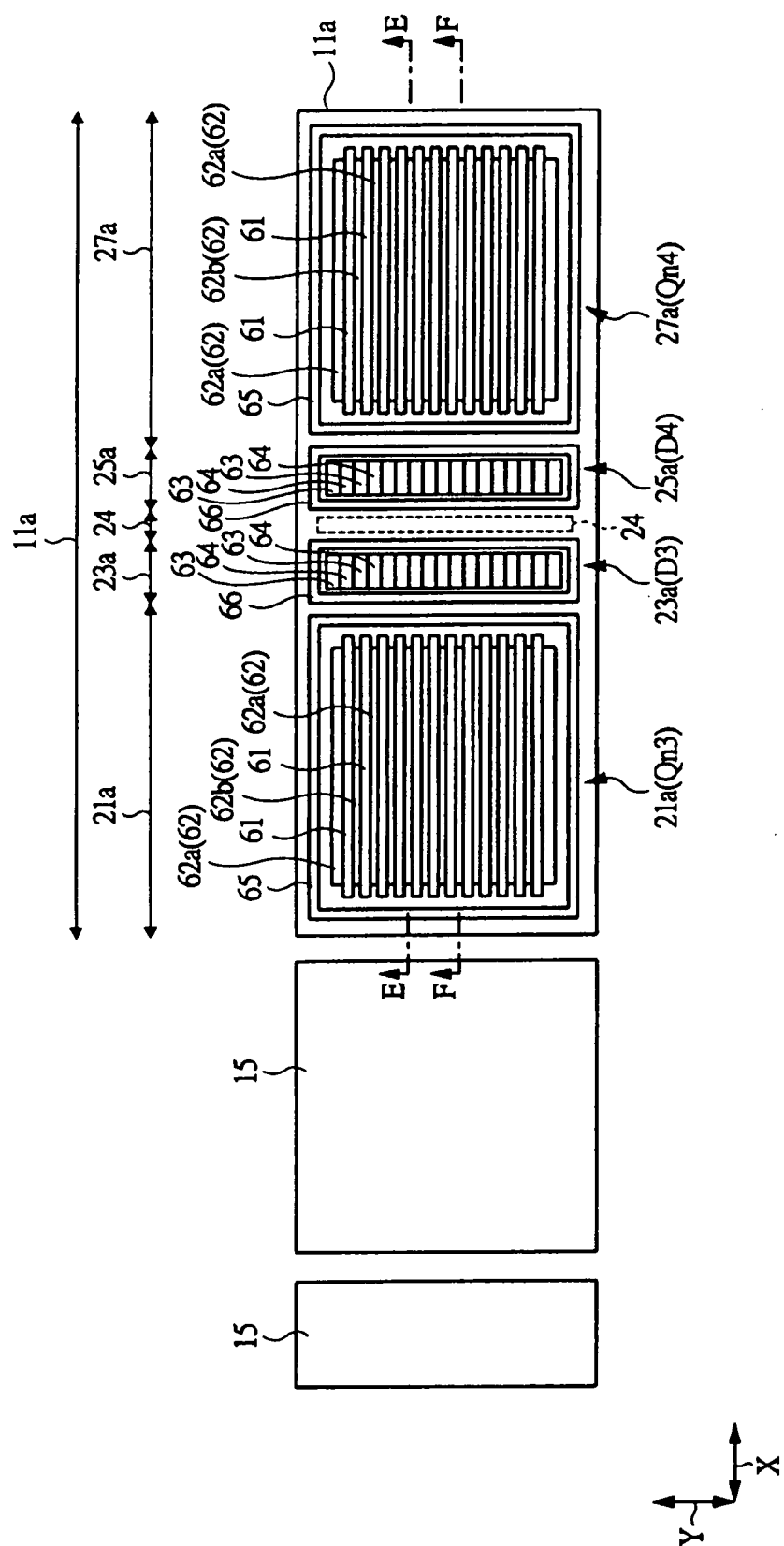


圖 12

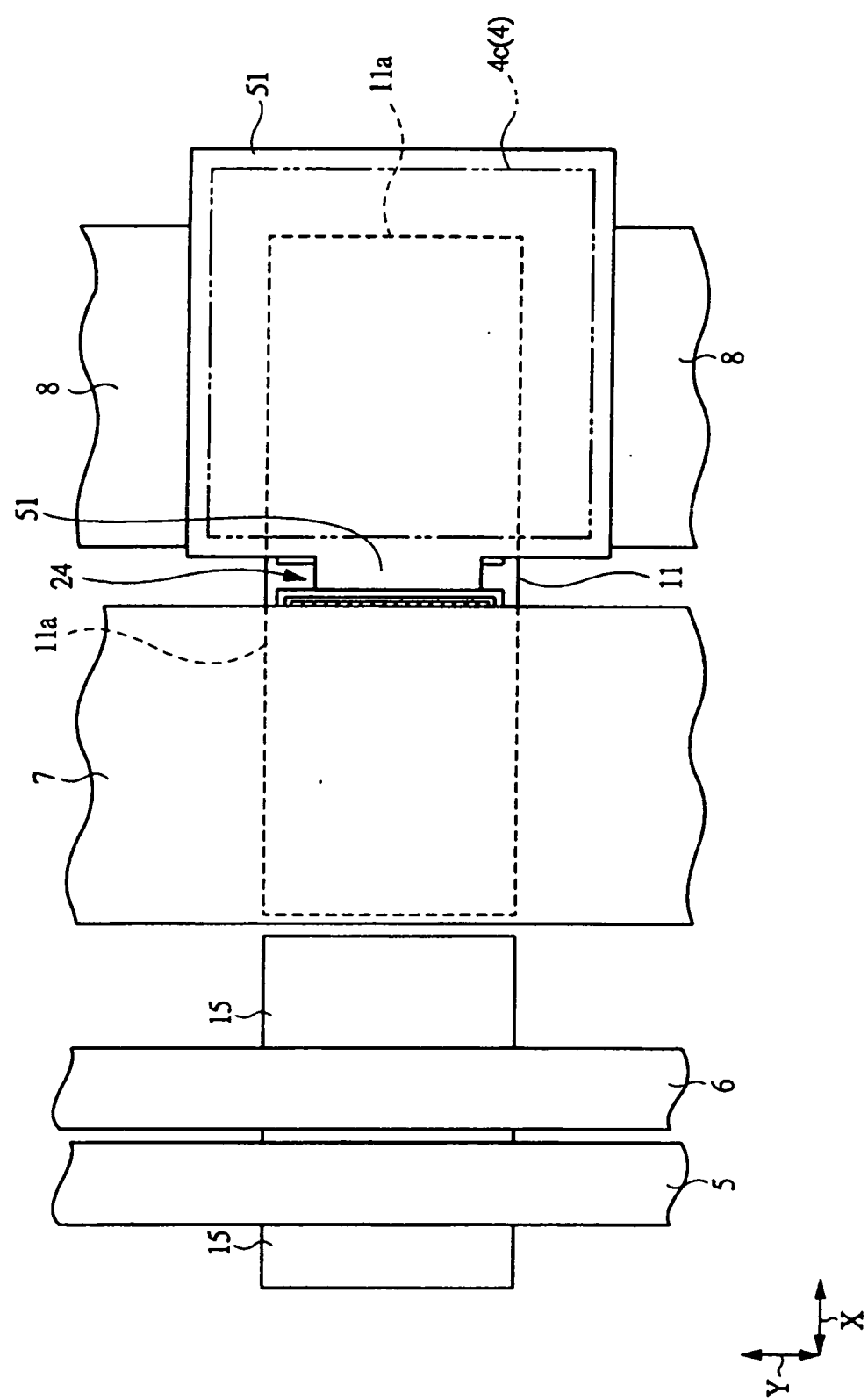


圖 13



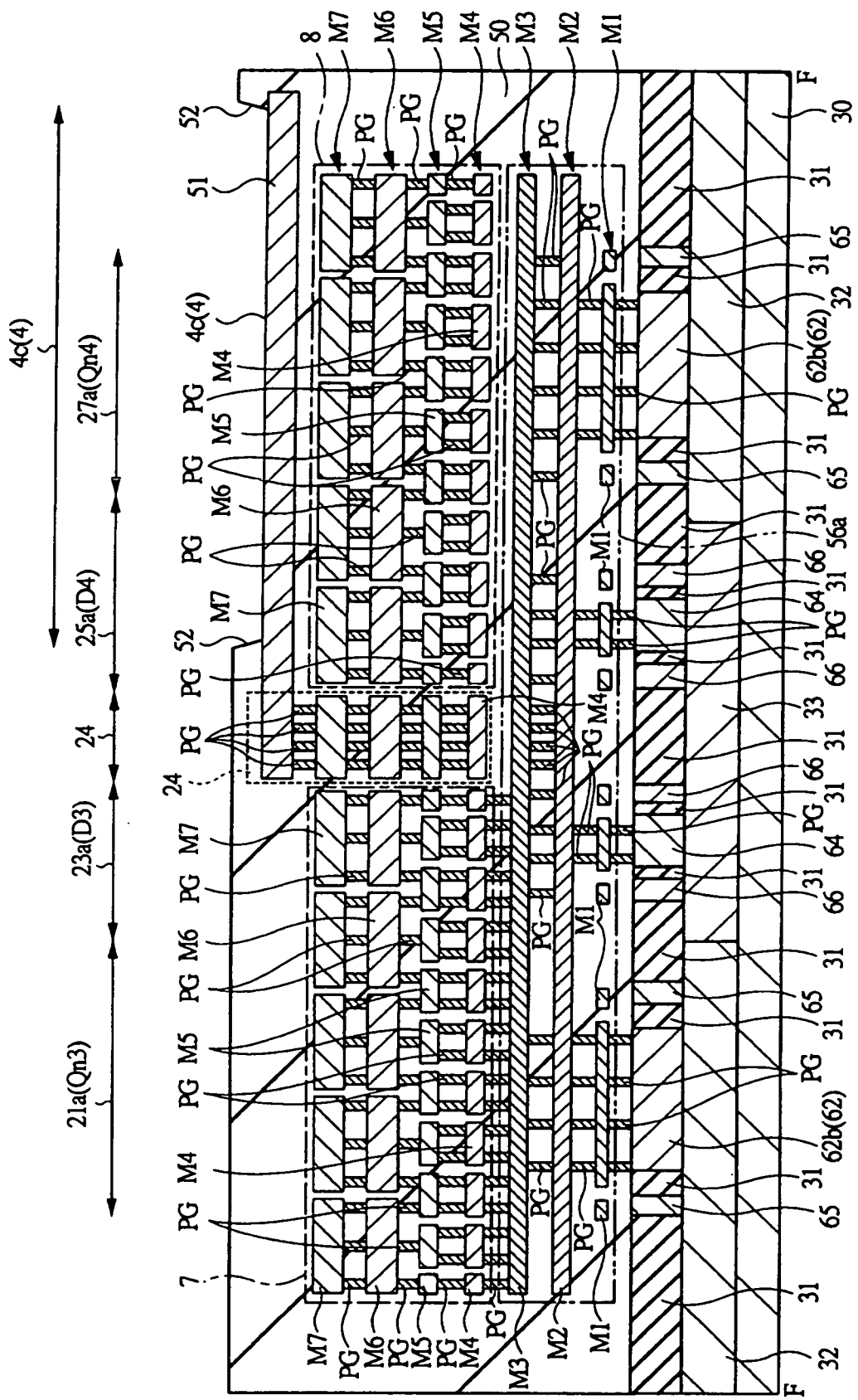


圖 15

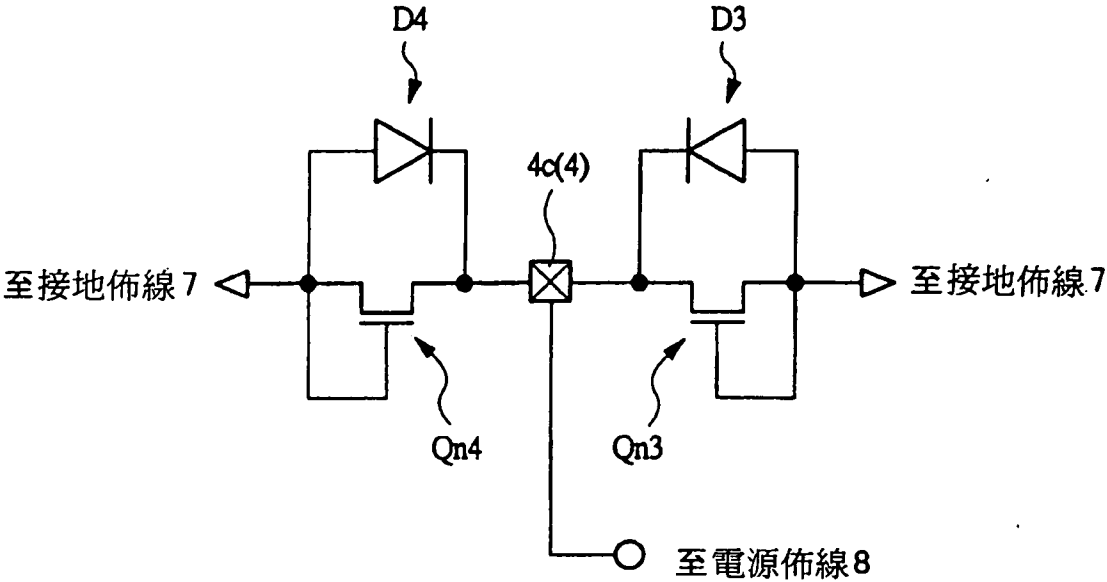
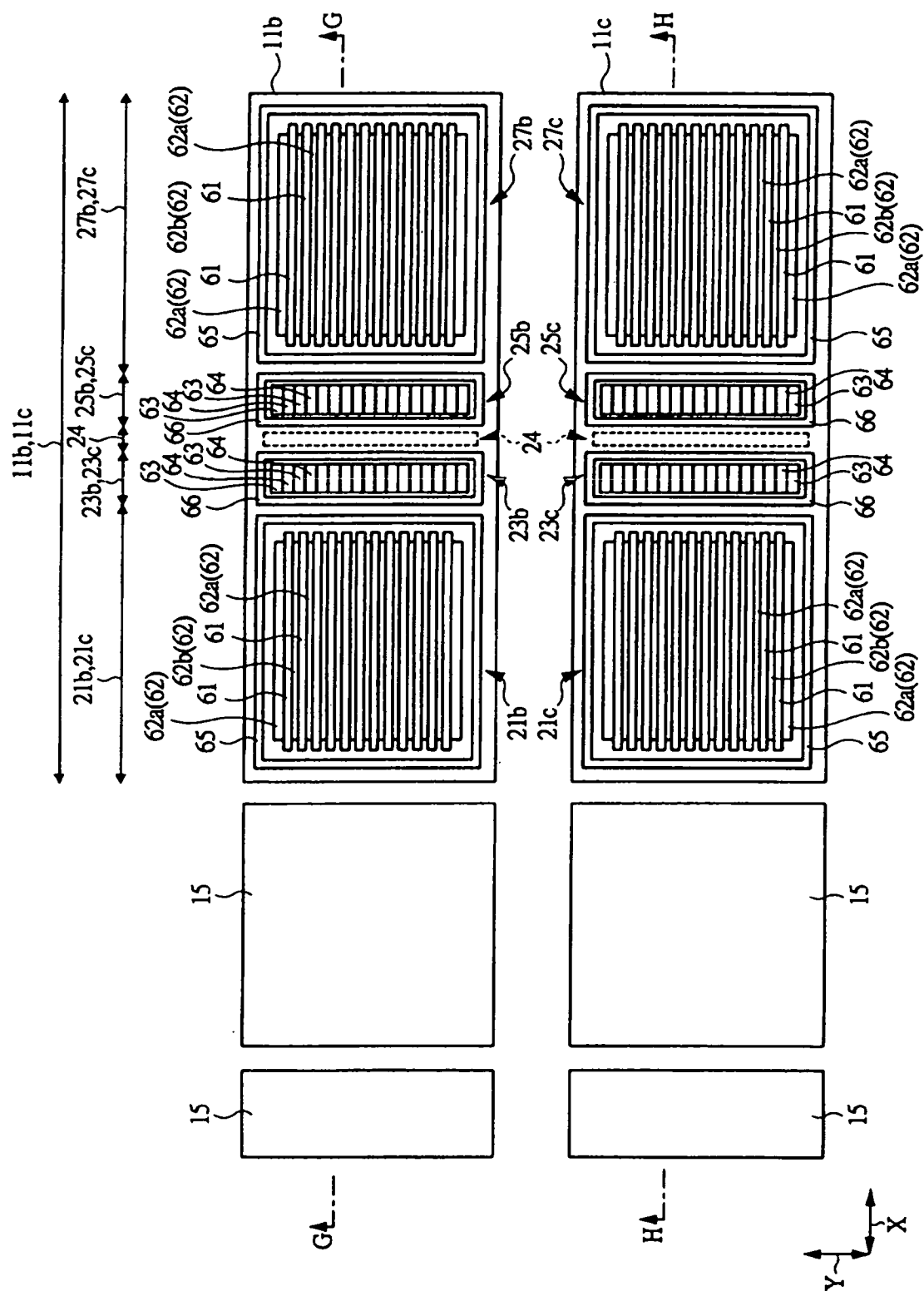


圖 16



81回

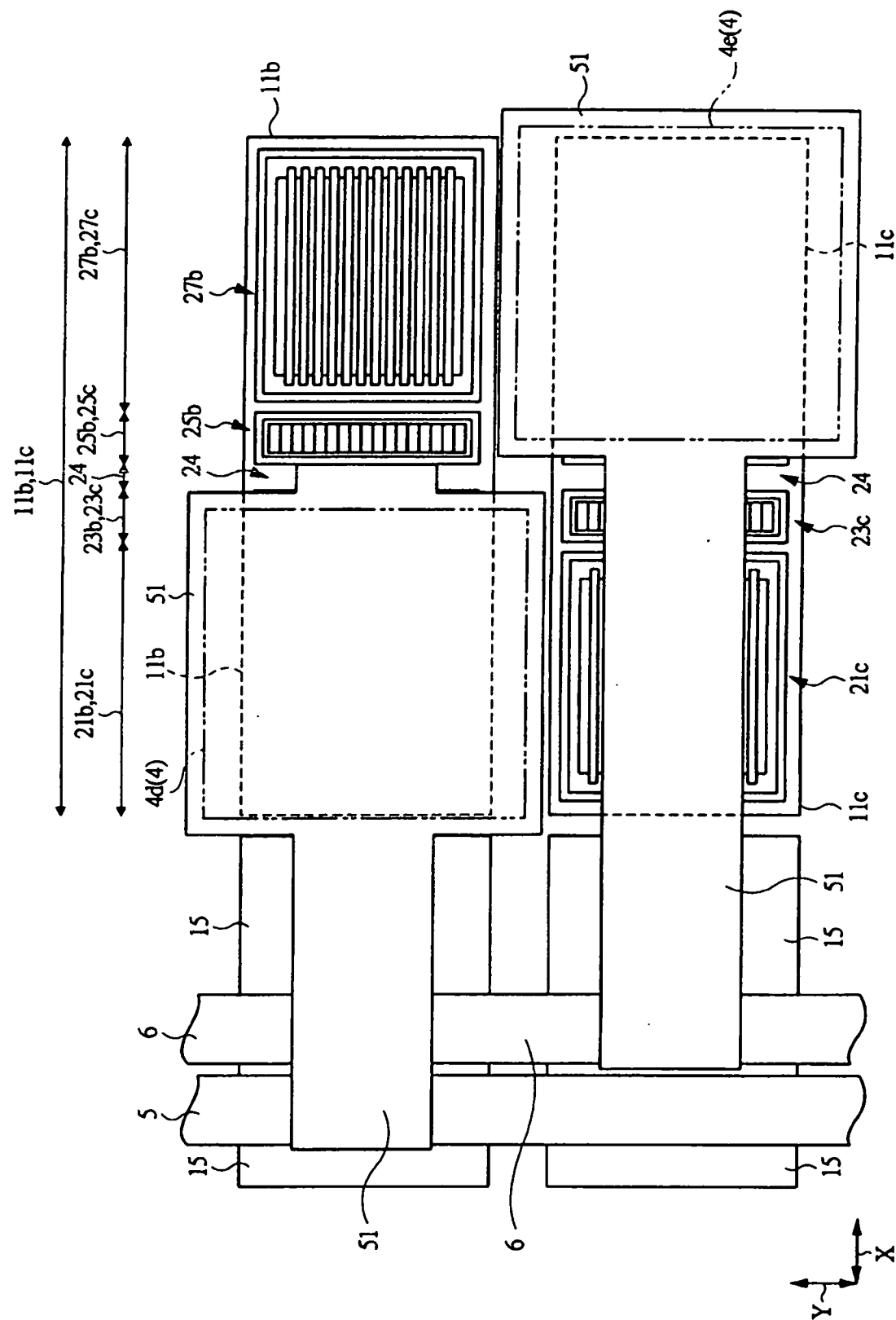
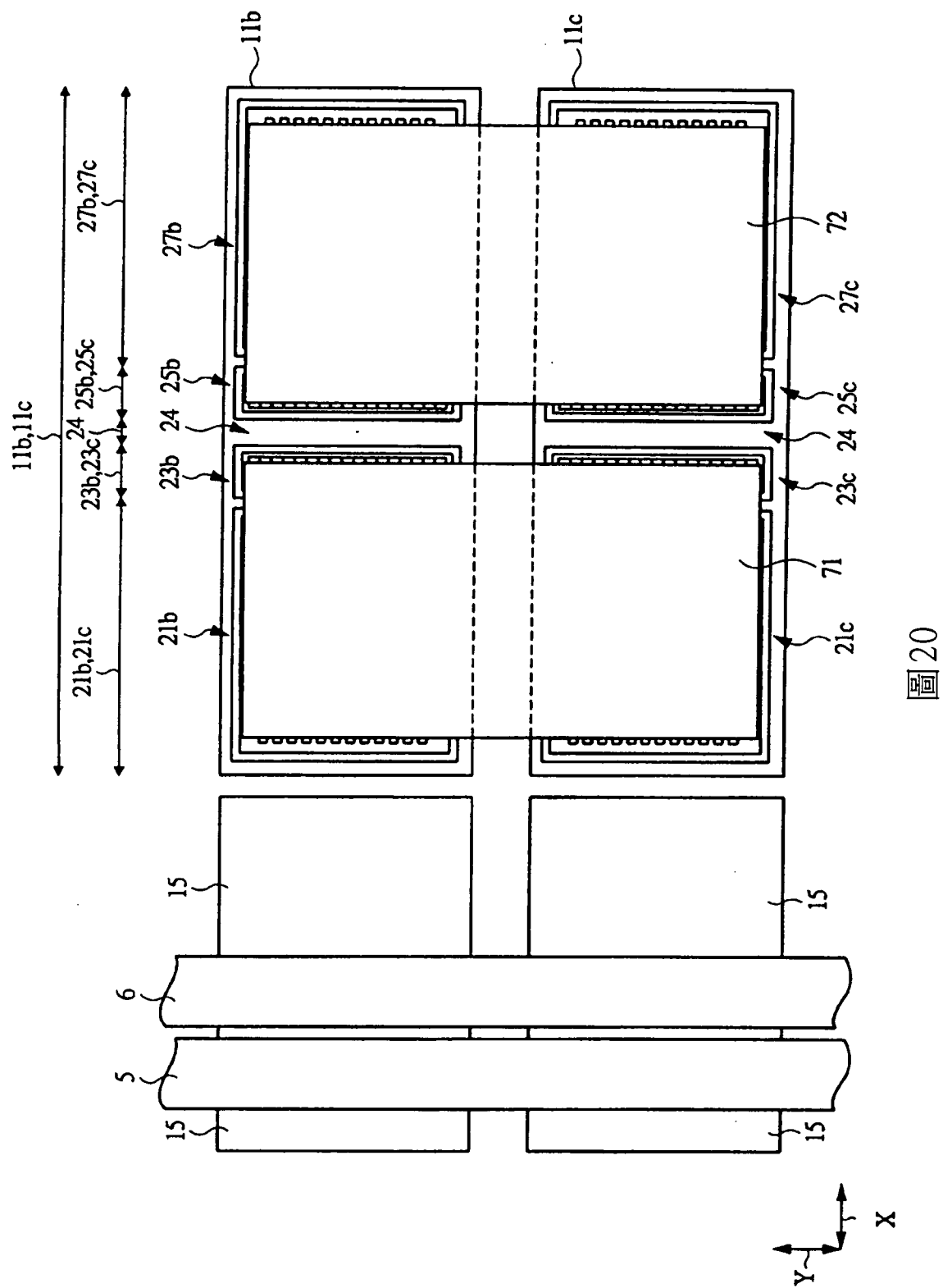
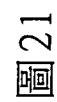


圖 19





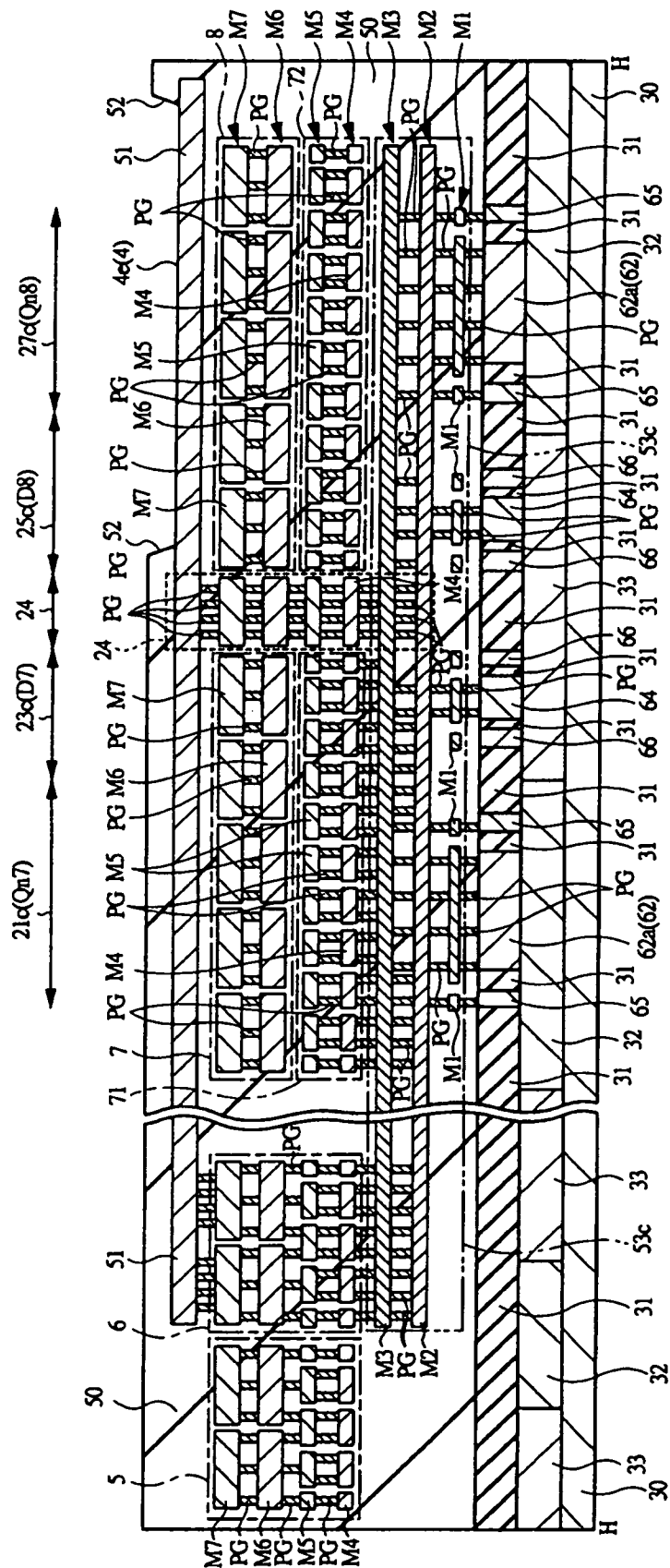


圖 22

