

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 30 日 (30.01.2020)



(10) 国际公布号
WO 2020/019282 A1

(51) 国际专利分类号:

H01L 27/115 (2017.01)

(21) 国际申请号:

PCT/CN2018/097349

(22) 国际申请日:

2018 年 7 月 27 日 (27.07.2018)

(25) 申请语言:

中文

(26) 公布语言:

中文

(71) 申请人: 长江存储科技有限责任公司
(**YANGTZE MEMORY TECHNOLOGIES CO., LTD.**)
[CN/CN]; 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。

(72) 发明人: 董金文(**DONG, Jinwen**); 中国湖北省武汉市洪山区东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。 陈俊(**CHEN, Jun**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。 夏志良(**XIA, Zhiliang**); 中国湖北省武汉市洪山区

东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。 华子群(**HUA, Ziqun**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。 朱继锋(**ZHU, Jifeng**); 中国湖北省武汉市东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。 陈赫(**CHEN, He**); 中国湖北省武汉市洪山区东湖开发区关东科技工业园华光大道 18 号 7018 室, Hubei 430074 (CN)。

(74) 代理人: 上海盈盛知识产权代理有限公司 (普通合伙) (**SHANGHAI WINSUN INTELLECTUAL PROPERTY AGENCY**); 中国上海市闸北区梅园路 228 号企业广场 12 楼 1216 室, Shanghai 200070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) **Title:** MEMORY STRUCTURE AND FORMING METHOD THEREFOR

(54) 发明名称: 存储器结构及其形成方法

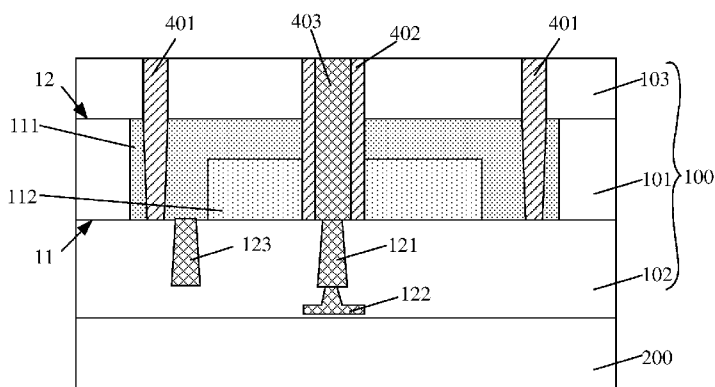


图 6

(57) **Abstract:** The present invention relates to a memory structure and a forming method therefor. The memory structure comprises: a first base, comprising: a substrate layer having a first surface and a second surface opposite to each other and a storage layer located on the first surface of the substrate layer, the substrate layer having a doping well; and an isolating structure passing through the substrate layer, located on the edge of the doping well, and configured to isolate the doping well and the surrounding substrate layer. The memory structure can avoid electric leakage between the doping well and the substrate layer, thereby improving performance.

(57) **摘要:** 本发明涉及一种存储器结构及其形成方法, 所述存储器结构包括: 第一基底, 包括: 衬底层和存储层, 所述衬底层具有相对的第一表面和第二表面, 所述存储层位于所述衬底层的第一表面上, 所述衬底层内具有掺杂阱; 隔离结构, 贯穿所述衬底层, 且位于所述掺杂阱边缘, 用于隔离所述掺杂阱与周围的衬底层。所述存储器结构能够避免掺杂阱与衬底层之间的漏电, 提高性能。



WO 2020/019282 A1

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权申请并被授予专利 (细则4.17(ii))

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

存储器结构及其形成方法

技术领域

本发明涉及半导体技术领域，尤其涉及一种存储器结构及其形成方法。

背景技术

近年来，闪存(Flash Memory)存储器的发展尤为迅速。闪存存储器的主要特点是在不加电的情况下能长期保持存储的信息，且具有集成度高、存取速度快、易于擦除和重写等优点，因而在微机、自动化控制等多项领域得到了广泛的应用。为了进一步提高闪存存储器的位密度(Bit Density)，同时减少位成本(Bit Cost)，三维的闪存存储器(3D NAND)技术得到了迅速发展。

在 3D NAND 闪存结构中，包括存储阵列结构以及位于存储阵列结构上方的 CMOS 电路结构，所述存储阵列结构和 CMOS 电路结构通常分别形成于两个不同的晶圆上，然后通过键合方式，将 CMOS 电路晶圆键合到存储阵列结构上方，将 CMOS 电路和存储阵列电路连接在一起；然后再将存储阵列结构所在晶圆的背面减薄，通过贯穿背面的接触部将整个电路接出。当背面减薄过程中，碰到晶圆内的深掺杂阱或者深掺杂阱下方保留的衬底厚度过小，会导致深掺杂阱与衬底之间产生严重的漏电。

现有技术中，一般通过严格控制掺杂阱的深度以及在深掺杂阱下方保留足够的衬底厚度来减小漏电流。但是，现有技术防止漏电流的方法需要严格控制工艺过程，导致工艺的有效窗口较小，工艺的偏差可能导致晶圆的大宗报废。而且，由于电路的接出，需要打通背面的硅形成穿通接触部，增加掺杂阱下方保留的厚度会导致穿通接触部的深宽比增加，增加工艺的难度。更进一步的，掺杂阱下方保留的衬底厚度增大，会导致接出电路的焊垫的寄生电容增大，影响产品的性能。

发明内容

本发明所要解决的技术问题是，提供一种存储器结构及其形成方法，避免掺杂阱与衬底之间产生漏电。

本发明的技术方案提供一种存储器结构，包括：第一基底，包括：衬底层和存储层，所述衬底层具有相对的第一表面和第二表面，所述存储层位于所述衬底层的第一表面上，所述衬底层内具有掺杂阱；隔离结构，贯穿所述衬底层，且位于所述掺杂阱边缘，包围所述掺杂阱设置，用于隔离所述掺杂阱与所述隔离结构外围的衬底层。

可选的，所述隔离结构的至少一侧侧壁与所述掺杂阱连接。

可选的，所述存储层内形成有第一接触部，用于连接至所述第一类型掺杂阱，所述第一接触部位于被所述隔离结构包围的第一类型掺杂阱表面。

可选的，所述隔离结构包括贯穿所述衬底层的隔离沟槽和填充满所述隔离沟槽的隔离材料。

可选的，所述第一基底还包括位于所述衬底层的第二表面上的介质层，所述隔离结构还贯穿所述介质层。

可选的，还包括：贯穿所述介质层和衬底层的第二接触部，所述第二接触部包括金属柱以及位于所述金属柱侧壁表面的绝缘侧墙。

可选的，所述掺杂阱底部位于所述衬底层内，与所述衬底层的第二表面之间具有一间距。

可选的，所述衬底层的第二表面暴露出所述掺杂阱的底部表面。

可选的，所述掺杂阱包括第一类型掺杂阱以及位于所述第一类型掺杂阱内的第二类型掺杂阱。

可选的，还包括：第二基底，所述第二基底内形成有外围电路；所述第二基底位于所述存储层表面，所述存储层内形成有存储单元和连接所述存储单元的存储电路结构，所述第二基底内的外围电路与所述存储层内的存储电路结构之间形成电连接。

为解决上述问题，本发明的具体实施方式还提供一种存储器结构的形成方法，包括：提供第一基底，包括衬底层和存储层，所述衬底层具有相对的第一表面和第二表面，所述存储层位于所述衬底层的第一表面上，所述衬底层内具有掺杂阱；形成贯穿所述衬底层的隔离结构，包围所述掺杂阱设置，用于隔离所述掺杂阱与所述隔离结构外围的衬底层。

可选的所述隔离结构的至少一侧侧壁与所述掺杂阱连接。

可选的，所述存储层内形成有第一接触部，用于连接至所述第一类型掺杂阱，所述第一接触部位于被所述隔离结构包围的第一类型掺杂阱表面。

可选的，形成贯穿所述衬底层的隔离结构的步骤进一步包括：形成贯穿所述衬底层的隔离沟槽，所述隔离沟槽位于所述掺杂阱边缘，围绕所述掺杂阱设置；形成填充满所述隔离沟槽的隔离材料。

可选的，还包括：在所述衬底层的第二表面上形成介质层，所述隔离结构还贯穿所述介质层。

可选的，还包括：形成贯穿所述介质层和衬底层的第二接触部。

可选的，所述第二接触部和隔离结构的形成方法包括：刻蚀所述介质层至所述衬底层，在所述介质层内形成第一开口和第二开口；沿所述第一开口和所述第二开口同时刻蚀所述衬底层，分别形成贯穿所述衬底层的隔离沟槽和接触孔；形成填充满所述隔离沟槽、第一开口以及覆盖所述接触孔和第二开口内壁表面的绝缘材料层；去除位于所述接触孔底部的绝缘材料层；形成填充满所述接触孔和第二开口的金属材料层，并以所述介质层为停止层对所述金属材料层进行平坦化。

可选的，所述掺杂阱底部位于所述衬底层内，与所述衬底层的第二表面之间具有一间距，或者所述衬底层的第二表面暴露出所述掺杂阱的底部表面。

可选的，所述掺杂阱包括第一类型掺杂阱以及位于所述第一类型掺杂阱内的第二类型掺杂阱。

可选的，所述存储层表面还具有第二基底，所述第二基底内形成有外围电路；所述第二基底位于所述存储层表面，所述存储层内形成有存储单元和连接所述存储单元的存储电路结构，所述第二基底内的外围电路与所述存储层内的存储电路结构之间形成电连接。

本发明的存储器结构的衬底层内形成有隔离结构作为掺杂阱与周围衬底之间的物理隔离结构，可以避免所述掺杂阱与隔离结构外围的衬底层之间发生漏电问题，进而提高存储器的性能。所述掺杂阱底部无需具有较厚的衬底，使得所述衬底层整体厚度较低，从而可以降低介质层上形成的焊垫或其他电连接

结构与器件层之间的寄生电容，从而可以提高存储器结构的性能。

本发明的存储器结构的形成方法在形成贯穿衬底层连接至存储层的接触部的同时，形成位于所述掺杂阱与周围衬底之间的隔离结构，无需增加额外的工艺步骤，在不增加工艺成本的前提下，可以避免掺杂阱与周围衬底之间的漏电问题，有利于提高存储器结构的性能。

附图说明

图 1 至图 6 为本发明一具体实施方式的存储器结构的形成过程的结构示意图；

图 7 为本发明一具体实施方式的存储器结构的结构示意图。

具体实施方式

下面结合附图对本发明提供的存储器结构及其形成方法的具体实施方式做详细说明。

请参考图 1 至图 6，为本发明一具体实施方式的存储器结构的形成过程的结构示意图。

请参考图 1，提供第一基底 100，包括：衬底层 101 和存储层 102，所述衬底层 101 具有相对的第一表面 11 和第二表面 12，所述存储层 102 位于所述衬底层 101 的第一表面 11 上，所述衬底层 101 内具有掺杂阱。

图 1 中，所述第一基底 100 处于倒置状态，此时，所述衬底层 101 的第一表面 11 为衬底层 101 的下表面，而第二表面 12 为衬底层 101 的上表面。所述存储层 102 覆盖所述衬底层 101 的第一表面 11，在倒置状态下，相应的所述存储层 102 也位于所述衬底层 101 的下方。本发明的具体实施方式中，上、下、顶部、底部的相对位置描述均是相对第一基底 100 处于正置状态而言。

所述衬底层 101 为半导体材料层，可以为单晶硅晶圆、包括单晶硅晶圆以及晶圆表面的半导体外延层、或者绝缘体上硅衬底等。本具体实施方式中，所述衬底层 101 包括单晶硅晶圆以及位于所述单晶硅衬底表面的单晶硅外延层，所述单晶硅外延层表面为第一表面 11，所述单晶硅晶圆另一侧表面为第二表面

12。

所述掺杂阱为对所述衬底层 101 的第一表面 11 进行离子掺杂而形成，根据离子掺杂的方向，靠近第一表面 11 处为掺杂阱的顶部，靠近第二表面 12 处为掺杂阱的底部。所述掺杂阱的顶部表面与所述衬底层 101 的第一表面 11 共面。在一个具体实施方式中，所述掺杂阱包括第一类型掺杂阱 111 以及位于所述第一类型掺杂阱 111 内的第二类型掺杂阱 112。在一个具体实施方式中，所述第一类型掺杂阱 111 为 N 型掺杂阱，所述第二类型掺杂阱 112 为 P 型掺杂阱。更进一步的，所述第二类型掺杂阱 112 为 P 型掺杂阱，所述第一类型掺杂阱 111 包括位于所述 P 型掺杂阱两侧的 N 型掺杂阱以及位于所述 N 型掺杂阱和 P 型掺杂阱下方的 N 型深掺杂阱。

所述衬底层 101 内可以形成有多个掺杂阱，相邻掺杂阱之间具有一定间距。所述衬底层 101 可以为形成有掺杂阱的晶圆背面进行减薄而形成，根据减薄程度的不同，可以对掺杂阱底部与衬底层 101 的第二表面 12 之间的距离进行调整。

该具体实施方式中，所述衬底层 101 的第二表面 12 暴露出所述第一类型掺杂阱 111 的底部表面，在对晶圆背面进行减薄的过程中，减薄至暴露出所述第一类型掺杂阱 111。

在另一具体实施方式中，所述第一类型掺杂阱 111 位于所述衬底层 101 内，所述第一类型掺杂阱 111 的底部表面与所述衬底层 101 的第二表面 12 之间具有一定间距。所述第一类型掺杂阱 111 底部与所述衬底层 101 的第二表面 12 之间具有一定厚度的衬底。

所述存储层 102 包括绝缘层以及形成与所述绝缘层内的存储单元以及连接所述存储单元的存储电路。在一个具体实施方式中，所述存储层 102 内形成有 3D NAND 存储单元，且所述存储单元均形成于所述第二类型掺杂阱 112 的顶部表面。所述存储层 102 还包括贯穿所述存储单元的贯穿阵列接触部 121 以及连接所述阵列接触部 121 的互连层 122。图 1 中，仅示出一个贯穿阵列接触部 121 以及部分互连层 122，仅作为示意。在实际的存储器结构中，每个存储单元内可形成有多个所述贯穿阵列接触部 121。

该具体实施方式中,所述第一基底 100 还包括位于所述衬底层 101 第二表面 12 上的介质层 103。所述介质层 103 作为覆盖所述衬底层 101 第二表面 12 的钝化层,用于保护所述衬底层 101 的第二表面 12。所述介质层 103 的材料可以为 TEOS、氮化硅、氮氧化硅、氧化硅等绝缘介质材料。所述介质层 103 可以为单层结构可以为多层堆叠结构。可以通过化学气相沉积工艺、旋涂工艺、原子层沉积工艺等各种沉积工艺形成所述介质层 103。

所述存储层 102 与所述衬底层 101 相对的另一侧表面还与一第二基底 200 键合连接,所述第二基底 200 内形成有外围电路;所述第二基底 200 位于所述存储层 102 表面,所述第二基底 200 内的外围电路与所述存储层 102 内的存储电路之间形成电连接。具体的,所述第二基底 200 朝向所述存储层 102 的表面暴露出外围电路的连接部的表面,而所述存储层 102 的表面暴露出存储电路的连接部表面,两者键合,形成电连接。

请参考图 2,刻蚀所述介质层 103 至所述衬底层 101 的第二表面 12,在所述介质层 103 内形成第一开口 131 和第二开口 132。

具体的,所述第一开口 131 和第二开口 132 的形成方法包括:在所述介质层 103 表面形成光刻胶层,采用一光罩对所述光刻胶层进行曝光显影,形成图形化的光刻胶层;以所述图形化光刻胶层为掩膜层,刻蚀所述介质层 103,形成所述第一开口 131 和第二开口 132。所述第一开口 131 用来定义后续待形成的隔离结构的位置和尺寸,所述第二开口 132 用于定义后续待形成的贯穿所述衬底层 101 的接触部的位置和尺寸。采用同一光罩进行光刻工艺在介质层 103 上形成图形化光刻胶层,再刻蚀介质层 103,同时形成所述第二开口 132 和第一开口 131,无需针对隔离结构额外增加工艺步骤。

所述第一开口 131 为一环形沟槽状;所述第二开口 132 为孔状,横截面可以为圆形、矩形或多边形等。

请参考图 3,沿所述第一开口 131 和所述第二开口 132 同时刻蚀所述衬底层 101,分别形成贯穿所述衬底层 101 的隔离沟槽 113 和接触孔 114。

所述接触孔 114 底部暴露出所述存储层 102 内的电连接结构,后续在所述接触孔 114 内形成贯穿衬底层 101 的第二接触部,与所述存储层 102 内的电连

接结构连接。该具体实施方式中，仅示出了形成一个接触孔 114，所述接触孔 114 穿过所述掺杂阱，底部暴露出所述存储层 102 内的贯穿阵列接触部 121。在其他具体实施方式中，可以形成多个接触孔 114，部分接触孔 114 可以位于所述掺杂阱外围，暴露出存储单元外部的电连接结构。

所述隔离沟槽 113 的至少一侧侧壁与所述掺杂阱连接。所述隔离沟槽 113 位于所述掺杂阱边缘，围绕所述掺杂阱设置。该具体实施方式中，所述隔离沟槽 113 位于所述第一类型掺杂阱 111 内，所述隔离沟槽 113 的两侧侧壁均暴露出所述第一类型掺杂阱 111。在另一具体实施方式中，所述隔离沟槽 113 仅一侧侧壁暴露出所述第一类型掺杂阱 111，而另一侧侧壁暴露出衬底层 101。

在另一具体实施方式中，所述隔离沟槽 113 与所述第一类型掺杂阱 111 边缘之间还可以具有一定间距，所述第一类型掺杂阱 111 与后续在所述隔离沟槽 113 内形成的隔离结构之间具有部分厚度的硅。虽然后续在隔离沟槽 113 内形成的隔离结构与所述第一类型掺杂阱 111 之间具有部分衬底材料，但是由于存储器在工作过程中，将隔离沟槽 113 外围的衬底层 101 接地，因此，所述隔离结构与所述第一类型掺杂阱 111 之间部分衬底层 101 不会形成导电通路，因此也不会造成漏电。

所述隔离沟槽 113 的宽度小于所述接触孔 114 的宽度。在本发明的一个具体实施方式中，所述隔离沟槽 113 的宽度为小于接触孔 114 的孔径宽度的一半，且大于 20nm，所述接触孔 114 的孔径最大宽度为 1500nm。

请参考图 4，形成填充满所述隔离沟槽 113、第一开口 131 以及覆盖所述接触孔 114 和第二开口 132 内壁表面的绝缘材料层 400。

所述绝缘材料层 400 的材料可以为氧化硅、氮氧化硅或氮化硅等绝缘介质材料。可以采用化学气相沉积工艺、原子层沉积工艺、等离子体增强化学气相沉积工艺等形成所述绝缘材料层 400。由于所述隔离沟槽 113 的宽度小于所述接触孔 114 的直径，所述绝缘材料层 400 填充满所述隔离沟槽 113 和第一开口 131 时，所述绝缘材料层 400 仅覆盖所述接触孔 114 和第二开口 132 的内壁表面。

所述绝缘材料层 400 还覆盖所述介质层 103 的表面。

请参考图 5，去除位于所述接触孔 114 底部的绝缘材料层 400，形成覆盖所述接触孔 114 和第二开口 132 侧壁的绝缘侧墙 402，填充于所述隔离沟槽 113 和第一开口 131 内的绝缘材料层作为隔离结构 401。

采用各向异性刻蚀工艺去除位于所述接触孔 114 底部的绝缘材料层 400。在去除所述接触孔 114 底部的绝缘材料层 400 的同时，还将位于所述介质层 103 表面的绝缘材料层 400 去除。在其他具体实施方式中，去除位于所述接触孔 114 底部的绝缘材料层 400 之后，所述介质层 103 表面还剩余部分厚度的绝缘材料层 400。

所述隔离结构 401 的至少一个侧壁与所述掺杂阱连接。该具体实施方式中，所述隔离结构 401 完全位于所述第一类型掺杂阱 111 内，靠近所述第一类型掺杂阱 111 的边缘，因此，所述隔离结构 401 的两个侧壁均与所述第一类型掺杂阱 111 连接，大部分第一类型掺杂阱 111 以及第二类型掺杂阱 112 被所述隔离结构 401 包围，被所述隔离结构 401 包围的掺杂阱区域与周围的衬底层 101 之间通过所述隔离结构 401 实现物理隔离。

在另一具体实施方式中，所述隔离结构 401 的一侧侧壁与所述第一类型掺杂阱 111 连接，另一侧连接至所述第一类型掺杂阱 111 外围的衬底层 101。

在另一具体实施方式中，所述隔离结构 401 与所述第一类型掺杂阱 111 边缘之间还可以具有一定间距，所述第一类型掺杂阱 111 与所述隔离结构 401 之间还具有部分厚度的衬底材料。所述隔离结构 401 用于实现被所述隔离结构 401 包围的区域与隔离结构 401 外围的衬底材料之间的隔离。

由于存储器在工作状态时，所述衬底层 101 接地，所述隔离结构 401 作为物理隔离结构，可以避免所述第一掺杂阱 111 与隔离结构 401 外围的衬底层 101 之间发生漏电问题，进而提高存储器的性能。

虽然所述第一类型掺杂阱 111 与周围的衬底层 101 直接接触会形成耗尽层，可以减少漏电，但是所述耗尽层需要有足够的厚度才能够完全避免漏电的产生。这种情况下，需要所述第一类型掺杂阱 111 外围需要有较大厚度的未掺杂衬底，因此，要求衬底层的厚度较大。而本发明的具体实施方式中，由于所述第一类型掺杂阱 111 通过隔离结构 401 与外围的衬底层 101 之间进行物理隔

离，无需再通过耗尽层进行隔离。因此，所述衬底层 101 的第二表面 12 可以被减薄至暴露出所述第一类型掺杂阱 111 的底部表面。在其他具体实施方式中，所述第一类型掺杂阱 111 的底部表面与所述第二表面 12 之间还具有部分厚度的衬底材料，且所述第一类型掺杂阱 111 的底部表面与所述第二表面 12 之间的距离较小，例如可以小于 $1\mu\text{m}$ ，因此所述衬底层 101 的厚度较低。

该具体实施方式中，在形成所述绝缘侧墙 402 的过程中，形成所述隔离结构 401，无需增加额外的工艺步骤。

所述存储层 102 内还可以形成有连接所述第一类型掺杂阱 111 的第一接触部 123，所述第一接触部 123 位于被所述隔离结构 401 包围的第一类型掺杂阱 111 的顶部表面。

请参考图 6，形成填充所述接触孔 114 和第二开口 132 的金属材料层，并以所述介质层 102 为停止层进行平坦化，形成位于所述接触孔 114 和第二开口 132 内的金属柱 403。所述绝缘侧墙 402 和金属柱 403 构成第二接触部。

所述金属材料层的材料可以为 W、Cu、Al、Au 等金属材料。可以采用物理气相沉积工艺，例如溅射工艺，形成所述金属材料层。

对所述金属材料层进行平坦化，去除位于介质层 103 表面的金属材料层，形成金属柱 403，所述金属柱 403 连接至所述存储层 102 内的贯穿阵列接触部 121，实现与所述存储层 102 内的存储电路的连接。

后续还包括在所述介质层 103 表面形成连接至所述金属柱 403 的焊垫或其他电连接结构。由于该具体实施方式中，所述衬底层 101 内形成有隔离结构 401 作为掺杂阱与周围衬底之间的物理隔离结构，因此，所述掺杂阱底部无需具有较厚的衬底，使得所述衬底层 101 整体厚度较低，从而可以降低介质层 103 上形成的焊垫或其他电连接结构与器件层 102 之间的寄生电容，从而提高存储器结构的性能。

在另一具体实施方式中，还可以在形成所述介质层 103 之前，先刻蚀所述衬底层 101 形成隔离沟槽，在所述隔离沟槽内填充满隔离材料，作为隔离结构；然后再在所述衬底层 101 第二表面 12 上形成介质层 103，刻蚀所述介质层 103 和衬底层 101，形成贯穿所述介质层 103 和衬底层 101 的接触孔，在所述接触

孔内壁表面形成绝缘侧墙 402 以及填充满所述接触孔的金属柱 403。

本发明的具体实施方式还提供一种上述方法形成的存储结构。

请参考图 6，为本发明一具体实施方式的存储结构的结构示意图。

所述存储结构包括：第一基底 100，所述第一基底 100 包括：衬底层 101 和存储层 102，所述衬底层 101 具有相对的第一表面 11 和第二表面 12，所述存储层 102 位于所述衬底层 101 的第一表面 11 上，所述衬底层 101 内具有掺杂阱；隔离结构 401，贯穿所述衬底层 101，且位于所述掺杂阱边缘，用于隔离所述掺杂阱与周围的衬底层 101。

所述衬底层 101 为半导体材料层，可以为单晶硅晶圆、包括单晶硅晶圆以及晶圆表面的半导体外延层、或者绝缘体上硅衬底等。本具体实施方式中，所述衬底层 101 包括单晶硅晶圆以及位于所述单晶硅衬底表面的单晶硅外延层，所述单晶硅外延层表面为第一表面 11，所述单晶硅晶圆另一侧表面为第二表面 12。

图 1 中，所述第一基底 100 处于倒置状态，此时，所述衬底层 101 的第一表面 11 为衬底层 101 的下表面，而第二表面 12 为衬底层 101 的上表面。所述存储层 102 覆盖所述衬底层 101 的第一表面 11，在倒置状态下，相应的所述存储层 102 也位于所述衬底层 101 的下方。

所述掺杂阱为对所述衬底层 101 的第一表面 11 进行离子掺杂而形成，根据离子掺杂的方向，靠近第一表面 11 处为掺杂阱的顶部，靠近第二表面 12 处为掺杂阱的底部。所述掺杂阱的顶部表面与所述衬底层 101 的第一表面 11 共面。在一个具体实施方式中，所述掺杂阱包括第一类型掺杂阱 111 以及位于所述第一类型掺杂阱 111 内的第二类型掺杂阱 112。在一个具体实施方式中，所述第一类型掺杂阱 111 为 N 型掺杂阱，所述第二类型掺杂阱 112 为 P 型掺杂阱。更进一步的，所述第二类型掺杂阱 112 为 P 型掺杂阱，所述第一类型掺杂阱 111 包括位于所述 P 型掺杂阱两侧的 N 型掺杂阱以及位于所述 N 型掺杂阱和 P 型掺杂阱下方的 N 型深掺杂阱。

所述衬底层 101 内可以形成有多个掺杂阱，相邻掺杂阱之间具有一定间距。所述衬底层 101 可以为形成有掺杂阱的晶圆背面进行减薄而形成，根据减薄程

度的不同，可以对掺杂阱底部与衬底层 101 的第二表面之间的距离进行调整。

该具体实施方式中，所述衬底层 101 的第二表面 12 暴露出所述第一类型掺杂阱 111 的底部表面。在对晶圆背面进行减薄的过程中，减薄至暴露出所述第一类型掺杂阱 111。

在另一具体实施方式中，所述第一类型掺杂阱 111 位于所述衬底层 101 内，第一类型掺杂阱 111 的底部表面与所述衬底层 101 的第二表面 12 之间具有一间距。所述第一类型掺杂阱 111 底部与所述衬底层 101 的第二表面 12 之间具有一定厚度的衬底材料。

所述存储层 102 包括绝缘层以及形成与所述绝缘层内的存储单元以及连接所述存储单元的存储电路。在一个具体实施方式中，所述存储层 102 内形成有 3D NAND 存储单元，且所述存储单元均形成于所述第二类型掺杂阱 112 表面。所述存储层 102 还包括贯穿所述存储单元的贯穿阵列接触部 121 以及贯穿所述阵列接触部 121 的互连层 122。图 1 中，仅示出一个贯穿阵列接触部 121 以及部分互连层 122 作为示意。在实际的存储器结构中，每个存储单元内可形成有多个所述贯穿阵列接触部 121。

该具体实施方式中，所述第一基底 100 还包括位于所述衬底层 101 第二表面 12 上的介质层 103。所述介质层 103 作为所述衬底层 101 第二表面 12 上的钝化层，用于保护所述衬底层 101 的第二表面 12。所述介质层 103 的材料可以为 TEOS、氮化硅、氮氧化硅、氧化硅等绝缘介质材料。所述介质层 103 可以为单层结构可以为多层堆叠结构。可以通过化学气相沉积工艺、旋涂工艺、原子层沉积工艺等各种沉积工艺形成所述介质层 103。

所述隔离结构 401 包括贯穿所述衬底层 101 的隔离沟槽和填充满所述隔离沟槽的隔离材料。该具体实施方式中，所述隔离结构 401 还贯穿所述介质层 103。在另一具体实施方式中，所述隔离结构 401 还可以仅位于所述衬底层 101 内。

所述隔离结构 401 的至少一侧侧壁与所述掺杂阱连接。该具体实施方式中，所述隔离结构 401 完全位于所述第一类型掺杂阱 111 内，靠近所述第一类型掺杂阱 111 的边缘，因此，所述隔离结构 401 的两个侧壁均与所述第一类型掺杂

阱 111 连接，大部分第一类型掺杂阱 111 以及第二类型掺杂阱 112 被所述隔离结构 401 包围，被所述隔离结构 401 包围的掺杂阱区域与周围的衬底层 101 之间通过所述隔离结构 401 实现物理隔离。

在另一具体实施方式中，所述隔离结构 401 的一侧侧壁与所述第一类型掺杂阱 111 连接，另一侧连接至所述第一类型掺杂阱 111 外围的衬底层 101。

在另一具体实施方式中，所述隔离结构 401 与所述第一类型掺杂阱 111 边缘之间还可以具有一定间距，所述第一类型掺杂阱 111 与所述隔离结构 401 之间还具有部分厚度的衬底材料。所述隔离结构 401 用于实现被所述隔离结构 401 包围的区域与隔离结构 401 外围的衬底材料之间的隔离。

由于存储器在工作状态时，所述衬底层 101 接地，所述隔离结构 401 作为物理隔离结构，可以避免所述第一掺杂阱 111 与隔离结构 401 外围的衬底层 101 之间发生漏电问题，进而提高存储器的性能。由于所述第一类型掺杂阱 111 通过隔离结构 401 与外围的衬底层 101 之间进行物理隔离，无需再通过耗尽层进行隔离。因此，所述衬底层 101 的第二表面 12 可以被减薄至暴露出所述第一类型掺杂阱 111 的底部表面。在其他具体实施方式中，所述第一类型掺杂阱 111 的底部表面与所述第二表面 12 之间还具有部分厚度的衬底材料，且所述第一类型掺杂阱 111 的底部表面与所述第二表面 12 之间的距离较小，例如可以小于 $1\mu\text{m}$ ，因此所述衬底层 101 的厚度较低。

所述存储层 102 内形成有第一接触部 123，用于连接至所述第一类型掺杂阱 111，所述第一接触 123 部位于被所述隔离结构 401 包围的第一类型掺杂阱 111 的顶部表面。

所述存储结构还包括：贯穿所述介质层 103 和衬底层 101 的第二接触部，所述第二接触部包括金属柱 403 以及位于所述金属柱 403 侧壁表面的绝缘侧墙 402。所述金属柱 403 的材料可以为 W、Cu、Al、Au 等金属材料。所述金属柱 403 连接至所述贯穿阵列接触部 121，实现与所述存储层 102 内的存储电路的连接。

由于所述隔离结构 401 和第二接触部贯穿所述介质层 103 和衬底层 101，因此，可以通过刻蚀介质层 103 和衬底层 101，同时形成隔离沟槽和接触孔，

然后在形成所述绝缘侧墙 402 的同时,形成填充所述隔离沟槽的隔离结构 401, 无需增加额外工艺步骤。

所述介质层 103 表面还可以具有连接至所述金属柱 403 的焊垫或其他电连接结构。由于该具体实施方式中,所述衬底层 101 内形成有隔离结构 401 作为掺杂阱与周围衬底之间的物理隔离结构,因此,所述掺杂阱底部无需具有较厚的衬底,使得所述衬底层 101 整体厚度较低,从而可以降低介质层 103 上形成的焊垫或其他电连接结构与器件层 102 之间的寄生电容,从而提高存储器结构的性能。

所述存储层 102 表面还具有第二基底 200,所述第二基底 200 内形成有外围电路;所述第二基底 200 位于所述存储层 102 表面,所述第二基底 200 内的外围电路与所述存储层 102 内的存储电路之间形成电连接。具体的,所述第二基底 200 朝向所述存储层 102 的表面暴露出外围电路的连接部的表面,而所述存储层 102 的表面暴露出存储电路的连接部表面,两者键合,形成电连接。

请参考图 7,为本发明另一具体实施方式的存储结构的结构示意图。

该具体实施方式中,所述存储结构包括:第一基底 700,所述第一基底 700 包括:衬底层 701 和存储层 702,所述衬底层 701 具有相对的第一表面和第二表面,所述存储层 702 位于所述衬底层 701 的第一表面上,所述衬底层 701 内具有掺杂阱;隔离结构 710,贯穿所述衬底层 701,且位于所述掺杂阱边缘,用于隔离所述掺杂阱与周围的衬底层 701。图 7 中,所述第一基底 700 处于正置状态。

所述衬底层 701 内形成有多个掺杂阱,所述掺杂阱包括第一类型掺杂阱 711 以及位于所述第一类型掺杂阱 711 内的第二类型掺杂阱 712。所述掺杂阱表面与所述衬底层 701 的第一表面共面。所述掺杂阱底部具有一定厚度的衬底层 701。

所述存储层 702 包括绝缘层以及形成与所述绝缘层内的存储单元以及连接所述存储单元的存储电路。所述存储层 702 内形成有 3D NAND 存储单元,且所述存储单元均形成于所述第二类型掺杂阱 712 表面。

所述存储层 702 内还形成有贯穿所述存储单元的贯穿阵列接触部 721,所

述贯穿阵列接触部 721 连接至所述第二类型掺杂阱 712；所述存储层 702 内还形成有第一接触部 722，连接至所述第一类型掺杂阱 711；所述存储层 702 内还形成有衬底接触部 723，用于连接至所述衬底层 701。所述存储层 702 内还形成有电路连接部 724，用于将所述存储层 702 内的存储电路引出。

所述第一基底 700 还包括位于所述衬底层 701 第二表面上的介质层 703。所述介质层 703 作为所述衬底层 701 第二表面上的钝化层，用于保护所述衬底层 701 的第二表面。

所述隔离结构 710 贯穿所述介质层 703 和衬底层 701。所述隔离结构 710 的一侧与第一类型掺杂阱 711 连接，将所述第一类型掺杂阱 711 和第二类型掺杂阱 712 包围，与所述隔离结构 710 外围的衬底层 701 隔离。连接所述第一类型掺杂阱 711 的第一接触部 722 位于被所述隔离结构 401 包围的第一类型掺杂阱 111 表面。

所述存储结构还包括：贯穿所述介质层 703 和衬底层 701 的第二接触部，所述第二接触部包括金属柱 731 以及位于所述金属柱 731 侧壁表面的绝缘侧墙 732。所述金属柱 731 连接至所述存储层 702 内的电路连接部 724，实现与所述存储层 702 内的存储电路的连接。在其他具体实施方式中，所述存储结构还包括连接至所述贯穿阵列接触部 721、第一接触部 722、衬底接触部 723 的第二接触部。

所述存储层 702 表面还具有第二基底 800，所述第二基底 800 内形成有外围电路；所述第二基底 800 位于所述存储层 702 表面，所述第二基底 800 内的外围电路与所述存储层 702 内的存储电路之间形成电连接。具体的，所述第二基底 800 朝向所述存储层 702 的表面暴露出外围电路的连接部的表面，而所述存储层 702 的表面暴露出存储电路的连接部表面，两者键合，形成电连接。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本发明原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本发明的保护范围。

1. 一种存储器结构，其特征在于，包括：
第一基底，包括：衬底层和存储层，所述衬底层具有相对的第一表面和第二表面，所述存储层位于所述衬底层的第一表面上，所述衬底层内具有掺杂阱；
隔离结构，贯穿所述衬底层，且位于所述掺杂阱边缘，包围所述掺杂阱设置，用于隔离所述掺杂阱与所述隔离结构外围的衬底层。
2. 根据权利要求 1 所述的存储器结构，其特征在于，所述隔离结构的至少一侧侧壁与所述掺杂阱连接。
3. 根据权利要求 1 所述的存储器结构，其特征在于，所述存储层内形成有第一接触部，用于连接至所述第一类型掺杂阱，所述第一接触部位于被所述隔离结构包围的第一类型掺杂阱表面。
4. 根据权利要求 1 所述的存储器结构，其特征在于，所述隔离结构包括贯穿所述衬底层的隔离沟槽和填充满所述隔离沟槽的隔离材料。
5. 根据权利要求 1 所述的存储器结构，其特征在于，所述第一基底还包括位于所述衬底层的第二表面上的介质层，所述隔离结构还贯穿所述介质层。
6. 根据权利要求 5 所述的存储器结构，其特征在于，还包括：贯穿所述介质层和衬底层的第二接触部，所述第二接触部包括金属柱以及位于所述金属柱侧壁表面的绝缘侧墙。
7. 根据权利要求 1 所述的存储器结构，其特征在于，所述掺杂阱底部位于所述衬底层内，与所述衬底层的第二表面之间具有一间距。
8. 根据权利要求 1 所述的存储器结构，其特征在于，所述衬底层的第二表面暴露出所述掺杂阱的底部表面。
9. 根据权利要求 1 所述的存储器结构，其特征在于，所述掺杂阱包括第一类型掺杂阱以及位于所述第一类型掺杂阱内的第二类型掺杂阱。
10. 根据权利要求 1 所述的存储器结构，其特征在于，还包括：第二基底，所述第二基底内形成有外围电路；所述第二基底位于所述存储层表面，所述存储层内形成有存储单元和连接所述存储单元的存储电路结构，所述第二

基底内的外围电路与所述存储层内的存储电路结构之间形成电连接。

11. 一种存储器结构的形成方法，其特征在于，包括：

提供第一基底，包括衬底层和存储层，所述衬底层具有相对的第一表面和第二表面，所述存储层位于所述衬底层的第一表面上，所述衬底层内具有掺杂阱；

形成贯穿所述衬底层的隔离结构，所述隔离结构位于所述掺杂阱边缘，包围所述掺杂阱设置，用于隔离所述掺杂阱与所述隔离结构外围的衬底层。

12. 根据权利要求 11 所述的存储器结构的形成方法，其特征在于，所述隔离结构的至少一侧侧壁与所述掺杂阱连接。

13. 根据权利要求 11 所述的存储器结构的形成方法，其特征在于，所述存储层内形成有第一接触部，用于连接至所述第一类型掺杂阱，所述第一接触部位于被所述隔离结构包围的第一类型掺杂阱表面。

14. 根据权利要求 11 所述的存储器结构的形成方法，其特征在于，形成贯穿所述衬底层的隔离结构的步骤进一步包括：形成贯穿所述衬底层的隔离沟槽，所述隔离沟槽位于所述掺杂阱边缘，围绕所述掺杂阱设置；形成填充满所述隔离沟槽的隔离材料。

15. 根据权利要求 11 所述的存储器结构的形成方法，其特征在于，还包括：在所述衬底层的第二表面上形成介质层，所述隔离结构还贯穿所述介质层。

16. 根据权利要求 15 所述的存储器结构的形成方法，其特征在于，还包括：形成贯穿所述介质层和衬底层的第二接触部。

17. 根据权利要求 16 所述的存储器结构的形成方法，其特征在于，所述第二接触部和隔离结构的形成方法包括：刻蚀所述介质层至所述衬底层，在所述介质层内形成第一开口和第二开口；沿所述第一开口和所述第二开口同时刻蚀所述衬底层，分别形成贯穿所述衬底层的隔离沟槽和接触孔；形成填充满所述隔离沟槽、第一开口以及覆盖所述接触孔和第二开口内壁表面的绝缘材料层；去除位于所述接触孔底部的绝缘材料层；形成填充满所述接触孔和第二开口的金属材料层，并以所述介质层为停止层对所述金属材料

层进行平坦化。

18. 根据权利要求 11 所述的存储器结构的形成方法，其特征在于，所述掺杂阱底部位于所述衬底层内，与所述衬底层的第二表面之间具有一间距，或者所述衬底层的第二表面暴露出所述掺杂阱的底部表面。
19. 根据权利要求 11 所述的存储器结构的形成方法，其特征在于，所述掺杂阱包括第一类型掺杂阱以及位于所述第一类型掺杂阱内的第二类型掺杂阱。
20. 根据权利要求 11 所述的存储器结构的形成方法，其特征在于，所述存储层表面还具有第二基底，所述第二基底内形成有外围电路；所述第二基底位于所述存储层表面，所述存储层内形成有存储单元和连接所述存储单元的存储电路结构，所述第二基底内的外围电路与所述存储层内的存储电路结构之间形成电连接。

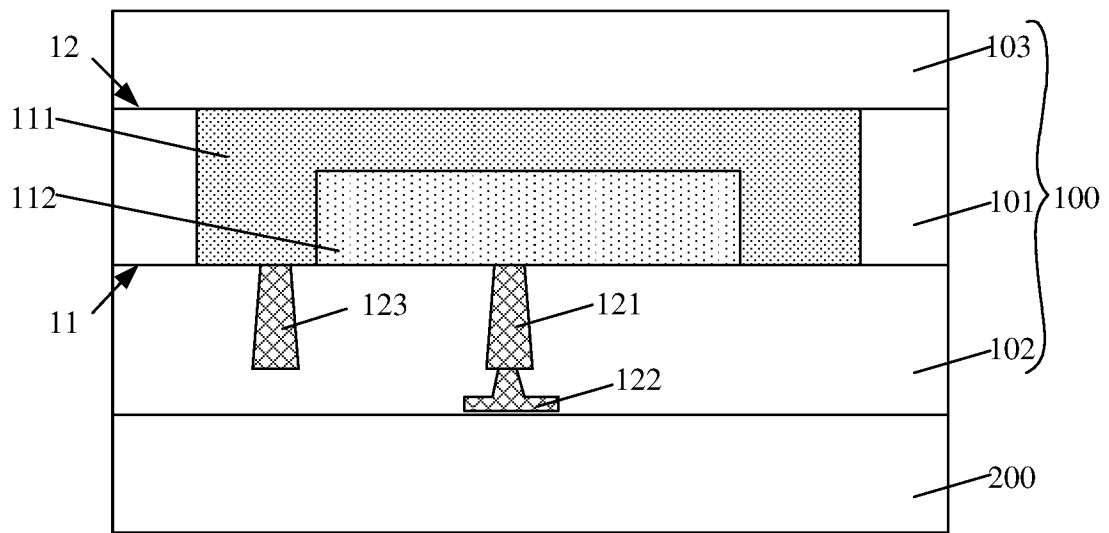


图 1

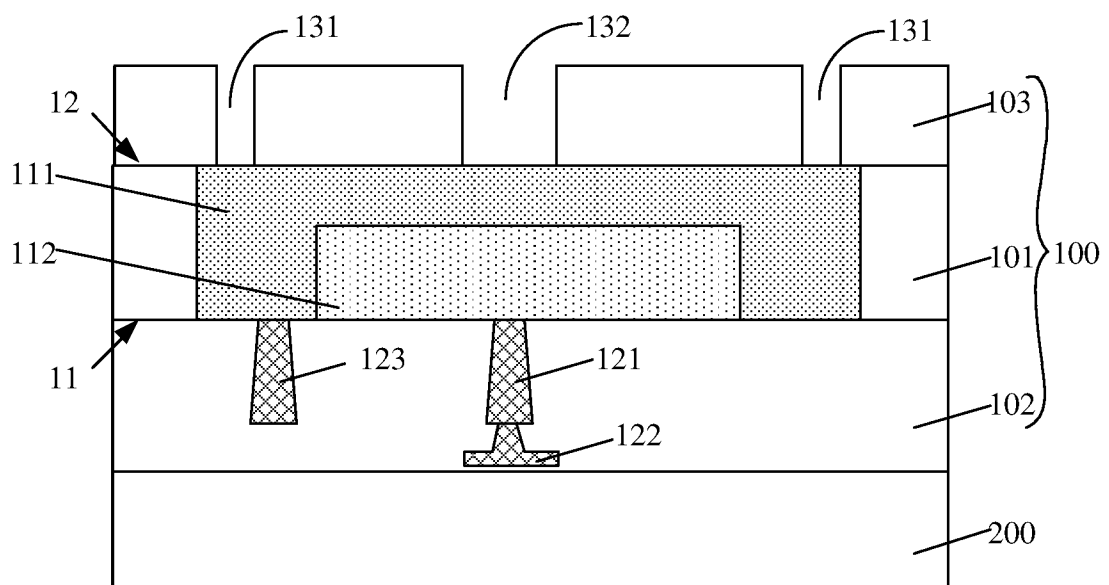


图 2

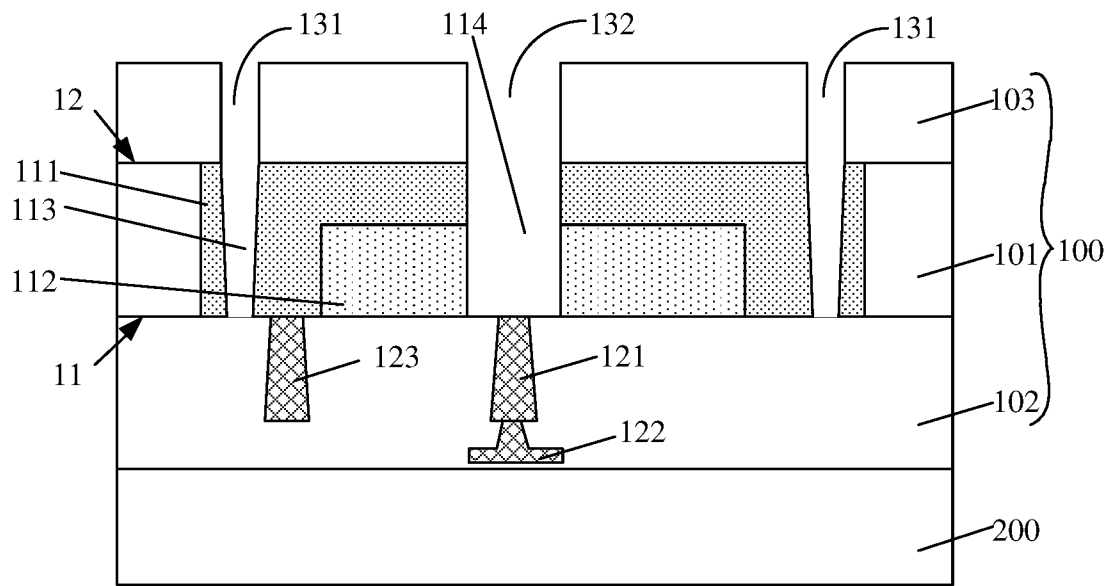


图 3

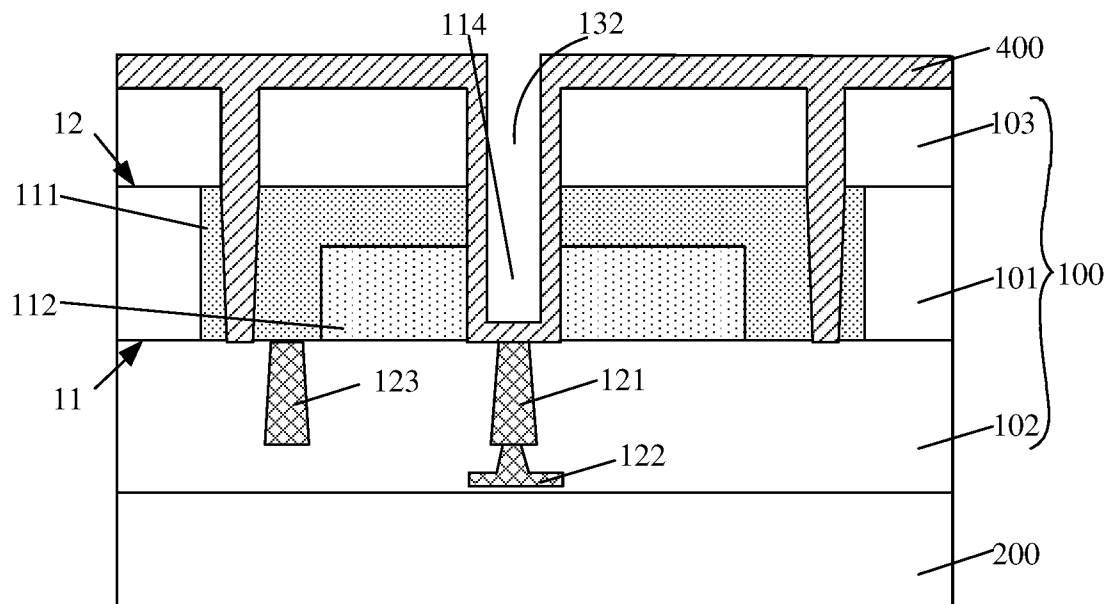


图 4

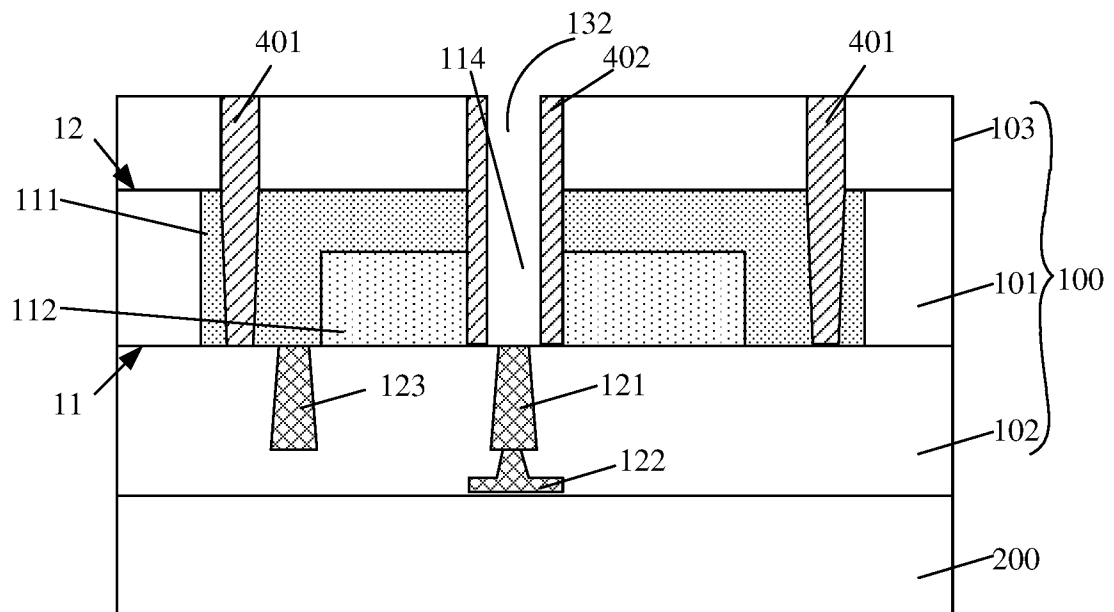


图 5

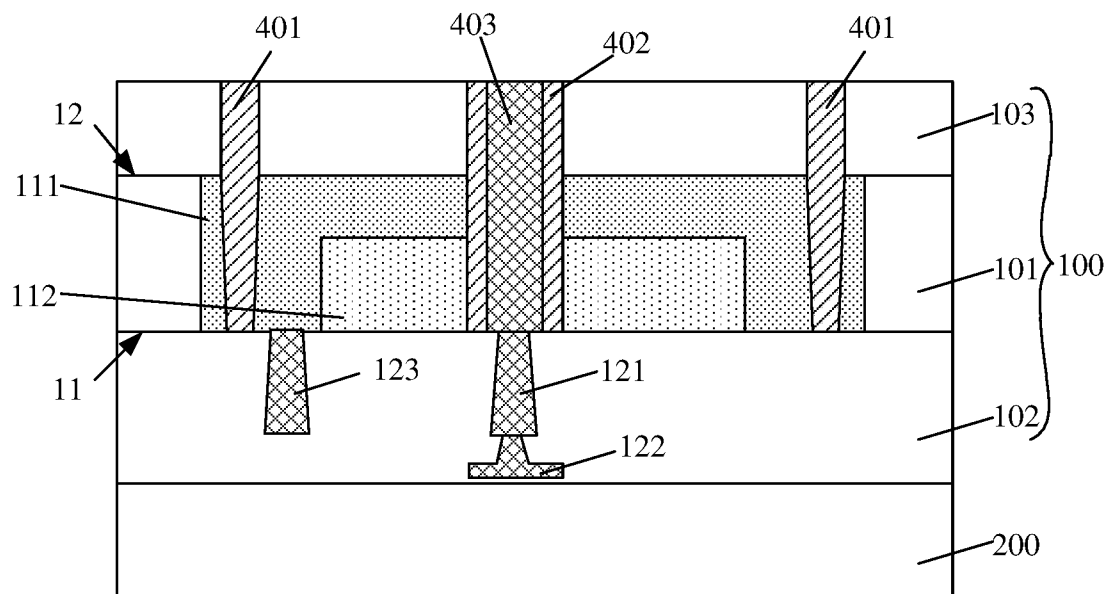


图 6

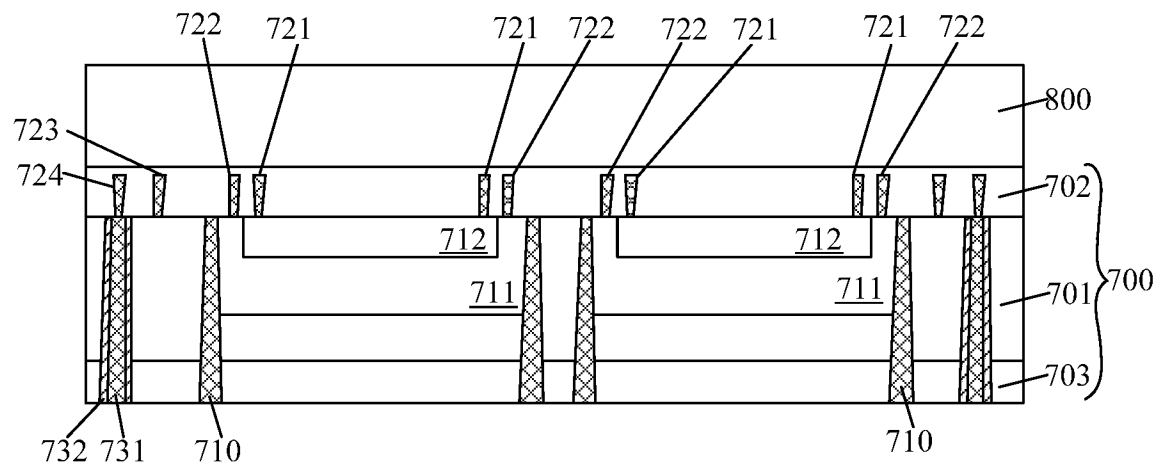


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/097349

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/115(2017.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPTXT; USTXT; VEN; WOTXT; CNABS; CNTXT; CNKI: 存储器, 闪存, 漏电, 衬底, 贯穿, 隔离, 三维, 与非, 掺杂, 阱, 基底, 3d, insolat+, nand, flash, substrate, through, dope?, base

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107808884 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION ET AL.) 16 March 2018 (2018-03-16) description, paragraphs [0064]-[0075], and figure 3A	1-20
A	CN 107799529 A (SAMSUNG ELECTRONICS CO., LTD.) 13 March 2018 (2018-03-13) entire document	1-20
A	WO 2015115002 A1 (HITACHI KOKUSAI ELECTRIC INC.) 06 August 2015 (2015-08-06) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 March 2019

Date of mailing of the international search report

04 April 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/097349

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107808884	A	16 March 2018	None			
CN	107799529	A	13 March 2018	KR	20180027708	A	15 March 2018
				US	2018068707	A1	08 March 2018
WO	2015115002	A1	06 August 2015	TW	201535510	A	16 September 2015
				JP	WO2015115002	A1	23 March 2017

国际检索报告

国际申请号

PCT/CN2018/097349

A. 主题的分类

H01L 27/115(2017.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

EPTXT;USTXT;VEN;WOTXT;CNABS;CNTXT;CNKI: 存储器, 闪存, 漏电, 衬底, 贯穿, 隔离, 三维, 与非, 掺杂, 阱, 基底, 3d, insolat+, nand, flash, substrate, through, dope?, base

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 107808884 A (中芯国际集成电路制造上海有限公司 等) 2018年 3月 16日 (2018 - 03 - 16) 说明书第[0064]-[0075]段, 附图3A	1-20
A	CN 107799529 A (三星电子株式会社) 2018年 3月 13日 (2018 - 03 - 13) 全文	1-20
A	WO 2015115002 A1 (HITACHI KOKUSAI ELECTRIC INC) 2015年 8月 6日 (2015 - 08 - 06) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 3月 14日

国际检索报告邮寄日期

2019年 4月 4日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

郑悦

传真号 (86-10)62019451

电话号码 (86-512) 88995751

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/097349

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107808884	A	2018年 3月 16日	无			
CN	107799529	A	2018年 3月 13日	KR	20180027708	A	2018年 3月 15日
				US	2018068707	A1	2018年 3月 8日
WO	2015115002	A1	2015年 8月 6日	TW	201535510	A	2015年 9月 16日
				JP	W02015115002	A1	2017年 3月 23日

表 PCT/ISA/210 (同族专利附件) (2015年1月)