

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 12 月 13 日 (13.12.2007)

PCT

(10) 国際公開番号
WO 2007/142190 A1

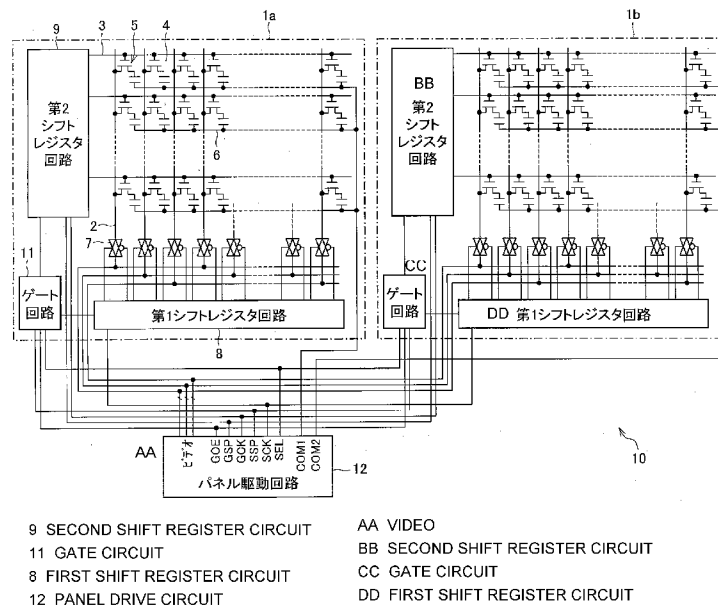
- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2007/061291
- (22) 国際出願日: 2007 年 6 月 4 日 (04.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-161440 2006 年 6 月 9 日 (09.06.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 熊田 浩二 (KUMADA, Kouji).

- (74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: DISPLAY DRIVE CIRCUIT AND DISPLAY

(54) 発明の名称: 表示装置の駆動回路、及び表示装置



(57) Abstract: By commonly using signal lines except for the signal lines to common electrodes (6) out of the signal lines including control signal lines for driving first and second panels (1a, 1b), a display drive circuit comprises shared signal lines provided to the display panels. The shared signal lines include at least one panel common signal line (e.g., a video signal line) used common to the first and second panels (1a, 1b) and panel individual signal lines (e.g., an SSP signal line of a first shift register circuit (8)) used for separately control the first and second panels (1a, 1b). A SEL control signal line is provided to select one of the signals to the first and second panels (1a, 1b) supplied through the panel individual signal lines depending on the first and second panels (1a, 1b). With this, without much increasing the number of signal lines, degradation of the display definition is not invited, and signal lines to display panels are can be shared. A display is also disclosed.

[続葉有]

WO 2007/142190 A1



IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 第1パネル(1a)及び第2パネル(1b)を駆動させるための制御信号線を含む信号線のうち、共通電極(6)への信号線を除いた各信号線を共用化して各表示パネルにそれぞれ配設された各共用化信号線を備える。各共用化信号線は、第1パネル(1a)及び第2パネル(1b)で共通に用いられる少なくとも1つのパネル共通信号線(例えばビデオ信号線)と、第1パネル(1a)及び第2パネル(1b)を個別に制御するために用いられるパネル個別信号線(例えば第1シフトレジスタ回路(8)のSSP信号線)とからなっている。パネル個別信号線にて供給される第1パネル(1a)及び第2パネル(1b)への各信号を、第1パネル(1a)及び第2パネル(1b)に応じて選択するSEL制御信号線が設けられている。これにより、信号線数を余り増加することなく、表示品位の低下を招くことなく、複数の表示パネルへの信号線を共用化し得る表示装置の駆動回路、及び表示装置を提供する。

明 細 書

表示装置の駆動回路、及び表示装置

技術分野

[0001] 本発明は、複数の表示パネルを備えたアクティブマトリックス駆動の表示装置の駆動回路、及び表示装置に関するものである。

背景技術

[0002] TFT-LCDパネルとして、主に、電子移動度の低いアモルファスシリコンTFT-LCDパネルと、電子移動度が比較的高いポリシリコンTFT-LCDパネルとが存在する。

[0003] そして、それぞれに適した駆動方式として、アモルファスシリコンTFT-LCDパネルでは線順次駆動が採用される一方、ポリシリコンTFT-LCDパネルでは点順次駆動が採用されてきた。

[0004] 上記アモルファスシリコンTFT-LCDパネルでは、線順次駆動は表示解像度に応じた信号線が必要であるので、駆動回路のコストアップと信頼性の低下とが懸念される。これに対して、電子移動度が比較的高いポリシリコンTFT-LCDでは、その性能を有効に活用して、信号線数が表示解像度にあまり依存しない点順次駆動の採用により、駆動回路のコストダウンと信頼性の向上とが図られている。

[0005] 上記の表示装置の駆動回路は、例えば、図10に示す構成を備え、図11に示す駆動方法により駆動される。

[0006] 一方、携帯電話及びゲーム機においては、複数の表示パネルを一台の機器に使用するケースが増えてきている。この場合、例えば、図12に示す構成の表示装置の駆動回路が使用される。

[0007] しかしながら、このような複数の表示パネルを一台の機器にて使用するためには、駆動配線を複数の表示パネル間で共用化することが望ましい。この駆動配線を共用化する技術として、線順次駆動では、例えば、特許文献1及び特許文献2に開示されており、映像信号線又は走査信号線のいずれかを共用化した方式が採用されている。しかし、上記文献1・2には、点順次駆動に関しては特に開示されていない。実際に

、点順次駆動方式では、信号線を共用化することなく信号線の増加によって、複数の表示パネルを使用する構成に対応してきている。

特許文献1:日本国公開特許公報「特開2004-117755号公報(公開日:2004年4月15日)」

特許文献2:日本国公開特許公報「特開2004-177528号公報(公開日:2004年6月24日)」

発明の開示

[0008] しかしながら、上記従来の表示装置の駆動回路、及び表示装置において、信号線数が少ないことをメリットとする点順次駆動方式では、複数の表示パネルを駆動するために、信号線数を増すことは、LSIパッケージの拡大、及びそれに伴うコスト上昇を招く。

[0009] また、複数の表示パネルに対して信号線を単純に共通化することは、表示品位の低下を招く恐れがあったり、複数の表示パネルのうちの一部の複数の表示パネルを同時に表示させる場合と、一つの表示パネルを表示させる場合とでは表示品位が変わってきたりするという問題を有している。

[0010] 本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、信号線数を余り増加することなく、かつ表示品位の低下を招くことなく、複数の表示パネルへの信号線を共用化し得る表示装置の駆動回路、及び表示装置を提供することにある。

[0011] 本発明の表示装置の駆動回路は、上記課題を解決するために、映像信号線、走査信号線、画素、画素スイッチング素子、共通電極、上記映像信号線に与えるビデオ信号をオン／オフするサンプリングスイッチング素子、該サンプリングスイッチング素子のオン／オフ期間を制御する信号を作成する第1シフトレジスタ回路、及び上記走査信号線に与える上記画素スイッチング素子のオン／オフ信号を作成する第2シフトレジスタ回路を備えた表示パネルを複数個駆動する表示装置の駆動回路であって、各表示パネルを駆動するための制御信号線を含む信号線のうち、上記共通電極への信号線を除いた信号線の少なくとも一部を共用化して各表示パネルにそれぞれ配設された共用化信号線を備え、上記共用化信号線は、各表示パネルで共通に用

いられる少なくとも1つのパネル共通信号線と、各表示パネルを個別に制御するために用いられるパネル個別信号線とからなっていると共に、上記パネル個別信号線にて各表示パネルへ供給される信号を、各表示パネルに応じて選択する表示パネル選択手段が設けられている。

[0012] 上記の発明によれば、各表示パネルを駆動するための制御信号線を含む信号線のうち、上記共通電極への信号線を除いた信号線の少なくとも一部を共用化して各表示パネルにそれぞれ配設された共用化信号線を備えている。

[0013] したがって、複数の表示パネルの駆動を行うに当り、信号線を表示パネルに個別に配設するのに比べて信号線数の増加を抑えることができる。また、これにより、LSIパッケージの拡大を防止し、及びそれに伴うコスト上昇を回避することができる。

[0014] なお、共通電極への信号線は、共用化することができないので、共用化信号線の対象から除かれている。

[0015] ところで、各表示パネルへの制御信号線を含む信号線を共用する場合に、各表示パネルに個別に使用されるものと、同じ内容の信号が全ての表示パネルで共通に使用されるものがある。

[0016] そこで、本発明では、共用化信号線を、各表示パネルで共通に用いられる少なくとも1つのパネル共通信号線と、各表示パネルを個別に制御するために用いられるパネル個別信号線とに分類している。

[0017] すなわち、制御信号線を含む信号線を共通化する上で、該信号線によって各表示パネルに供給する複数の信号を、信号の周波数や信号が回路に与える負荷を勘案した上で、各表示パネル内部の回路で切り分けて各表示パネルに個別に供給される信号と、切り分けられることなく直接複数の表示パネルに供給される信号とに分類している。

[0018] そして、本発明では、分類されたパネル共通信号線及びパネル個別信号線のうち、各表示パネルを個別に制御するために用いられるパネル個別信号線については、表示パネル選択手段を設けて、パネル個別信号線にて供給される各表示パネルへの信号を、各表示パネルに応じて選択するようになっている。

[0019] したがって、パネル個別信号線についても、表示パネル選択手段を設けて表示パ

ネルに応じて選択することにより、各表示パネルに個別にそれぞれ配線することなく、共用化を図ることができる。

[0020] この結果、信号線数を余り増加することなく、複数の表示パネルへの信号線を共用化し得る表示装置の駆動回路を提供することができる。

[0021] また、これにより、信号線数の大幅な増加がないので、複数の表示パネルの位置関係に対する制約もなくなることによって、自由な製品デザインが可能となる。

[0022] また、本発明の表示装置の駆動回路は、上記課題を解決するために、映像信号線、走査信号線、画素、画素スイッチング素子、共通電極、上記映像信号線に与えるビデオ信号をオン／オフするサンプリングスイッチング素子、該サンプリングスイッチング素子のオン／オフ期間を制御する信号を作成する第1シフトレジスタ回路、及び上記走査信号線に与える上記画素スイッチング素子のオン／オフ信号を作成する第2シフトレジスタ回路を備えた表示パネルを複数個駆動する表示装置の駆動回路であって、コントロール回路と、共用化信号線とを備え、上記コントロール回路は、上記各表示パネルにおける第1シフトレジスタ回路、第2シフトレジスタ回路、サンプリングスイッチング素子、及び共通電極へ各種信号を供給し、上記共用化信号線は、各表示パネルを駆動するための制御信号線を含む信号線のうち、上記共通電極への信号線を除いた、上記第1シフトレジスタ回路、第2シフトレジスタ回路、及びサンプリングスイッチング素子のための制御信号線の少なくとも一部であって、上記コントロール回路から1つの表示パネルと他の表示パネルとへ分岐して配設され、さらに、上記共用化信号線は、各表示パネルで共通に用いられる少なくとも1つのパネル共通信号線と、各表示パネルを個別に制御するために用いられるパネル個別信号線とからなっていると共に、上記駆動回路は、さらに、上記パネル個別信号線にて供給される各表示パネルへの信号を、各表示パネルに応じて選択する表示パネル選択手段を備えている。

[0023] 上記の発明によれば、各表示パネルを駆動するための制御信号線を含む信号線のうち、上記共通電極への信号線を除いた信号線の少なくとも一部を共用化して各表示パネルにそれぞれ配設された共用化信号線を備えている。

[0024] この共用化信号線は、コントロール回路から、上記各表示パネルにおける第1シフト

レジスタ回路、第2シフトレジスタ回路、サンプリングスイッチング素子、及び共通電極へ各種信号を供給する信号線である。

[0025] 上記共用化信号線は、まず、上記コントロール回路から1つの表示パネルへ配設される。そして、他の表示パネルへは、この1つの表示パネルへ配設された共用化信号線から分岐して配設される。

[0026] これにより、各表示パネルを駆動するための制御信号線を含む信号線のうち、上記共通電極への信号線を除いた、上記第1シフトレジスタ回路、第2シフトレジスタ回路、及びサンプリングスイッチング素子への各制御信号線を、具体的に、共用化して配設することができる。

[0027] また、本発明では、共用化信号線を、各表示パネルで共通に用いられる少なくとも1つのパネル共通信号線と、各表示パネルを個別に制御するために用いられるパネル個別信号線とに分類している。

[0028] そして、本発明では、分類されたパネル共通信号線及びパネル個別信号線のうち、各表示パネルを個別に制御するために用いられるパネル個別信号線については、表示パネル選択手段を設けて、パネル個別信号線にて供給される各表示パネルへの信号を、各表示パネルに応じて選択するようになっている。

[0029] したがって、パネル個別信号線について、表示パネル選択手段を設けて表示パネルに応じて選択することにより、各表示パネルに個別にそれぞれ配線することなく、共用化を図ることができる。

[0030] この結果、信号線数を余り増加することなく、複数の表示パネルへの信号線を共用化し得る表示装置の駆動回路を提供することができる。

[0031] また、これにより、信号線数の大幅な増加がないので、複数の表示パネルの位置関係に対する制約もなくなることによって、自由な製品デザインが可能となる。

[0032] また、本発明の表示装置の駆動回路では、前記表示パネル選択手段は、前記パネル個別信号線にて各表示パネルへ供給される信号を、各表示パネルに応じて選択する表示パネル選択信号線を有すると共に、上記表示パネル選択信号線が供給する信号には、1水平期間内を時分割して各表示パネルに割り当て、各表示パネルをそれぞれ表示させるための選択信号が含まれていることが好ましい。

- [0033] これにより、表示パネル選択手段を、1水平期間内を時分割して各表示パネルに割り当て、各表示パネルをそれぞれ表示させるための選択信号を供給する表示パネル選択信号線にて構成することができる。したがって、表示パネル選択手段を簡易に構成することができる。
- [0034] また、本発明の表示装置の駆動回路では、前記選択信号は、1水平期間内を時分割して各表示パネルに割り当てて該各表示パネルをそれぞれ表示させるときに、1つの表示パネルの水平ブランキング期間に他の表示パネルを割り当てる信号からなっていることが好ましい。
- [0035] これにより、他の表示パネルを表示させるときには、1つの表示パネルの水平ブランキング期間に該他の表示パネルを割り当てるので、他の表示パネルを表示することが、該1つの表示パネルの表示に影響を及ぼすことがない。
- [0036] ところで、各表示パネルの共通電極への信号が変化するとき、各表示パネルのサンプリングスイッチング素子が、ビデオ信号のサンプリング動作を行うと、表示が乱れることがある。
- [0037] そこで、本発明の表示装置の駆動回路では、前記共通電極への信号が変化するときには、各サンプリングスイッチング素子は、ビデオ信号のサンプリング動作を行わないことが好ましい。
- [0038] これにより、複数の表示パネルの相互で影響を受ける期間には、周期的に行っている駆動動作を一時的に休止することによって、表示品位を確保しながら信号線の共通化が可能となる。また、影響を受ける期間以外は複数の表示パネルにおいて同時に進行させてもよい動作を行うことによって、無駄な時間的要素を削減することができる。
- [0039] また、前記各表示パネルにおける画素スイッチング素子をオンからオフへ変化させるとき、各サンプリングスイッチング素子が、ビデオ信号のサンプリング動作を行うと、表示が乱れることがある。
- [0040] そこで、本発明の表示装置の駆動回路では、前記画素スイッチング素子をオンからオフへ変化させるとき、各サンプリングスイッチング素子は、ビデオ信号のサンプリング動作を行わず、かつビデオ信号を一定レベルに固定しておくことが好ましい。なお

、ビデオ信号を一定レベルに固定する場合に、いずれの階調レベルを上記一定レベルとして選択してもかまわず、表示中に前記画素スイッチング素子をオンからオフへ変化させるときに常に、ビデオ信号を一定レベルに固定すれば問題がない。

[0041] これにより、複数の表示パネルの相互で影響を受ける期間には、周期的に行っている駆動動作を一時的に休止することによって、表示品位を確保しながら信号線の共通化が可能となる。また、特に、容量カップリングによる電圧変動が起こる場合に、各画素の電圧変動に対して均等に影響を及ぼすことができる。すなわち、影響の度合いが異なる電圧変動がランダムで起こることを防止することができる。

[0042] また、本発明の表示装置の駆動回路では、前表示パネル選択手段は、複数の表示パネルのうち一部の表示パネルをオフにする制御を行うことが好ましい。

[0043] これにより、複数の表示パネルのうち一部の表示パネルをオフしておけるので、消費電力を抑えることができる。また、複数の表示パネルの同時表示や単独表示等の様々な動作に対応させることが可能となる。

[0044] また、本発明の表示装置の駆動回路では、前記複数の表示パネルのそれぞれを点順次駆動することが好ましい。

[0045] これにより、点順次駆動方式の本来のメリットを継承しながらチップサイズの縮小、ひいてはコスト削減に役立つ。また、複数の表示パネルを備えた例えば携帯機器においても、低コスト、高信頼性の点順次駆動方式が可能となり、かつ、線順次駆動方式の信号線共通化の欠点であった複数の表示パネルの位置関係に対する制約もなくなることによって、自由な製品デザインが可能となる。

[0046] また、本発明の表示装置は、上記課題を解決するために、上記駆動回路を備えている。

[0047] これにより、信号線数を余り増加することなく、表示品位の低下を招くことなく、複数の表示パネルへの信号線を共用化し得る表示装置の駆動回路を備えた表示装置を提供することができる。

[0048] 本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明によって明白になるであろう。

図面の簡単な説明

[0049] [図1]本発明における表示装置の駆動回路の実施の一形態を示すブロック図である。

[図2]上記表示装置の駆動回路における駆動方法を示すタイミングチャートである。

[図3]上記表示装置の駆動回路におけるサンプリングスイッチング素子のオン／オフ信号作成用シフトレジスタである第1シフトレジスタ回路で作成されたサンプリングパルスを示すタイミングチャートである。

[図4]上記表示装置の駆動回路における走査線信号作成用シフトレジスタである第2シフトレジスタ回路で作成された走査線信号を示すタイミングチャートである。

[図5]上記表示装置の駆動回路において、各表示パネルの共通電極への信号が変化する期間では、各表示パネルのサンプリングスイッチング素子は、ビデオ信号のサンプリング動作を行わない駆動動作を示すタイミングチャートである。

[図6]図5に示すタイミングで作成されたサンプリングパルスを示すタイミングチャートである。

[図7]上記表示装置の駆動回路において、画素スイッチング素子がオンからオフへ変化するときには、各表示パネルのサンプリングスイッチング素子は、ビデオ信号のサンプリング動作を行わず、かつビデオ信号を一定レベルに固定しておく駆動動作を示すタイミングチャートである。

[図8]図7に示すタイミングで作成されたサンプリングパルスを示すタイミングチャートである。

[図9]本発明における表示装置の駆動回路のさらに他の実施の形態を示すブロック図である。

[図10]従来の表示装置の駆動回路の構成を示すブロック図である。

[図11]上記従来の表示装置の駆動回路の駆動動作を示すタイミングチャートである。

[図12]従来の他の表示装置の駆動回路の構成を示すブロック図である。

[図13]図9に示す駆動回路において、2つの表示パネルに表示を行わせる場合の各種信号を示すタイミングチャートである。

[図14]図9に示す駆動回路において、2つの表示パネルの一方を非表示状態とする

場合の各種信号を示すタイミングチャートである。

符号の説明

- [0050] 1a 第1パネル(表示パネル)
 1b 第2パネル(表示パネル)
 2 映像信号線
 3 走査信号線
 4 画素
 5 TFT(画素スイッチング素子)
 6 共通電極
 7 サンプリングスイッチング素子
 8 第1シフトレジスタ回路
 9 第2シフトレジスタ回路
 10 駆動回路
 11 ゲート回路(表示パネル選択手段)
 12 パネル駆動回路(コントロール回路)
SEL パネル選択信号(選択信号)

発明を実施するための最良の形態

[0051] 本発明の一実施形態について図1ないし図9に基づいて説明すれば、以下の通りである。

[0052] 本実施の形態の表示装置としての液晶表示装置の駆動回路10(以下単に「駆動回路10」という)について、図1及び図2に基づいて説明する。図1は、駆動回路10の構成を示すブロック図であり、図2は、上記駆動回路10の駆動方法を示すタイミングチャートである。

[0053] 図1に示すように、上記駆動回路10は、複数の表示パネルとしての第1パネル1a及び第2パネル1bを備えている。なお、本実施の形態では、表示パネルは2つであるが、本発明では、必ずしもこれに限らず、それ以上の複数とすることが可能である。

[0054] 上記第1パネル1a及び第2パネル1bには、それぞれ、映像信号線2、走査信号線3、画素4、画素スイッチング素子としてのTFT(Thin Film Transistor:薄膜トランジス

タ)5、共通電極6、映像信号線2に与えるビデオ信号をオン／オフするサンプリングスイッチング素子7、このサンプリングスイッチング素子7のオン／オフ期間を制御する信号を作成する第1シフトレジスタ回路8、上記走査信号線3に与える、上記TFT5のオン／オフ信号を作成する第2シフトレジスタ回路9、及びゲート回路11を備えている。

[0055] また、上記駆動回路10には、これら第1パネル1a及び第2パネル1bを駆動する例えば1個のコントロール回路としてのパネル駆動回路12が設けられている。なお、本実施の形態では、2つの第1パネル1a及び第2パネル1bを備えているので、1個のパネル駆動回路12が設けられているが、必ずしもこれに限らず、例えば、より多くの表示パネルを供えている場合には、パネル駆動回路12は複数にすることもある。

[0056] 上記パネル駆動回路12からは、各第1パネル1a及び第2パネル1bに対して、ビデオ信号、走査線信号パルス幅制御信号GOE、第2シフトレジスタ回路9のスタート信号GSP、第2シフトレジスタ回路9のクロック信号GCK、第1シフトレジスタ回路8のスタート信号SSP、第1シフトレジスタ回路8のクロック信号SCK、選択信号としてのパネル選択信号SEL、第1パネル1aの共通電極6への共通電極信号COM1、及び第2パネル1bの共通電極6への共通電極信号COM2が出力される。

[0057] 上記ビデオ信号は、赤(R)・緑(G)・青(B)の3種類の信号からなっている。

[0058] また、上記走査線信号パルス幅制御信号GOE、第2シフトレジスタ回路9のスタート信号GSP、第2シフトレジスタ回路9のクロック信号GCK、及び第1シフトレジスタ回路8のスタート信号SSP、及び第1シフトレジスタ回路8のクロック信号SCKは、制御信号線によって各第1パネル1a及び第2パネル1bに供給されている。

[0059] 本実施の形態の駆動回路10では、それぞれの第1パネル1a及び第2パネル1bを駆動するために必要な信号線のうち、共通電極信号線を除く信号線を共用化している。さらに、パネル選択信号SELを用いることによって、共用化した信号線の一部を、第1パネル1a及び第2パネル1bを個別に駆動するためのパネル個別信号線として切り分けている。一方、共用化した信号線のうちの少なくとも1つの信号線は、複数の第1パネル1a及び第2パネル1bでパネル共通信号線として使用されるようになってい

- [0060] すなわち、共用化した信号線は、パネル選択信号SELを用いることによって、パネル個別信号線とパネル共通信号線とに切り分けられている。
- [0061] すなわち、本実施の形態では、各第1パネル1a及び第2パネル1bを駆動するための制御信号線を含む信号線のうち、上記共通電極6へのCOM1信号線・COM2信号線を除いた、第1シフトレジスタ回路8、第2シフトレジスタ回路9、及びサンプリングスイッチング素子7への各制御信号線、ビデオ信号線、並びにパネル選択信号SELを供給するパネル選択信号等の信号線を、パネル駆動回路12から第1パネル1aと第2パネル1bとへ分岐して配設した共用化信号線としている。
- [0062] また、上記共用化信号線は、各第1パネル1a及び第2パネル1bで共通に用いられる少なくとも1つのパネル共通信号線と、各第1パネル1a及び第2パネル1bを個別に制御するために用いられるパネル個別信号線とからなっている。
- [0063] 上記パネル共通信号線には、例えば、第1パネル1a及び第2パネル1bの各サンプリングスイッチング素子7にビデオ信号を供給するビデオ信号線、第1パネル1a及び第2パネル1bの各第2シフトレジスタ回路9にスタート信号GSPを供給するGSP制御信号線、第1パネル1a及び第2パネル1bの各第2シフトレジスタ回路9に走査線信号線用クロック信号GCKを供給するGCK制御信号線、並びに第1パネル1a及び第2パネル1bの各第1シフトレジスタ回路8に映像信号線用クロック信号SCKを供給するSCK制御信号線の少なくとも1つが該当する。
- [0064] なお、上記ビデオ信号、スタート信号GSP、走査線信号線用クロック信号GCK、および映像信号線用クロック信号SCKは、複数のパネルに同時に供給される共用化信号であり、パネル駆動回路12が出力する各種信号のうち、「請求の範囲」に記載した第1の信号に属する。
- [0065] また、上記パネル個別信号線には、例えば、第1パネル1a及び第2パネル1bの各ゲート回路11に走査線信号パルス幅制御信号GOEを供給するGOE制御信号線、第1パネル1a及び第2パネル1bの各ゲート回路11にスタート信号SSPを供給するSSP制御信号線、並びに第1パネル1a及び第2パネル1bの各ゲート回路11にパネル選択信号SELを供給するSEL制御信号線が該当する。
- [0066] なお、上記走査線信号パルス幅制御信号GOEおよびスタート信号SSPは、パネル

駆動回路12が出力する各種信号のうち、「請求の範囲」に記載した第2の信号に属する。

[0067] また、2つのゲート回路11の一方は、走査線信号パルス幅制御信号GOEの反転信号とパネル選択信号SELとを入力するように構成された第1NANDゲートと、スタート信号SSPの反転信号とパネル選択信号SELとを入力するように構成された第2NANDゲートとを備えている。さらに、2つのゲート回路11の他方は、走査線信号パルス幅制御信号GOEとパネル選択信号SELとを入力するように構成された第1ORゲートと、スタート信号SSPとパネル選択信号SELとを入力するように構成された第2ORゲートとを備えている。

[0068] このように、2つのゲート回路11は、上記第2の信号を同時に受け取るためのパネル個別信号線(SEL制御信号線)を個別に信号入力側に備えた表示パネル選択手段であって、上記複数の表示パネルのそれぞれに供給する第2の信号を、駆動すべき表示パネルに応じて選択する表示パネル選択手段として機能する。

[0069] なお、図1では、ゲート回路11をそれぞれのパネルに内蔵したかのような回路レイアウトを示したが、ゲート回路11をそれぞれのパネルに対応させて設ければよいのであって、回路レイアウトを自由に変更して構わない。

[0070] 上記構成の液晶表示装置の駆動回路10での駆動方法を、図2～図4に基づいて説明する。図2は、パネル駆動回路12から出力された走査線信号パルス幅制御信号GOEおよびスタート信号SSPと、パネル選択信号SELを用いて切り分けられた後の走査線信号パルス幅制御信号GOE1・GOE2、及び第1シフトレジスタ回路8のスタート信号SSP1・SSP2とを示すタイミングチャートである。なお、第2シフトレジスタ回路9のスタート信号GSPは、図示していない。

[0071] 図2に示すように、GOE制御信号線によって、第1パネル1aおよび第2パネル1bの各ゲート回路11に同時に出力された走査線信号パルス幅制御信号GOEは、パネル選択信号SELを用いて、パルスエッジのタイミングが異なる2種類の走査線信号パルス幅制御信号GOE1およびGOE2に切り分けられる。

[0072] より具体的には、上記第1NANDゲートの動作によって、走査線信号パルス幅制御信号GOEの反転信号とパネル選択信号SELとから、第1パネル1aのために、走

査線信号パルス幅制御信号GOE1が生成される。また、上記第1ORゲートの動作によって、走査線信号パルス幅制御信号GOEとパネル選択信号SELとから、第2パネル1bのために、走査線信号パルス幅制御信号GOE2が生成される。なお、走査線信号パルス幅制御信号GOE1およびGOE2は、第1パネル1aおよび第2パネル1bの第2シフトレジスタ回路9にそれぞれ供給される。また、走査線信号パルス幅制御信号GOE1およびGOE2の周波数は、水平周波数に等しい。

[0073] 同様に、図2に示すように、SSP制御信号線によって、第1パネル1aおよび第2パネル1bの各ゲート回路11に同時に出力されたスタート信号SSPは、パネル選択信号SELを用いて、パルスエッジのタイミングが異なる2種類のスタート信号SSP1およびSSP2に切り分けられる。

[0074] より具体的には、上記第2NANDゲートの動作によって、スタート信号SSPの反転信号とパネル選択信号SELとから、第1パネル1aのために、スタート信号SSP1が生成される。また、上記第2ORゲートの動作によって、スタート信号SSPとパネル選択信号SELとから、第2パネル1bのために、スタート信号SSP2が生成される。なお、スタート信号SSP1およびSSP2は、第1パネル1aおよび第2パネル1bの第1シフトレジスタ回路8にそれぞれ供給される。また、スタート信号SSP1およびSSP2の周波数は、水平周波数に等しい。

[0075] 図3はサンプリングスイッチング素子7のオン／オフ信号作成用シフトレジスタである第1シフトレジスタ回路8の各信号が分かる図であり、図4は第2シフトレジスタ回路9の各信号が分かる図である。

[0076] 例えば、第1パネル1aの第1シフトレジスタ回路8に、スタート信号SSP1が入力されると、図3に示すように、第1シフトレジスタ回路8は、前記共用化信号としてのクロック信号SCKに同期した第1パネルサンプリングパルスを次々と出力する。この第1パネルサンプリングパルスによって、第1パネル1aに設けられたサンプリングスイッチング素子7が順番にONになり、ビデオ信号(R, G, B)が順番に第1パネル1aの映像信号線2に取り込まれる。

[0077] 全く同様にして、ビデオ信号(R, G, B)が順番に第2パネル1bの映像信号線2に取り込まれる。ただし、スタート信号SSP2がスタート信号SSP1と異なるタイミングで

出力されるので、ビデオ信号が映像信号線2に取り込まれるタイミングは、第1パネル1aと第2パネル1bとで異なっている。より詳しくは、第2パネル1bにおいてビデオ信号が映像信号線2に取り込まれる期間は、図2および図3に示すように、第1パネル1aの水平ブランキング期間に含まれている。

[0078] すなわち、図2において、1水平周期(1水平期間)の中で、第1パネル1a用のビデオ信号が取り込まれない期間は、第1パネル1aの水平ブランキング期間であり、第2パネル1b用のビデオ信号が取り込まれない期間は、第2パネル1bの水平ブランキング期間であるといえる。したがって、上記パネル選択信号SELは、1水平期間内を時分割して各表示パネル1a・1bに割り当て、各表示パネル1a・1bをそれぞれ表示させるための選択信号として機能している。言い換えると、上記パネル選択信号SELは、1水平期間内を時分割して各表示パネル1a・1bに割り当てて該各表示パネル1a・1bをそれぞれ表示させるときに、一方の表示パネルの水平ブランキング期間に他方の表示パネルを割り当てる信号として機能している。

[0079] 一方、例えば、第1パネル1aの第2シフトレジスタ回路9に、前記共用化信号としてのスタート信号GSPが入力されると、図4に示すように、第2シフトレジスタ回路9は、前記共用化信号としてのクロック信号GCKに同期した第1シフトパルス1、第1シフトパルス2等を次々と出力する。これらの第1シフトパルス1、第1シフトパルス2等と走査線信号パルス幅制御信号GOE1との論理積として、第1パネル走査線信号が第2シフトレジスタ回路9にて生成され、走査信号線3に出力される。

[0080] 全く同様にして、第2パネル走査線信号が、第2パネル1bの走査信号線3に出力される。ただし、走査線信号パルス幅制御信号GOE2が走査線信号パルス幅制御信号GOE1と異なるタイミングで出力されるので、第1パネル走査線信号および第2パネル走査線信号が各走査信号線3に出力されるタイミングは、第1パネル1aと第2パネル1bとで異なっている。

[0081] 図2～図4に示すように、パネル選択信号SELを用いて第1パネル1a及び第2パネル1bに個別に供給される信号(GOEおよびSSP)は、比較的周波数が低く、接続される回路も少ないので、回路に与える負荷が軽い。したがって、各第1パネル1a及び第2パネル1b内で切り分ける際の回路、すなわちゲート回路11を小さく作成できる。

- [0082] 一方、両方の第1パネル1a及び第2パネル1bで直接使用する信号(クロック信号GCKおよびクロック信号SCKなど)は比較的周波数が高く、接続される回路も多い。このため、第1パネル1a及び第2パネル1b内で切り分けることは困難である。
- [0083] なお、第2シフトレジスタ回路9のスタート信号GSPを切り分けないのは、仮にスタート信号GSPを切り分けたとすると、垂直ブランキング期間に、他方のパネルに各種信号を送る表示システムになる。これでは、表示画面をリフレッシュする周期が長くなるので、表示品位が低下する。
- [0084] したがって、本実施の形態では、第1シフトレジスタ回路8のスタート信号SSP1・SSP2、及び第2シフトレジスタ回路9の走査線信号パルス幅制御信号GOE1およびGOE2を別々にすることによって、同一の映像信号線用クロック信号SCK及び走査線信号線用クロック信号GCKに基づいて、複数の第1シフトレジスタ回路8及び第2シフトレジスタ回路9を別々のタイミングで動作可能としている。
- [0085] なお、切り分ける前のスタート信号SSPのパルス間隔に含まれるクロック数は、第1シフトレジスタ回路8の段数以上となる必要がある。より具体的には、図2に示すように、第1パネル1aへのビデオ信号の供給期間に対応したスタート信号SSPのパルス間隔T1に含まれるクロック数は、第1パネル1aに設けられた第1シフトレジスタ回路8の段数以上となる必要がある。また、第2パネル1bへのビデオ信号の供給期間に対応したスタート信号SSPのパルス間隔T2に含まれるクロック数は、第2パネル1bに設けられた第1シフトレジスタ回路8の段数以上となる必要がある。これは、上記ビデオ信号線を共用化しているので、例えば、第2パネル1bに設けられた第1シフトレジスタ回路8は、第1パネル1aに設けられた第1シフトレジスタ回路8におけるシフト動作が、最後の段まで到達した後で、開始されなければならないからである。
- [0086] 図5は、COM信号変化タイミングでSCK信号を不連続にし、第1シフトレジスタ回路8の動作を一時的に止めた時のタイミングチャートであり、図6はそのときのサンプリングパルスの生成状態の一例である。
- [0087] COM信号変化タイミングは多くの負荷の基準レベルが変わるタイミングであり、一般的に大きな電流が流れる。このタイミングにサンプリング動作を続けていると、第1パネル1a及び第2パネル1bの内部の状態は大電流が流れたことによって他のタイミ

ングと異なる可能性がある。大電流が流れるタイミングでサンプリングを一時中断し、電流が流れ終わってから再開することによって、表示品位を保つことができる。

[0088] なお、一つのパネルを駆動する場合は、一般的に、サンプリングを行っている期間はCOM信号の変化は行わない。しかし、複数のパネルを駆動する上で、例えば、あるパネルのサンプリング動作中に他のパネルのCOM信号変化が架かってくることは避けられないために、動作を一時中断して品位を保つ。

[0089] 図7は、TFT5のオン／オフを制御する走査線信号のパルス幅を決める走査線信号パルス幅制御信号GOEの変化(立ち下がり)に合わせて、ビデオ信号を一定レベル“A”に保ちながら映像信号線用クロック信号SCKを不連続にしてサンプリング動作を止める制御を示すタイミング図であり、図8は各パネル1a・1bに供給される走査線信号パルス幅制御信号GOE1・GOE2とサンプリングパルスとの関係を示す一例である。

[0090] 走査線信号パルス幅制御信号GOEが変化する時点は、画素充電電圧が確定する重要な時点である。一方、第1パネル1a及び第2パネル1bのパネル内部は各種の容量結合によって、各信号電圧変化が相互に影響している。

[0091] 複数の第1パネル1a及び第2パネル1bの各パネル用に共通化されたビデオ信号線は、例えば第1パネル1aのビデオ信号サンプリング動作が完了すると別の第2パネル1bのビデオ信号が供給されている。一方、サンプリング動作が完了した例えば第1パネル1aのTFT5のオフタイミングは、サンプリング完了後から一定時間経過した後に設定される。これはTFT5のオン抵抗に依存するが、サンプリング完了から数マイクロ秒後に設定されるのが一般的である。この期間、別の例えば第2パネル1bのビデオ信号を供給しないと複数パネルのビデオ信号が効率良く共通のビデオ信号線で伝送できない。

[0092] したがって、前述のように、TFT5のオフタイミングに別の第2パネル1bのビデオ信号がビデオ信号線に供給されていることになる。

[0093] 上記の点をより具体的に以下に説明する。サンプリング動作が完了した例えば第1パネル1aのTFT5のオフタイミングは、例えば図4に示すように、第1パネル走査線信号の立ち下がりに一致し、既に説明したように、走査線信号パルス幅制御信号GO

E1の立ち下がりにも一致している。このTFT5のオフタイミングは、図8に示すとおり、1水平期間における最後の第1パネルサンプリングパルスの出力タイミングより一定時間経過した後である。さらに、このTFT5のオフタイミングでは、図8に示すとおり、第2パネルサンプリングパルスが出力されているので、第2パネル1bのビデオ信号がビデオ信号線に供給されていることになる。

[0094] ビデオ信号線と映像信号線とはサンプリングスイッチング素子7のオンおよびオフによって接続および遮断される。しかし、ビデオ信号線および映像信号線はサンプリングスイッチング素子7との間で容量結合しているので、遮断中であっても映像信号線はビデオ信号線の電圧変化の影響を受ける。画素への印加電圧はTFT5のオフタイミングでの映像信号線電圧で決まり、ビデオ信号線電圧が一定値であれば容量結合の影響は一定となる。しかし、ビデオ信号電圧が一定でなく不定であると容量結合による影響が不揃いとなってしまう、画素印加電圧が安定しない。

[0095] そこで、TFT5をオフするタイミングでのみ、ビデオ信号線の電圧を一定(上記レベル“A”)に保ち、その間のサンプリング動作を止めることによって、ビデオ信号線を効率よく共通化することが可能となる。

[0096] なお、本実施の形態においては駆動回路10は、パネル選択信号SELによって、第1パネル1a及び第2パネル1bのいずれかを選択するようになっているが、必ずしもこれに限定されない。

[0097] 例えば、図9は第2シフトレジスタ回路9のスタート信号GSPを第1パネル1aのためのスタート信号GSP1と第2パネル1bのためのスタート信号GSP2とに分けて別々に供給する構成例である。スタート信号GSPの供給手段をパネル毎に持つことによって、複数の第1パネル1a及び第2パネル1bにおけるパネル全てを同時に表示させる動作以外にも、1つの例えば第1パネル1aのみを表示することができる。また、1つの例えば第1パネル1aのみ非表示にすることが可能であり、これによって、消費電力を低減することができる。

[0098] その場合のタイミングチャートを図13、14に示す。図13は、パネル駆動回路12が、スタート信号GSP1とスタート信号GSP2とを別々に出力することによって、第1パネル1a及び第2パネル1bの双方に表示を行わせる場合を示している。第1パネル走査

線信号および第2パネル走査線信号が生成される動作は、図4に基づいて既に説明した動作と同様である。ただし、図13では、スタート信号GSP1とスタート信号GSP2との各出力タイミングを図4と同じようにずらした例を示したが、各出力タイミングを同時に揃えてもよい。なぜなら、スタート信号GSP1とスタート信号GSP2とを別々に出力するので、第1パネル1a及び第2パネル1bに対するビデオ信号の書き込みを独立させることができるからである。

[0099] 一方、図14は、パネル駆動回路12が、スタート信号GSP1のみを出力することによって、第1パネル1aのみに表示を行わせる場合を示している。このように、パネル駆動回路12がスタート信号GSP2を出力しなければ、第2シフトレジスタ回路9では第2シフトパルスが生成されないのので、第2パネル走査線信号も生成されない。この結果、第2パネル1bの表示を休止させることができる。

[0100] 第1パネル1a及び第2パネル1bを同時に表示させない場合に、パネル選択信号SELにて切り分けられる信号において、例えば、非表示用の第2パネル1bに供給されるべきパルスを削除することによって、非表示パネルでの消費電力をさらに削減できる。この構成においても、複数の第1パネル1a及び第2パネル1bを同時に表示する場合においては図5及び図7に示すタイミングで動作させることによって、表示品位の確保することは有効である。

[0101] なお、これらのタイミングを作成する上で複数の第1パネル1a及び第2パネル1b用のビデオ信号の同期をとることが必要となるが、その手法については特に定めない。

[0102] このように、本実施の形態の駆動回路10は、第1パネル1a及び第2パネル1bを駆動するための制御信号線を含む信号線のうち、共通電極6へのCOM1信号線・COM2信号線を除いた各信号線を共用化して第1パネル1a及び第2パネル1bにそれぞれ配設された各共用化信号線を備えている。なお、本発明においては、必ずしもこれらの全てを各共用化信号線とする必要はない。

[0103] したがって、複数の第1パネル1a及び第2パネル1bの駆動を行うに当り、各信号線を共用化した各共用化信号線を各表示パネルにそれぞれ配設させているので、信号線数を個別に配設するのに比べて信号線数の増加を最小限に抑えることができる。また、これにより、LSIパッケージの拡大を防止し、及びそれに伴うコスト上昇を回避

することができる。

[0104] なお、共通電極6へのCOM1信号線・COM2信号線は、共用化することができないので、各共用化信号線の対象から除かれている。

[0105] ところで、第1パネル1a及び第2パネル1bへの制御信号線を含む信号線を共用する場合に、第1パネル1a及び第2パネル1bに個別に使用されるものと、同じ内容の信号が全ての第1パネル1a及び第2パネル1bで共通に使用されるものがある。

[0106] そこで、本実施の形態では、各共用化信号線は、第1パネル1a及び第2パネル1bで共通に用いられる少なくとも1つのパネル共通信号線と、第1パネル1a及び第2パネル1bを個別に制御するために用いられるパネル個別信号線とに分類している。

[0107] すなわち、制御信号線を含む信号線を共通化する上で、信号の周波数や信号の負荷を勘案し、第1パネル1a及び第2パネル1bの内部の回路で切り分ける信号(パネル個別信号)と切り分けられることなく直接複数の表示パネルに供給される信号(パネル共通信号)とに分類している。

[0108] そして、本実施の形態では、分類されたパネル共通信号線及びパネル個別信号線のうち、パネル個別信号線については、SEL制御信号線を設けて、パネル個別信号線にて供給される第1パネル1a及び第2パネル1bへの各信号を、第1パネル1a及び第2パネル1bに応じて選択するようになっている。

[0109] したがって、パネル個別信号線についても、第1パネル1a及び第2パネル1bに個別にそれぞれ配線することなく、共用化を図ることができる。

[0110] この結果、信号線数を余り増加することなく、複数の第1パネル1a及び第2パネル1bへの信号線を共用化し得る駆動回路10を提供することができる。

[0111] また、これにより、信号線数の大幅な増加がないので、複数の第1パネル1aと第2パネル1bとの位置関係に対する制約もなくなることによって、自由な製品デザインが可能となる。

[0112] また、本実施の形態では、各共用化信号線は、具体的には、パネル駆動回路12から、第1パネル1a及び第2パネル1bにおける第1シフトレジスタ回路8、第2シフトレジスタ回路9、サンプリングスイッチング素子7、及び共通電極6へ各種信号を供給する信号線である。

- [0113] 上記各共用化信号線は、まず、パネル駆動回路12から1つの例えば第1パネル1aへ配設される。そして、第2パネル1bへは、この1つの第1パネル1aへ配設された各共用化信号線から分岐して配設される。
- [0114] これにより、第1パネル1a及び第2パネル1bを駆動させるための制御信号線を含む信号線のうち、共通電極6へのCOM1信号線・COM2信号線を除いた、第1シフトレジスタ回路8、第2シフトレジスタ回路9、及びサンプリングスイッチング素子7への各制御信号線を、共用化して配設することができる。
- [0115] また、本実施の形態の駆動回路10では、各共用化信号線は、各表示パネルで共通に用いられる少なくとも1つのパネル共通信号線を有している。このパネル共通信号線は、例えばビデオ信号線、第2シフトレジスタ回路9のためのGSPスタート信号線、GCK走査線信号線用クロック信号線、及び第1シフトレジスタ回路8のためのSSPスタート信号線である。
- [0116] これにより、第1パネル1a及び第2パネル1bで共通に用いられる少なくとも1つのパネル共通信号線の共用化を図ることができる。
- [0117] また、本実施の形態の駆動回路10では、例えば第2パネル1bを表示させるときには、第1パネル1aの水平ブランキング期間に該第2パネル1bを割り当てるので、第2パネル1bを表示するとき、第1パネル1aの表示パネルの表示に影響を及ぼすことがない。
- [0118] ところで、第1パネル1a及び第2パネル1bの共通電極6へ印加した信号が変化するとき、サンプリングスイッチング素子7が、ビデオ信号のサンプリング動作を行うと、表示が乱れることがある。
- [0119] そこで、本実施の形態の駆動回路10では、第1パネル1a及び第2パネル1bの共通電極6へ印加した信号が変化するときには、サンプリングスイッチング素子7は、ビデオ信号のサンプリング動作を行わないことが好ましい。
- [0120] これにより、複数の第1パネル1a及び第2パネル1bの相互で影響を受けるタイミングには、周期的に行っている駆動動作を一時的に休止することによって、表示品位を確保しながら信号線の共通化が可能となる。また、影響を受けるタイミング以外は複数の第1パネル1a及び第2パネル1bにおいて同時に進行させてもよい動作を行う

ことによって、無駄な時間的要素を削減することができる。

[0121] また、第1パネル1a及び第2パネル1bにおけるTFT5をオンからオフへ変化させる時点において、第1パネル1a及び第2パネル1bのサンプリングスイッチング素子7が、ビデオ信号のサンプリング動作を行うと、表示が乱れることがある。

[0122] そこで、本実施の形態では、上記の時点において、サンプリングスイッチング素子7は、ビデオ信号のサンプリング動作を行わず、かつビデオ信号を一定レベルに固定しておくことが好ましい。なお、ビデオ信号を一定レベルに固定する場合に、いずれの階調レベルを上記一定レベルとして選択してもかまわず、表示中の上記の時点において常に、ビデオ信号を一定レベルに固定すれば問題がない。

[0123] これにより、複数の第1パネル1a及び第2パネル1bの相互で影響を受けるタイミングには、周期的に行っている駆動動作を一時的に休止することによって、表示品位を確保しながら信号線の共通化が可能となる。特に、本実施の形態では、TFT5をオンからオフへ変化させる時点では、サンプリングスイッチング素子7は、ビデオ信号のサンプリング動作を行わず、かつビデオ信号を一定レベルに固定しておくことによって、例えば、容量カップリングによる電圧変動が起こる場合に、各画素の電圧変動に対して均等に影響を及ぼすことができる。すなわち、影響の度合いが異なる電圧変動がランダムで起こることを防止することができる。

[0124] また、本実施の形態の駆動回路10では、パネル選択信号SELによって、複数の第1パネル1a及び第2パネル1bのうち一部の例えば第1パネル1aをオフしておけるので、消費電力を抑えることができる。また、複数の第1パネル1a及び第2パネル1bの同時表示や単独表示等の様々な動作に対応させることが可能となる。

[0125] また、本実施の形態の駆動回路10では、点順次駆動されることが好ましい。

[0126] これにより、点順次駆動方式の本来のメリットを継承しながらチップサイズの縮小、ひいてはコスト削減に役立つ。また、複数の第1パネル1a及び第2パネル1bを備えた例えば携帯機器においても、低コスト、高信頼性の点順次駆動方式が可能となり、かつ、線順次駆動方式の信号線共通化の欠点であった複数の表示パネルの位置関係に対する制約もなくなることによって、自由な製品デザインが可能となる。

[0127] また、本実施の形態の液晶表示装置は、上記記載の駆動回路10を備えている。こ

れにより、信号線数を余り増加することなく、表示品位の低下を招くことなく、複数の第1パネル1a及び第2パネル1bへの信号線を共用化し得る駆動回路10、およびそれを備えた表示装置を提供することができる。

- [0128] 発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内において、いろいろと変更して実施することができるものである。

産業上の利用可能性

- [0129] 本発明は、複数の表示パネルを備えたアクティブマトリックス駆動の表示装置の駆動回路、及び表示装置に適用できる。具体的には、表示装置として、例えば、携帯電話に使用されるアクティブマトリックス型の液晶表示装置に用いることができると共に、電気泳動型ディスプレイ、ツイストボール型ディスプレイ、微細なプリズムフィルムを用いた反射型ディスプレイ、デジタルミラーデバイス等の光変調素子を用いたディスプレイの他、発光素子として、有機EL発光素子、無機EL発光素子、LED(Light Emitting Diode)等の発光輝度が可変の素子を用いたディスプレイにも利用することができる。

請求の範囲

- [1] 映像信号線、走査信号線、画素、画素スイッチング素子、共通電極、上記映像信号線に与えるビデオ信号をオン／オフするサンプリングスイッチング素子、該サンプリングスイッチング素子のオン／オフ期間を制御する信号を作成する第1シフトレジスタ回路、及び上記走査信号線に与える上記画素スイッチング素子のオン／オフ信号を作成する第2シフトレジスタ回路を備えた表示パネルを複数個駆動する表示装置の駆動回路であって、
- 各表示パネルを駆動するための制御信号線を含む信号線のうち、上記共通電極への信号線を除いた信号線の少なくとも一部を共用化して各表示パネルにそれぞれ配設された共用化信号線を備え、
- 上記共用化信号線は、各表示パネルで共通に用いられる少なくとも1つのパネル共通信号線と、各表示パネルを個別に制御するために用いられるパネル個別信号線とからなっていると共に、
- 上記パネル個別信号線にて各表示パネルへ供給される信号を、各表示パネルに応じて選択する表示パネル選択手段が設けられている表示装置の駆動回路。
- [2] 映像信号線、走査信号線、画素、画素スイッチング素子、共通電極、上記映像信号線に与えるビデオ信号をオン／オフするサンプリングスイッチング素子、該サンプリングスイッチング素子のオン／オフ期間を制御する信号を作成する第1シフトレジスタ回路、及び上記走査信号線に与える上記画素スイッチング素子のオン／オフ信号を作成する第2シフトレジスタ回路を備えた表示パネルを複数個駆動する表示装置の駆動回路であって、
- コントロール回路と、
- 共用化信号線とを備え、
- 上記コントロール回路は、上記各表示パネルにおける第1シフトレジスタ回路、第2シフトレジスタ回路、サンプリングスイッチング素子、及び共通電極へ各種信号を供給し、
- 上記共用化信号線は、各表示パネルを駆動するための制御信号線を含む信号線のうち、上記共通電極への信号線を除いた、上記第1シフトレジスタ回路、第2シフト

レジスタ回路、及びサンプリングスイッチング素子のための制御信号線の少なくとも一部であって、上記コントロール回路から1つの表示パネルと他の表示パネルとへ分岐して配設され、

さらに、上記共用化信号線は、各表示パネルで共通に用いられる少なくとも1つのパネル共通信号線と、各表示パネルを個別に制御するために用いられるパネル個別信号線とからなっていると共に、

上記駆動回路は、さらに、上記パネル個別信号線にて供給される各表示パネルへの信号を、各表示パネルに応じて選択する表示パネル選択手段を備えていることを特徴とする表示装置の駆動回路。

- [3] 前記表示パネル選択手段は、前記パネル個別信号線にて各表示パネルへ供給される信号を、各表示パネルに応じて選択する表示パネル選択信号線を有すると共に、

上記表示パネル選択信号線が供給する信号には、1水平期間内を時分割して各表示パネルに割り当て、各表示パネルをそれぞれ表示させるための選択信号が含まれていることを特徴とする請求項1又は2記載の表示装置の駆動回路。

- [4] 前記選択信号は、1水平期間内を時分割して各表示パネルに割り当てて該各表示パネルをそれぞれ表示させるときに、1つの表示パネルの水平ブランキング期間に他の表示パネルを割り当てる信号からなっていることを特徴とする請求項3記載の表示装置の駆動回路。

- [5] 前記各表示パネルの共通電極へ印加する信号が変化するとき、各表示パネルのサンプリングスイッチング素子は、ビデオ信号のサンプリング動作を行わないことを特徴とする請求項1～4のいずれか1項に記載の表示装置の駆動回路。

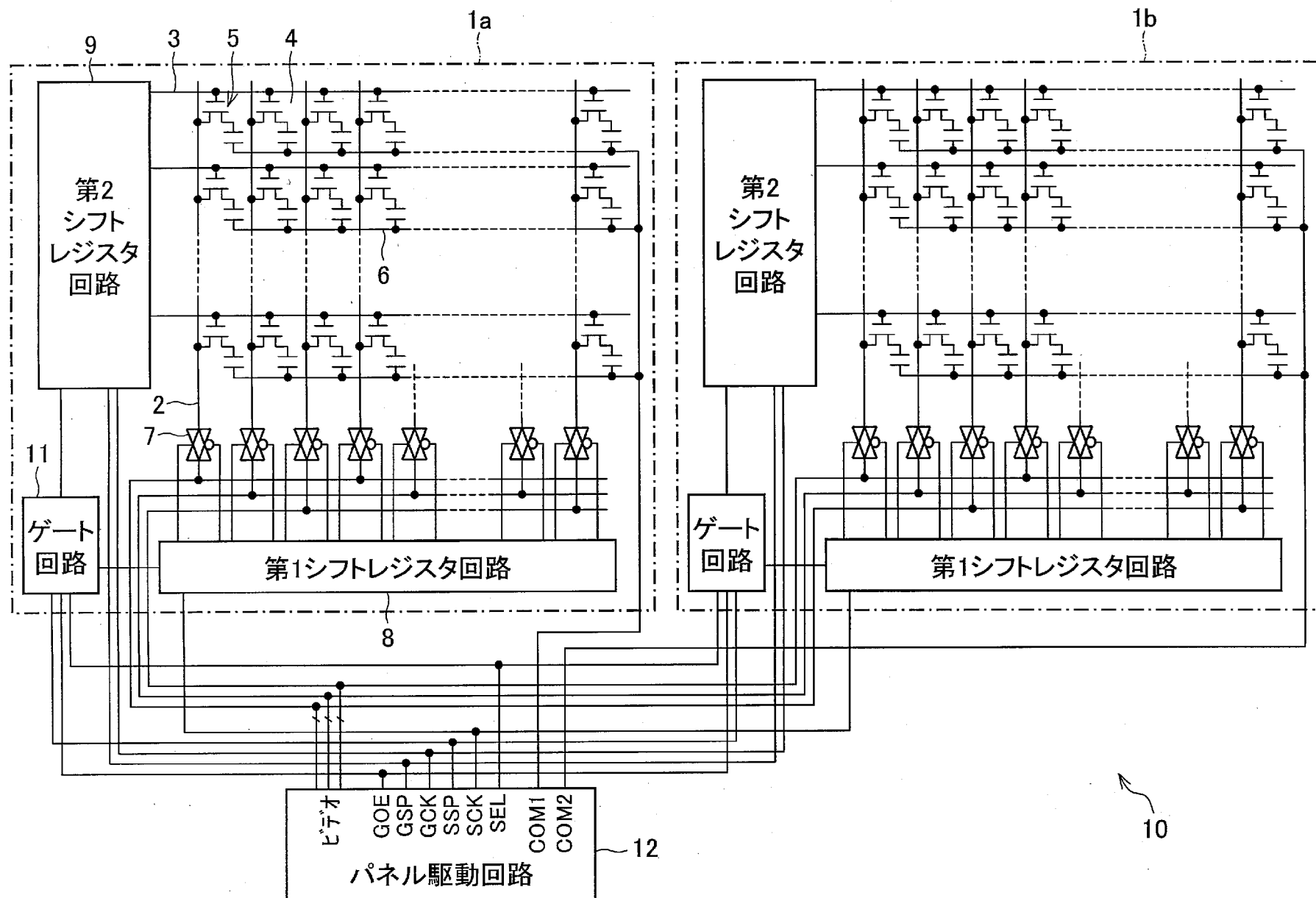
- [6] 前記画素スイッチング素子をオンからオフへ変化させるとき、各表示パネルのサンプリングスイッチング素子は、ビデオ信号のサンプリング動作を行わず、かつビデオ信号を一定レベルに固定しておくことを特徴とする請求項1～5のいずれか1項に記載の表示装置の駆動回路。

- [7] 前表示パネル選択手段は、複数の表示パネルのうち一部の表示パネルをオフにする制御を行うことを特徴とする請求項1～6のいずれか1項に記載の表示装置の駆動

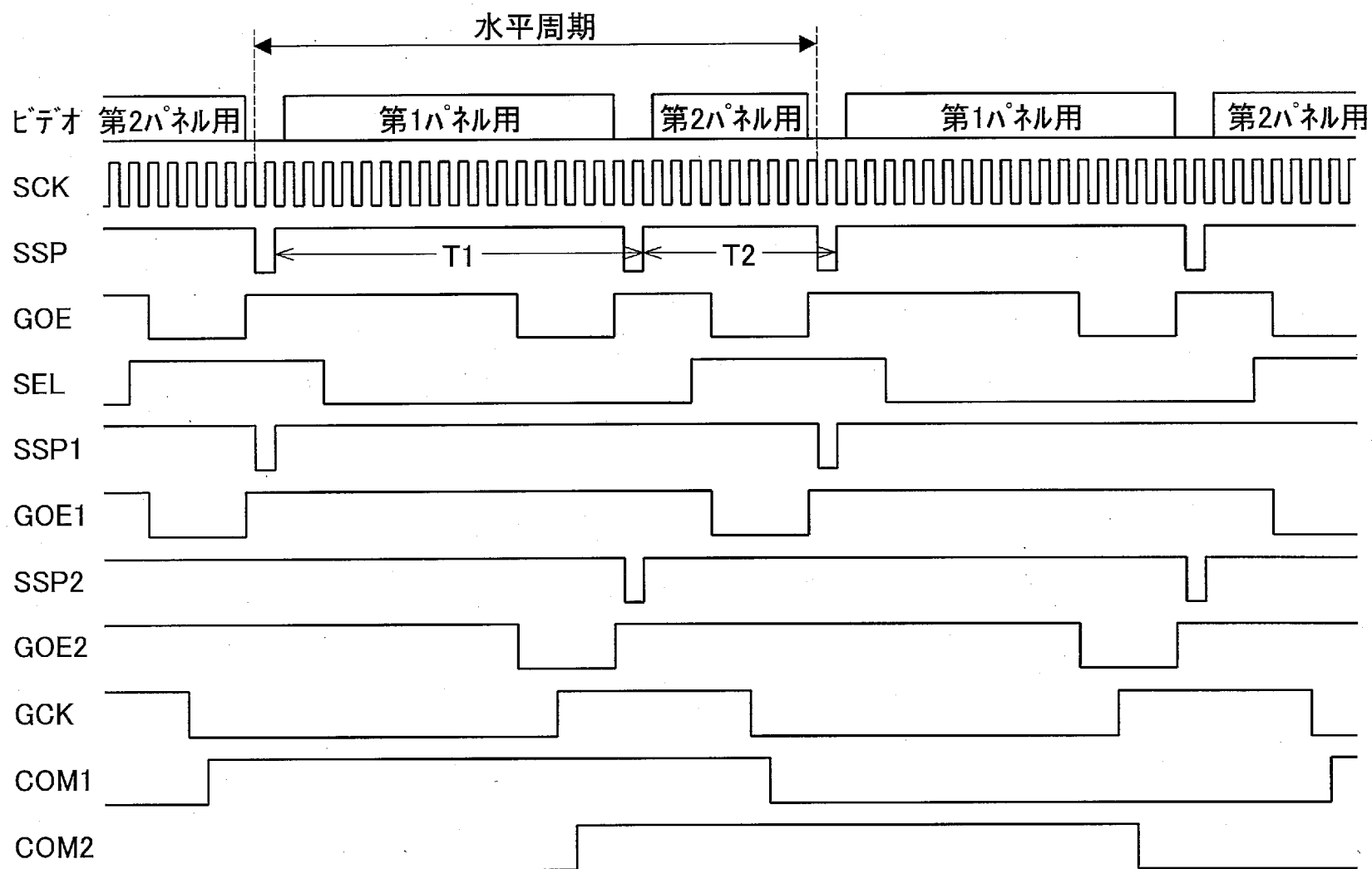
回路。

- [8] 前記複数の表示パネルのそれぞれを点順次駆動することを特徴とする請求項1～7のいずれか1項に記載の表示装置の駆動回路。
- [9] 複数の画素を有する表示パネルを複数備えた表示装置の表示状態を、各画素に対する信号の供給を制御することによって制御する表示装置の駆動回路であって、
上記信号のうち、第1の信号を上記複数の表示パネルに同時に供給するパネル共通信号線と、
上記信号のうち、第2の信号を同時に受け取るパネル個別信号線を信号入力側に備えた表示パネル選択手段であって、上記複数の表示パネルのそれぞれに供給する第2の信号を、駆動すべき表示パネルに応じて選択する表示パネル選択手段と、
を含んでいる表示装置の駆動回路。
- [10] 上記駆動回路は、パネル選択信号を上記表示パネル選択手段に供給することによって、上記表示パネル選択手段に、第2の信号を供給する表示パネルの選択を行わせる請求項9に記載の表示装置の駆動回路。
- [11] 請求項1～10のいずれか1項に記載の表示装置の駆動回路を備えていることを特徴とする表示装置。

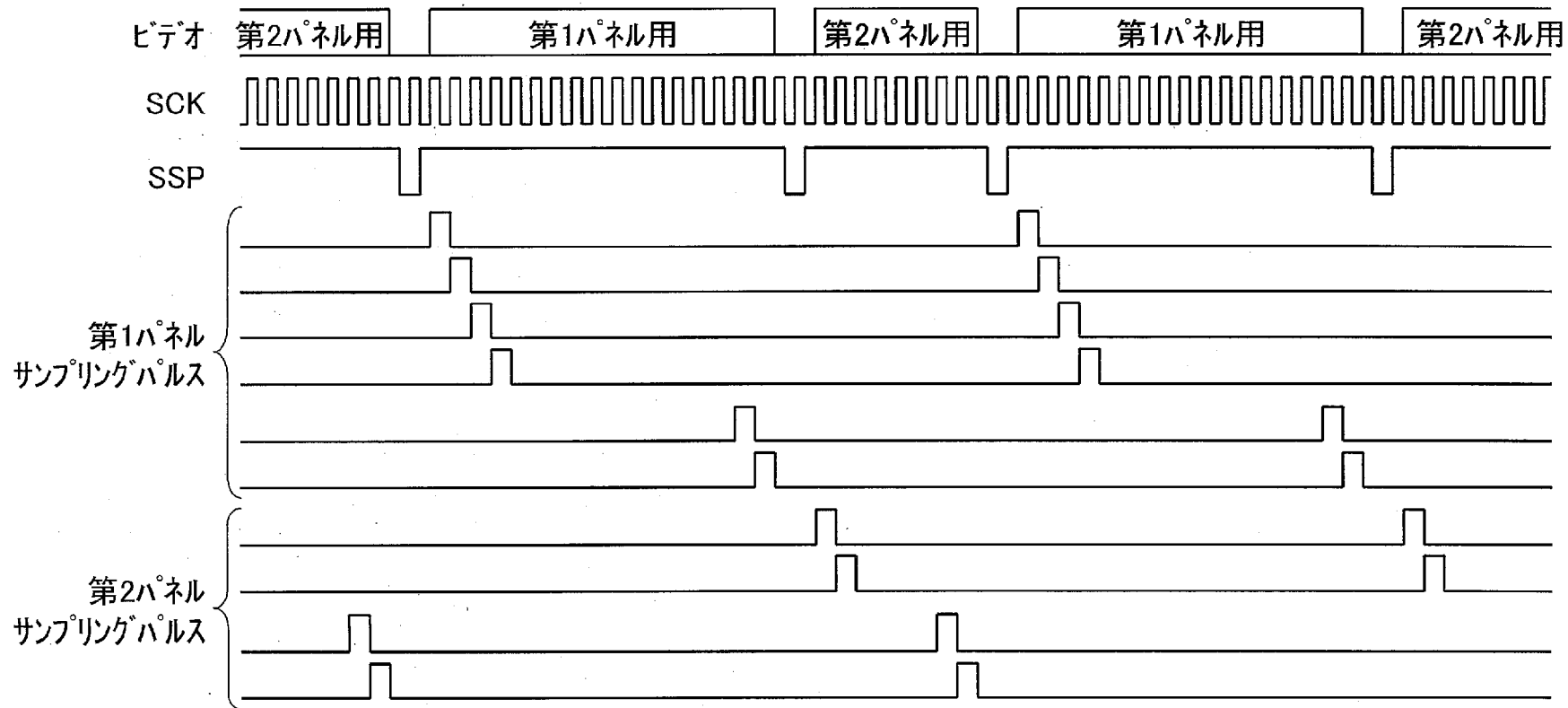
図1



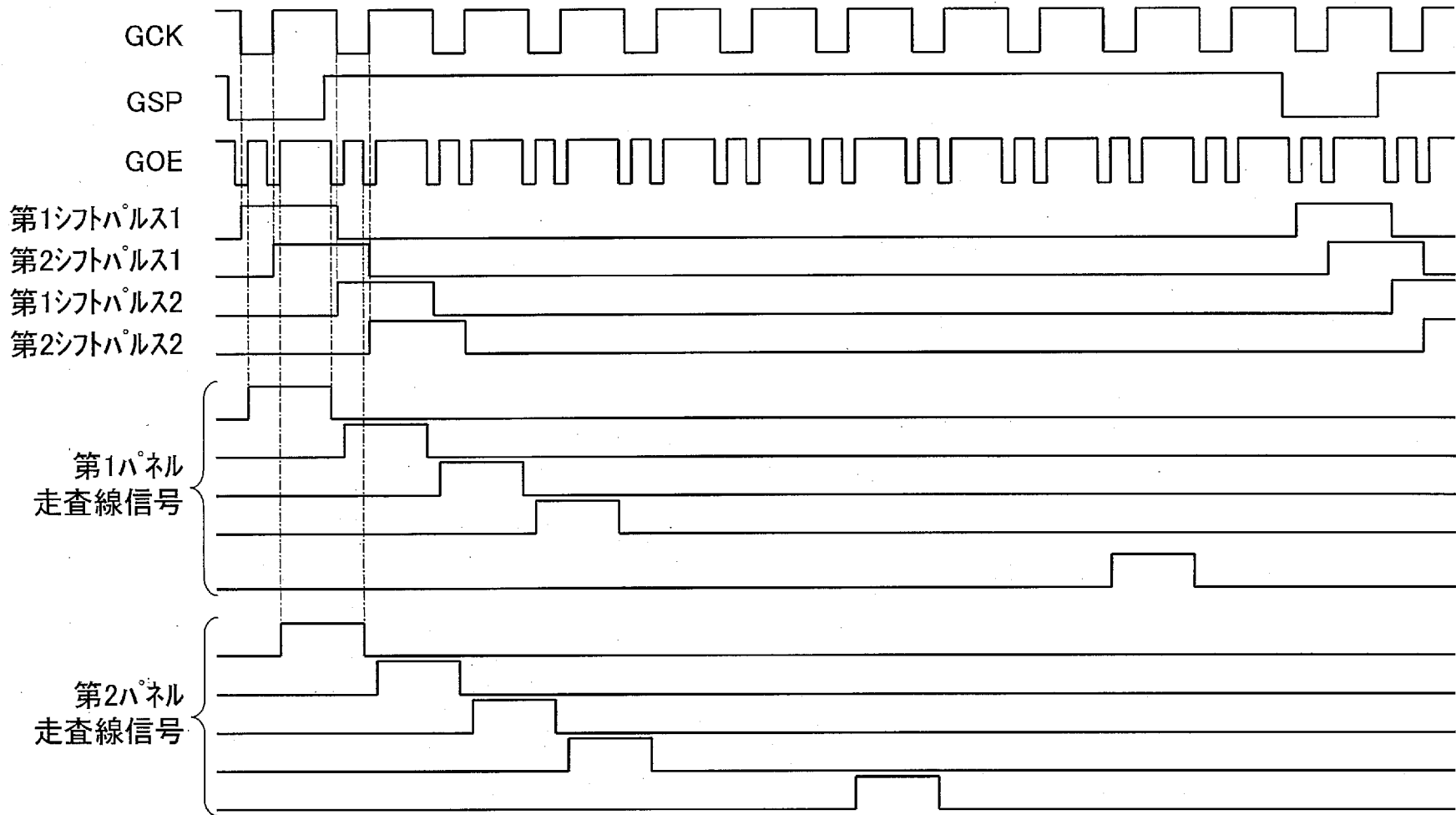
[図2]



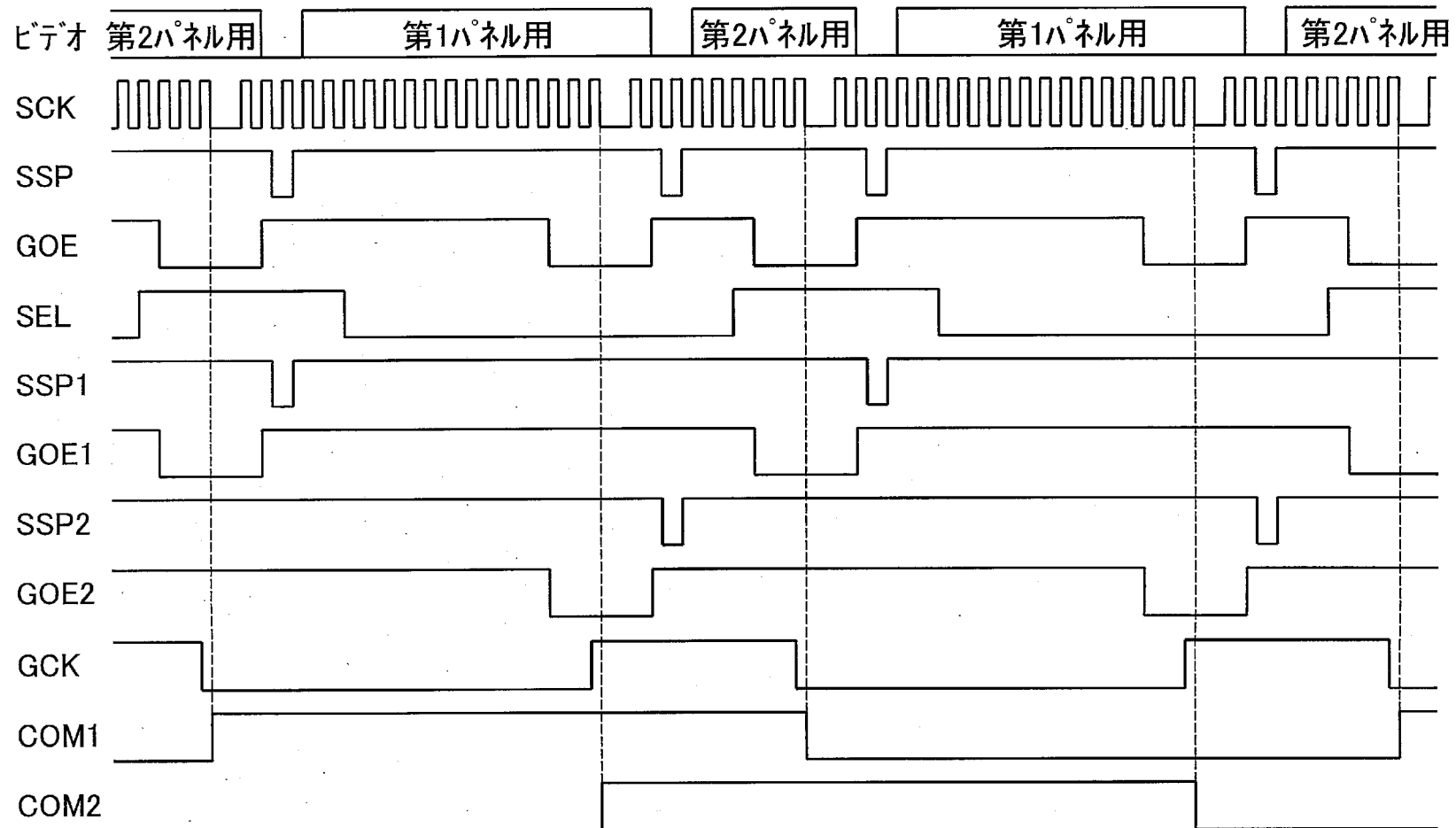
[図3]



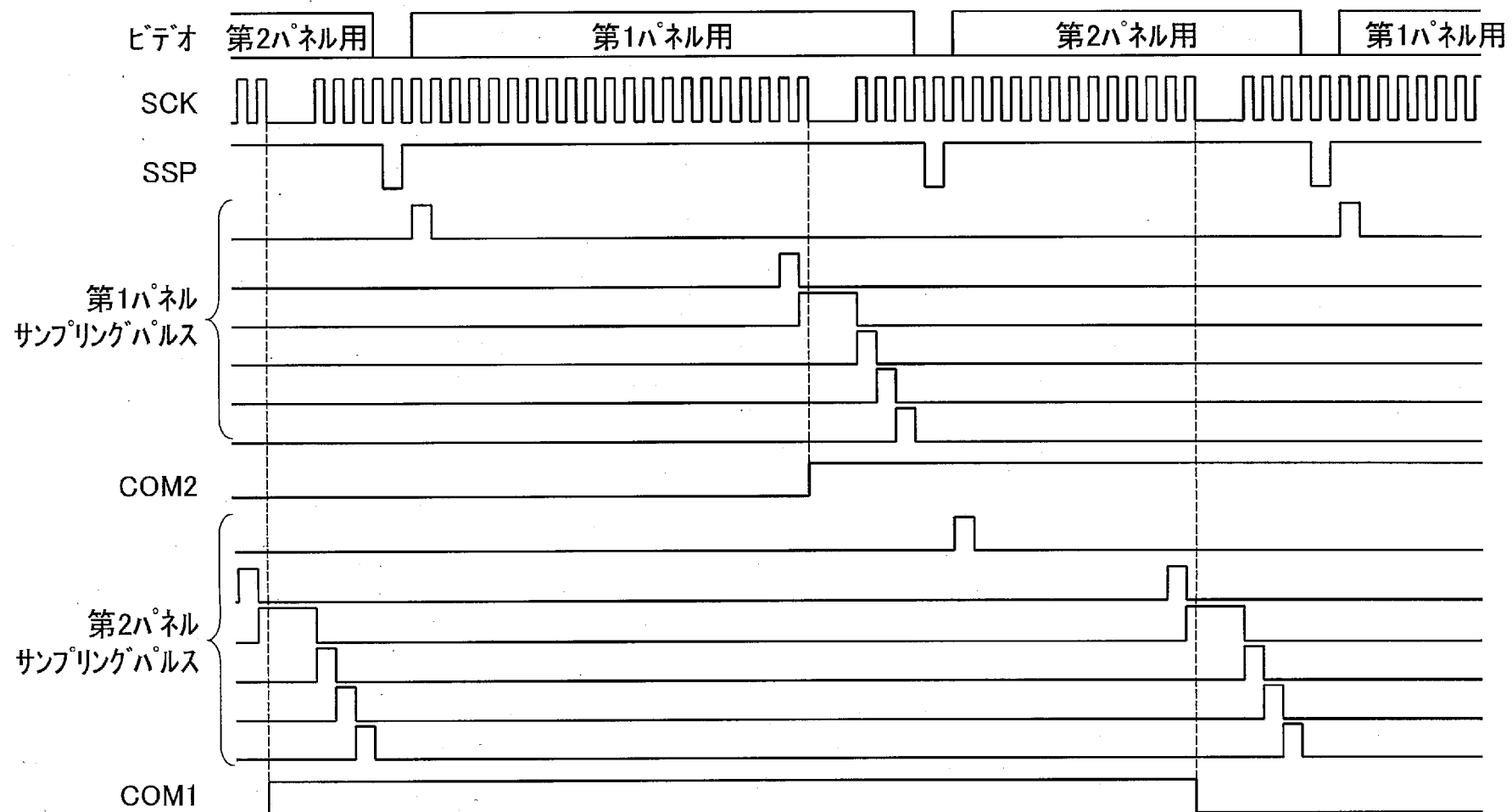
[図4]



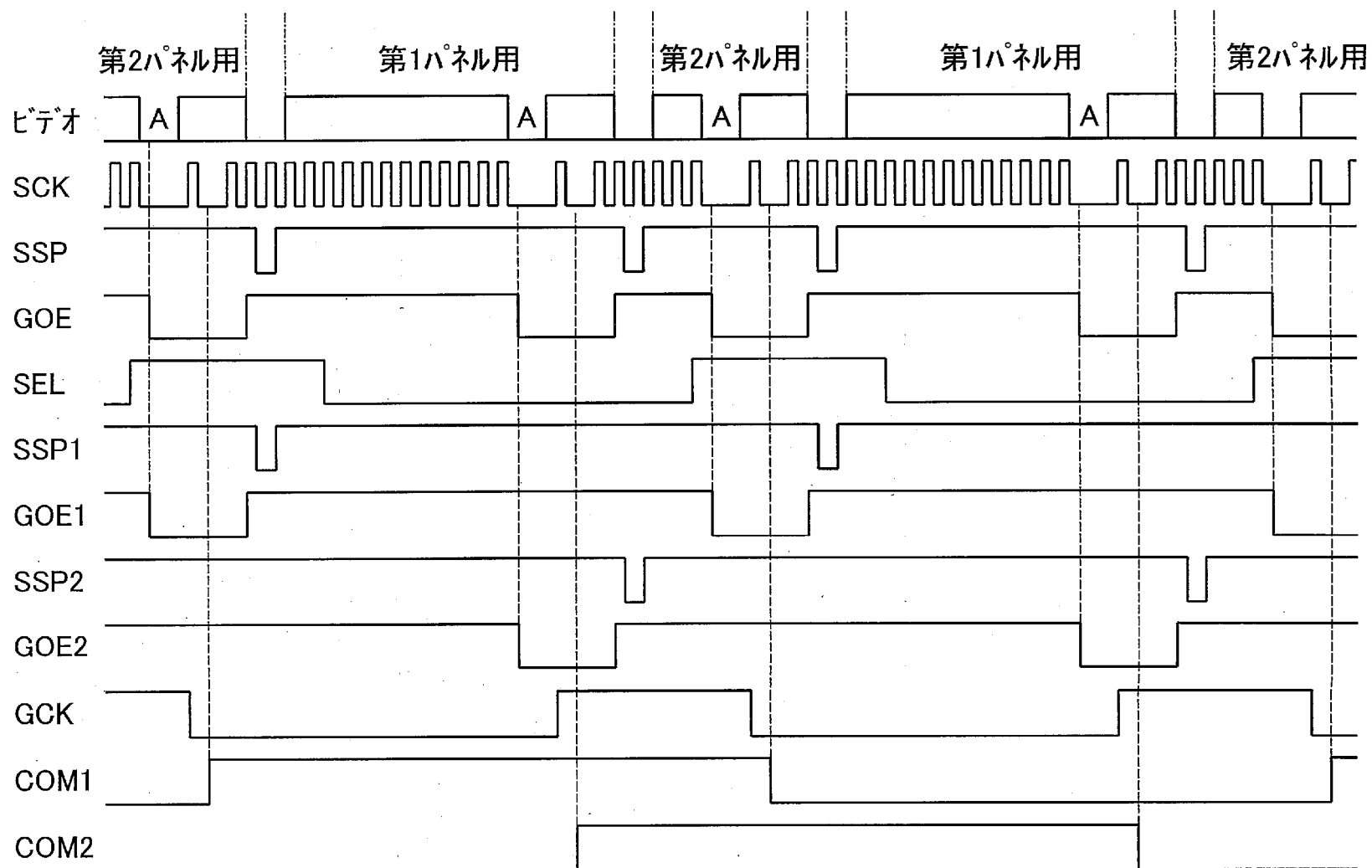
[図5]



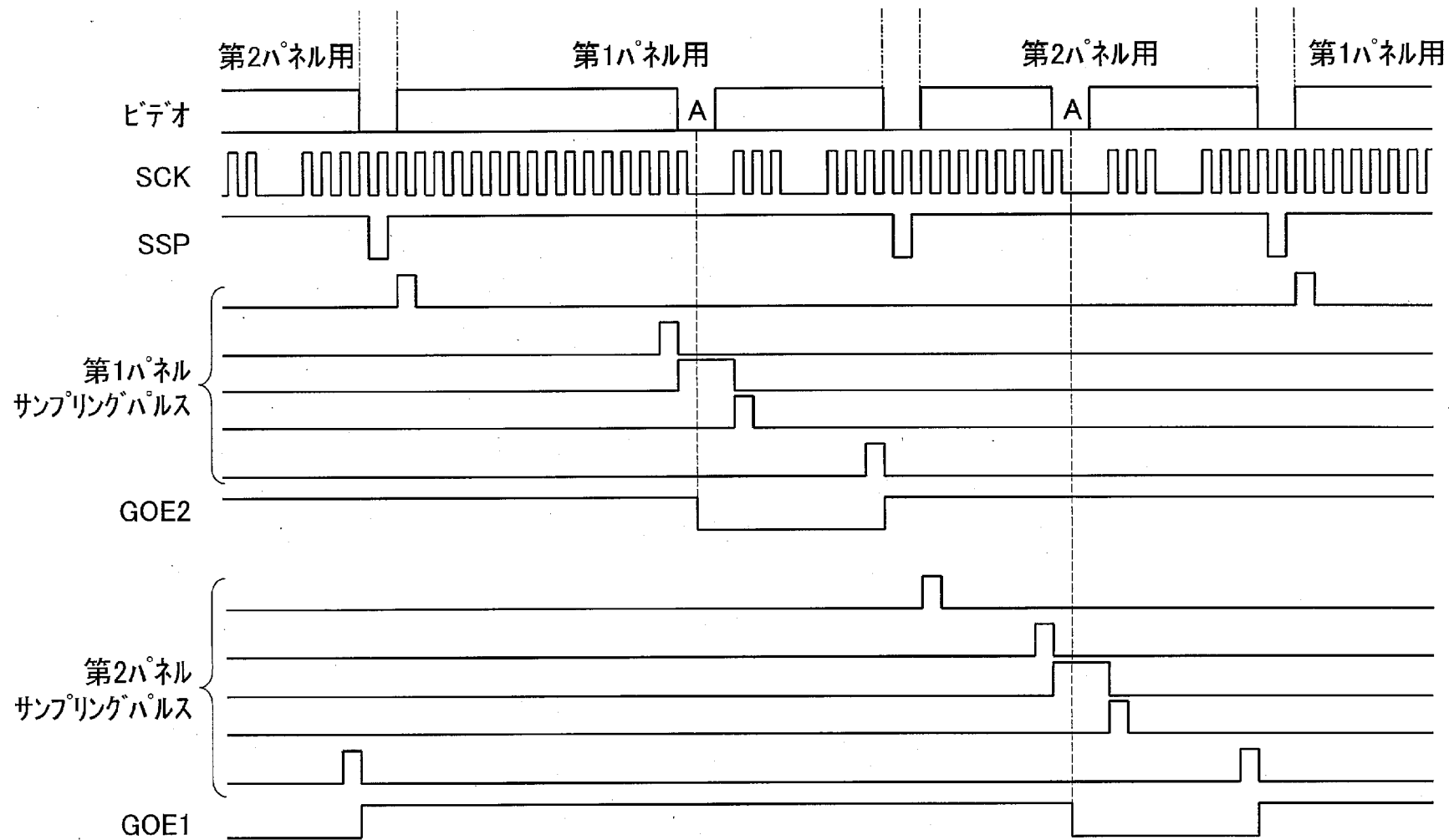
[図6]



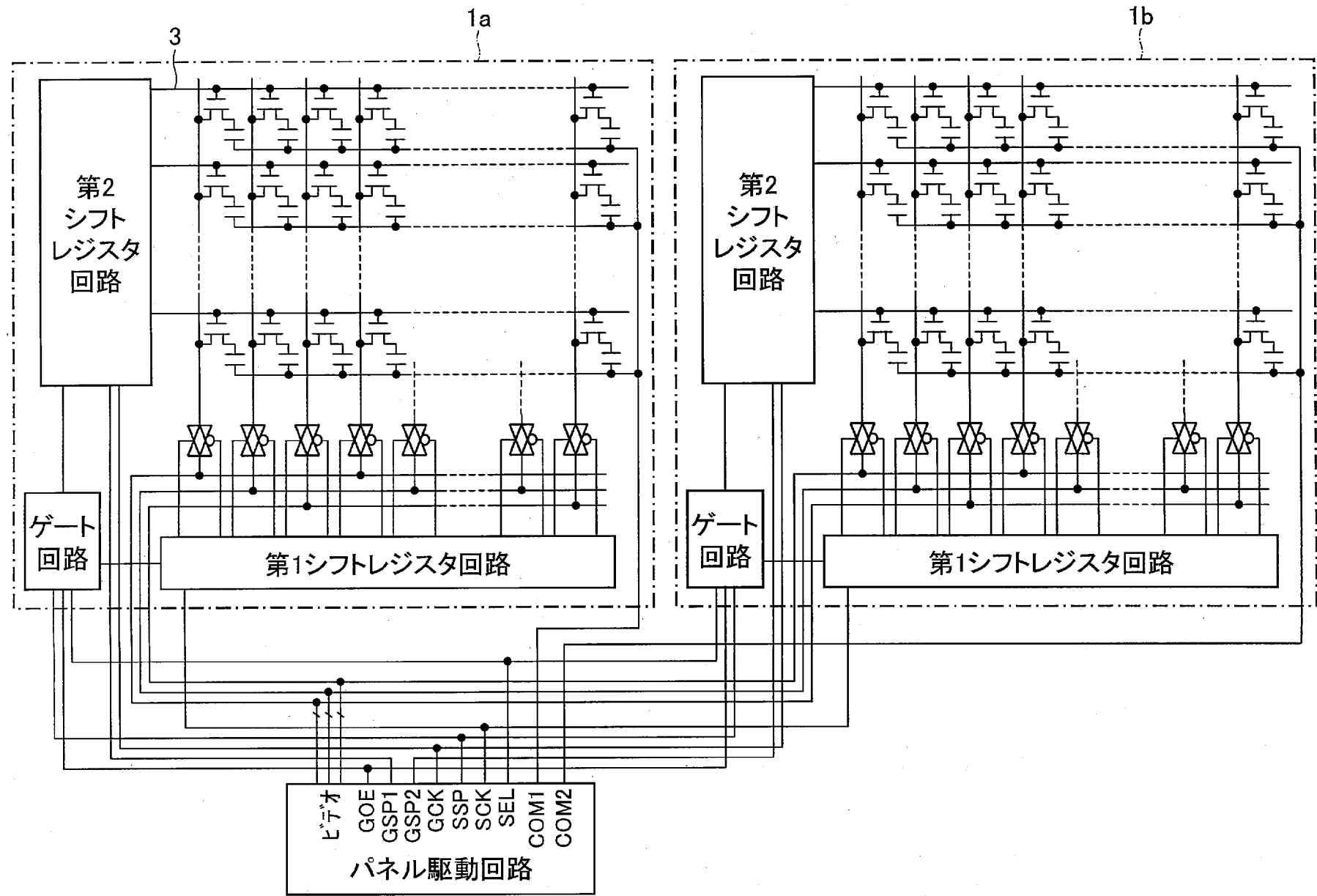
[図7]



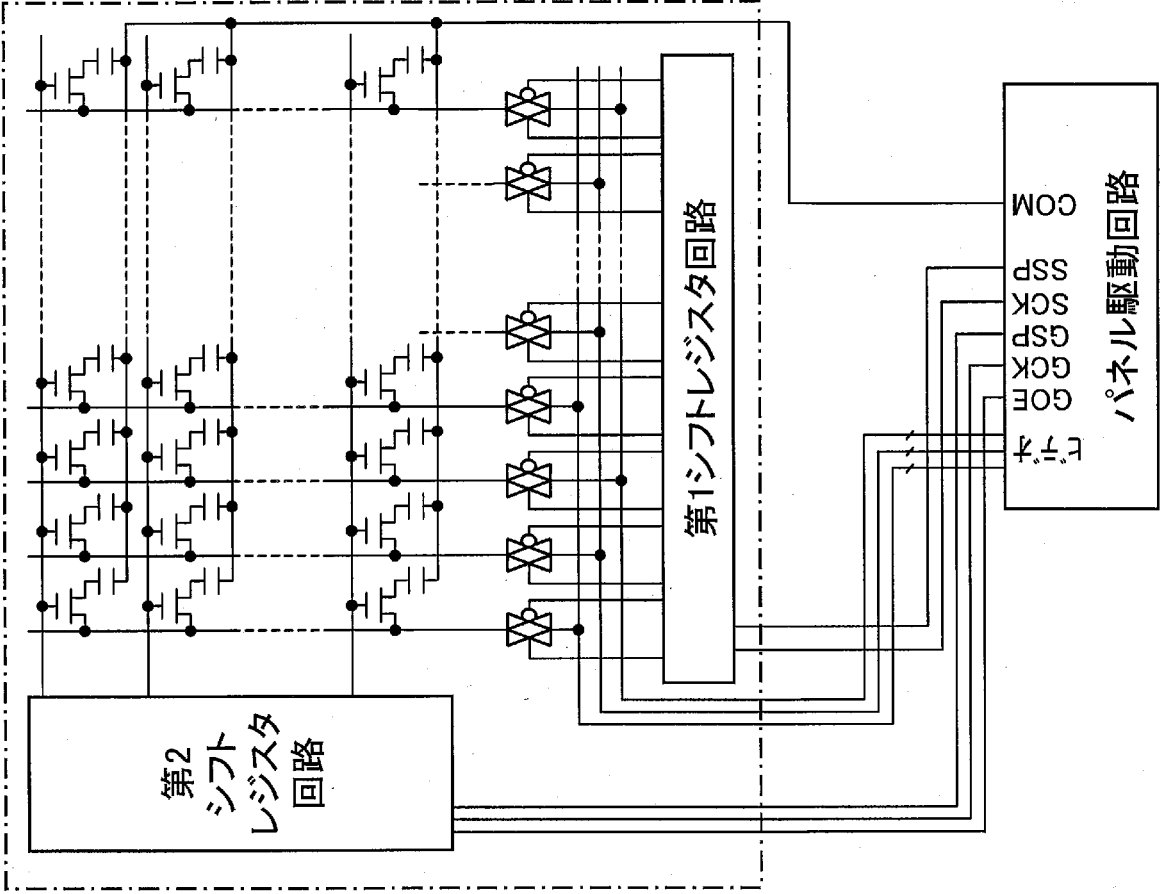
[図8]



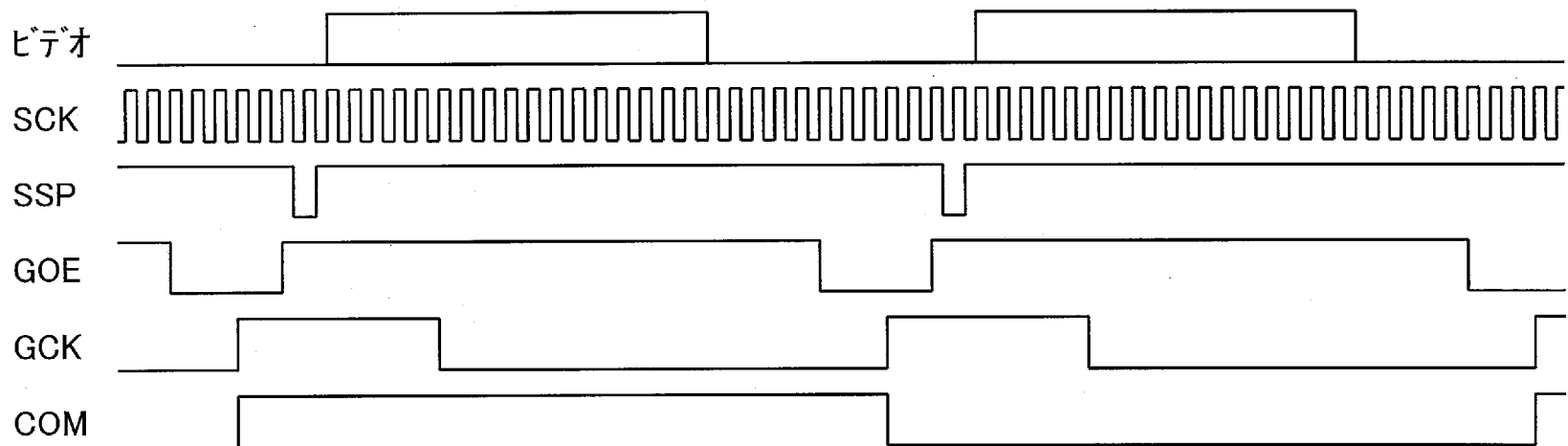
[図9]



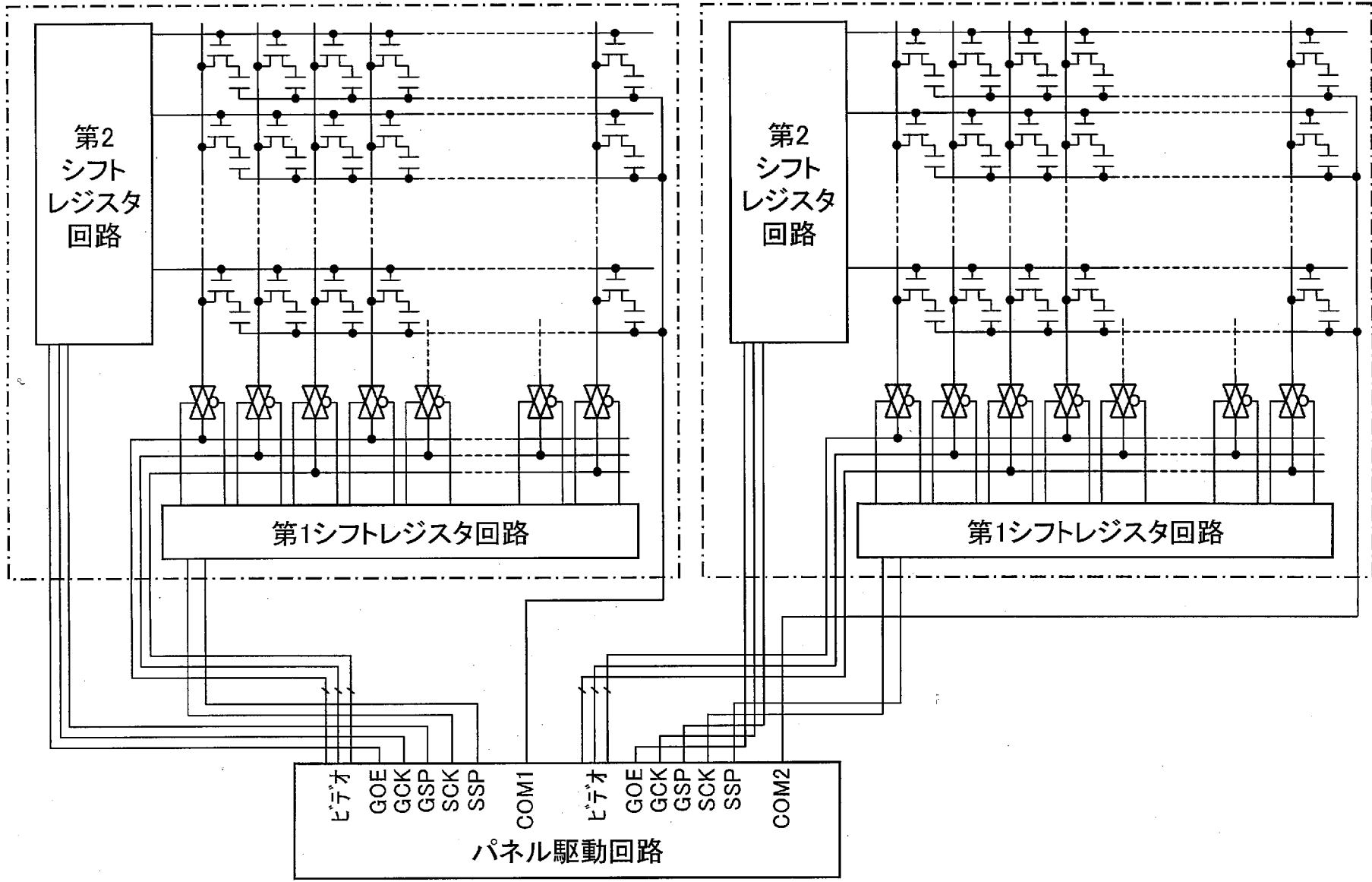
[図10]



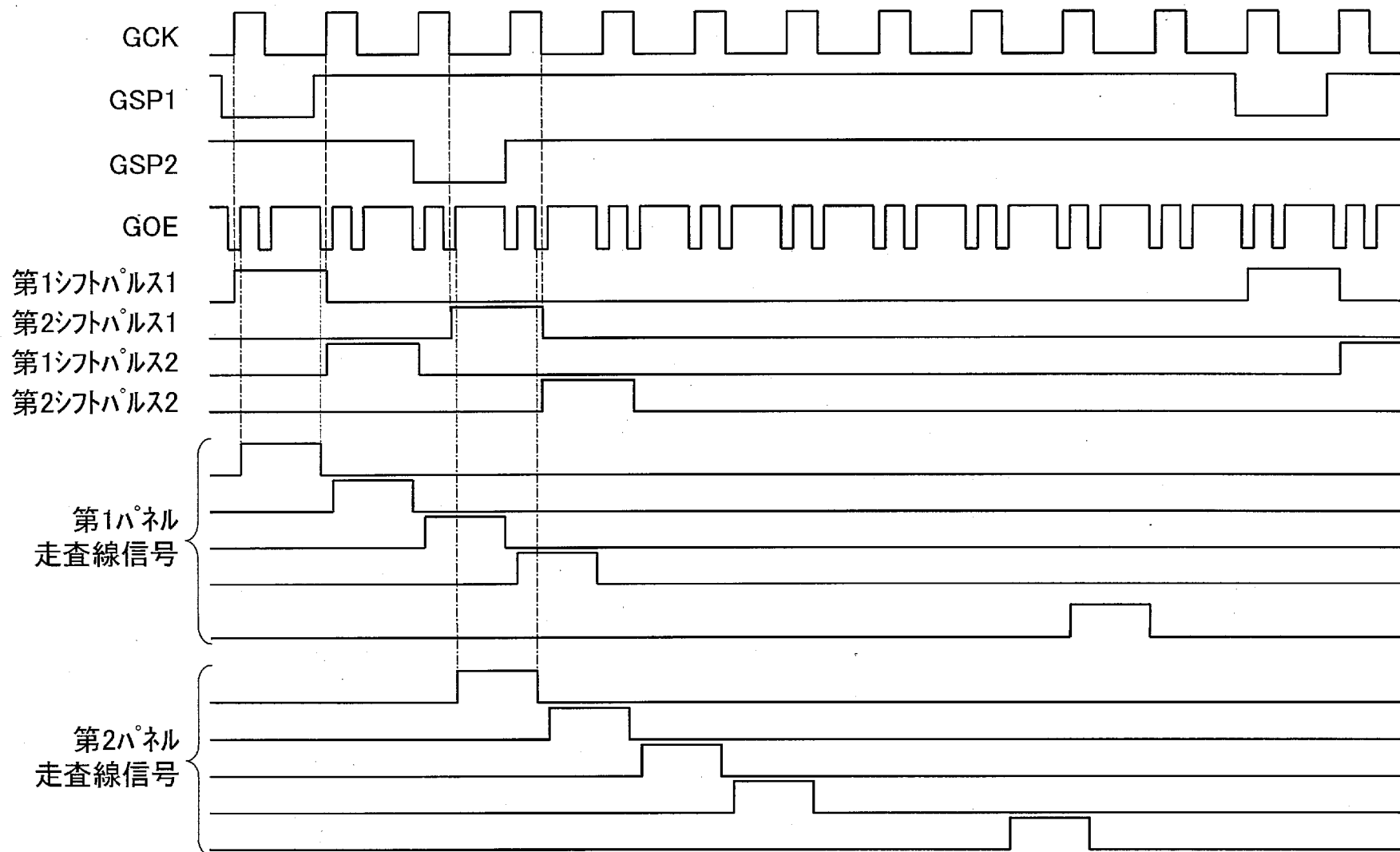
[図11]



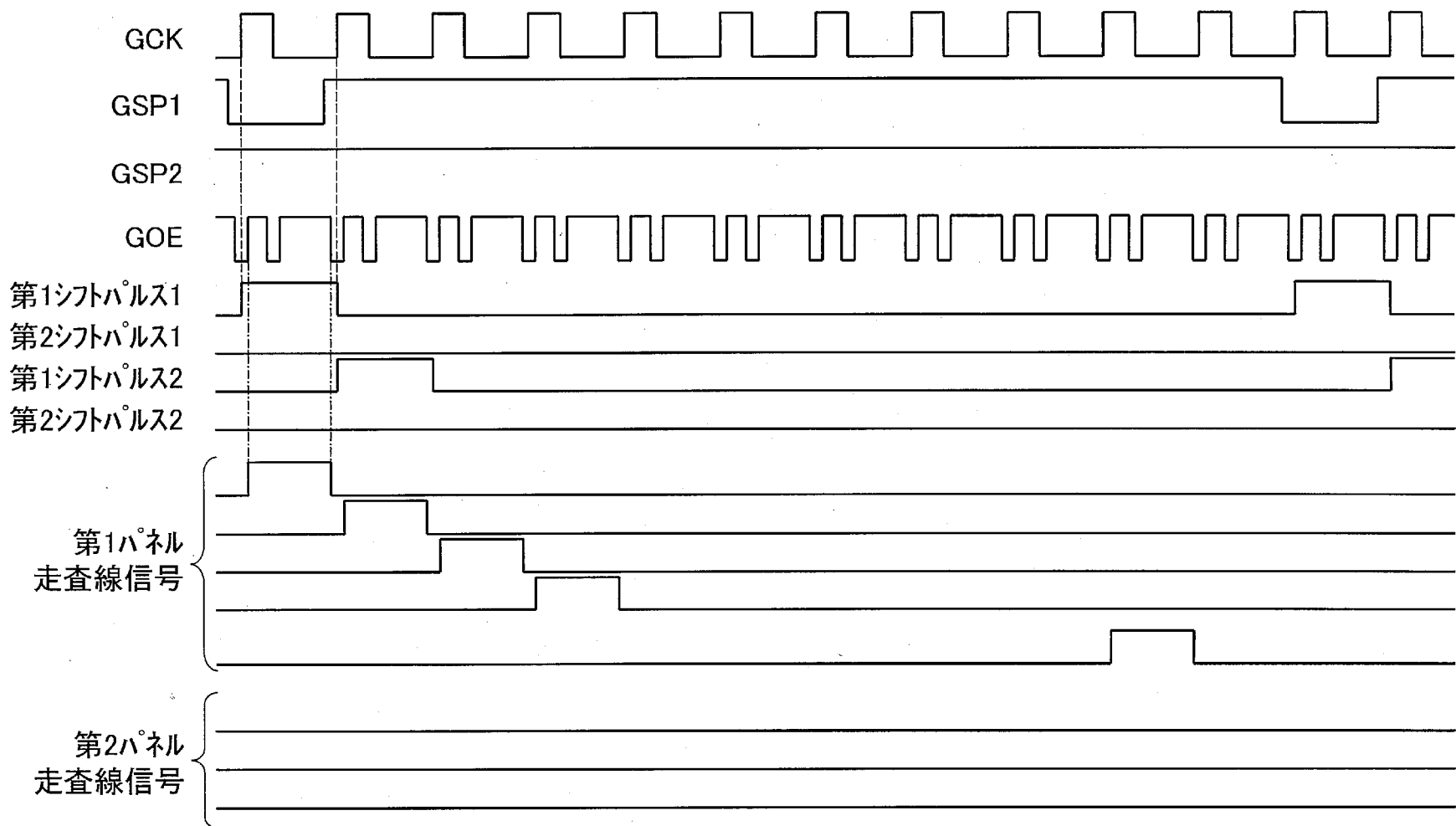
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/061291

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2000-075265 A (Matsushita Electric Industrial Co., Ltd.), 14 March, 2000 (14.03.00), Par. Nos. [0019] to [0032]; Fig. 1 (Family: none)	1, 8-11 3 2, 4-7
X Y	JP 11-327511 A (Hitachi, Ltd.), 26 November, 1999 (26.11.99), Par. Nos. [0005] to [0011]; Figs. 1, 2 (Family: none)	9-11 3
A	JP 2005-326461 A (Casio Computer Co., Ltd.), 24 November, 2005 (24.11.05), Full text; all drawings & US 2005/0253799 A1 & EP 001634271 A & WO 2005/109395 A1	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 August, 2007 (08.08.07)

Date of mailing of the international search report
21 August, 2007 (21.08.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/061291

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-109595 A (Meruko Display Technology Kabushiki Kaisha), 08 April, 2004 (08.04.04), Full text; all drawings (Family: none)	1-11
A	JP 2006-047932 A (Toshiba Corp.), 16 February, 2006 (16.02.06), Full text; all drawings & US 2006/0028395 A1 & EP 001626335 A2	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P 2 0 0 0 - 0 7 5 2 6 5 A (松下電器産業株式会社) 2 0 0 0 . 0 3 . 1 4 段落 0 0 1 9 - 0 0 3 2、図 1 (ファミリーなし)	1, 8 - 1 1 3 2, 4 - 7
X Y	J P 1 1 - 3 2 7 5 1 1 A (株式会社日立製作所) 1 9 9 9 . 1 1 . 2 6 段落 0 0 0 5 - 0 0 1 1、図 1, 2 (ファミリーなし)	9 - 1 1 3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 8 . 2 0 0 7

国際調査報告の発送日

2 1 . 0 8 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

福村 拓

2 G

3 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-326461 A (カシオ計算機株式会社) 2005. 11. 24 全文、全図 & US 2005/0253799 A1 & EP 001634271 A & WO 2005/109395 A1	1-11
A	JP 2004-109595 A (メルコ・ディスプレイ・テクノロジー株式会社) 2004. 04. 08 全文、全図 (ファミリーなし)	1-11
A	JP 2006-047932 A (株式会社東芝) 2006. 02. 16 全文、全図 & US 2006/0028395 A1 & EP 001626335 A2	1-11