

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-146467

(P2010-146467A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.	F I	テーマコード (参考)
G05F 1/10 (2006.01)	G05F 1/10 301B	5H410
G05F 3/26 (2006.01)	G05F 3/26	5H420

審査請求 未請求 請求項の数 22 O L (全 22 頁)

(21) 出願番号 特願2008-325570 (P2008-325570)
 (22) 出願日 平成20年12月22日 (2008.12.22)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100091524
 弁理士 和田 充夫
 (72) 発明者 三上 孝一
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 (72) 発明者 石井 卓也
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内

最終頁に続く

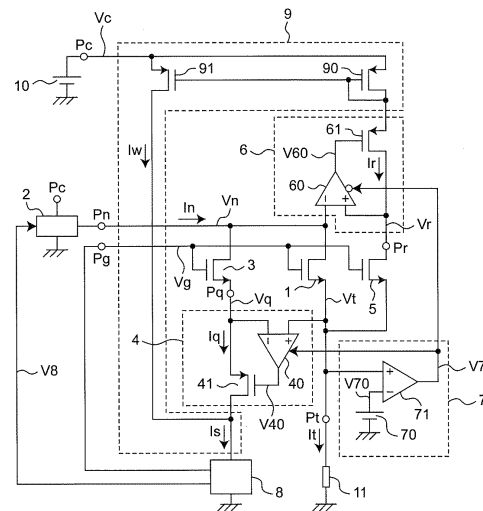
(54) 【発明の名称】 電流検出回路およびそれを用いた電圧コンバータ

(57) 【要約】

【課題】主スイッチ回路の出力端子電圧が低下しても、正確に出力電流を検出できる電流検出回路を提供する。

【解決手段】主スイッチ回路は、電源回路から受ける出力電流を負荷とやり取りする。第1補助スイッチ回路は、主スイッチ回路の一端および第1端子に接続され、第1副検出電流を生成する。第2補助スイッチ回路は、主スイッチ回路の他端および第2端子に接続され、第2副検出電流を生成する。電流調整検出回路は、他端と第1端子とが等電位となるように第1副検出電流を調整するとともに第1補助スイッチ回路から受ける方向に流す一方、一端と第2端子とが等電位となるように第2副検出電流を調整するとともに第2補助スイッチ回路へ出力する方向に流し、調整された第1副検出電流および第2副検出電流に基づいて出力電流に比例する検出電流を生成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電源回路から受ける出力電流を、オンされることにより、負荷とやり取りすることが可能な主スイッチ回路と、

前記主スイッチ回路の一端および第 1 端子に接続され、オンされることにより、前記出力電流よりも小さく、かつ前記出力電流に大略比例する第 1 副検出電流を生成する第 1 補助スイッチ回路と、

前記主スイッチ回路の他端および第 2 端子に接続され、オンされることにより、前記出力電流よりも小さく、かつ前記出力電流に大略比例する第 2 副検出電流を生成する第 2 補助スイッチ回路と、

電流調整検出回路と、を有し、

前記電流調整検出回路は、第 1 調整回路、第 2 調整回路、および検出電流生成回路を含み、

前記第 1 調整回路は、前記他端と、前記第 1 端子とが等電位になるように、前記第 1 副検出電流を調整し、調整された前記第 1 副検出電流を、前記第 1 補助スイッチ回路から受ける方向に流し、

前記第 2 調整回路は、前記一端と前記第 2 端子とが等電位になるように、前記第 2 副検出電流を調整し、調整された前記第 2 副検出電流を、前記第 2 補助スイッチ回路へ出力する方向に流し、

前記検出電流生成回路は、調整された前記第 1 副検出電流および調整された前記第 2 副検出電流に基づいて、前記出力電流よりも小さく、かつ前記出力電流に大略比例する検出電流を生成する、電流検出回路。

【請求項 2】

さらに、前記主スイッチ回路の前記負荷側の端子における電圧が所定電圧以上の場合、第 1 レベルを表し、同端子における電圧が所定電圧未満の場合、第 2 レベルを表す選択信号を生成する選択回路を有し、

前記電流調整検出回路は、前記選択信号が前記第 1 レベルの場合、前記第 1 副検出電流に基づいて前記検出電流を生成し、前記選択信号が前記第 2 レベルの場合、前記第 2 副検出電流に基づいて前記検出電流を生成する、請求項 1 に記載の電流検出回路。

【請求項 3】

前記選択回路は、前記選択信号が前記第 1 レベルの場合、前記第 2 調整回路を無効化し、前記選択信号が前記第 2 レベルの場合、前記第 1 調整回路を無効化する、請求項 2 に記載の電流検出回路。

【請求項 4】

前記第 1 調整回路は、無効化されると、前記第 1 副検出電流を大略ゼロにし、

前記第 2 調整回路は、無効化されると、前記第 2 副検出電流を大略ゼロにする、請求項 3 に記載の電流検出回路。

【請求項 5】

前記検出電流生成回路は、前記第 1 副検出電流と前記第 2 副検出電流との和を表す前記検出電流を生成する、請求項 1 に記載の電流検出回路。

【請求項 6】

前記検出電流生成回路は、

前記第 1 副検出電流、前記第 2 副検出電流、または前記第 1 副検出電流と前記第 2 副検出電流との和のうち、いずれか 1 つに大略等しいカレントミラー電流を生成するカレントミラー回路を含み、

前記カレントミラー電流に基づいて、前記検出電流を生成する、請求項 1 に記載の電流検出回路。

【請求項 7】

前記第 1 補助スイッチ回路および前記第 2 補助スイッチ回路は、前記主スイッチ回路と比較して、大略同等な半導体構造およびより小さい半導体サイズを有する、請求項 1 に記

10

20

30

40

50

載の電流検出回路。

【請求項 8】

前記第 1 補助スイッチ回路および前記第 2 補助スイッチ回路は、前記主スイッチ回路と比較して、より大きいオン抵抗を有する、請求項 1 に記載の電流検出回路。

【請求項 9】

前記第 1 補助スイッチ回路および前記第 2 補助スイッチ回路は、前記主スイッチ回路がオンされる場合に、オンされる、請求項 1 に記載の電流検出回路。

【請求項 10】

前記第 1 補助スイッチ回路および前記第 2 補助スイッチ回路の各制御端子は、前記主スイッチ回路の制御端子における電圧に大略等しい電圧を受ける、請求項 9 に記載の電流検出回路。

10

【請求項 11】

前記主スイッチ回路は、前記電源回路とコンデンサとの間において、前記出力電流をやり取りすることが可能である、請求項 1 に記載の電流検出回路。

【請求項 12】

前記第 1 補助スイッチ回路および前記第 2 補助スイッチ回路は、少なくとも 1 つの MOS トランジスタを含む、請求項 1 に記載の電流検出回路。

【請求項 13】

前記第 1 補助スイッチ回路および前記第 2 補助スイッチ回路は、N チャンネル MOS トランジスタおよび P チャンネル MOS トランジスタを含む、請求項 12 に記載の電流検出回路。

20

【請求項 14】

前記第 1 調整回路は、増幅器および調整器を含み、

前記増幅器は、前記他端および前記第 1 端子の両電位の差に対して、線形的に変化する増幅信号を生成し、

前記調整器は、前記増幅信号により制御され、前記両電位の差が大略ゼロになるように、前記第 1 副検出電流を調整する、請求項 1 に記載の電流検出回路。

【請求項 15】

前記第 2 調整回路は、増幅器および調整器を含み、

前記増幅器は、前記一端および前記第 2 端子の両電位の差に対して、線形的に変化する増幅信号を生成し、

前記調整器は、前記増幅信号により制御され、前記両電位の差が大略ゼロになるように、前記第 2 副検出電流を調整する、請求項 1 に記載の電流検出回路。

30

【請求項 16】

前記第 1 補助スイッチ回路は、前記主スイッチ回路の前記電源回路側の端子に接続され、

前記第 2 補助スイッチ回路は、前記主スイッチ回路の前記負荷側の端子に接続される、請求項 1 に記載の電流検出回路。

【請求項 17】

前記第 1 補助スイッチ回路は、前記主スイッチ回路の前記負荷側の端子に接続され、

前記第 2 補助スイッチ回路は、前記主スイッチ回路の前記電源回路側の端子に接続される、請求項 1 に記載の電流検出回路。

40

【請求項 18】

前記第 1 補助スイッチ回路は、前記主スイッチ回路の前記電源回路側の端子に接続され、

前記第 2 補助スイッチ回路は、前記主スイッチ回路の前記負荷側の端子に接続される、請求項 1 に記載の電流検出回路。

【請求項 19】

前記第 1 補助スイッチ回路は、前記主スイッチ回路の前記負荷側の端子に接続される、請求項 1 に記載の電流検出回路。

50

【請求項 20】

直流電源から供給される直流電源電圧を昇圧または降圧し、出力電流を生成することが可能な電圧変換回路と、

請求項 1 に記載の電流検出回路と、を有し、

前記電圧変換回路は、前記電源回路に含まれる、電圧コンバータ。

【請求項 21】

前記電圧変換回路は、インダクタ、第 1 トランジスタ、および第 2 トランジスタを含み

、前記第 1 トランジスタは、

前記直流電源および前記インダクタの一端に接続され、

前記直流電源電圧をスイッチングすることにより降圧し、

前記第 2 トランジスタは、

前記インダクタの他端および接地端子に接続され、

スイッチングすることにより前記インダクタを充放電し、前記直流電源電圧を昇圧する、請求項 20 に記載の電圧コンバータ。

10

【請求項 22】

前記第 1 トランジスタは、P チャンネル MOS トランジスタであり、

前記第 2 トランジスタは、N チャンネル MOS トランジスタである、請求項 21 に記載の電圧コンバータ。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、電流検出回路およびそれを用いた電圧コンバータに関し、さらに詳しくは、携帯機器で用いられ、半導体集積回路で構成された電源回路の出力電流を検出する回路に関する。

【背景技術】

【0002】

近年、各種電子機器に使用され、負荷へ安定な直流電力を供給する電源回路では、主にその出力電流を検出する電流検出回路が設けられている。

【0003】

30

例えば、特許文献 1 では図 4 に示すような電流検出回路が開示されている。図 4 では、入力端子 I_{np} から、N チャンネルの主トランジスタ $1p$ および出力端子 O_{utp} を介して、出力電流 I_{op} が負荷 $2p$ へ供給され、出力電流 I_{op} に比例した電流が制御回路 $8p$ へ流される。補助トランジスタ $3p$ は、主トランジスタ $1p$ と同じ N チャンネル MOS トランジスタである。補助トランジスタ $3p$ のドレイン端子は主トランジスタ $1p$ と同じく入力端子 I_{np} に接続され、ゲート端子も主トランジスタ $1p$ と同じく端子 V_{gp} に接続されている。調整回路 $4p$ は、増幅器 $40p$ および P チャンネル MOS トランジスタ $41p$ から構成される。増幅器 $40p$ の非反転入力端子は主トランジスタ $1p$ のソース端子に接続され、反転入力端子は補助トランジスタ $3p$ のソース端子に接続される。増幅器 $40p$ の出力は、トランジスタ $41p$ のゲート端子へ接続される。トランジスタ $41p$ のソースは補助トランジスタ $3p$ のソースに接続され、ドレインは制御回路 $8p$ へ検出電流 I_{sp} を流す。

40

【0004】

以上の構成によって、主トランジスタ $1p$ は、端子 V_{gp} への印加電圧に基づき、入力端子 I_{np} から出力端子 O_{utp} を介して負荷 $2p$ へ出力電流 I_{op} を供給する。同時に、補助トランジスタ $3p$ も、同じ端子 V_{gp} への印加電圧に基づき、トランジスタ $41p$ を介して制御回路 $8p$ へ検出電流 I_{sp} を流す。この時、増幅器 $40p$ は、主トランジスタ $1p$ のソース電位と、補助トランジスタ $3p$ のソース電位が等しくなるように、トランジスタ $41p$ のゲート端子を制御し、トランジスタ $41p$ のインピーダンスを調整するフィードバック動作を行う。このフィードバック動作によって、主トランジスタ $1p$ および

50

補助トランジスタ 3 p の各端子電位は、互いに等しくなる。補助トランジスタ 3 p および主トランジスタ 1 p の各ドレイン・ソース間抵抗（オン抵抗）の比は、各トランジスタのサイズの比に精度よく反比例する。補助トランジスタ 3 p および主トランジスタ 1 p に流れる各電流の比は、各トランジスタのサイズの比に比例する。すなわち、主トランジスタ 1 p のサイズが補助トランジスタ 3 p の N 倍である場合、制御回路 8 に流れる検出電流 I_{sp} は出力電流 I_{op} の $1/N$ 倍 ($I_{sp} = I_{op} / N$) となる。

【特許文献 1】米国特許第 4,885,477 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述した従来例では、出力端子 $Outp$ の電圧が低下した場合、増幅器 40 p の反転入力端子の電位も低下するようにフィードバック動作が生じる。出力端子 $Outp$ の電圧は、出力端子 $Outp$ の出力電流 I_{op} が過大となったり、出力端子 $Outp$ がグランドに短絡されたりすることにより、低下する。その結果、トランジスタ 41 p のソース電位が下がり、トランジスタ 41 p のドレイン・ソース間の動作電圧を確保することが困難となる。それゆえに、制御回路 8 p に流す検出電流 I_{sp} は、出力電流 I_{op} を正しく検出できないという課題があった。

【0006】

本発明は、上述した従来例の課題を解決するもので、出力端子の電圧が低下しても正確に出力電流を検出し、制御回路に検出電流を供給する電流検出回路およびそれを用いた電圧コンバータを提供することを目的とする。

【課題を解決するための手段】

【0007】

上述した目的を達成するため、本発明に係る電流検出回路は、電源回路から受ける出力電流を、オンされることにより、負荷とやり取りすることが可能な主スイッチ回路と、前記主スイッチ回路の一端および第 1 端子に接続され、オンされることにより、前記出力電流よりも小さく、かつ前記出力電流に大略比例する第 1 副検出電流を生成する第 1 補助スイッチ回路と、前記主スイッチ回路の他端および第 2 端子に接続され、オンされることにより、前記出力電流よりも小さく、かつ前記出力電流に大略比例する第 2 副検出電流を生成する第 2 補助スイッチ回路と、電流調整検出回路と、を有し、前記電流調整検出回路は、第 1 調整回路、第 2 調整回路、および検出電流生成回路を含み、前記第 1 調整回路は、前記他端と、前記第 1 端子とが等電位になるように、前記第 1 副検出電流を調整し、調整された前記第 1 副検出電流を、前記第 1 補助スイッチ回路から受ける方向に流し、前記第 2 調整回路は、前記一端と前記第 2 端子とが等電位になるように、前記第 2 副検出電流を調整し、調整された前記第 2 副検出電流を、前記第 2 補助スイッチ回路へ出力する方向に流し、前記検出電流生成回路は、調整された前記第 1 副検出電流および調整された前記第 2 副検出電流に基づいて、前記出力電流よりも小さく、かつ前記出力電流に大略比例する検出電流を生成する。

【0008】

本発明に係る電圧コンバータは、直流電源から供給される直流電源電圧を昇圧または降圧し、出力電流を生成することが可能な電圧変換回路と、上記に記載の電流検出回路と、を有し、前記電圧変換回路は、前記電源回路に含まれる。

【発明の効果】

【0009】

本発明の電流検出回路によれば、第 1 調整回路は第 1 副検出電流を第 1 補助スイッチ回路から受ける方向に流すように構成され、第 2 調整回路は第 2 副検出電流を第 2 補助スイッチ回路へ出力する方向に流すように構成される。第 1 副検出電流および第 2 副検出電流のそれぞれは、電源電位から接地電位へまたは接地電位から電源電位へ、一方向に流れる。また、主スイッチ回路、第 1 補助スイッチ回路、および第 2 補助スイッチ回路における各電源側端子の電位は互いに大略等電位となり、各接地側端子の電位は互いに大略等電位

10

20

30

40

50

となる。したがって、第1調整回路および第2調整回路の各電位は、主スイッチ回路の両端電位を境として、電源電位側と接地電位側のうち、互いに異なる電位側に分かれて構成されていることになる。これにより、負荷両端の電圧が低下し、主スイッチ回路の接地側端子の電位と接地電位との差が低下する状態であっても、第1調整回路または第2調整回路のいずれか一方は十分な動作電圧を確保することができるため、出力電流を正確に検出することが可能となる。

【発明を実施するための最良の形態】

【0010】

以下、本発明を実施するための最良の形態に関するいくつかの例について、図面を参照しながら説明する。図面において、実質的に同一の構成、動作、および効果を表す要素については、同一の符号を付す。回路配線上の一点を参照するひとつの符号を用いて、電圧および電位の両方を表す場合がある。この場合、電圧はこの電位とたとえば接地電位との電位差を表す。また、以下において記述される数字は、すべて本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。さらに、ハイ/ローにより表される論理レベルまたはオン/オフにより表されるスイッチング状態は、本発明を具体的に説明するために例示するものであり、例示された論理レベルまたはスイッチング状態の異なる組み合わせにより、同等な結果を得ることも可能である。また、構成要素間の接続関係は、本発明を具体的に説明するために例示するものであり、本発明の機能を実現する接続関係はこれに限定されない。さらに、以下の実施の形態は、ハードウェアおよび/またはソフトウェアを用いて構成されるが、ハードウェアを用いる構成は、ソフトウェアを用いても構成可能であり、ソフトウェアを用いる構成は、ハードウェアを用いても構成可能である。

10

20

【0011】

(第1の実施形態)

図1は、第1の実施形態における電流検出回路とそれを用いた電圧コンバータの構成を示す回路図である。図1において、電流検出回路は、主スイッチ回路1、補助スイッチ回路3、補助スイッチ回路5、調整回路4、調整回路6、検出電流生成回路9、および選択回路7を含む。電圧コンバータは、上述した電流検出回路、制御回路8、直流電源10、電圧変換回路2、および負荷11を含む。主スイッチ回路1および各補助スイッチ回路3、5は、NMOSトランジスタである。調整回路4は、増幅器40およびPMOSトランジスタ41を含む。調整回路6は、増幅器60、PMOSトランジスタ61を含む。検出電流生成回路9は、PMOSトランジスタ90およびPMOSトランジスタ91を含む。選択回路7は、基準電圧源70および比較器71を含む。

30

【0012】

調整回路4、6、および検出電流生成回路9は、電流調整検出回路を構成する。各PMOSトランジスタ41、61は、調整器の一例である。PMOSトランジスタ90、91は、カレントミラー回路を構成する。直流電源10および電圧変換回路2は、電源回路を構成する。NMOSトランジスタは、NチャンネルMOS (Negative channel Metal Oxide Semiconductor: Nチャンネル金属酸化膜半導体) トランジスタとも呼ばれる。PMOSトランジスタは、PチャンネルMOS (Positive channel Metal Oxide Semiconductor: Pチャンネル金属酸化膜半導体) トランジスタとも呼ばれる。

40

【0013】

電圧変換回路2の電源端子は、端子Pcを介して直流電源10の正極に接続され、直流電源10Aの負極は接地される。主スイッチ回路1のドレイン端子は、端子Pnを介して電圧変換回路2の出力端子に接続され、主スイッチ回路1のソース端子は、出力端子Ptを介して負荷11の一端に接続され、負荷11の他端は接地される。補助スイッチ回路3のドレイン端子は端子Pnに接続され、補助スイッチ回路3のソース端子は、端子Pqを介して調整回路4に接続される。補助スイッチ回路5のドレイン端子は、端子Prを介して調整回路6に接続され、補助スイッチ回路5のソース端子は出力端子Ptに接続される

50

。

【0014】

調整回路4において、増幅器40の非反転入力端子は出力端子Ptに接続され、増幅器40の反転入力端子は端子Pqに接続され、増幅器40の出力端子はPMOSトランジスタ41のゲート端子に接続される。PMOSトランジスタ41のソース端子は端子Pqに接続され、PMOSトランジスタ41のドレイン端子は調整回路4の端子となり、検出電流生成回路9に接続される。調整回路6において、増幅器60の反転入力端子は端子Pnに接続され、増幅器60の非反転入力端子は端子Prに接続され、増幅器60の出力端子はPMOSトランジスタ61のゲート端子に接続される。PMOSトランジスタ61のドレイン端子は端子Prに接続され、PMOSトランジスタ61のソース端子は調整回路6の端子となり、検出電流生成回路9に接続される。

10

【0015】

検出電流生成回路9において、カレントミラー回路に含まれるPMOSトランジスタ90のドレイン端子は、PMOSトランジスタ61のソース端子に接続され、同じくカレントミラー回路に含まれるPMOSトランジスタ91のドレイン端子は、PMOSトランジスタ41のドレイン端子に接続されるとともに、制御回路8に接続される。PMOSトランジスタ90、91の各ソース端子は、端子Pcに接続される。選択回路7において、比較器71の非反転入力端子は出力端子Ptに接続され、比較器71の反転入力端子は基準電圧源70の正極に接続され、基準電圧源70の負極は接地される。比較器71の出力端子は、増幅器40のイネーブル(enable)端子に接続されるとともに、増幅器60のディセーブル(disable)端子に接続される。

20

【0016】

直流電源10は、正の直流電源電圧Vcを生成する。電圧変換回路2は、直流電源電圧Vcを昇圧または降圧し、出力電圧Vnおよび出力電流Inを生成する。主スイッチ回路1は、オンされることにより、出力電流Inに大略等しい出力電流Itを負荷11へ流す。

【0017】

補助スイッチ回路3は、オンされることにより、出力電流Inの一部を分流し、副検出電流Iqを生成する。調整回路4は、出力端子Ptにおける出力電位Vtと、端子Pqにおける電位Vqとが等しくなるように、負帰還動作を用いて副検出電流Iqを調整する。さらに詳しくは、増幅器40は、出力電位Vtと電位Vqとの差に対して、線形的に変化する増幅信号V40を生成する。PMOSトランジスタ41は、増幅信号V40により制御され、出力電位Vtと電位Vqとの差が大略ゼロになるように、補助スイッチ回路3から流れ込む副検出電流Iqを調整する。電位Vqが出力電位Vtよりも高い場合、増幅信号V40の電位は低くなり、PMOSトランジスタ41は副検出電流Iqを増加させ、結果として電位Vqは下降する。電位Vqが出力電位Vtよりも低い場合、増幅信号V40の電位は高くなり、PMOSトランジスタ41は副検出電流Iqを減少させ、結果として電位Vqは上昇する。

30

【0018】

補助スイッチ回路5は、オンされることにより、出力電流Itの一部を分流し、副検出電流Irを生成する。調整回路6は、端子Pnにおける電位Vnと、端子Prにおける電位Vrとが等しくなるように、負帰還動作を用いて副検出電流Irを調整する。さらに詳しくは、増幅器60は、電位Vnと電位Vrとの差に対して、線形的に変化する増幅信号V60を生成する。PMOSトランジスタ61は、増幅信号V60により制御され、電位Vnと電位Vrとの差が大略ゼロになるように、補助スイッチ回路5へ流れ出る副検出電流Irを調整する。電位Vrが電位Vnよりも低い場合、増幅信号V60の電位は低くなり、PMOSトランジスタ61は副検出電流Irを増加させ、結果として電位Vrは上昇する。電位Vrが電位Vnよりも高い場合、増幅信号V60の電位は高くなり、PMOSトランジスタ61は副検出電流Irを減少させ、結果として電位Vrは下降する。

40

【0019】

50

カレントミラー回路は、副検出電流 I_r に大略等しいカレントミラー電流 I_w を生成する。検出電流生成回路 9 は、カレントミラー電流 I_w と副検出電流 I_q との和を表す検出電流 I_s を生成する。

【0020】

制御回路 8 は、検出電流 I_s に基づいて、制御電圧 V_8 を生成する。制御電圧 V_8 に基づいて電圧変換回路 2 内のスイッチング用トランジスタがオン/オフされることにより、電圧変換回路 2 は直流電源電圧 V_c を昇圧または降圧し、出力電流 I_n を生成する。制御電圧 V_8 は、制御されるスイッチング用トランジスタの数に応じて、複数系統であってもよい。さらに、制御回路 8 は、検出電流 I_s に基づいて制御電圧 V_g を生成し、制御端子 P_g を介して主スイッチ回路 1 および補助スイッチ回路 3、5 の各ゲート端子に制御電圧 V_g を印加する。主スイッチ回路 1 および各補助スイッチ回路 3、5 は、制御電圧 V_g に基づいて同時にオン/オフされる。主スイッチ回路 1 および各補助スイッチ回路 3、5 は、降圧時には常時オンされ、昇圧時には電圧変換回路 2 に含まれるインダクタの放電時にオンされる。

10

【0021】

このように、検出電流 I_s に応じて出力電流 I_n が生成されることにより、たとえば検出電流 I_s が所定値を越えると、制御回路 8 は電圧変換回路 2 の動作を停止し、出力電流 I_n を低下させることができる。これにより、電圧コンバータの過電流保護を実現することができる。さらに、負荷 8 に高速なインピーダンス変動が生じる場合に、出力電流 I_n が所望の過渡応答で追従できるように、制御回路 8 は制御電圧 V_8 を設定することができる。

20

【0022】

各補助スイッチ回路 3、5 は、主スイッチ回路 1 と比較して、大略同等な半導体構造およびより小さい半導体サイズを有する。それゆえに各補助スイッチ回路 3、5 は、主スイッチ回路 1 と比較して、より大きいオン抵抗を有する。ここで、半導体構造には、回路の構成、レイアウト上の相対的ディメンジョン関係、半導体材料、および製造プロセスが含まれる。また、半導体サイズは、半導体上で回路が占めるサイズを表す。主スイッチ回路 1 および補助スイッチ回路 3、5 における各半導体サイズの比を、 $S_n : 1 : S_m$ (ここで S_n は 1 および S_m よりも十分に大きい) とする。この場合、補助スイッチ回路 3、5 は、主スイッチ回路 1 と比較して、それぞれ $1/S_n$ 、 S_m/S_n 倍の大きさの半導体サイズを有し、それぞれ S_n 、 S_n/S_m 倍の大きさのオン抵抗を有する。

30

【0023】

上述したように、調整回路 6 は、電位 V_n と電位 V_r とを大略等しくするから、主スイッチ回路 1 および補助スイッチ回路 3、5 における各ドレイン端子の電位は互いに大略等しくなる。また、調整回路 4 は、電位 V_t と電位 V_q とを大略等しくするから、主スイッチ回路 1 および補助スイッチ回路 3、5 における各ソース端子の電位は互いに大略等しくなる。さらに、主スイッチ回路 1 および補助スイッチ回路 3、5 における各ゲート端子の電位は、互いに等しい。

【0024】

それゆえに、オン時に、補助スイッチ回路 3、5 のドレイン端子からソース端子へそれぞれ流れる副検出電流 I_q 、 I_r は、主スイッチ回路 1 のドレイン端子からソース端子へ流れる出力電流 I_t よりも小さく (それぞれ $1/S_n$ 、 S_m/S_n 倍)、かつ出力電流 I_t に大略比例する。その結果、検出電流 I_s は、出力電流 I_t よりも小さく、かつ出力電流 I_t に大略比例する。副検出電流 I_q と出力電流 I_t との比は、補助スイッチ回路 3 の半導体サイズと主スイッチ回路 1 の半導体サイズとの比 $1 : S_n$ に一致し、補助スイッチ回路 3 のオン抵抗と主スイッチ回路 1 のオン抵抗との比の逆数になる。同様に、副検出電流 I_r と出力電流 I_t との比は、補助スイッチ回路 5 の半導体サイズと主スイッチ回路 1 の半導体サイズとの比 $S_m : S_n$ に一致し、補助スイッチ回路 5 のオン抵抗と主スイッチ回路 1 のオン抵抗との比の逆数になる。このように、電流検出回路は、出力電流 I_t に大略比例し、かつ出力電流 I_t に対して悪影響を及ぼさない程度に小さい副検出電流 I_q 、

40

50

I_r および検出電流 I_s を生成することができる。これにより、出力電流 I_t の正確な検出が可能になる。

【0025】

選択回路7は、出力電圧 V_t が基準電圧源70により生成される正の基準電圧 V_{70} 以上の場合、ハイレベルを表し、出力電圧 V_t が基準電圧 V_{70} 未満の場合、ローレベルを表す選択信号 V_7 を生成する。電流調整検出回路は、選択信号 V_7 がハイレベルの場合、副検出電流 I_q に基づいて検出電流 I_s を生成し、選択信号 V_7 がローレベルの場合、副検出電流 I_r に基づいて検出電流 I_s を生成する。さらに詳しくは、選択回路7は、選択信号 V_7 がハイレベルの場合、調整回路4のイネーブル端子をハイレベルにし、調整回路4を有効化する一方、調整回路6のディセーブル端子をハイレベルにし、調整回路6を無効化する。選択信号 V_7 がローレベルの場合、調整回路4のイネーブル端子をローレベルにし、調整回路4を無効化する一方、調整回路6のディセーブル端子をローレベルにし、調整回路6を有効化する。調整回路4、6は、無効化されると、それぞれ副検出電流 I_q 、 I_r を大略ゼロにする。基準電圧 V_{70} は、調整回路4が十分に動作可能な、出力電圧 V_t の範囲の下限値に設定される。

10

【0026】

調整回路4は副検出電流 I_q を補助スイッチ回路3のソース端子から受ける方向に流すように構成され、調整回路6は副検出電流 I_r を補助スイッチ回路5のドレイン端子へ出力する方向に流すように構成される。各副検出電流 I_q 、 I_r は、正の電源電位 V_c から接地電位へ、一方向に流れる。また、互いに大略等しい、主スイッチ回路1、補助スイッチ回路3、5の各ソース電位は、互いに大略等しい、主スイッチ回路1、補助スイッチ回路3、5の各ドレイン電位よりも、主スイッチ回路1のオン電圧だけ低い。したがって、調整回路4の電位は、主スイッチ回路1のソース電位から接地電位までの電位範囲（すなわち、接地電位側の電位範囲）内に存在する。接地電位側の電位範囲には、負荷11の電位が存在するため、負荷電位側の電位範囲とも呼ばれる。一方、調整回路6の電位は、電源電位 V_c から主スイッチ回路1のドレイン電位までの電位範囲（すなわち、電源電位 V_c 側の電位範囲）内に存在する。

20

【0027】

出力電位 V_t が充分高い状態では、接地電位側の電位範囲は充分広いため、調整回路4が有効化されることにより、副検出電流 I_q が正確に生成される。一方、出力電位 V_t が低くなり、接地電位側の電位範囲が狭くなると、調整回路4は動作電圧を確保することができなくなるが、逆に電源電位 V_c 側の電位範囲は充分広くなるため、調整回路6は充分な動作電圧を確保することができるようになる。したがって、調整回路6が有効化されることにより、副検出電流 I_r が正確に生成される。

30

【0028】

このように、第1の実施形態の電流検出回路およびそれを用いた電圧コンバータによれば、調整回路4の電位を接地電位側の電位範囲、および調整回路6の電位を電源電位 V_c 側の電位範囲に分けるように構成する。これにより、いずれか一方では正確に副検出電流を生成することができ、出力電流 I_t を正確に検出することが可能となる。

【0029】

なお、主スイッチ回路1および各補助スイッチ回路3、5は、シリーズレギュレータのようにリニア動作する素子であっても、スイッチングレギュレータのようにスイッチング動作する素子であってもよい。また、主スイッチ回路1および各補助スイッチ回路3、5は、NMOSトランジスタとしたが、PMOSトランジスタであってもよい。さらに、各MOSトランジスタ41、61はPMOSトランジスタとしたが、NMOSトランジスタであってもよい。この場合、増幅器40、60の各入力端子における正負の極性は、互いに逆にする必要がある。

40

【0030】

(第2の実施形態)

第2の実施形態では、第1の実施形態と異なる点を中心に説明する。その他の構成、動

50

作、および効果は、第 1 の実施形態と同等であるので、説明を省略する。

【 0 0 3 1 】

図 2 は、第 2 の実施形態における電流検出回路とそれを用いた電圧コンバータの構成を示す回路図である。図 2 において、電流検出回路は、主スイッチ回路 1 A、補助スイッチ回路 3 A、補助スイッチ回路 5 A、調整回路 4 A、調整回路 6 A、検出電流生成回路 9 A、および選択回路 7 A を含む。電圧コンバータは、上述した電流検出回路、制御回路 8 A、直流電源 1 0 A、電圧変換回路 2 A、および負荷 1 1 A を含む。主スイッチ回路 1 A および各補助スイッチ回路 3 A、5 A は、PMOS トランジスタである。調整回路 4 A は、増幅器 4 0 A および NMOS トランジスタ 4 1 A を含む。調整回路 6 A は、増幅器 6 0 A、NMOS トランジスタ 6 1 A を含む。検出電流生成回路 9 A は、NMOS トランジスタ 9 0 A および NMOS トランジスタ 9 1 A を含む。選択回路 7 A は、基準電圧源 7 0 A および比較器 7 1 A を含む。

10

【 0 0 3 2 】

調整回路 4 A、6 A、および検出電流生成回路 9 A は、電流調整検出回路を構成する。各 NMOS トランジスタ 4 1 A、6 1 A は、調整器の一例である。NMOS トランジスタ 9 0 A、9 1 A は、カレントミラー回路を構成する。直流電源 1 0 A および電圧変換回路 2 A は、電源回路を構成する。

【 0 0 3 3 】

電圧変換回路 2 A の電源端子は、端子 P c A を介して直流電源 1 0 A の負極に接続され、直流電源 1 0 A の正極は接地される。主スイッチ回路 1 A のドレイン端子は、端子 P n A を介して電圧変換回路 2 A の出力端子に接続され、主スイッチ回路 1 A のソース端子は、出力端子 P t A を介して負荷 1 1 A の一端に接続され、負荷 1 1 A の他端は接地される。補助スイッチ回路 3 A のドレイン端子は端子 P n A に接続され、補助スイッチ回路 3 A のソース端子は、端子 P q A を介して調整回路 4 A に接続される。補助スイッチ回路 5 A のドレイン端子は、端子 P r A を介して調整回路 6 A に接続され、補助スイッチ回路 5 A のソース端子は出力端子 P t A に接続される。

20

【 0 0 3 4 】

調整回路 4 A において、増幅器 4 0 A の非反転入力端子は出力端子 P t A に接続され、増幅器 4 0 A の反転入力端子は端子 P q A に接続され、増幅器 4 0 A の出力端子は NMOS トランジスタ 4 1 A のゲート端子に接続される。NMOS トランジスタ 4 1 A のソース端子は端子 P q A に接続され、NMOS トランジスタ 4 1 A のドレイン端子は調整回路 4 A の端子となり、検出電流生成回路 9 A に接続される。調整回路 6 A において、増幅器 6 0 A の反転入力端子は端子 P n A に接続され、増幅器 6 0 A の非反転入力端子は端子 P r A に接続され、増幅器 6 0 A の出力端子は NMOS トランジスタ 6 1 A のゲート端子に接続される。NMOS トランジスタ 6 1 A のドレイン端子は端子 P r A に接続され、NMOS トランジスタ 6 1 A のソース端子は調整回路 6 A の端子となり、検出電流生成回路 9 A に接続される。

30

【 0 0 3 5 】

検出電流生成回路 9 A において、カレントミラー回路に含まれる NMOS トランジスタ 9 0 A のドレイン端子は、NMOS トランジスタ 6 1 A のソース端子に接続され、同じくカレントミラー回路に含まれる NMOS トランジスタ 9 1 A のドレイン端子は、NMOS トランジスタ 4 1 A のドレイン端子に接続されるとともに、制御回路 8 A に接続される。NMOS トランジスタ 9 0 A、9 1 A の各ソース端子は、端子 P c A に接続される。選択回路 7 A において、比較器 7 1 A の非反転入力端子は出力端子 P t A に接続され、比較器 7 1 A の反転入力端子は基準電圧源 7 0 A の負極に接続され、基準電圧源 7 0 A の正極は接地される。比較器 7 1 A の出力端子は、増幅器 4 0 A のイネーブル端子に接続されるとともに、増幅器 6 0 A のディセーブル端子に接続される。

40

【 0 0 3 6 】

直流電源 1 0 A は、負の直流電源電圧 V c A を生成する。電圧変換回路 2 A は、直流電源電圧 V c A を昇圧または降圧し、出力電圧 V n A および出力電流 I n A を生成する。主

50

スイッチ回路 1 A は、オンされることにより、出力電流 $I_n A$ に大略等しい出力電流 $I_t A$ を負荷 1 1 A へ流す。

【0037】

補助スイッチ回路 3 A は、オンされることにより、出力電流 $I_n A$ の一部を分流し、副検出電流 $I_q A$ を生成する。調整回路 4 A は、出力端子 $P_t A$ における出力電位 $V_t A$ と、端子 $P_q A$ における電位 $V_q A$ とが等しくなるように、負帰還動作を用いて副検出電流 $I_q A$ を調整する。さらに詳しくは、増幅器 4 0 A は、出力電位 $V_t A$ と電位 $V_q A$ との差に対して、線形的に変化する増幅信号 $V_{40} A$ を生成する。NMOS トランジスタ 4 1 A は、増幅信号 $V_{40} A$ により制御され、出力電位 $V_t A$ と電位 $V_q A$ との差が大略ゼロになるように、補助スイッチ回路 3 A へ流れ出る副検出電流 $I_q A$ を調整する。電位 $V_q A$ が出力電位 $V_t A$ よりも低い場合、増幅信号 $V_{40} A$ の電位は高くなり、NMOS トランジスタ 4 1 A は副検出電流 $I_q A$ を増加させ、結果として電位 $V_q A$ は上昇する。電位 $V_q A$ が出力電位 $V_t A$ よりも高い場合、増幅信号 $V_{40} A$ の電位は低くなり、NMOS トランジスタ 4 1 A は副検出電流 $I_q A$ を減少させ、結果として電位 $V_q A$ は下降する。

10

【0038】

補助スイッチ回路 5 A は、オンされることにより、出力電流 $I_t A$ の一部を分流し、副検出電流 $I_r A$ を生成する。調整回路 6 A は、端子 $P_n A$ における電位 $V_n A$ と、端子 $P_r A$ における電位 $V_r A$ とが等しくなるように、負帰還動作を用いて副検出電流 $I_r A$ を調整する。さらに詳しくは、増幅器 6 0 A は、電位 $V_n A$ と電位 $V_r A$ との差に対して、線形的に変化する増幅信号 $V_{60} A$ を生成する。NMOS トランジスタ 6 1 A は、増幅信号 $V_{60} A$ により制御され、電位 $V_n A$ と電位 $V_r A$ との差が大略ゼロになるように、補助スイッチ回路 5 A から流れ込む副検出電流 $I_r A$ を調整する。電位 $V_r A$ が電位 $V_n A$ よりも高い場合、増幅信号 $V_{60} A$ の電位は高くなり、NMOS トランジスタ 6 1 A は副検出電流 $I_r A$ を増加させ、結果として電位 $V_r A$ は下降する。電位 $V_r A$ が電位 $V_n A$ よりも低い場合、増幅信号 $V_{60} A$ の電位は低くなり、NMOS トランジスタ 6 1 A は副検出電流 $I_r A$ を減少させ、結果として電位 $V_r A$ は上昇する。

20

【0039】

カレントミラー回路は、副検出電流 $I_r A$ に大略等しいカレントミラー電流 $I_w A$ を生成する。検出電流生成回路 9 A は、カレントミラー電流 $I_w A$ と副検出電流 $I_q A$ との和を表す検出電流 $I_s A$ を生成する。

30

【0040】

制御回路 8 A は、検出電流 $I_s A$ に基づいて、制御電圧 $V_8 A$ を生成する。制御電圧 $V_8 A$ に基づいて電圧変換回路 2 A 内のスイッチング用トランジスタがオン/オフされることにより、電圧変換回路 2 A は直流電源電圧 $V_c A$ を昇圧または降圧し、出力電流 $I_n A$ を生成する。制御電圧 $V_8 A$ は、制御されるスイッチング用トランジスタの数に応じて、複数系統であってもよい。さらに、制御回路 8 A は、検出電流 $I_s A$ に基づいて制御電圧 $V_g A$ を生成し、制御端子 $P_g A$ を介して主スイッチ回路 1 A および補助スイッチ回路 3 A、5 A の各ゲート端子に制御電圧 $V_g A$ を印加する。主スイッチ回路 1 A および各補助スイッチ回路 3 A、5 A は、制御電圧 $V_g A$ に基づいて同時にオン/オフされる。主スイッチ回路 1 A および各補助スイッチ回路 3 A、5 A は、降圧時には常時オンされ、昇圧時には電圧変換回路 2 A に含まれるインダクタの放電時にオンされる。

40

【0041】

このように、検出電流 $I_s A$ に応じて出力電流 $I_n A$ が生成されることにより、たとえば検出電流 $I_s A$ が所定値を越えると、制御回路 8 A は電圧変換回路 2 A の動作を停止し、出力電流 $I_n A$ を低下させることができる。これにより、電圧コンバータの過電流保護を実現することができる。さらに、負荷 8 A に高速なインピーダンス変動が生じる場合に、出力電流 $I_n A$ が所望の過渡応答で追従できるように、制御回路 8 A は制御電圧 $V_8 A$ を設定することができる。

【0042】

各補助スイッチ回路 3 A、5 A は、主スイッチ回路 1 A と比較して、大略同等な半導体

50

構造およびより小さい半導体サイズを有する。それゆえに各補助スイッチ回路 3 A、5 A は、主スイッチ回路 1 A と比較して、より大きいオン抵抗を有する。主スイッチ回路 1 A および補助スイッチ回路 3 A、5 A における各半導体サイズの比を、 $S_n : 1 : S_m$ (ここで S_n は 1 および S_m よりも十分に大きい) とする。この場合、補助スイッチ回路 3 A、5 A は、主スイッチ回路 1 A と比較して、それぞれ $1/S_n$ 、 S_m/S_n 倍の大きさの半導体サイズを有し、それぞれ S_n 、 S_n/S_m 倍の大きさのオン抵抗を有する。

【0043】

上述したように、調整回路 6 A は、電位 V_{nA} と電位 V_{rA} とを大略等しくするから、主スイッチ回路 1 A および補助スイッチ回路 3 A、5 A における各ドレイン端子の電位は互いに大略等しくなる。また、調整回路 4 A は、電位 V_{tA} と電位 V_{qA} とを大略等しくするから、主スイッチ回路 1 A および補助スイッチ回路 3 A、5 A における各ソース端子の電位は互いに大略等しくなる。さらに、主スイッチ回路 1 A および補助スイッチ回路 3 A、5 A における各ゲート端子の電位は、互いに等しい。

10

【0044】

それゆえに、オン時に、補助スイッチ回路 3 A、5 A のソース端子からドレイン端子へそれぞれ流れる副検出電流 I_{qA} 、 I_{rA} は、主スイッチ回路 1 A のソース端子からドレイン端子へ流れる出力電流 I_{tA} よりも小さく (それぞれ $1/S_n$ 、 S_m/S_n 倍)、かつ出力電流 I_{tA} に大略比例する。その結果、検出電流 I_{sA} は、出力電流 I_{tA} よりも小さく、かつ出力電流 I_{tA} に大略比例する。副検出電流 I_{qA} と出力電流 I_{tA} との比は、補助スイッチ回路 3 A の半導体サイズと主スイッチ回路 1 A の半導体サイズとの比 $1 : S_n$ に一致し、補助スイッチ回路 3 A のオン抵抗と主スイッチ回路 1 A のオン抵抗との比の逆数になる。同様に、副検出電流 I_{rA} と出力電流 I_{tA} との比は、補助スイッチ回路 5 A の半導体サイズと主スイッチ回路 1 A の半導体サイズとの比 $S_m : S_n$ に一致し、補助スイッチ回路 5 A のオン抵抗と主スイッチ回路 1 A のオン抵抗との比の逆数になる。このように、電流検出回路は、出力電流 I_{tA} に大略比例し、かつ出力電流 I_{tA} に対して悪影響を及ぼさない程度に小さい副検出電流 I_{qA} 、 I_{rA} および検出電流 I_{sA} を生成することができる。これにより、出力電流 I_{tA} の正確な検出が可能になる。

20

【0045】

選択回路 7 A は、出力電圧 V_{tA} が基準電圧源 V_{70A} により生成される負の基準電圧 V_{70A} 以上の場合、ハイレベルを表し、出力電圧 V_{tA} が基準電圧 V_{70A} 未満の場合、ローレベルを表す選択信号 V_{7A} を生成する。電流調整検出回路は、選択信号 V_{7A} がハイレベルの場合、副検出電流 I_{rA} に基づいて検出電流 I_{sA} を生成し、選択信号 V_{7A} がローレベルの場合、副検出電流 I_{qA} に基づいて検出電流 I_{sA} を生成する。さらに詳しくは、選択回路 7 A は、選択信号 V_{7A} がハイレベルの場合、調整回路 6 A のイネーブル端子をハイレベルにし、調整回路 6 A を有効化する一方、調整回路 4 A のディセーブル端子をハイレベルにし、調整回路 4 A を無効化する。選択信号 V_{7A} がローレベルの場合、調整回路 6 A のイネーブル端子をローレベルにし、調整回路 6 A を無効化する一方、調整回路 4 A のディセーブル端子をローレベルにし、調整回路 4 A を有効化する。調整回路 4 A、6 A は、無効化されると、それぞれ副検出電流 I_{qA} 、 I_{rA} を大略ゼロにする。基準電圧 V_{70A} は、調整回路 4 A が十分に動作可能な、出力電圧 V_{tA} の範囲の上限値に設定される。

30

40

【0046】

調整回路 6 A は副検出電流 I_{rA} を補助スイッチ回路 5 A のドレイン端子から受ける方向に流すように構成され、調整回路 4 A は副検出電流 I_{qA} を補助スイッチ回路 3 A のソース端子へ出力する方向に流すように構成される。各副検出電流 I_{qA} 、 I_{rA} は、接地電位から負の電源電位 V_{cA} へ、一方向に流れる。また、互いに大略等しい、主スイッチ回路 1 A、補助スイッチ回路 3 A、5 A の各ドレイン電位は、互いに大略等しい、主スイッチ回路 1 A、補助スイッチ回路 3 A、5 A の各ソース電位よりも、主スイッチ回路 1 A のオン電圧だけ低い。したがって、調整回路 6 A の電位は、主スイッチ回路 1 A のドレイン電位から電源電位 V_{cA} までの電位範囲 (すなわち、電源電位 V_{cA} 側の電位範囲) 内

50

に存在する。一方、調整回路 4 A の電位は、接地電位から主スイッチ回路 1 A のソース電位までの電位範囲（すなわち、接地電位側の電位範囲）内に存在する。接地電位側の電位範囲には、負荷 1 1 A の電位が存在するため、負荷電位側の電位範囲とも呼ばれる。

【 0 0 4 7 】

出力電位 V_{tA} が充分低い状態では、接地電位側の電位範囲は充分広いため、調整回路 4 A が有効化されることにより、副検出電流 I_{qA} が正確に生成される。一方、出力電位 V_{tA} が高くなり、接地電位側の電位範囲が狭くなると、調整回路 4 A は動作電圧を確保することができなくなるが、逆に電源電位 V_{cA} 側の電位範囲は充分広くなるため、調整回路 6 A は充分な動作電圧を確保することができるようになる。したがって、調整回路 6 A が有効化されることにより、副検出電流 I_{rA} が正確に生成される。

10

【 0 0 4 8 】

このように、第 2 の実施形態の電流検出回路およびそれを用いた電圧コンバータによれば、調整回路 4 A の電位を接地電位側の電位範囲、および調整回路 6 A の電位を電源電位 V_{cA} 側の電位範囲に分けるように構成する。これにより、いずれか一方では正確に副検出電流を生成することができ、出力電流 I_{tA} を正確に検出することが可能となる。

【 0 0 4 9 】

なお、主スイッチ回路 1 A および各補助スイッチ回路 3 A、5 A は、シリーズレギュレータのようにリニア動作する素子であっても、スイッチングレギュレータのようにスイッチング動作する素子であってもよい。また、主スイッチ回路 1 A および各補助スイッチ回路 3 A、5 A は、PMOS トランジスタとしたが、NMOS トランジスタであってもよい。さらに、各 MOS トランジスタ 4 1 A、6 1 A は NMOS トランジスタとしたが、PMOS トランジスタであってもよい。この場合、増幅器 4 0 A、6 0 A の各入力端子における正負の極性は、互いに逆にする必要がある。

20

【 0 0 5 0 】

（第 3 の実施形態）

第 3 の実施形態では、第 1 および第 2 の実施形態と異なる点を中心に説明する。その他の構成、動作、および効果は、第 1 および第 2 の実施形態と同等であるので、説明を省略する。

【 0 0 5 1 】

図 3 は、第 3 の実施形態における電流検出回路とそれを用いた電圧コンバータの構成を示す回路図である。図 3 において、電流検出回路は、主スイッチ回路 1 B、補助スイッチ回路 3 B、補助スイッチ回路 5 B、調整回路 4 B P、調整回路 4 B N、調整回路 6 B、検出電流生成回路 9 B、および選択回路 7 B を含む。電圧コンバータは、上述した電流検出回路、制御回路 8 B、直流電源 1 0 B、電圧変換回路 2 B、および負荷 1 1 B を含む。

30

【 0 0 5 2 】

主スイッチ回路 1 B および各補助スイッチ回路 3 B、5 B は、PMOS トランジスタおよび NMOS トランジスタの並列回路である。調整回路 4 B P は、増幅器 4 0 B P および NMOS トランジスタ 4 1 B P を含む。調整回路 4 B N は、増幅器 4 0 B N および NMOS トランジスタ 4 1 B N を含む。調整回路 6 B は、反転増幅器 6 0 B、NMOS トランジスタ 6 1 B を含む。検出電流生成回路 9 B は、PMOS トランジスタ 9 0 B、PMOS トランジスタ 9 1 B、NMOS トランジスタ 9 2 B、および NMOS トランジスタ 9 3 B を含む。選択回路 7 B は、基準電圧源 7 0 B および比較器 7 1 B を含む。電圧変換回路 2 B は、PMOS トランジスタ 2 0、NMOS トランジスタ 2 1、NMOS トランジスタ 2 2、およびインダクタ L 1 を含む。負荷 1 1 B は、コンデンサ C 1 を含む。

40

【 0 0 5 3 】

調整回路 4 B P、4 B N、6 B、および検出電流生成回路 9 B は、電流調整検出回路を構成する。各 NMOS トランジスタ 4 1 B P、4 1 B N、6 1 B は、調整器の一例である。PMOS トランジスタ 9 0 B、9 1 B は、カレントミラー回路を構成する。直流電源 1 0 B および電圧変換回路 2 B は、電源回路を構成する。

50

【 0 0 5 4 】

電圧変換回路 2 B の電源端子は、端子 P c B を介して直流電源 1 0 B の正極に接続され、直流電源 1 0 B の負極は接地される。電圧変換回路 2 B において、P M O S トランジスタ 2 0 のソース端子は電圧変換回路 2 B の電源端子に接続される。P M O S トランジスタ 2 0 のドレイン端子は、インダクタ L 1 の一端および N M O S トランジスタ 2 1 のドレイン端子に接続され、N M O S トランジスタ 2 1 のソース端子は接地される。インダクタ L 1 の他端は電圧変換回路 2 B の出力端子および N M O S トランジスタ 2 2 のドレイン端子に接続され、N M O S トランジスタ 2 2 のソース端子は接地される。

【 0 0 5 5 】

主スイッチ回路 1 B は、端子 P 1 n B と端子 P 1 t B との間に挿入される。端子 P 1 n B は P M O S トランジスタのドレイン端子および N M O S トランジスタのソース端子に接続され、端子 P 1 t B は P M O S トランジスタのソース端子および N M O S トランジスタのドレイン端子に接続される。端子 P 1 n B は、端子 P n B を介して電圧変換回路 2 B の出力端子に接続され、端子 P 1 t B は、出力端子 P t B を介して負荷 1 1 B (すなわち、コンデンサ C 1) の一端に接続され、負荷 1 1 B (すなわち、コンデンサ C 1) の他端は接地される。

【 0 0 5 6 】

補助スイッチ回路 3 B は、端子 P 3 n B と端子 P 3 q B との間に挿入される。端子 P 3 n B は P M O S トランジスタのソース端子および N M O S トランジスタのドレイン端子に接続され、端子 P 3 q B は P M O S トランジスタのドレイン端子および N M O S トランジスタのソース端子に接続される。端子 P 3 q B は端子 P q B を介して調整回路 4 B P に接続され、端子 P 3 n B は端子 P n B に接続される。補助スイッチ回路 5 B は、端子 P 5 r B と端子 P 5 t B との間に挿入される。端子 P 5 r B は P M O S トランジスタのドレイン端子および N M O S トランジスタのソース端子に接続され、端子 P 5 t B は P M O S トランジスタのソース端子および N M O S トランジスタのドレイン端子に接続される。端子 P 5 r B は端子 P r B を介して各調整回路 4 B N 、 6 B に接続され、端子 P 5 t B は出力端子 P t B に接続される。

【 0 0 5 7 】

調整回路 4 B P において、増幅器 4 0 B P の反転入力端子は出力端子 P t B に接続され、増幅器 4 0 B P の非反転入力端子は端子 P q B に接続され、増幅器 4 0 B P の出力端子は N M O S トランジスタ 4 1 B P のゲート端子に接続される。N M O S トランジスタ 4 1 B P のドレイン端子は端子 P q B に接続され、N M O S トランジスタ 4 1 B P のソース端子は接地される。調整回路 4 B N において、増幅器 4 0 B N の反転入力端子は出力端子 P n B に接続され、増幅器 4 0 B N の非反転入力端子は端子 P r B に接続され、増幅器 4 0 B N の出力端子は N M O S トランジスタ 4 1 B N のゲート端子に接続される。N M O S トランジスタ 4 1 B N のドレイン端子は端子 P r B に接続され、N M O S トランジスタ 4 1 B N のソース端子は接地される。

【 0 0 5 8 】

調整回路 6 B において、反転増幅器 6 0 B の反転入力端子は端子 P n B に接続され、反転増幅器 6 0 B の非反転入力端子は端子 P r B に接続され、反転増幅器 6 0 B の出力端子は N M O S トランジスタ 6 1 B のゲート端子に接続される。N M O S トランジスタ 6 1 B のソース端子は端子 P r B に接続され、N M O S トランジスタ 6 1 B のドレイン端子は調整回路 6 B の端子となり、検出電流生成回路 9 B に接続される。

【 0 0 5 9 】

検出電流生成回路 9 B において、カレントミラー回路に含まれる P M O S トランジスタ 9 0 B のドレイン端子は、N M O S トランジスタ 6 1 B のドレイン端子および N M O S トランジスタ 9 2 B のドレイン端子に接続される。同じくカレントミラー回路に含まれる N M O S トランジスタ 9 1 B のドレイン端子は、N M O S トランジスタ 9 3 B のドレイン端子に接続されるとともに、制御回路 8 B に接続される。P M O S トランジスタ 9 0 B 、 9 1 B の各ソース端子は端子 P c B に接続され、N M O S トランジスタ 9 2 B 、 9 3 B の各

10

20

30

40

50

ソース端子は接地される。NMOSトランジスタ92Bのゲート端子はNMOSトランジスタ41BPのゲート端子に接続され、NMOSトランジスタ93Bのゲート端子はNMOSトランジスタ41BNのゲート端子に接続される。

【0060】

選択回路7Bにおいて、比較器71Bの非反転入力端子は出力端子PtBに接続され、比較器71Bの反転入力端子は基準電圧源70Bの正極に接続され、基準電圧源70Bの負極は接地される。比較器71Bの出力端子は、増幅器40BP、40BNの各イネーブル端子に接続されるとともに、反転増幅器60Bのディセーブル端子に接続される。

【0061】

直流電源10Bは、正の直流電源電圧VcBを生成する。電圧変換回路2Bは、直流電源電圧VcBを昇圧または降圧し、出力電圧VnBおよび出力電流InBPを生成する。主スイッチ回路1Bは、電圧変換回路2Bから出力電流InBPを受け、オンされることにより、出力電流InBPに大略等しい出力電流ItBPを負荷11Bへ流す。一方、主スイッチ回路1Bは、負荷11Bから出力電流ItBNを受け、オンされることにより、出力電流ItBNに大略等しい出力電流InBNを電圧変換回路2Bへ流す。すなわち、主スイッチ回路1Bは、オンされることにより、各出力電流InBP、InBN、ItBP、ItBNを負荷11Bとやり取りする。

【0062】

上述したように、主スイッチ回路1Bは、PMOSトランジスタとNMOSトランジスタとの並列構成になっている。このため、出力電圧VtBが低くPMOSトランジスタが十分にオンすることができない場合であっても、NMOSトランジスタが直流電源電圧VcBと出力電圧VtBとの差により十分にオンすることができる。したがって、主スイッチ回路1Bは、各端子P1nB、P1tBにおける電圧がどのような場合であっても、各制御電圧VgB1、VgB2によりオン/オフすることができる。

【0063】

補助スイッチ回路3Bは、オンされることにより、出力電流InBPの一部を分流し、副検出電流IqBを生成する。調整回路4BPは、出力端子PtBにおける出力電位VtBと、端子PqBにおける電位VqBとが等しくなるように、負帰還動作を用いて副検出電流IqBを調整する。さらに詳しくは、増幅器40BPは、出力電位VtBと電位VqBとの差に対して、線形的に変化する増幅信号V40BPを生成する。NMOSトランジスタ41BPは、増幅信号V40BPにより制御され、出力電位VtBと電位VqBとの差が大略ゼロになるように、補助スイッチ回路3Bから流れ込む副検出電流IqBを調整する。出力電位VnBが出力電位VtBよりも高い場合、すなわち出力電流ItBPが流れる場合に、副検出電流IqBが補助スイッチ回路3Bから流れ込むので、出力電流ItBNが流れる場合には副検出電流IqBは流れない。電位VqBが出力電位VtBよりも高い場合、増幅信号V40BPの電位は高くなり、NMOSトランジスタ41BPは副検出電流IqBを増加させ、結果として電位VqBは下降する。電位VqBが出力電位VtBよりも低い場合、増幅信号V40BPの電位は低くなり、NMOSトランジスタ41BPは副検出電流IqBを減少させ、結果として電位VqBは上昇する。

【0064】

補助スイッチ回路5Bは、オンされることにより、出力電流ItBPの一部を分流し、副検出電流IrBPを生成する。調整回路6Bは、端子PnBにおける電位VnBと、端子PrBにおける電位VrBとが等しくなるように、負帰還動作を用いて副検出電流IrBPを調整する。さらに詳しくは、反転増幅器60Bは、電位VnBと電位VrBとの差に対して、線形的に変化する増幅信号V60Bを生成する。NMOSトランジスタ61Bは、増幅信号V60Bにより制御され、電位VnBと電位VrBとの差が大略ゼロになるように、補助スイッチ回路5Bへ流れ出る副検出電流IrBPを調整する。出力電位VnBが出力電位VtBよりも高い場合、すなわち出力電流ItBPが流れる場合に、副検出電流IrBPが補助スイッチ回路5Bへ流れ出るので、出力電流ItBNが流れる場合には副検出電流IrBPは流れない。電位VrBが電位VnBよりも高い場合、増幅信号V

10

20

30

40

50

60Bの電位は低くなり、NMOSトランジスタ61Bは副検出電流 I_{rBP} を増加させ、結果として電位 V_{rB} は下降する。電位 V_{rB} が電位 V_{nB} よりも低い場合、増幅信号 V_{60B} の電位は高くなり、NMOSトランジスタ61Bは副検出電流 I_{rBP} を減少させ、結果として電位 V_{rB} は上昇する。

【0065】

補助スイッチ回路5Bは、オンされることにより、出力電流 I_{tBN} の一部を分流し、副検出電流 I_{rBN} を生成する。調整回路4BNは、端子 P_{nB} における電位 V_{nB} と、端子 P_{rB} における電位 V_{rB} とが等しくなるように、負帰還動作を用いて副検出電流 I_{rBN} を調整する。さらに詳しくは、増幅器40BNは、電位 V_{nB} と電位 V_{rB} との差に対して、線形的に変化する増幅信号 V_{40BN} を生成する。NMOSトランジスタ41BNは、増幅信号 V_{40BN} により制御され、電位 V_{nB} と電位 V_{rB} との差が大略ゼロになるように、補助スイッチ回路5Bから流れ込む副検出電流 I_{rBN} を調整する。出力電位 V_{nB} が出力電位 V_{tB} よりも低い場合、すなわち出力電流 I_{tBP} が流れる場合に、副検出電流 I_{rBN} が補助スイッチ回路5Bから流れ込むので、出力電流 I_{tBP} が流れる場合には副検出電流 I_{rBN} は流れない。電位 V_{rB} が電位 V_{nB} よりも高い場合、増幅信号 V_{40BN} の電位は高くなり、NMOSトランジスタ41BNは副検出電流 I_{rBN} を増加させ、結果として電位 V_{rB} は下降する。電位 V_{rB} が電位 V_{nB} よりも低い場合、増幅信号 V_{40BN} の電位は低くなり、NMOSトランジスタ41BNは副検出電流 I_{rBN} を減少させ、結果として電位 V_{rB} は上昇する。

【0066】

検出電流生成回路9Bにおいて、NMOSトランジスタ92Bは、NMOSトランジスタ41BPと比較して、大略同等な半導体構造および半導体サイズを有する。したがって、NMOSトランジスタ92Bは、NMOSトランジスタ41BPと同様に増幅信号 V_{40BP} により制御され、ドレイン端子からソース端子へ流れる副検出電流 I_{qB} を生成する。NMOSトランジスタ93Bは、NMOSトランジスタ41BNと比較して、大略同等な半導体構造および半導体サイズを有する。したがって、NMOSトランジスタ93Bは、NMOSトランジスタ41BNと同様に増幅信号 V_{40BN} により制御され、ドレイン端子からソース端子へ流れる副検出電流 I_{rBN} を生成する。

【0067】

カレントミラー回路は、副検出電流 I_{qB} と副検出電流 I_{rBP} との和に大略等しいカレントミラー電流 I_{wB} を生成する。検出電流生成回路9Bは、カレントミラー電流 I_{wB} から副検出電流 I_{rBN} を差し引いた電流を表す検出電流 I_{sB} を生成する。上述したように、出力電流 I_{tBP} が流れる場合、各副検出電流 I_{qB} 、 I_{rBP} が流れ、副検出電流 I_{rBN} は流れない。一方、出力電流 I_{tBN} が流れる場合、副検出電流 I_{rBN} が流れ、各副検出電流 I_{qB} 、 I_{rBP} は流れない。このように、検出電流生成回路9Bは、出力電流 I_{tBP} に対応してカレントミラー電流 I_{wB} を検出電流 I_{sB} とし、出力電流 I_{tBN} に対応して副検出電流 I_{rBN} を検出電流 I_{sB} とする。

【0068】

制御回路8Bは、検出電流 I_{sB} 、直流電源電圧 V_{cB} 、および出力電圧 V_{tB} に基づいて、制御電圧 V_{80} 、制御電圧 V_{81} 、および制御電圧 V_{82} を生成する。制御電圧 V_{80} 、 V_{81} 、 V_{82} に基づいてそれぞれMOSトランジスタ20、21、22がオン/オフされることにより、電圧変換回路2Bは直流電源電圧 V_{cB} を昇圧または降圧し、各出力電流 I_{nBP} 、 I_{nBN} を生成する。さらに、制御回路8Bは、検出電流 I_{sB} に基づいて制御電圧 V_{gB1} 、 V_{gB2} を生成し、それぞれ制御端子 P_{gB1} 、 P_{gB2} を介して、主スイッチ回路1Bおよび補助スイッチ回路3B、5Bの各ゲート端子に、それぞれ制御電圧 V_{gB1} 、 V_{gB2} を印加する。主スイッチ回路1Bおよび各補助スイッチ回路3B、5Bは、各制御電圧 V_{gB1} 、 V_{gB2} に基づいて、同時にオン/オフされる。

【0069】

制御回路8Bが出力電圧 V_{tB} を直流電源電圧 V_{cB} よりも低い所望の電圧に制御する場合、NMOSトランジスタ22はオフ状態に保持され、主スイッチ回路1Bはオン状態

10

20

30

40

50

に保持される。この状態で、PMOSトランジスタ20およびNMOSトランジスタ21が交互にオンされることにより、電圧変換回路2Bは降圧動作を行う。PMOSトランジスタ20におけるオン期間のデューティ比DT20に対して、出力電圧VtBは、 $VtB = VcB \times DT20$ となる。制御回路8Bは、デューティ比DT20を調整することにより、出力電圧VtBを所望の降圧電圧に制御する。

【0070】

制御回路8Bが出力電圧VtBを直流電源電圧VcBよりも高い所望の電圧に制御する場合、PMOSトランジスタ20はオン状態に保持され、NMOSトランジスタ21はオフ状態に保持される。この状態で、NMOSトランジスタ22がオンされ主スイッチ回路がオフされることにより、インダクタL1が充電される一方、NMOSトランジスタ22がオフされ主スイッチ回路がオンされることにより、インダクタL1が放電される。電圧変換回路2Bは、このように昇圧動作を行う。NMOSトランジスタ22におけるオン期間のデューティ比DT22に対して、出力電圧VtBは、 $VtB = VcB / (1 - DT22)$ となる。制御回路8Bは、デューティ比DT22を調整することにより、出力電圧VtBを所望の昇圧電圧に制御する。

10

【0071】

このように、検出電流IsBに応じて各出力電流InBP、InBNが生成されることにより、たとえば検出電流IsBが所定値を越えると、制御回路8Bは電圧変換回路2Bの動作を停止し、各出力電流InBP、InBNを低下させることができる。これにより、電圧コンバータの過電流保護を実現することができる。さらに、負荷8Bに高速なインピーダンス変動が生じる場合に、各出力電流InBP、InBNが所望の過渡応答で追従できるように、制御回路8Bは各制御電圧V80、V81、V82を設定することができる。

20

【0072】

各補助スイッチ回路3B、5Bは、主スイッチ回路1Bと比較して、大略同等な半導体構造およびより小さい半導体サイズを有する。それゆえに各補助スイッチ回路3B、5Bは、主スイッチ回路1Bと比較して、より大きいオン抵抗を有する。主スイッチ回路1Bおよび補助スイッチ回路3B、5Bにおける各半導体サイズの比を、 $S_n : 1 : S_m$ （ここで S_n は1および S_m よりも十分に大きい）とする。この場合、補助スイッチ回路3B、5Bは、主スイッチ回路1Bと比較して、それぞれ $1/S_n$ 、 S_m/S_n 倍の大きさの半導体サイズを有し、それぞれ S_n 、 S_n/S_m 倍の大きさのオン抵抗を有する。

30

【0073】

上述したように、調整回路6Bは、電位VnBと電位VrBとを大略等しくするから、主スイッチ回路1Bおよび補助スイッチ回路3B、5Bにおける各ドレイン端子の電位は互いに大略等しくなる。また、調整回路4BPは、電位VtBと電位VqBとを大略等しくするから、主スイッチ回路1Bおよび補助スイッチ回路3B、5Bにおける各ソース端子の電位は互いに大略等しくなる。さらに、主スイッチ回路1Bおよび補助スイッチ回路3B、5Bにおける各ゲート端子の電位は、互いに等しい。

【0074】

それゆえに、オン時に、補助スイッチ回路3Bの端子P3nBから端子P3qBへ流れる副検出電流IqBは、主スイッチ回路1Bの端子P1nBから端子P1tBへ流れる出力電流ItBPよりも小さく（ $1/S_n$ 倍）、かつ出力電流ItBPに大略比例する。また、オン時に、補助スイッチ回路5Bの端子P5rBから端子P5tBへ流れる副検出電流IrBPは、出力電流ItBPよりも小さく（ S_m/S_n 倍）、かつ出力電流ItBPに大略比例する。さらに、オン時に、補助スイッチ回路5Bの端子P5tBから端子P5rBへ流れる副検出電流IrBNは、主スイッチ回路1Bの端子P1tBから端子P1nBへ流れる出力電流ItBNよりも小さく（ S_m/S_n 倍）、かつ出力電流ItBNに大略比例する。その結果、検出電流IsBは、出力電流ItBP、ItBNよりも小さく、かつ出力電流ItBP、ItBNに大略比例する。

40

【0075】

50

副検出電流 I_{qB} と出力電流 I_{tBP} との比は、補助スイッチ回路 3 B の半導体サイズと主スイッチ回路 1 B の半導体サイズとの比 $1 : S_n$ に一致し、補助スイッチ回路 3 B のオン抵抗と主スイッチ回路 1 B のオン抵抗との比の逆数になる。同様に、副検出電流 I_{rBP} 、 I_{rBN} と出力電流 I_{tBP} 、 I_{tBN} とのそれぞれの比は、補助スイッチ回路 5 B の半導体サイズと主スイッチ回路 1 B の半導体サイズとの比 $S_m : S_n$ に一致し、補助スイッチ回路 5 B のオン抵抗と主スイッチ回路 1 B のオン抵抗との比の逆数になる。このように、電流検出回路は、出力電流 I_{tBP} に大略比例し、かつ出力電流 I_{tBP} に対して悪影響を及ぼさない程度に小さい副検出電流 I_{qB} 、 I_{rBP} および検出電流 I_{sB} を生成することができる。同様に、電流検出回路は、出力電流 I_{tBN} に大略比例し、かつ出力電流 I_{tBN} に対して悪影響を及ぼさない程度に小さい副検出電流 I_{rBN} および検出電流 I_{sB} を生成することができる。これにより、出力電流 I_{tBP} 、 I_{tBN} の正確な検出が可能になる。

10

【0076】

選択回路 7 B は、出力電圧 V_{tB} が基準電圧源 V_{0B} により生成される正の基準電圧 V_{70B} 以上の場合、ハイレベルを表し、出力電圧 V_{tB} が基準電圧 V_{70B} 未満の場合、ローレベルを表す選択信号 V_{7B} を生成する。電流調整検出回路は、選択信号 V_{7B} がハイレベルの場合、副検出電流 I_{qB} または副検出電流 I_{rBN} に基づいて検出電流 I_{sB} を生成し、選択信号 V_{7B} がローレベルの場合、副検出電流 I_{rBP} に基づいて検出電流 I_{sB} を生成する。さらに詳しくは、選択回路 7 B は、選択信号 V_{7B} がハイレベルの場合、各調整回路 4 B P、4 B N のイネーブル端子をハイレベルにし、各調整回路 4 B P、4 B N を有効化する一方、調整回路 6 B のディセーブル端子をハイレベルにし、調整回路 6 B を無効化する。選択信号 V_{7B} がローレベルの場合、各調整回路 4 B P、4 B N のイネーブル端子をローレベルにし、各調整回路 4 B P、4 B N を無効化する一方、調整回路 6 B のディセーブル端子をローレベルにし、調整回路 6 B を有効化する。調整回路 4 B P、6 B、4 B N は、無効化されると、それぞれ副検出電流 I_{qB} 、 I_{rBP} 、 I_{rBN} を大略ゼロにする。基準電圧 V_{70B} は、調整回路 4 B P が十分に動作可能な、出力電圧 V_{tB} の範囲の下限値に設定される。

20

【0077】

調整回路 4 B P は、副検出電流 I_{qB} を補助スイッチ回路 3 B の端子 P_{3qB} から受ける方向に流すように構成される。調整回路 4 B N は、副検出電流 I_{rBN} を補助スイッチ回路 5 B の端子 P_{5rB} から受ける方向に流すように構成される。調整回路 6 B は、副検出電流 I_{rBP} を補助スイッチ回路 5 B の端子 P_{5rB} へ出力する方向に流すように構成される。出力電流 I_{tBP} が流れる場合、各副検出電流 I_{qB} 、 I_{rBP} は、正の電源電位 V_{cB} から接地電位へ、一方向に流れる。一方、出力電流 I_{tBN} が流れる場合、副検出電流 I_{rBN} は、出力電位 V_{tB} (すなわち、負荷 11 B の電位) から接地電位へ、一方向に流れる。また、出力電流 I_{tBP} が流れる場合、互いに大略等しい、端子 P_{1tB} の電位および端子 P_{3qB} の電位は、互いに大略等しい、端子 P_{1nB} の電位および端子 P_{3nB} の電位よりも、主スイッチ回路 1 B のオン電圧だけ低い。一方、出力電流 I_{tBN} が流れる場合、互いに大略等しい、端子 P_{1nB} の電位および端子 P_{5rB} の電位は、互いに大略等しい、端子 P_{1tB} の電位および端子 P_{5tB} の電位よりも、主スイッチ回路 1 B のオン電圧だけ低い。したがって、出力電流 I_{tBP} が流れる場合、調整回路 4 B P の電位は、主スイッチ回路 1 B の端子 P_{1tB} の電位から接地電位までの電位範囲 (すなわち、接地電位側の電位範囲) 内に存在する。接地電位側の電位範囲には、負荷 11 B の電位が存在するため、負荷電位側の電位範囲とも呼ばれる。また、調整回路 6 B の電位は、電源電位 V_{cB} から主スイッチ回路 1 B の端子 P_{1nB} の電位までの電位範囲 (すなわち、電源電位 V_{cB} 側の電位範囲) 内に存在する。一方、出力電流 I_{tBN} が流れる場合、調整回路 4 B N の電位は、主スイッチ回路 1 B の端子 P_{1nB} の電位から接地電位までの電位範囲内に存在する。

30

40

【0078】

出力電位 V_{tB} が充分高い状態では、接地電位側の電位範囲は充分広いため、調整回路

50

4 B P、4 B N が有効化されることにより、それぞれ副検出電流 I_{qB} 、 I_{rBN} が正確に生成される。一方、出力電位 V_{tB} が低くなり、接地電位側の電位範囲が狭くなると、調整回路 4 B P は動作電圧を確保することができなくなるが、逆に電源電位 V_{cB} 側の電位範囲は充分広くなるため、調整回路 6 B は十分な動作電圧を確保することができるようになる。したがって、調整回路 6 B が有効化されることにより、副検出電流 I_{rBP} が正確に生成される。出力電位 V_{tB} が低い場合には出力電流 I_{tBN} は流れないので、調整回路 4 B N の動作電圧不足に対応する回路は必要としない。

【0079】

このように、第3の実施形態の電流検出回路およびそれを用いた電圧コンバータによれば、各調整回路 4 B P、4 B N の電位を接地電位側の電位範囲、および調整回路 6 B の電位を電源電位 V_{cB} 側の電位範囲に分けるように構成する。これにより、いずれか一方では正確に副検出電流を生成することができ、各出力電流 I_{tBP} 、 I_{tBN} を正確に検出することが可能となる。

10

【0080】

なお、主スイッチ回路 1 B および各補助スイッチ回路 3 B、5 B は、シリーズレギュレータのようにリニア動作する素子であっても、スイッチングレギュレータのようにスイッチング動作する素子であってもよい。また、各 MOS トランジスタ 4 1 B P、4 1 B N、6 1 B は NMOS トランジスタとしたが、PMOS トランジスタであってもよい。この場合、各増幅器 4 0 B P、4 0 B N、および反転増幅器 6 0 B の各入力端子における正負の極性は、互いに逆にする必要がある。

20

【0081】

以上のように、本発明の電流検出回路によれば、調整回路 (4 ; 6 A ; 4 B P、4 B N) は副検出電流 (I_q ; $I_r A$; I_{qB} 、 I_{rBN}) を補助スイッチ回路 (3 ; 5 A ; 3 B、5 B) から受ける方向に流すように構成され、調整回路 (6 ; 4 A ; 6 B) は副検出電流 (I_r ; $I_q A$; I_{rBP}) を補助スイッチ回路 (5 ; 3 A ; 5 B) へ出力する方向に流すように構成される。副検出電流 (I_q ; $I_r A$; I_{qB} 、 I_{rBN}) および副検出電流 (I_r ; $I_q A$; I_{rBP}) のそれぞれは、電源電位から接地電位へまたは接地電位から電源電位へ、一方向に流れる。また、主スイッチ回路 (1 ; 1 A ; 1 B)、補助スイッチ回路 (3 ; 5 A ; 3 B、5 B)、および補助スイッチ回路 (5 ; 3 A ; 5 B) における各電源側端子の電位は互いに大略等電位となり、各接地側端子の電位は互いに大略等電位となる。したがって、調整回路 (4 ; 6 A ; 4 B P、4 B N) および調整回路 (6 ; 4 A ; 6 B) の各電位は、主スイッチ回路 (1 ; 1 A ; 1 B) の両端電位を境として、電源電位側と接地電位側のうち、互いに異なる電位側に分かれて構成されていることになる。これにより、負荷両端の電圧が低下し、主スイッチ回路 (1 ; 1 A ; 1 B) の接地側端子の電位と接地電位との差が低下する状態であっても、調整回路 (4 ; 6 A ; 4 B P、4 B N) または調整回路 (6 ; 4 A ; 6 B) のいずれか一方は十分な動作電圧を確保することができるため、出力電流 (I_n ; $I_n A$; $I_n BP$ 、 $I_n BN$) を正確に検出することが可能となる。

30

【0082】

以上、実施の形態におけるこれまでの説明は、すべて本発明を具体化した一例であって、本発明はこれらの例に限定されず、本発明の技術を用いて当業者が容易に構成可能な種々の例に展開可能である。

40

【産業上の利用可能性】

【0083】

本発明は、電流検出回路およびそれを用いた電圧コンバータに利用できる。

【図面の簡単な説明】

【0084】

【図1】本発明の第1の実施形態における電流検出回路とそれを用いた電圧コンバータの構成を示す回路図である。

【図2】本発明の第2の実施形態における電流検出回路とそれを用いた電圧コンバータの

50

構成を示す回路図である。

【図3】本発明の第3の実施形態における電流検出回路とそれを用いた電圧コンバータの構成を示す回路図である。

【図4】従来例の電流検出回路の構成を示す回路図である。

【符号の説明】

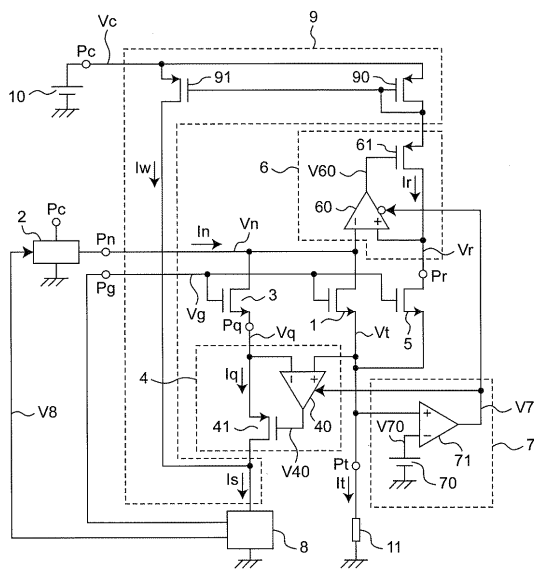
【0085】

- 1、1 A、1 B 主スイッチ回路
- 2、2 A、2 B 電圧変換回路
- 3、5、3 A、5 A、3 B、5 B 補助スイッチ回路
- 4、6、4 A、6 A、4 B P、4 B N、6 B 調整回路
- 7、7 A、7 B 選択回路
- 8、8 A、8 B 制御回路
- 9、9 A、9 B 検出電流生成回路
- 10、10 A、10 B 直流電源
- 11、11 A、11 B 負荷
- 40、60、40 A、60 A、40 B P、40 B N、60 B 増幅器
- 20、41、61、90、91、90 B、91 B PMOSトランジスタ
- 21、22、41 A、61 A、41 B P、41 B N、61 B、90 A、91 A、92 B、93 B NMOSトランジスタ
- 70、70 A、70 B 基準電圧源
- 71、71 A、71 B 比較器

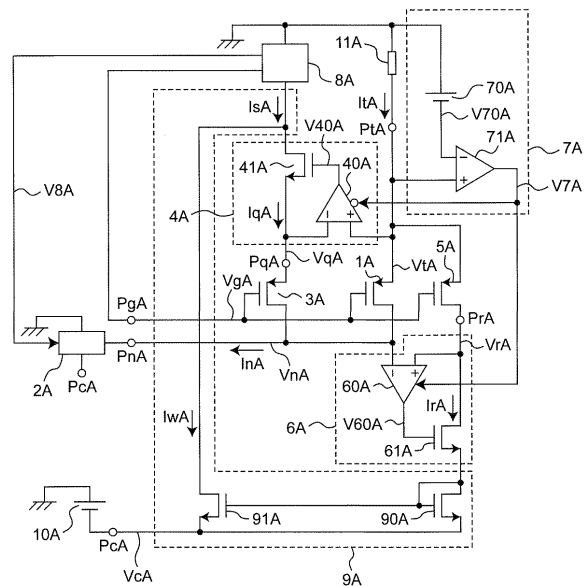
10

20

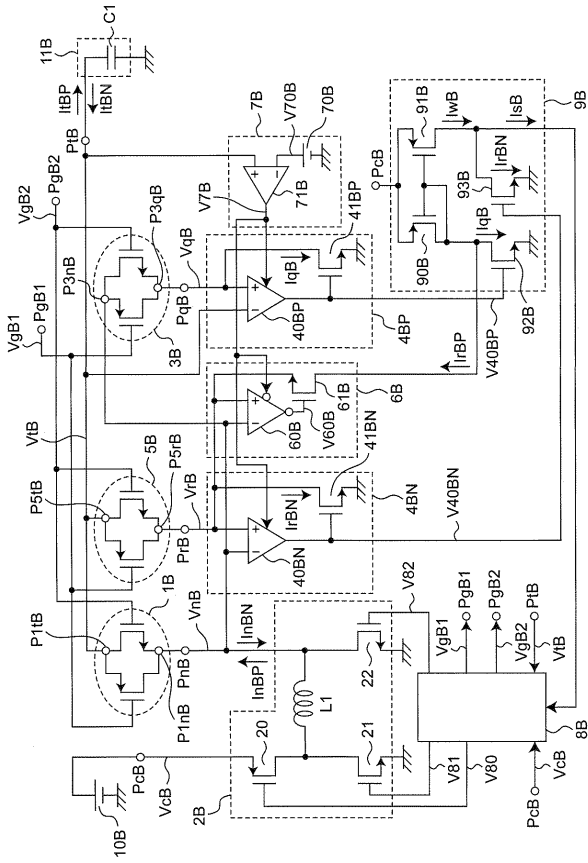
【図1】



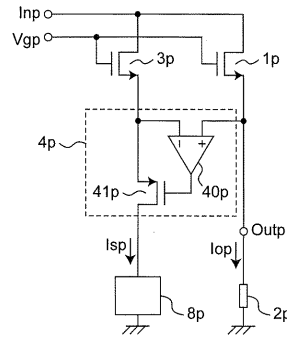
【図2】



【 3 】



【 4 】



フロントページの続き

(72)発明者 龍 隆

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

Fターム(参考) 5H410 BB05 CC02 DD02 EA11 EB37 FF03 FF05 FF23

5H420 NA16 NB03 NB12 NB36 NC02 NC03 NC14 NC23 NC27