

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200880015144.7

[51] Int. Cl.

G11C 16/16 (2006.01)

G11C 16/02 (2006.01)

G11C 16/08 (2006.01)

G11C 7/20 (2006.01)

G11C 8/14 (2006.01)

[43] 公开日 2010 年 3 月 24 日

[11] 公开号 CN 101681677A

[22] 申请日 2008.3.4

[21] 申请号 200880015144.7

[30] 优先权

[32] 2007.3.7 [33] US [31] 60/893,432

[32] 2007.4.30 [33] US [31] 60/914,849

[32] 2007.7.18 [33] US [31] 11/779,685

[86] 国际申请 PCT/CA2008/000411 2008.3.4

[87] 国际公布 WO2008/106778 英 2008.9.12

[85] 进入国家阶段日期 2009.11.6

[71] 申请人 莫塞德技术公司

地址 加拿大安大略省

[72] 发明人 金镇祺

[74] 专利代理机构 北京泛华伟业知识产权代理有限公司

代理人 王 勇 姜 华

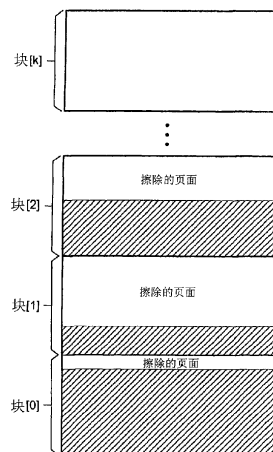
权利要求书 3 页 说明书 21 页 附图 20 页
按照条约第 19 条的修改 3 页

[54] 发明名称

用于闪速存储器的部分块擦除架构

[57] 摘要

一种用于通过选择性地擦除存储器块的子块来增加闪速存储器装置的寿命的方法和系统。闪速存储器装置的每个物理存储器块被划分为至少 2 个逻辑子块，其中该至少 2 个逻辑子块中的每个是可擦除的。因此，仅擦除并重新编程该逻辑子块的数据，而在其它逻辑子块中的未修改数据避免了不必要的编程/擦除周期。在块内，将被擦除的逻辑子块在尺寸和位置上是可动态配置的。损耗均衡算法被用于遍及存储器阵列的物理和逻辑子块来分布数据，以在编程和数据修改操作期间最大化物理块的寿命。



1、一种闪速存储器装置，包括：

具有以列布置的 NAND 闪速存储器单元串的至少一个块的存储器阵列，所述至少一个块具有选择性地可擦除的预设数量的闪速存储器单元；和

行电路，用于当衬底被偏置到擦除电压以擦除所述预设数量的闪速存储器单元时驱动对应于所述预设数量的闪速存储器单元的第一字线到第一电压，用于驱动第二字线到第二电压以禁止擦除耦合到所述第二字线的闪速存储器单元的行译码器。

2、根据权利要求 1 所述的闪速存储器装置，其中所述预设数量的闪速存储器单元是多位单元（MBC）。

3、根据权利要求 1 所述的闪速存储器装置，其中所述预设数量的闪速存储器单元对应于 1 个顺序组的闪速存储器单元。

4、根据权利要求 1 所述的闪速存储器装置，其中所述预设数量的闪速存储器单元对应于 2 个顺序组的闪速存储器单元，所述 2 个顺序组的闪速存储器单元彼此不邻近。

5、根据权利要求 1 所述的闪速存储器装置，其中所述至少一个块的所述 NAND 闪速存储器单元串被耦合到公共电源线、且所述闪速存储器装置进一步包括电源线电压控制电路，用于在擦除验证操作期间设置在第三电压和第四电压之间的公共电源线的电压。

6、根据权利要求 5 所述的闪速存储器装置，其中所述第四电压小于所述第三电压，并且随着第一字线的数量的增加所述公共电源线的电压减小。

7、一种用于擦除存储器块的子块的方法，所述存储器块具有耦合到第一字线、最后的字线以及在所述第一字线和所述最后的字线之间的中间字线的 NAND 存储器单元串，该方法包括：

发出具有第一地址的第一输入地址命令；

发出具有第二地址的第二输入地址命令；

发出部分擦除命令；和

擦除具有由对应于所述第一地址和所述第二地址的字线所限定的一组字线的子块。

8、根据权利要求 7 所述的方法，其中所述第一地址包括空地址。

9、根据权利要求 8 所述的方法，其中所述子块包括由对应于所述第二地址的一个字线和所述第一字线限定的所述一组字线。

10、根据权利要求 7 所述的方法，其中所述第二地址包括空地址。

11、根据权利要求 10 所述的方法，其中所述子块包括由对应于所述第一地址的一个字线和所述最后的字线限定的所述一组字线。

12、根据权利要求 7 所述的方法，进一步包括擦除验证所擦除的子块。

13、根据权利要求 12 所述的方法，其中所述擦除验证包括：

预充电耦合到所述 NAND 存储器单元串的位线到预充电电压电平；

偏置所述一组字线到第一电压，用于接通耦合到所述一组字线的所擦除的存储器单元；

偏置未被选择字线到第二电压，用于接通耦合到所述未被选择字线的存储器单元；

感测所述预充电电压电平的变化。

14、根据权利要求 13 所述的方法，其中所述第一电压是负电压且所述第二电压是在读取操作期间使用的读取电压。

15、根据权利要求 13 所述的方法，其中所述第一电压是 0V 且所述第二电压是在读取操作期间使用的读取电压。

16、根据权利要求 15 所述的方法，其中耦合到所述 NAND 存储器单元串的公共电源线被偏置到可变电源偏置电压。

17、根据权利要求 16 所述的方法，其中随着所述一组字线的数量的减小，所述可变电源偏置电压从 0V 增加到最大电压。

18、一种用于当修改存储器块的子块中的数据时损耗均衡控制的方法，包括：

编程所修改的数据到新存储器块的空的子块；

擦除所述存储器块的所述子块。

19、根据权利要求 18 所述的方法，进一步包括：编程新数据到最低级别可用子块，其中每个存储器块包括至少两个子块且所述最低级别可用子块包括最接近于在顺序编程方案中将被编程的第一字线的一组字线。

20、根据权利要求 18 所述的方法，进一步包括：更新地址映射表以将所述所修改的数据的逻辑地址映射到对应于新存储器块的空的子块的物理地址。

21、根据权利要求 18 所述的方法，其中所述空的子块是最低级别可

用子块。

22、根据权利要求 18 所述的方法，其中所述空的子块具有等于所述子块的级别。

23、根据权利要求 22 所述的方法，其中所述新存储器块是空的。

24、根据权利要求 22 所述的方法，其中所述新存储器块包括保存在具有低于所述空的子块的级别的另一个子块中的其它数据。

25、根据权利要求 18 所述的方法，其中所述空的子块具有高于所述子块的级别。

26、根据权利要求 18 所述的方法，进一步包括：当所述存储器块的所述子块和一个其它子块的编程/擦除周期之间的差异达到预定数值时，交换所述子块中的数据和在所述一个其它子块中的其它数据。

用于闪存存储器的部分块擦除架构

背景技术

【0001】闪存存储器是常用的一类非易失性存储器，广泛用作诸如数码相机和便携式数字音乐播放器的消费电子设备的大容量存储装置。目前可用的闪存存储器芯片的密度能够达到 32G 比特 (4GB)，由于一个闪存芯片的尺寸小，其适合用在流行的 USB 闪存驱动器中。

【0002】图 1 是现有技术的典型的闪存存储器的总的框图。闪存存储器 10 包括用于控制多种功能的闪存电路的诸如控制电路 12 的逻辑电路，用于保存地址信息、数据信息和命令数据信息的寄存器，用于产生所需的编程和擦除电压的高电压电路和用于存取存储器阵列 18 的诸如行地址译码器 14 和行地址译码器缓冲器 16 的核心存储器电路。控制电路 12 包括用于执行诸如读出、编程和擦除功能的内部闪存操作的命令译码器和逻辑。本领域内公知闪存存储器 10 的所示电路块的功能。本领域内的技术人员理解图 1 中所示的闪存存储器 10 表示多种可能的配置中的一种可能的闪存存储器配置。

【0003】图 1 的闪存存储器 10 的存储器单元阵列 18 包括任意数量个体，其是对于特定闪存装置的所选择的设计参数。图 2 是示出图 1 的存储器单元阵列 18 的一个体 20 的组织示意图。体 20 被组织为块 (块 [0] 到块 [k])，并且每个块包括页面 (WL_0 到 WL_i)。k 和 i 是非零整数值。每个页面对应于耦合到公共字线的存储器单元的 row。以下详细描述块的存储器单元。

【0004】每个块包括 NAND 存储器单元串，具有串行耦合布置和互相电耦合的闪存存储器单元 22。从而，字线 WL_0 到 WL_i 耦合到存储器单元串中的每一个闪存存储器单元的栅极。耦合到信号 SSL (串选择线) 的串选择装置 24 选择性地将存储器单元串连接到位线 26，而耦合到信号 GSL (接地选择线) 的接地选择装置 28 选择性地将存储器单元串连接到诸如 VSS 的电源线。串选择装置 24 和接地选择装置 28 是 n 沟道晶体管。

【0005】位线 26 (BL_0 到 BL_j ，其中 j 是非零整数值) 对于体 20 的所有块共用，并且每一个位线 26 耦合到每一个块 [0] 到 [k] 中的一个 NAND 存储器单元串。每一个字线 (WL_0 到 WL_i)、SSL 和 GSL 信号耦合到块中的每一个 NAND 存储器单元串中的相同的对应的晶体管装置。本领域内的普通技术人员应该

意识到沿着一个字线保存在闪速存储器单元中的数据称为一页数据。

【0006】数据寄存器 30 耦合到体 20 的外部的每一个位线，用于保存要编程到闪速存储器单元的一个页面中的一页写数据。数据寄存器 30 还包括用于读取从闪速存储器单元读出的数据的读取电路。在编程操作期间，数据寄存器执行编程验证操作以确保数据已经被正确编程到耦合到所选择字线的闪速存储器单元中。为了获取高密度，每个闪速存储器单元保存至少两位数据，并且通常称为多位单元（MBC）。

【0007】本领域内的技术人员理解 MBC 闪速存储器的问题是其存储器单元对编程干扰敏感。编程干扰来自于随着每一制造技术的产生而彼此较临近地形成的相邻字线和浮栅之间的电容性耦合。因此，编程期间施加到一个单元的高电压可以将相邻单元的编程阈值电压移位到表示不同逻辑状态的电压，而一个单元的编程状态可以影响当前编程的相邻单元的阈值电压。为了最小化 MBC 闪速存储器中的编程干扰，块中的编程在对应于 WL_0 的页面处开始，并且顺序向上进行到 WL_i 。替代地，编程可以在 WL_i 处开始并且顺序向下进行到 WL_0 。在此工业领域内公知用于编程 NAND MBC 闪速存储器单元的这些方案。一旦用数据已经完全编程了块，下一个文件或者数据集的编程在下一个块的 WL_0 处开始。在装置中，典型地按顺序编程块。

【0008】公知的是，在闪速存储器装置不能再被用来可靠地保存数据之前，闪速存储器装置具有有限次数擦除-编程周期。更具体地，闪速存储器单元经受编程/擦除周期磨损，即闪速存储器单元由于累积的编程和擦除操作而逐渐退化。本领域的技术人员理解存储器块总是在使用数据编程之前首先被擦除，因此该周期可以被称为编程和擦除周期。所有当前公知的闪速存储器被配置用于块擦除，意味着如果在块中仅一个页面的数据被修改/更新，则包含该页面的整块被擦除并且使用修改的页面和未修改的页面对其重新编程。这样的累积的编程和擦除操作的效果是将存储器单元的编程和擦除特征改变超出了最佳参数之外。当存储器单元退化，需要较高的编程和擦除电压来编程或者擦除存储器单元到期望的阈值电压。最后，存储器单元不能正确保持数据，其被表示为编程的阈值电压。例如，对于 MBC 闪速存储器的典型的擦除编程周期大约是 10000 周期。

【0009】当前，当前可获得的大部分闪速存储器是 MBC 类型，这是因为 MBC 相对于其芯片尺寸具有大的存储密度。虽然这适合用于大部分消费者的应用，但是 10000 周期的编程擦除的限制不足以用于数据编程和擦除频繁的

其它应用。从而，当 MBC 闪速存储器已经达到其 10000 周期的寿命时，其将不能再被使用并且必须抛弃。该问题对于诸如 HDD 应用的商业应用更为严重，其中存在更频繁的编程-擦除周期。因为 HDD 应用比大部分消费者应用需要较高的数据完整性，所以 MBC 闪速存储器由于其相对短的 10000 周期的寿命而不再适合使用。

【0010】该问题因闪速存储器装置的块尺寸持续增加但保存的数据文件尺寸保持相对稳定的事实而复杂化。例如，当前高密度闪速装置的块尺寸在 256KB 的范围中，而未来的高密度闪速装置将具有接近 512KB 的块尺寸。如果保存在块中的数据文件小，则当修改数据文件时，相对于具有该尺寸的块，更多的存储器单元将不必要地经受擦除/编程周期。

【0011】因此，期望提供可操作地具有延长的寿命的闪速存储器装置。

发明内容

【0012】本实施例的方面是用来消除或者减轻先前闪速存储器系统的至少一个不足。

【0013】在第一方面，提供了一种闪速存储器装置，其具有存储器阵列和行电路。该存储器阵列具有以列布置的 NAND 闪速存储器单元串中的至少一个块，其中所述至少一个块具有选择性地可擦除的预设数量的闪速存储器单元。当衬底被偏置到擦除电压以擦除所述预设数量的闪速存储器单元时，行电路驱动对应于所述预设数量的闪速存储器单元的第一字线到第一电压。行译码器驱动第二字线到第二电压以禁止擦除耦合到所述第二字线的闪速存储器单元。根据第一方面的实施例，所述预设数量的闪速存储器单元是多位单元 (MBC)，它们可以对应于 1 个顺序组的闪速存储器单元，或者它们可以对应于 2 个顺序组的闪速存储器单元，其中所述 2 个顺序组的闪速存储器单元彼此不邻近。在本方面的另一实施例，所述至少一个块的所述 NAND 闪速存储器单元串被耦合到公共电源线、且所述闪速存储器装置进一步包括用于在擦除验证操作期间设置第三电压和第四电压之间的公共电源线的电压的电源线电压控制电路。所述第四电压小于所述第三电压，并且随着第一字线的数量的增加，所述公共电源线的电压减小。

【0014】在第二方面，提供了一种用于擦除存储器块的子块的方法，其中所述存储器块具有耦合到第一字线、最后的字线以及所述第一字线和所述最后的字线之间的中间字线的 NAND 存储器单元串。该方法包括：发

出具有第一地址的第一输入地址命令；发出具有第二地址的第二输入地址命令；发出部分擦除命令；并擦除具有由对应于所述第一地址和所述第二地址的字线所限定的一组字线的子块。

【0015】根据本方面的实施例，所述第一地址包括空地址，且所述子块包括由对应于所述第二地址的一个字线和所述第一字线限定的该组字线。在本方面的另一实施例，所述第二地址包括空地址，且所述子块包括由对应于所述第一地址的一个字线和所述最后的字线限定的该组字线。在又一个实施例中，该方法进一步包括擦除验证所擦除的子块。擦除验证包括预充电位线、偏置该组字线、偏置未选择的字线和感测。预充电的步骤包括预充电耦合到所述 NAND 存储器单元串的位线到预充电电压电平。偏置该组字线到第一电压，用于开启耦合到该组字线的所擦除存储器单元。偏置未被选择字线到第二电压，用于开启耦合到未被选择字线的存储器单元。感测包括感测所述预充电电压电平的改变。

【0016】在另一个实施例中，其中所述第一电压是负电压且所述第二电压是在读取操作期间使用的读取电压。替代地，所述第一电压可以是 0V，而所述第二电压是在读取操作期间使用的读取电压。在另一实施例中，耦合到所述 NAND 存储器单元串的公共电源线被偏置到可变电源偏置电压，其中随着该组字线的数量的减小，所述可变电源偏置电压从 0V 增加到最大电压。

【0017】在第三方面，提供了一种用于当修改存储器块的子块中的数据时损耗均衡控制的方法。该方法包括编程所修改的数据到新存储器块的空的子块，并擦除所述存储器块的所述子块。在一个实施例中，该方法进一步包括编程新数据到最低级可用子块，其中每个存储器块包括至少两个子块且所述最低级可用子块包括最接近于在顺序编程方案中将被编程的第一字线的一组字线。在另一个实施例中，该方法包括更新地址映射表以将所述所修改的数据的逻辑地址映射到对应于新存储器块的空的子块的物理地址。在又一个实施例中，所述空的子块是最低级可用子块或者具有等于所述子块的级别。当所述空的子块的级别等于所述子块，则所述新存储器块是空的或者包括保存在具有比所述空的子块更低级别的另一个子块中的其它数据。替代地，所述空的子块具有高于所述子块的级别。在再另一个实施例中，该方法包括：当所述子块和所述存储器块的一个其它子块的编程/擦除周期之间的差异达到预定值时，交换所述子块中的数据和

所述一个其它子块中的其它数据。

【0018】对本领域普通技术人员来说，通过结合附图阅读具体实施例的下面描述时，所描述的实施例的其它方面和特征将变得清楚。

附图说明

【0019】参考附图，将仅通过示例来描述实施例，其中：

图 1 是现有技术的典型的闪速存储器的框图；

图 2 是示出存储器阵列的物理布置的图；

图 3 是闪速存储器装置的部分擦除的物理存储器块的概念性图解；

图 4 是示出闪速存储器阵列的物理存储器块的电路细节的电路示意图；

图 5 是示意在擦除验证操作期间电源线电压和所选择字线的数量之间的关系；

图 6 是用于部分块擦除和擦除验证的方法的流程图；

图 7a、7b 和 7c 是示意选择性地可擦除的子块的示例的 NAND 存储器单元串的电路示意图；

图 8 是示意用于擦除存储器块的字块的命令协议的流程图；

图 9 是用于使用图 8 中所示的命令协议擦除上部的子块、下部的子块或子块片段的方法的流程图；

图 10a 和 10b 是具有不同逻辑子块配置的存储器块的图解；

图 11 是损耗均衡 (wear leveling) 算法的流程图；

图 12 是图 11 中所示的损耗均衡算法的子块分配器子程序；

图 13a、13b、13c 和 13d 是数据重新编程到另一个子块的图解；

图 14 是用于控制存储器块的字块之间的编程/擦除周期不平衡的方法的流程图；和

图 15a 和 15b 是在使用图 14 的方法的数据交换之前和之后的存储器块的图解。

具体实施方式

【0020】总的来说，实施例提供用于增加闪速存储器装置的寿命的方法和系统。闪速存储器装置的每个物理存储器块可分为至少两个逻辑子块，其中该至少两个逻辑子块中的每一个是可擦除的。因此，仅该逻辑块的数据被擦除和重新编程，而其它逻辑块中的未修改数据避免了不必要的

编程/擦除周期。将被擦除的逻辑子块在块中的尺寸和位置方面可动态配置的。损耗均衡算法被用于使数据遍布存储器阵列的物理和逻辑子块，以最大化物理块的寿命。

【0021】图 3 是根据本实施例的闪速存储器装置的物理存储器块(块[0]至块[k])的概念性示意。每个物理块可以选择性地擦除逻辑子块，其中被擦除的子块可以包括任意数量的页面。在图 3 中，存储器块的保存数据的部分以阴影线示出，而存储器块的擦除的子块没有阴影。被选择性地擦除的子块的尺寸可被预设为物理块的任意比例，或者可以实时动态配置。在图 3 的示例中，块[0]比块[1]具有更小的擦除子块。根据物理块尺寸，将物理块分为多于 2 个逻辑子块可能是方便的，例如 4 个逻辑子块。因此，每个物理块是可部分擦除的。假设，如图 2 所示每个物理块的存储器单元被布置在 NAND 存储器单元串中，并且每个页面以从 WL_0 至 WL_i 的方向被顺序编程，其中， WL_i 是要被编程的最后的字线。

【0022】在数据从 WL_0 至 WL_i 顺序编程的本示例中存在有下部子块和上部子块。下部子块包括字线的较低顺序组，而上部子块包括字线的较高顺序组。为了最小化编程干扰，任一存储器块的上部子块将被擦除和重新编程，而下部子块的数据被保持。此方案模仿先前所擦除的物理块被顺序编程直至特定页面，而将剩余页面保留为擦除状态的情形。因此，当数据随后被顺序编程到所擦除的上部子块时，最小化了编程干扰。虽然当数据被保持在相邻的上部子块中时，下部子块可以被擦除，但是直到相邻的上部子块被擦除时数据才应该被重新编程到下部子块。

【0023】现在已经介绍了用于部分地擦除物理块的总体概念，将参考图 4 描述更详细的实施例。图 4 是示出闪速存储器阵列的物理块 100、字线驱动器块 102 和电源线电压控制电路 104 的电路示意图。字线驱动器块 102 和电源线电压控制电路 104 对于物理块 100 典型地是本地的。物理块 100 具有以列布置的 NAND 闪速存储器单元串，其中每个串被耦合到位线 BL_0 至 BL_j 和公共电源线 CSL。字线驱动器块 102 耦合信号 SS 到 SSL 控制线、耦合 $S[0:n]$ 分别到 WL_0 至 WL_n 字线、且耦合 GS 到 GSL 控制线。如本领域的技术人员所公知的，在编程、编程验证、读取和擦除操作期间信号 SS、 $S[0:n]$ 和 GSL 被设置为不同的电压电平。电源线电压控制电路 104 负责根据所执行的一个前面所提及的操作来设置 CSL 的电压电平。

【0024】下面是说明物理块 100 的可擦除子块的逻辑形成的示例方案。

假设已经以从 WL_0 至 WL_n 的方向用数据编程物理块 100 的所有页面 (WL_0 至 WL_n)，且保存在耦合到 WL_{27} 至 WL_n 的存储器单元中的该数据将被修改。因此，位线、字线 WL_{27} 至 WL_n 和电源线 CSL 被偏置以仅擦除保存在耦合到字线 WL_{27} 至 WL_n 的存储器单元中的数据。随后所修改的数据被重新编程到相同的字线。对应于字线 WL_{27} 至 WL_n 的页面被称为上部子块 106，且对应于 WL_0 至 WL_{26} 的页面被称为下部子块 108。由于上部子块 106 的尺寸依赖于所擦除的数据，所以其尺寸是可动态配置的。可选择地，子块 106 和子块 108 的尺寸可以是固定的。

【0025】由于在子块被擦除之后数据并非必须被重新编程，所以当前所述的实施例不限于子块的擦除和重新编程。这意味着一旦在一个操作中子块被擦除，所擦除子块下面的任意数量的顺序页面可以在随后的操作中被擦除，由此扩大了所擦除子块的尺寸。

【0026】如先前所提及的，通过偏置位线、所选择的和未被选择的字线、以及电源线来擦除物理块的具体页面。表 1 和 2 提供对于有效擦除所选择物理块中的页面的子块示例性偏置条件，和对于有效禁止未被选择物理块中的擦除偏置条件。

表 1

	所选择块	未被选择块
位线 (B/L)	钳位至 Vers-0.6V	钳位至 Vers-0.6V
串选择线 (SSL)	Vers	升压到 Vers 的大约 90%
所选择字线	0V	升压到 Vers 的大约 90%
未被选择字线	Vers	升压到 Vers 的大约 90%
接地选择线 (GSL)	Vers	升压到 Vers 的大约 90%
公共电源线 (CSL)	钳位至 Vers-0.6V	钳位至 Vers-0.6V
衬底 (孤立的 (Pocket) P 阱)	Vers	Vers

【0027】在表 1 的示例中，未被选择字线被偏置到正电压，用于防止相应的未被选择页面被擦除。该电压称为 Vers。所选择字线被偏置到另一电压用于擦除所选择页面，例如，0V。在存储器单元的衬底被偏置到正电压，例如 Vers 的情况中，将要形成在偏置到 0V 的存储器单元和衬底之间的电场，

这对于擦除存储器单元是有效的。在偏置到 Vers 的存储器单元和衬底之间的电场将不足以擦除存储器单元，因此，禁止擦除并且保持保存在其中的数据。

【0028】为防止未被选择块中的存储器单元的擦除，使未被选择块中的所有字线在擦除操作期间浮置。通过当 Vers 被施加到衬底时衬底和字线之间的电容性耦合，未被选择块中的浮置字线被升压到接近擦除电压 Vers，其在单元阵列的衬底被偏置到 Vers 时可以是 Vers 的大约 90%。应该注意，浮置字线上的实际所提升的电压电平由衬底和字线之间的耦合率来确定。未被选择块中的字线上的所提升的电压减小衬底和字线之间的电场，由此禁止擦除存储器单元。闪速存储器中的字线升压的进一步细节在 2006 年 11 月 30 日提交的共同拥有的美国专利申请 11/565170 中描述。

表 2

	所选择块	未被选择块
位线 (B/L)	钳位至 Vers-0.6V	钳位至 Vers-0.6V
串选择线 (SSL)	升压到 Vers 的大约 90%	升压到 Vers 的大约 90%
所选择字线	0V	升压到 Vers 的大约 90%
未被选择字线	升压到 Vers 的大约 90%	升压到 Vers 的大约 90%
接地选择线 (GSL)	升压到 Vers 的大约 90%	升压到 Vers 的大约 90%
公共电源线 (CSL)	钳位至 Vers-0.6V	钳位至 Vers-0.6V
衬底 (孤立的 (Pocket) P 阱)	Vers	Vers

【0029】在表 2 的示例中，除了所选择块的未选择字线被升压到接近擦除电压 Vers 外，偏置条件与表 1 中所示的那些相同。在一个实施例中，该所提升的电压为大约 Vers 的 90%，其通过经由位线和电源线给存储器单元预充电来获得，并随后通过当衬底升高到 Vers 时电容耦合到该衬底来升压字线。再次，用于禁止擦除的字线升压的详细内容在美国专利申请 11/565170 中详细描述。表 1 和 2 中所示的所说明的偏置条件仅是示例，本领域的技术人员应该理解，具体的数值将依赖于存储器单元的制造工艺、所使用的材料和具体设计。

【0030】一旦物理块的子块已经被擦除，则在数据被重新编程之前，将要被执行的可选的程序是擦除验证操作。擦除验证操作确保所擦除的单元具

有阈值电压合适的阈值电压裕度。例如，擦除阈值电压是某些负电压值。在传统的块擦除架构中，通过偏置块的所有字线到 0V 并且感测经由 NAND 存储器单元串的电来执行擦除验证。具有擦除阈值电压大于 0V 的至少一个存储器单元的任意存储器单元将不接通，并且将感测到相应的位线中不存在电流。当一些存储器单元仍保持对应于许多可能的阈值电压中的一个的数据时，此传统方案是不可能的。

【0031】根据实施例，通过偏置耦合到擦除存储器单元的所选择字线到大于擦除阈值电压的电压，并且通过偏置所有剩余的未被选择的字线到用于读取操作的电压，来对部分擦除块执行擦除验证操作。用于读取操作的电压称为 Vread，并且可以在例如 4 - 5V 之间的范围。表 3 示出用于在部分擦除块上执行擦除验证操作的示例偏置条件。

表 3

	具有电源偏置的页面擦除验证
位线 (B/L)	预充电和感测
串选择线 (SSL)	Vread (4 ~ 5V)
所选择字线	0V
未被选择字线	Vread (4 ~ 5V)
接地选择线 (GSL)	Vread (4 ~ 5V)
公共电源线 (CSL)	Vcs
衬底 (孤立的 (Pocket) P 阱)	0V

【0032】根据实施例，为了确保负的阈值擦除电压与 0V 充分分开，电源线的电压 (Vcs) 相对于正在被验证的字线的数量是可调整的。例如，如果负的阈值擦除电压应为至少 -0.5V，且擦除导致在 -0.2V 的阈值，则字线应该被偏置到 -0.5V 以检测 -0.2V 的阈值。但是，由于负电压可能不适合用在一些装置中，所以电源线 Vcs 被升高到正的电压电平，而所选择的字线被偏置到 0V。通过正地偏置 Vcs，所选择的字线有效地变为负。本领域的技术人员都应该理解此效果。

【0033】图 5 示出在电源线电压 Vcs 和对应于被验证的擦除子块的所选择字线的数量之间的关系。x 轴是要验证的字线的总数量，而 y 轴是公共电源线的电压 (Vcs)。斜曲线 120 表示 Vcs 的电压电平和所选择字线的数量之间的理想关系。很清

楚,随着将被验证的所选择字线的数量的增加, V_{cs} 电压减小。如果仅将验证一个字线,则 V_{cs} 可以被设置为第一电压,诸如 0.4V。在另一个极端,如果将验证所有的字线,则 V_{cs} 可以被设置为 0V 的第二较小的电压。因此,在当前所示的实施例中的 V_{cs} 的范围可以在 0V 和 0.4V 之间。在每个 NAND 存储器单元串中具有较多字线的可替代的实施例中,可以使用高于 0.4V 的电压。

【0034】虽然斜曲线 120 是理想的,但是在至少一些示例中实现它所需的精细控制是不现实的。但是,如本领域的技术人员所应该理解的,对于所选择字线的分组的步进电压可以在电源线电压控制电路 104 中实际实现。步进的曲线 122 示意说明了字线分组和步进大小的一个可能的示例。第一电压、第二电压、字线分组的大小和分组之间的电压步进大小的选择将基于闪存存储器装置的设计参数。

【0035】现在将参考图 6 描述部分块擦除和擦除验证方法实施例。可以执行图 6 的方法,用于每个部分块擦除操作。通过设置称为 ERS_LOOP 的擦除循环计数器变量等于 1 或任意期望的起始数值,使得该方法开始于步骤 200。在步骤 202,执行部分块擦除操作用于擦除 NAND 存储器单元串中的至少一个存储器单元。该步骤将包括接收部分擦除指令,接收对应于将被擦除的存储器单元的地址,偏置所选择字线、未被选择字线、位线和其它相关信号到足以擦除被耦合到所选择字线的存储器单元的电平。先前所示的表 1 和 2 列出了可以使用的示例偏置值。

【0036】现在,在物理块的子块已经被部分擦除之后,在步骤 204 开始擦除验证序列。此步骤将包括基于所选择的字线的数量设置合适的 V_{cs} 电平,并以合适的电压偏置所选择的和未被选择的字线用于感测耦合到所选择字线的存储器单元的擦除状态。先前所示的表 3 列出了可以使用的示例偏置值。预充电位线并且启动该位线的感测。在步骤 206,完成感测,并且结果将指示部分擦除操作成功与否。例如,通过偏置所选择字线到 0V 并且偏置未被选择字线、SSL 和 GSL 到 V_{read} ,如果耦合到所选择字线的所有存储器单元具有小于 0V 的阈值电压,则预充电到高电压电平的相应的位线将放电到 V_{cs} ,由此通过测试。但是,如果耦合到所选择字线的至少一个存储器单元具有高于 0V 阈值的电压,则位线将不被放电到 V_{cs} ,由此测试失败。如本领域的技术人员所公知的,每种情况可以由位线感测放大器电路来检测。

【0037】如果测试失败,则该方法进行到步骤 208,其中比较计数器变

量 ERS-LOOP 和最大值 Max。如果电流循环计数器小于 Max，则在步骤 210 增加 ERS-LOOP。从步骤 210，该方法返回步骤 202 并且重复所选择子块的部分擦除。部分擦除和验证步骤 202、204、206、208 和 210 将继续，直到满足两种情形中的一种。如果计数器变量 ERS-LOOP 达到最大值 Max，就发生第一种情形，则该方法进行到步骤 212，其中更新状态寄存器以反映失败的擦除状态。可替代地，安排对应于子块的所有页面避免进一步使用。然后该方法在步骤 214 结束。如果测试通过就发生第二种情形，则该方法从步骤 206 进行到步骤 216，其中更新状态寄存器以反映通过的擦除状态。随后子块准备被用新数据编程。

【0038】总之，部分擦除概念已经参考图 3 至 6 中所示的实施例大体描述了。通过部分擦除存储器块，闪速存储器装置可以在存储器块内创建较小的细分，称为子块。占用子块的数据可以被修改而无需必须擦除整个存储器块，由此节约了编程/擦除周期并且增加存储器块的寿命。下列描述讨论了如何选择将被擦除的特定子块。

【0039】当将擦除存储器块的任意子块时，闪速存储器装置将需要关于其在存储器块内的位置的信息，使得其知道选择哪一行（字线）来施加偏置电压以实现耦合到那里的存储器单元的擦除。图 7a 至 7c 示意说明了存储器块内的可擦除子块的 3 个可能的尺寸/位置。

【0040】图 7a 是按顺序从 WL_0 开始直到 WL_{31} 编程的 NAND 存储器单元串的电路示意图。在此实施例中，闪速存储器装置仅需要一个字线地址作为起始地址。一旦接收该起始地址，闪速存储器装置的逻辑将自动设置该子块尺寸为从该起始地址向上直至最后的字线，在此示例中为 WL_{31} 。参考图 7a 进行说明，如果对于部分擦除操作接收了对应于 WL_{27} 的起始地址，则闪速存储器装置的逻辑将决定子块 300 将在 WL_{27} 开始并且在 WL_{31} 结束。换句话说，不管所提供的起始地址如何，结束地址被预设为 WL_{31} 。一旦确定了子块 300 的字线的设置，则可以通过偏置所选择的和未被选择的字线来执行部分擦除和擦除验证过程。子块 300 是上部子块，其中上部子块是包括将被顺序编程的最后字线的字线的任意分组。

【0041】图 7b 是图 7a 的 NAND 存储器单元串的电路示意图。与图 7a 的实施例类似，对于部分擦除操作，仅需要一个起始行地址。在此实施例中，闪速存储器装置的逻辑将自动设置子块尺寸为从该起始地址向下直至第一字线 WL_0 。参考图 7b 进行说明，如果对于部分擦除操作接收了对应于 WL_{26} 的

起始地址,则闪速存储器装置的逻辑将决定子块 302 将在 WL_{26} 开始并且在 WL_0 结束。不管所提供的起始地址如何,结束地址被预设 WL_0 。子块 302 是下部子块,其中下部子块是包括将被顺序编程的第一字线的字线的任意分组。

【0042】图 7a 和图 7b 的实施例都将一个存储器块细分为下部子块和上部子块。但是,如果擦除一个子块且仅部分地被用数据重新编程,则仍有页面处在被擦除的状态中。原始子块的进一步擦除将使所擦除的页面经历进一步擦除操作,这是不期望的。因此,可以选择子块片段,如图 7c 的实施例中所示。

【0043】图 7c 是图 7a 的 NAND 存储器单元串的电路示意图。现在,起始地址和结束地址限定存储器块内的子块位置和尺寸。在该实施例中,闪速存储器装置的逻辑将自动设置该子块尺寸为从起始地址开始向上直至结束地址。参考图 7c 进行说明,如果对于部分擦除操作接收了对应于 WL_2 的起始地址和对应于 WL_{28} 的结束地址,则闪速存储器装置的逻辑将决定子块片段 304 将在 WL_2 开始并且在 WL_{28} 结束。子块片段是位于 NAND 存储器单元串的其它字线之间的字线的任意分组。为了最小化编程干扰,即使对应于 WL_0 和 WL_1 的页面中保存有数据,如果对应于 WL_{29} 至 WL_{31} 的页面被擦除,则子块片段 304 可以被重复地擦除和编程。

【0044】如图 7a - 7c 所示,至少一个地址被用于擦除上部或下部子块,而两个地址被用于擦除子块片段。根据实施例,提供命令协议以允许闪速存储器控制器与闪速存储器装置接口并且初始化上部子块、下部子块或子块片段的擦除。本领域的技术人员应该理解,通过单个闪速存储器控制器可以控制一个或多个闪速存储器装置,该闪速存储器控制器用作为闪速存储器装置和诸如计算机的主机系统之间的接口。

【0045】图 8 是示意说明用于擦除存储器块的子块的命令协议实施例的流程图。假设在图 1 的控制电路 12 中可以实现的闪速存储器控制逻辑被配置用于负责当前的命令协议。为了在存储器块上执行部分擦除操作,在步骤 400,闪速存储器控制器首先发出包括第一地址的地址输入命令。接下来,在步骤 402,闪速存储器控制器发出包括第二地址的另一个地址输入命令。如将在后面进一步详细描述,第一或第二地址可以是空的地址值。在步骤 404,根据先前所接收的第一和第二地址,发出部分擦除命令,在步骤 406,擦除上部子块、下部子块或子块片段。在步骤 406 的擦除包括偏置字线、位线和电源线到它们合适的电压水平。

【0046】在该命令协议示例中，允许3个地址组合。在第一种情况中，当第一地址是有效的且第二地址是空的，则控制逻辑将选择由下述字线限定的且包括下述字线的上部子块：NAND存储器单元串的对应于第一地址的字线（称作NAND存储器单元链的第一和最后的字线之间的中间字线）至最后的字线，即在本示例中的 WL_{31} 。在第二种情况中，当第一地址是空的且第二地址是有效的，则控制逻辑将选择由下述中间字线限定的且包括下述中间字线的下部子块：NAND存储器单元串的对应于第二地址的中间字线至第一字线，即在本示例中的 WL_0 。在第三种情况中，当第一地址和第二地址是有效的，则控制逻辑将选择由对应于第一和第二地址的字线限定的且包括该对应于第一和第二地址的字线的子块片段。本领域的技术人员应该理解，上面所列的3种情形表示一种可能的协议配置。在一个替代配置中，第一种情况将导致下部子块的选择，而第二种情况将导致上部子块的选择。在再另一个替代的实施例中，在发出第一和第二输入地址命令之前，可以发出部分擦除命令。

【0047】图9是用于使用图8中所示的命令协议擦除上部子块、下部子块或子块片段的具体方法实施例的流程图。更具体地，基于由第一输入地址命令和第二输入地址命令接收的第一或第二有效地址的存在或不存在来擦除上部子块、下部子块或子块片段中的一个。为了下面描述的目的，假设配置闪速控制器以发出用于擦除闪速存储器装置的存储器块的子块的部分擦除命令，并且该闪速存储器装置包括用于偏置用于部分擦除和擦除验证操作的字线、位线和其它信号的控制逻辑。

【0048】图9的方法示意说明了根据图8的命令协议，响应地址输入命令和擦除命令的闪速存储器装置控制逻辑的逻辑操作。在步骤500，图9的方法开始，其中接收第一地址输入命令。该地址输入命令将包括对应于存储器块的NAND存储器单元串的字线的第一有效地址或空地址。在第一种情况下，第一地址是有效的且该方法进行到步骤502，在步骤502处接收具有第二地址的第二地址输入命令。第二地址可以是对应于NAND存储器单元串的不同字线的有效地址，或空地址。继续第一种情况，第二地址是空地址，且该方法进行到步骤504。在步骤504接收部分擦除命令，并在步骤506擦除和验证上部子块。步骤504包括用于擦除上部子块和擦除验证该上部子块的字线、位线和其它相关信号的合适的偏置。

【0049】返回到步骤500，如果第一地址不是有效地址而是空地址，该方法进行到步骤508，其与步骤502相同。如果第二地址也是空地址，则该

部分擦除方法结束并且返回到步骤 500。在另一方面，如果第二地址是有效地址，则发生情况 2。一旦在步骤 510 接收部分擦除命令，在步骤 512 擦除并验证下部子块。步骤 512 包括用于擦除下部子块和擦除验证该下部子块的字线、位线和其它相关信号的合适的偏置。返回到步骤 502，如果来自步骤 500 的第一地址是有效的且第二地址是有效的，则发生情况 3。然后，该方法进行到步骤 514，在该步骤 514 接收部分擦除命令。随后，在步骤 516，擦除并验证子块片段。步骤 516 包括用于擦除子块片段和擦除验证该子块片段的字线、位线和其它相关信号的合适的偏置。

【0050】虽然，对于情况 1，该命令协议不要求第二有效地址，或对于情况 2，该命令协议不要求第一有效地址，但是该命令协议可以被配置为对于情况 1 和 2 分别接受有效的第二和第一地址。例如，为了擦除上部子块，例如，第一地址将对应于中间字线，而第二有效地址对应于最后的字线 WL_{31} 。类似地，为了擦除下部子块，第一地址将对应于第一字线 WL_0 ，而第二有效地址对应于中间字线。

【0051】因此，通过使用命令协议和图 8 和 9 中所示的方法，可以重复擦除并且用数据重新编程存储器块的任何任意的子块，而不影响存储器阵列的其它子块的编程擦除周期寿命。可以控制具有一个或多个闪速存储器装置、且被配置用于擦除任意子块的任何闪速存储器装置或闪速存储器系统，来执行损耗均衡算法以最大化存储器块的寿命，由此最大化闪速存储器装置的寿命。不用损耗均衡算法操作的闪速存储器装置将顺序地从第一存储器块至最后的存储器块来编程数据，在编程下一个存储器块之前填充每个存储器块。不均衡的损耗将导致如果系统连续地编程和擦除第一存储器块内的数据，则留下其它存储器块未使用。

【0052】损耗均衡是用于确保闪速存储器装置的所有存储器的均匀使用的方案。更具体地，损耗均衡确保所有的存储器块经历大致相同数量的编程周期或擦除周期。本领域的技术人员应该理解，在数据不再被可靠地保存之前，闪速存储器单元可以被编程/擦除有限数量的次数。闪速控制器跟踪每个存储器块或存储器块的页面所经历的编程/擦除周期的总数量。周期的数量被保存在存储器阵列的每个页面的空闲域中。闪速控制器将映射数据的逻辑地址位置到在闪速存储器装置中保存数据所在的物理地址。当存储器块已经达到编程/擦除周期的最大预定数量，则闪速控制器将指导闪速存储器装置重新编程保存在该存储器块中的数据到有效的存储器块，并且随后安排原

始的存储器块避免进一步使用（现在称为无效块）。然后，映射也被相应地调整。

【0053】当前公知的损耗均衡技术采用用于跨越不同存储器块编程数据的逻辑到物理映射技术。例如，所要编程的大数据文件可以具有编程到第一块的第一部分，编程到第二块的第二部分，等等。在另一个示例中，总共小于一个存储器块的尺寸的多个数据文件可以每个被编程到不同的存储器块。因此，如果大数据文件的特定部分或特定的小数据文件将被修改，则仅保存它的相应的存储器块将经历编程/擦除周期。所有这些方案的问题在于修改存在于存储器块中的小数据文件或数据文件的一部分需要擦除整个存储器块。因此，保存在存储器块中的其它数据也将被擦除，并且当重新编程所修改的数据时，也不必要地被重新编程。这是导致存储器块的寿命减小的主要因素。

【0054】在先前所描述的示例性实施例中，将被擦除的子块是任意尺寸的，由将被擦除或修改的存储器块中的数据来确定。修改子块的数据可以通过擦除该子块并用所修改的数据重新编程它来完成。但是，这将使子块经历太多的编程/擦除周期，由此相对于未使用的子块过早地减少其寿命。因此，根据另一个实施例，提供了利用可擦除子块以最小化不必要的编程/擦除周期的损耗均衡算法。

【0055】本损耗均衡算法将闪速存储器装置的存储器块逻辑划分为预定的子块。图 10a 示意说明了其中存储器块 600 被划分为 2 个相等尺寸的子块（子块 0 和子块 1）的示例。子块 0 包括页面 0 至 15，而子块 1 包括页面 16 至 31。假设存储器块被从页面 0 至页面 31 顺序地编程，其中每个页面对应于特定的字线。图 10b 示意说明了其中存储器块 602 被划分为 4 个相等尺寸的子块（子块 0、子块 1、子块 2 和子块 3）的示例。替代地，存储器块 600 和 602 的子块不是必须被划分为相等的尺寸，并且因此可以具有不同的预定尺寸。一旦确定逻辑子块，可以根据损耗均衡算法编程数据。

【0056】如先前所描述的，假设在将编程的子块上的页面中没有数据，则从 WL_0 至 WL_{31} （或可替代地从 WL_{31} 至 WL_0 ）用数据顺序编程的 NAND 存储器单元串将经历最小的编程干扰。在该示例中，子块上的页面将对应于具有较高编号的字线。因此，在图 10a 的示例中，子块 0 被称为下部子块，而子块 1 被称为上部子块。在该实施例的损耗均衡算法中，如果在上部子块中存在有数据，则数据将不被编程到下部子块。闪速存储器控制器通过参考地址映射

表来知道在上部子块中存在有数据,该地址映射表可以包括从下部子块的每个页面的空闲域载入的一个或多个有效位。有效位的特定逻辑状态将向闪速存储器控制器指示是否可以编程下部子块。替代地,对应于上部子块的空闲域的有效位将指示数据将不被编程到下部子块。在图 10b 的示例中,一对相邻子块中的具有较高编号的子块是上部子块,而具有较小编号的另一个子块是下部子块。在如图 10b 中所示的配置为具有大于 2 个子块的存储器块中,子块 0 是最低级别的子块,而子块 3 最高级别的子块,且如果存在保存在具有较高级别的任意子块中的数据,则数据将不被编程到子块。

【0057】图 11 中所示的本实施例的损耗均衡算法包括用于编程新数据到闪速存储器装置的数据编程子程序和用于重新编程所修改数据到闪速存储器装置的数据修改子程序。子程序都确保闪速存储器装置的子块被均匀地使用。损耗均衡算法由闪速存储器控制器执行,用于被配置以擦除预定尺寸的子块的闪速存储器装置,并且该算法在步骤 700 通过接收来自主机系统的命令来开始。在步骤 702,闪速存储器控制器确定命令是编程新数据还是修改当前所编程的数据。如果命令是编程新数据,则该方法进行到步骤 704,其中数据被编程到最低级别的可用子块。例如,如果闪速存储器装置包括 4 个空的存储器块,每一个被逻辑划分为 2 个子块(子块 0 和子块 1),如图 10a 所示,则数据被相继地编程到每个存储器块的子块 0。最后,所有的子块 0 将保存数据,并且将要被编程的下一数据将被编程到第一可用子块 1。

【0058】通过首先编程新数据到最低的可用子块,将使用所有的存储器块。但是,步骤 704 可以由替代数据编程方案来代替。在该替代方案中,编程新数据将基于数据将被编程的高或低的优先级。主机系统可以决定音乐文件和具有合适文件扩展名的可执行应用为高优先级,而诸如频繁修改的文本文档的数据文件为低优先级。数据为高或低优先级的指定可以由主机系统任意设置。

【0059】在替代数据编程实施例中,步骤 704 由用于数据的优先级的确定步骤来代替。如果数据被指定为高优先级,由于高优先级数据文件不大可能随着时间而修改,所以其被编程到存储器块的最低级别可用子块。如果该最低级别可用的下部子块对于保存数据来说太小,则高优先数据可以被划分并且分布在不同存储器块的 2 个或更多个最低级别可用子块。替代地,数据可以被编程到相同存储器块内的任意数量的相邻最低级别的可用子块。如果数据被指定为低优先级,由于低优先级数据文件很可能随着时间而修改,所

以其被编程到存储器块的最高级别的可用子块。如果子块太小，则数据可以以与先前对于高优先级数据所描述的方式来分布。

【0060】返回到步骤 702，如果命令是用于修改先前所编程的数据，则该方法进行到步骤 710。由于先前所编程的数据存在于存储器块的子块中，则子块可以被擦除并且用所修改数据对其重新编程。如果子块包括其它数据文件，则它们被同时重新编程。但是，必须在重新编程之前执行的子块擦除操作将减慢闪速存储器装置的性能，并且将使该子块经历编程/擦除周期。为克服上述两个问题，在步骤 710 中，原始子块的所修改数据被编程到不同存储器块中的另一个子块。随后，在步骤 712，调整由闪速存储器控制器维持的原始地址映射表，以指示该原始存储器块的子块中所保存的数据现在物理地位于新存储器块的子块中。随后在系统空闲时，在步骤 714，其中数据被原始地保存的子块被擦除，并且该所擦除的子块被标记为擦除的且可用于保存数据。擦除步骤可以跟随图 9 中先前所描述的方法。通过后面擦除子块，最大化编程性能。

【0061】由自由子块分配器子程序来进一步管理在步骤 710 中的重新编程所修改数据。该子程序将识别最合适的子块以基于闪速存储器装置的其它存储器块的状态编程数据到其中。该子块分配器子程序实施例将利用首先重新编程子块的数据到匹配的物理子块（即，相同的子块级别）的优先权，重新编程该数据到另一个存储器块中的子块。如果匹配物理子块是无效的，则该数据被重新编程到下一个最适合的物理子块。匹配子块的目的是根据图 11 中所描述的选择性数据分布算法尽可能维持高和低优先权数据的分布，以使得低优先级数据被编程到较高级别的子块。将参考图 12 的流程图以及图 13a 至 13d 中的原始存储器块和新存储器块的图解说明来描述子块分配器子程序方法。

【0062】在步骤 800，当接收用于修改数据的命令时，图 12 的方法开始。该命令包括关于原始存储器块的子块的地址位置的信息，要修改的数据当前存在于该原始存储器块中。在步骤 802，根据预定的排序方案，其它存储器块被逻辑分类，以确定存储器块的存取顺序。例如，最简单的方案为基于存储器块的指定的物理/逻辑位置来设置次序。第二方案是基于存储器块的占用率来设置次序，例如，从完全空的块到完全编程的块或反之亦然。第三方案是基于具有最少数量的编程/擦除周期的存储器块来设置次序。第二和第三方案可以通过扫描存储器块的地址映射表来实现，其将指示子块是空的和

每个页面或存储器块的编程/擦除周期的数量。当数据被编程和从存储器块中擦除时，可以动态地维持该逻辑分类。

【0063】然后，该方法将存取存储器块的逻辑分类列表中的第一新存储器块，并确定数据是否应该被重新编程到其中。在步骤 804，该方法检查新存储器块是否具有可用的匹配物理子块，即被擦除的相同级别的子块。如果其存在于新存储器块中，则在步骤 806，系统检查是否存在比当前保存原始数据的子块更高级别的任意子块。为了最小化编程干扰，当存在数据保存在其中的较高级别的子块时，数据不被重新编程到匹配物理子块。如果具有数据的较高级的子块存在，则该方法在步骤 808 存取下一存储器块，并且返回到步骤 804。否则，保存数据的其它子块为较低级，并且该方法进行到步骤 810 以确定新存储器块是否为空的。如果存储器块不是空的，则存在被编程到一个或多个较低级别的子块的数据，并且在步骤 812，该数据被重新编程到新存储器块的匹配子块。

【0064】通过示例，图 13a 示出配置为具有子块 0 至 3 的原始存储器块 900，以及要被存取的新存储器块 902，其也被配置为具有子块 0 至 3。具有阴影的页面指示存在数据，没有阴影的页面是空的并且先前被擦除。假设将修改子块 1 的数据，在存储器块 902 中找到匹配的子块 1，该存储器块 902 包括编程在较低级别子块 0 中的数据。由于在存储器块 902 中没有具有所编程数据的较高级别子块，所以该数据被编程到存储器块 902 的子块 1。

【0065】返回到步骤 810，如果新存储器块是空的，则在步骤 814 数据被重新编程到存储器块的第一子块（子块 0）。图 13b 示出配置为具有子块 0 至 3 的原始存储器块 900，以及将被存取的新存储器块 904，其也被配置为具有子块 0 至 3。在此示例中，存储器块 904 是空的，且数据被编程到空存储器块 904 的子块 0。

【0066】在替代实施例中，如果新存储器块是空的，则步骤 810 可以被忽略，并且数据将被编程到匹配子块。根据另一替代实施例，通过包括另一步骤以确保新存储器块具有用数据填充的其所有较低级别子块来最大化存储器块的使用。

【0067】先前所描述的步骤 806、808、810、812 和 814 是如果在新存储器块中存在匹配子块所执行的方法步骤。可以产生所有可用的存储器块均具有用数据编程的较高级别子块的情况，如通过重复步骤 804、806 和 808 所确定的。在这样的情况下，该方法认为该存储器块不具有可用的匹配子块。

返回到步骤 804，如果不存在匹配物理子块，则该方法进行到用于重新编程数据到比当前保存要被修改的数据的子块更高级别的子块的步骤 816。该数据可以被编程到第一可用较高级别子块或到可用的最低级别子块。图 13c 和 13d 示意说明了其中数据被重新编程到较高级别子块的情况。

【0068】图 13c 示出被配置为具有子块 0 至 3 的原始存储器块 900，以及也被配置为具有子块 0 至 3 的新存储器块 906。在此示例中，存储器块 906 的子块 1 当前保存数据，因此存储器块 900 的子块 1 的该数据被编程到空存储器块 904 的子块 0。图 13d 示出相同的存储器块 900 和新存储器块 908，二者都被配置为具有子块 0 至 3。在此示例中，存储器块 908 的子块 1 是空的，但是较高级子块 2 保存其它数据。因此，数据被重新编程到下一个最高可用的子块，存储器块 908 中的子块 3。

【0069】在闪速存储器装置的使用期间，闪速存储器控制器将监测由每个子块所累积的编程/擦除周期的数量，这将在编程新数据和修改旧数据时发生。存储器块中的某些子块可以比存储器块中的其它子块具有更多数量的编程/擦除周期。这导致存储器块的子块之间的编程/擦除周期的不平衡。根据另一实施例，当满足预定条件时，存储器块的子块中的数据可以被交换或移动到不同存储器块。例如，一个这样的准则可以是子块之间的编程/擦除周期的预定区别。

【0070】图 14 是用于控制存储器块的子块之间的编程/擦除周期不平衡的一般方法的流程图。在闪速存储器装置的上电时或者在闪速存储器装置上电时的任何任意的时间启动并且由闪速存储器控制器执行该方法。在步骤 1000，扫描存储器块中的每对子块的编程/擦除周期的数量。本领域的技术人员应该理解，每个子块的一个或多个页面在空闲的域区域保存对应于其已经经历的编程/擦除周期的数量的计数器。这些计数器数值被读取和载入到闪速存储器控制器的地址映射表。在步骤 1002，进行存储器块的每个子块的编程/擦除周期计数的检查。如果编程/擦除周期计数已经达到最大允许值，则在步骤 1004 将在其中所保存的数据拷贝到可用子块，并且在步骤 1006 原始子块被停止使用或安排其避免进一步的使用。1004 的拷贝步骤可以依照图 11 和 12 中所概述的方法。

【0071】否则，该过程进行到步骤 1008，其中具有最高编程/擦除计数的子块和具有最低编程/擦除计数的子块之间的区别被计算为 $\Delta Cycles$ 。如果 $\Delta Cycles$ 小于称为“Set_diff”的设置限制，则该方法循环回到步骤 1002 并

且存取下一个存储器块。在另一方面，如果 $\Delta Cycles$ 至少为“Set_diff”，则该方法进行到步骤 1010，其中两个子块中的数据彼此交换。“Set_diff”的数值由闪速存储器系统的制造商或闪速存储器控制器根据制造闪速管理策略来设置。通过首先将存储器块的所有子块中所保存的数据拷贝到可用物理块或其它可用子块来执行步骤 1010 的子块交换。擦除原始存储器块，并且将该数据重新编程到存储器块的子块，使得两个子块的数据交换。通过如先前所教导的完全存储器块擦除或部分擦除可以在任意时间擦除作为数据的临时存储装置的其它存储器块或可用子块。然后，更新地址映射表以反映所交换数据的物理位置的改变。

【0072】图 15a 示出被配置为具有子块 0 至 3 的原始存储器块 1100，其中子块 0 保存数据 DATA A，子块 1 保存 DATA B，子块 2 保存 DATA C，且子块 3 保存 DATA D。如果子块 0 和 3 被确定为具有 $\Delta Cycles > \text{Set_diff}$ ，则交换数据。图 15b 示出数据交换之后映射在存储器块 1100 中的结果数据。现在，子块 0 保存 DATA D 且子块 3 保存 DATA A。

【0073】一旦所有存储器块的数据已经交换，则可以进行普通的编程操作。例如，可以编程新数据到闪速存储器装置，并且可以修改存在的数据。

【0074】先前所描述的实施例允许通过偏置字线、位线和其它相关信号来选择性擦除存储器块的一部分，其称为子块。因为仅其中数据被修改的子块经历了编程/擦除周期，所以延长了存储器块的寿命。子块可以是任意尺寸的，或预设为特定尺寸。提供命令协议以允许闪速存储器控制器与闪速存储器装置接口并且启动任意尺寸的子块和预设尺寸的子块的擦除。随后该命令协议可以被用于在编程新数据到闪速存储器装置或修改闪速存储器装置中保存的已存在数据时执行损耗均衡算法。所有这些方面可以通过它们自己使用或组合使用，用于延长存储器块的寿命。

【0075】已经参考其中具有 2 个或 4 个子块的存储器块描述了先前所描述的实施例。但是，实施例可被应用于逻辑划分为任意数量的子块的存储器块。

【0076】在之前描述中，出于解释的目的，为了提供对实施例的全面理解而描述了多个细节。但是，对于本领域的技术人员来说明显的是，为了实现这些实施例并不一定需要这些具体细节。在其它情况中，以框图形式示出公知的电子结构和电路是为了不模糊实施例的方面。例如，关于此处所述的实施例是否被实现为软件程序、硬件电路、固件或其组合，没有

提供具体细节。

【0077】上述的实施例仅用于示例。对于本领域技术人员来说，在不脱离由所附的权利要求单独限定的范围的前提下，可以实现对特定实施例的替换、修改和变更。

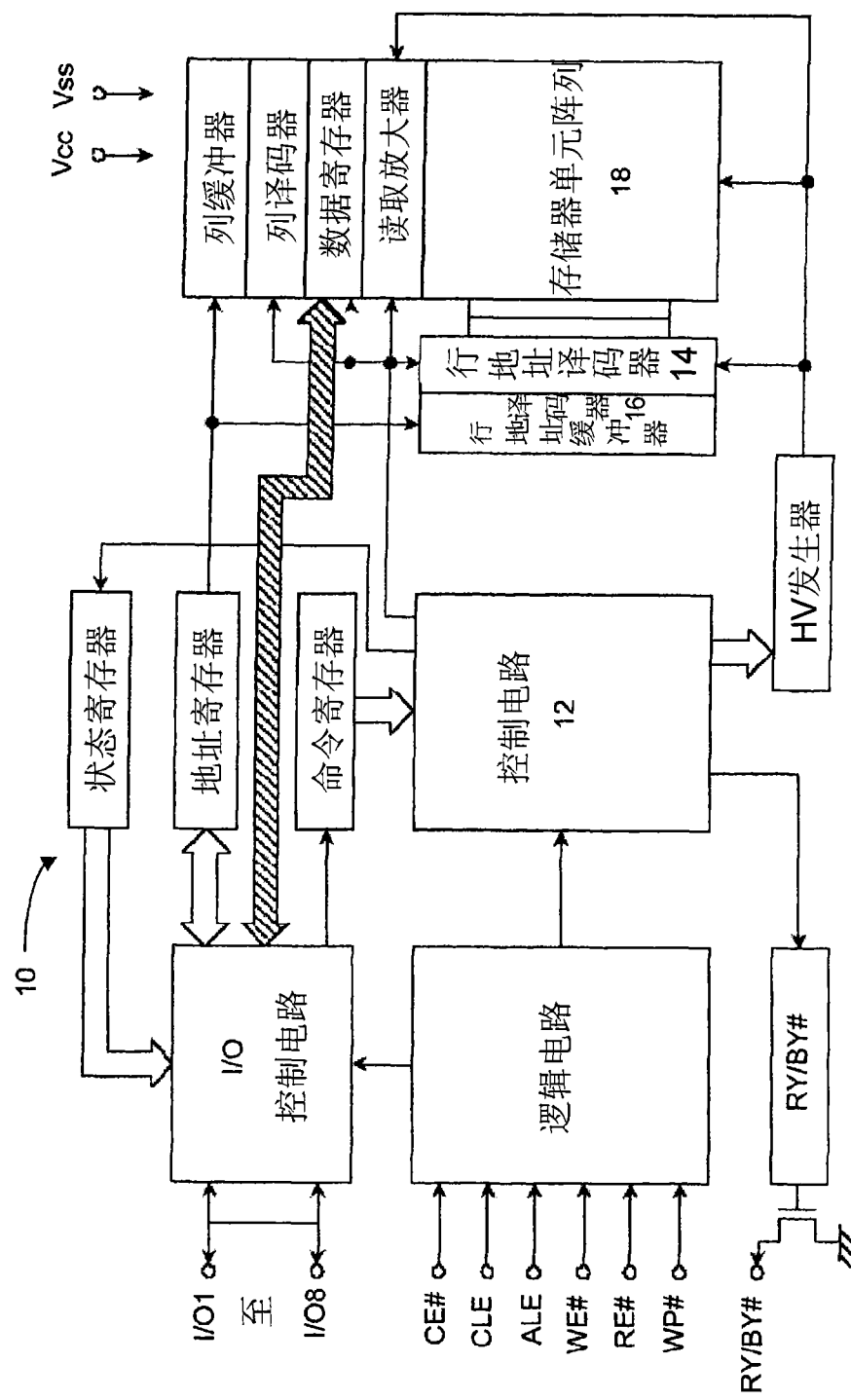


图1 (现有技术)

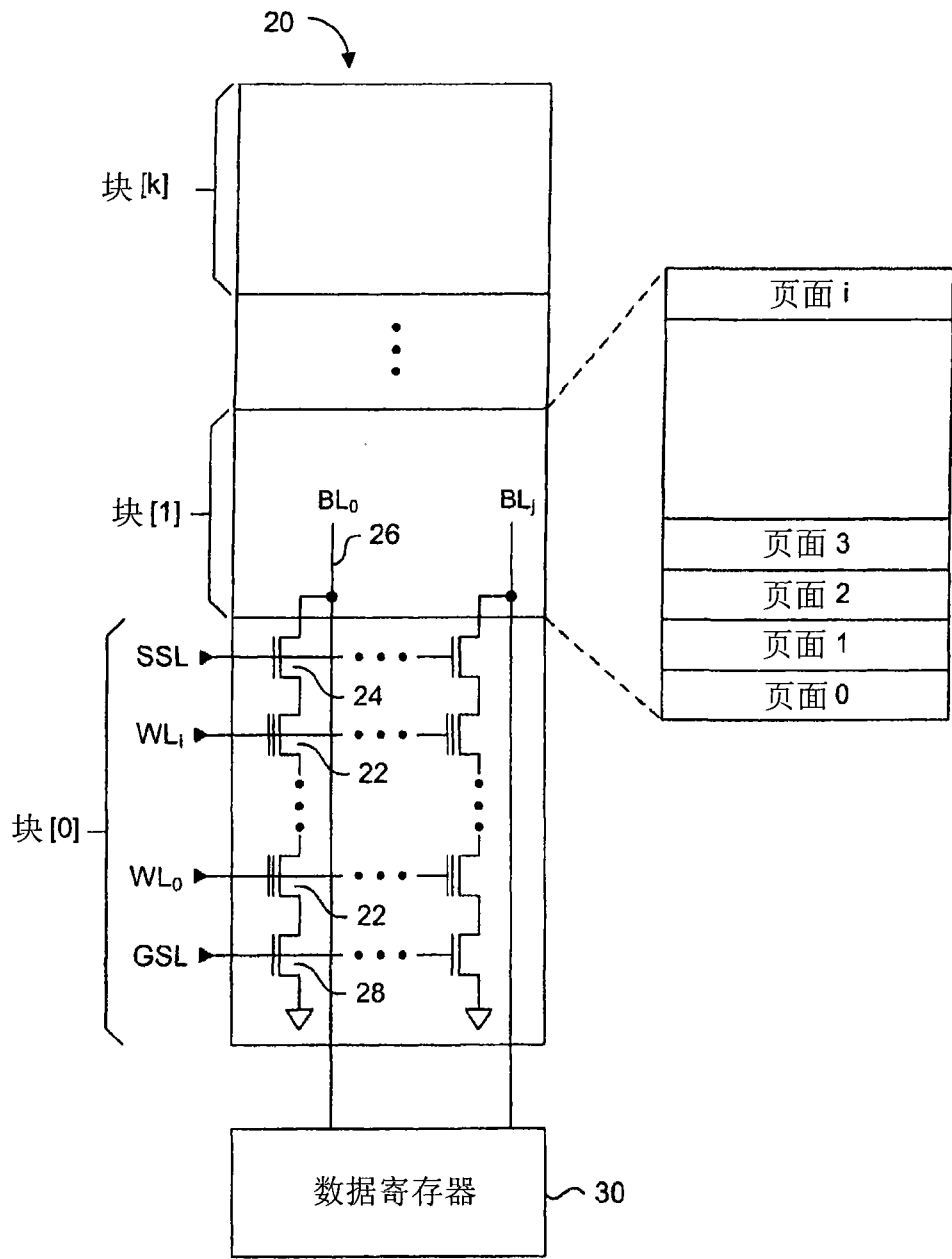


图 2

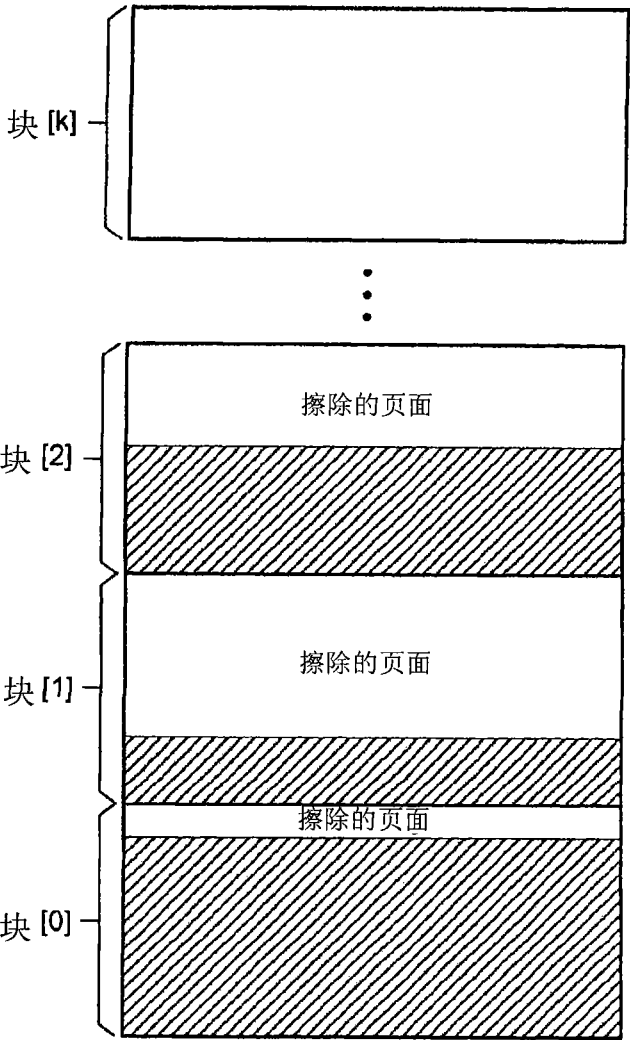


图 3

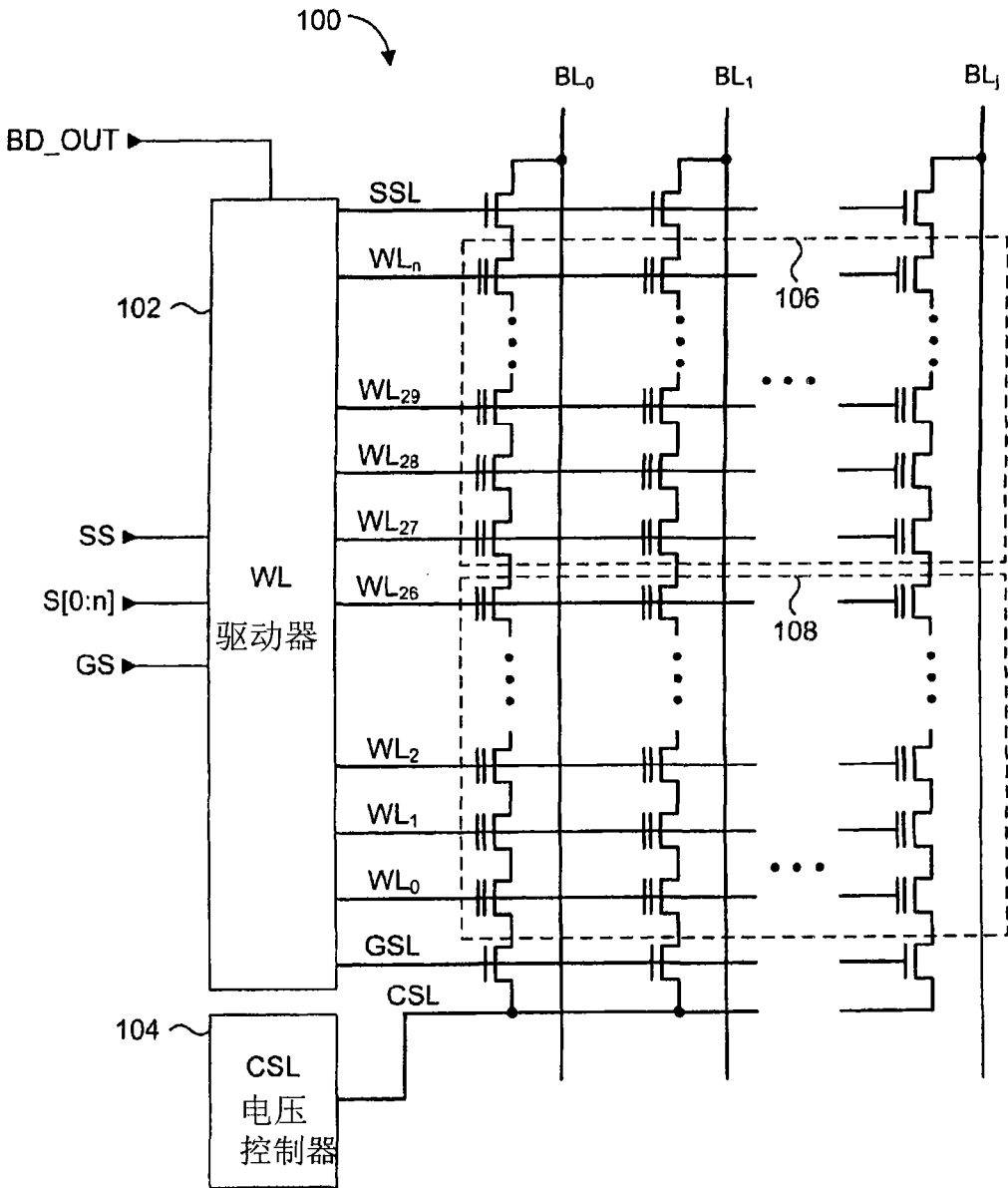


图 4

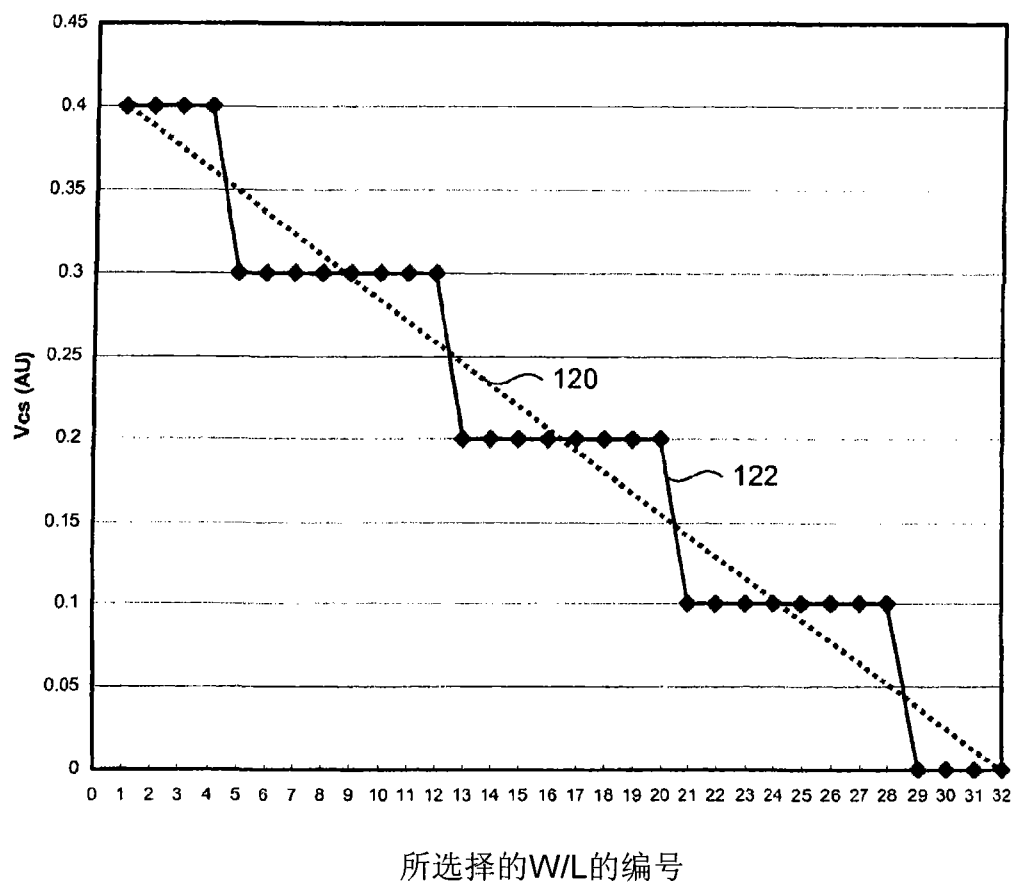


图5

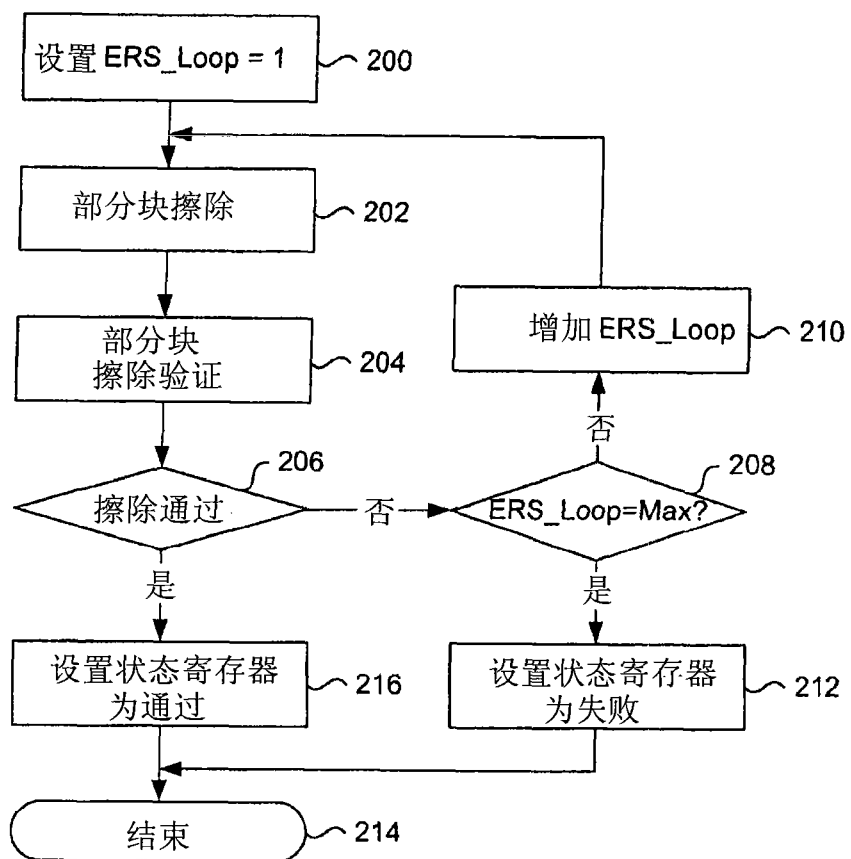


图6

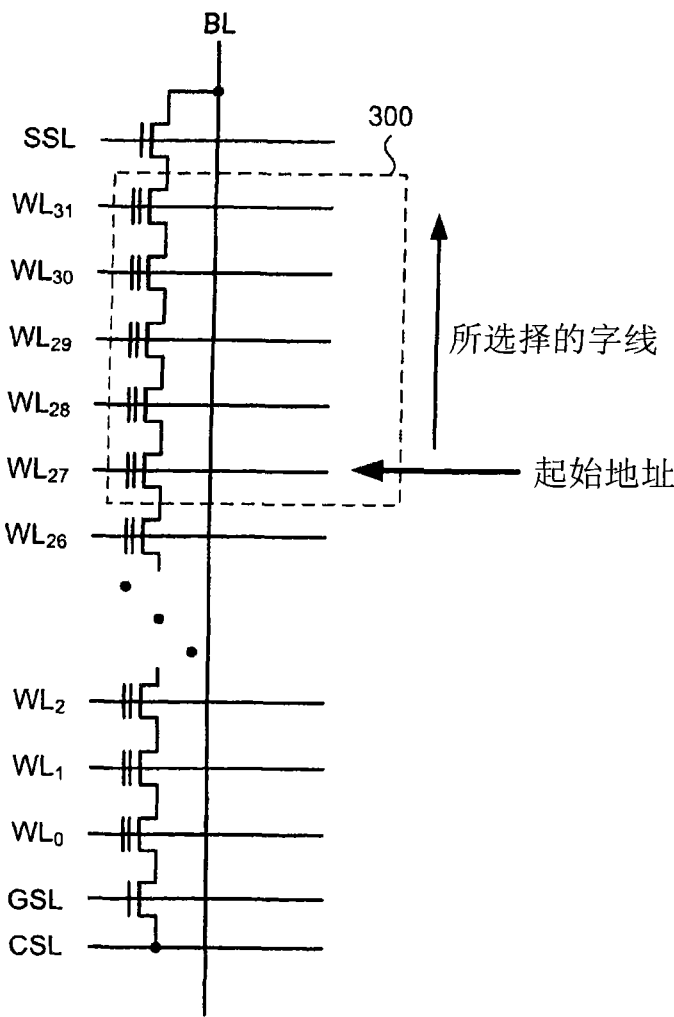


图 7a

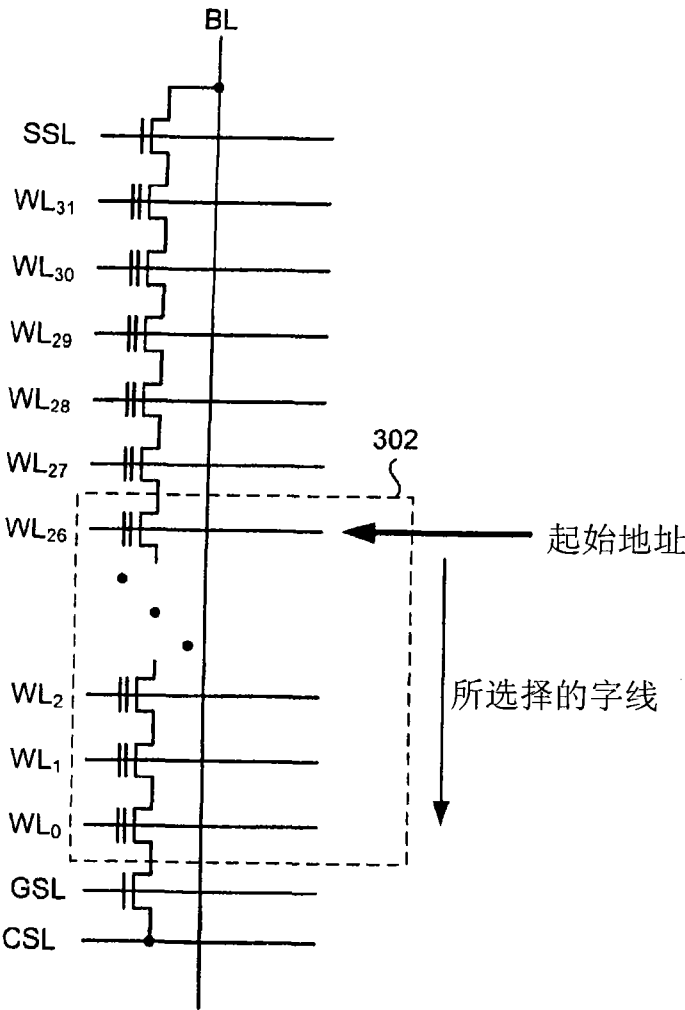


图 7b

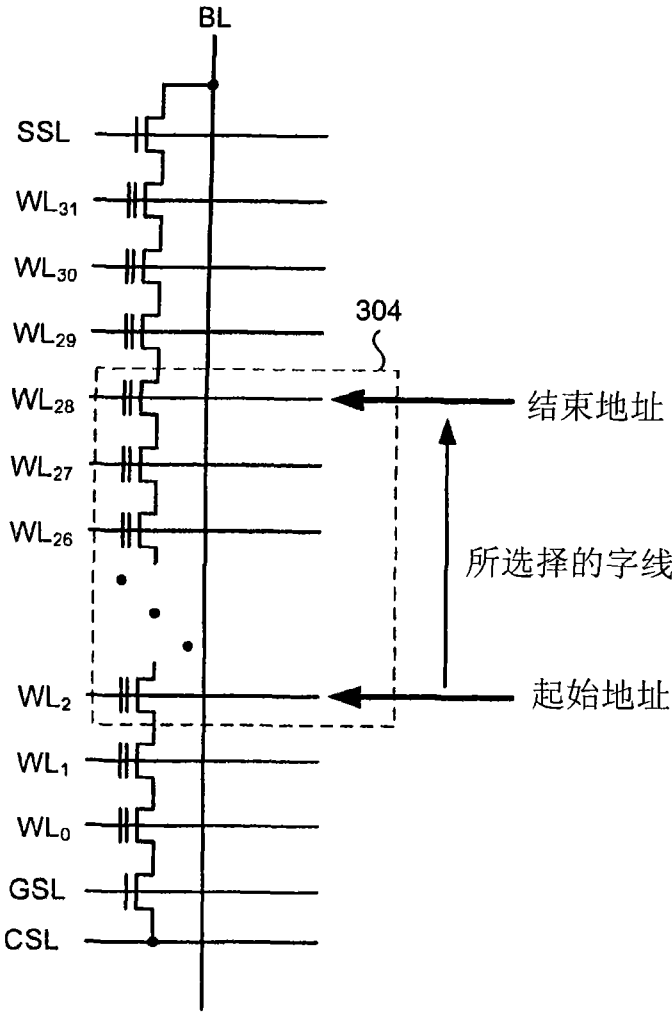


图 7c

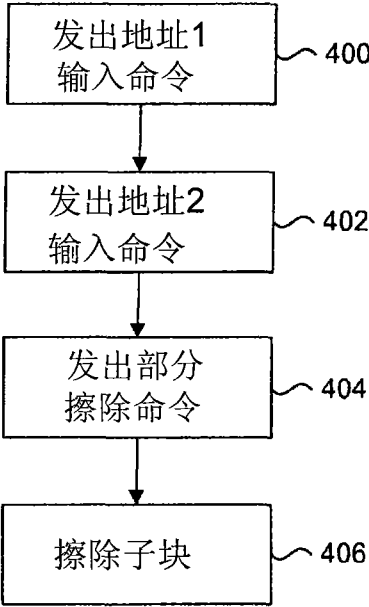


图8

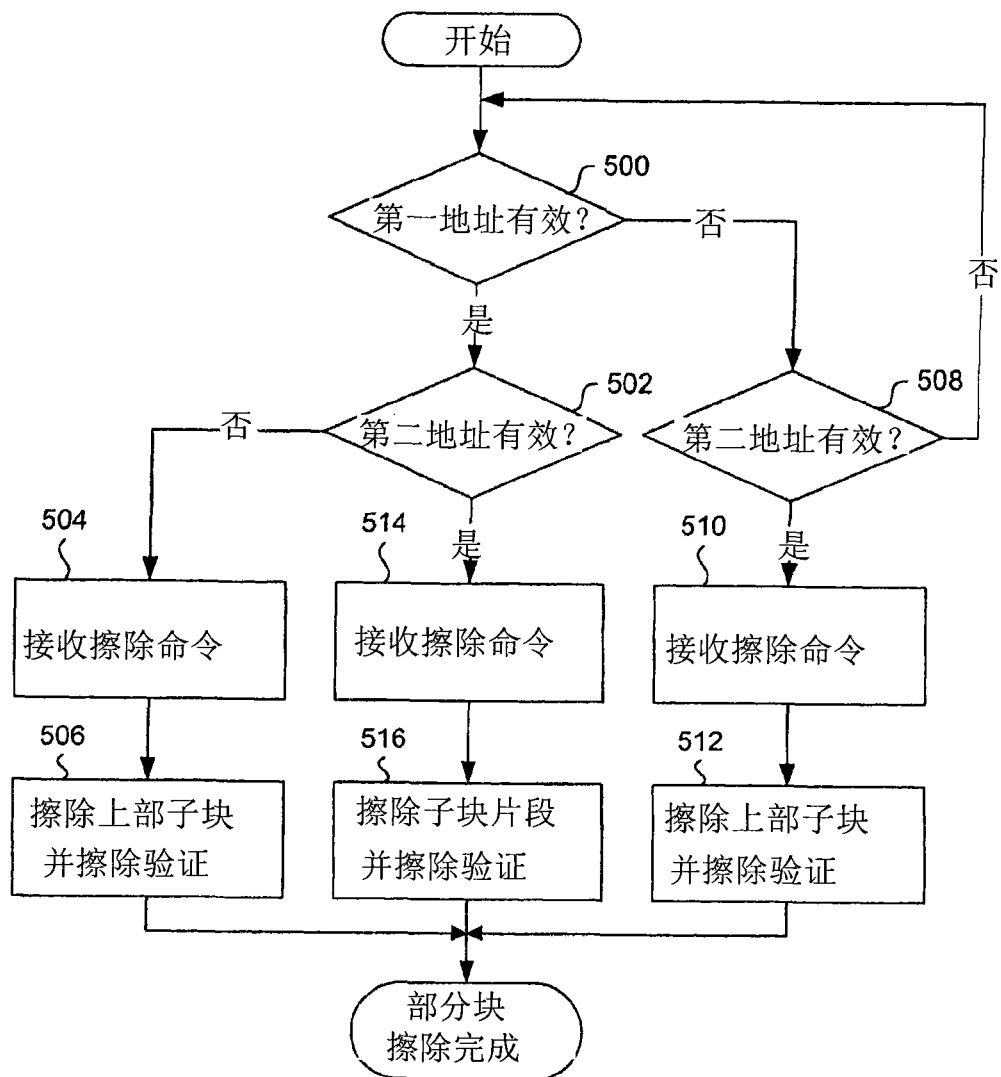


图9

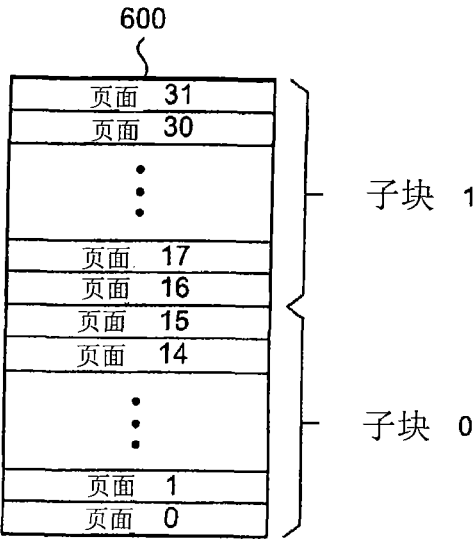


图10a

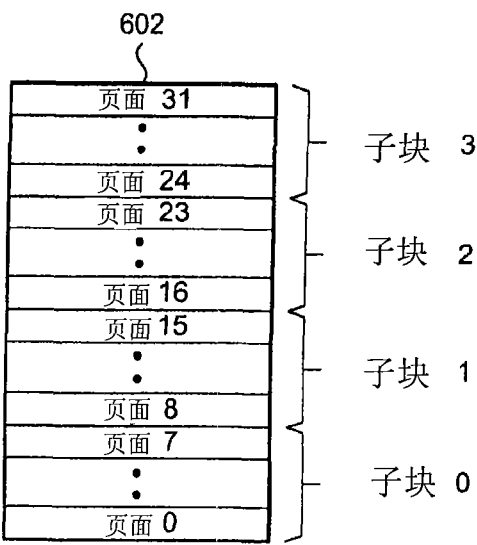


图10b

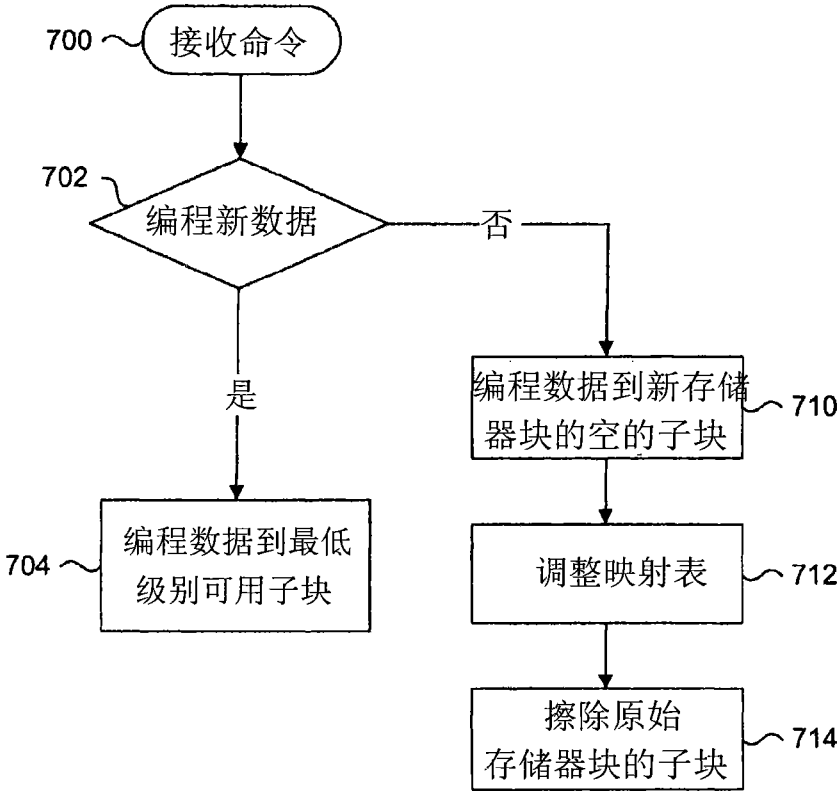


图 11

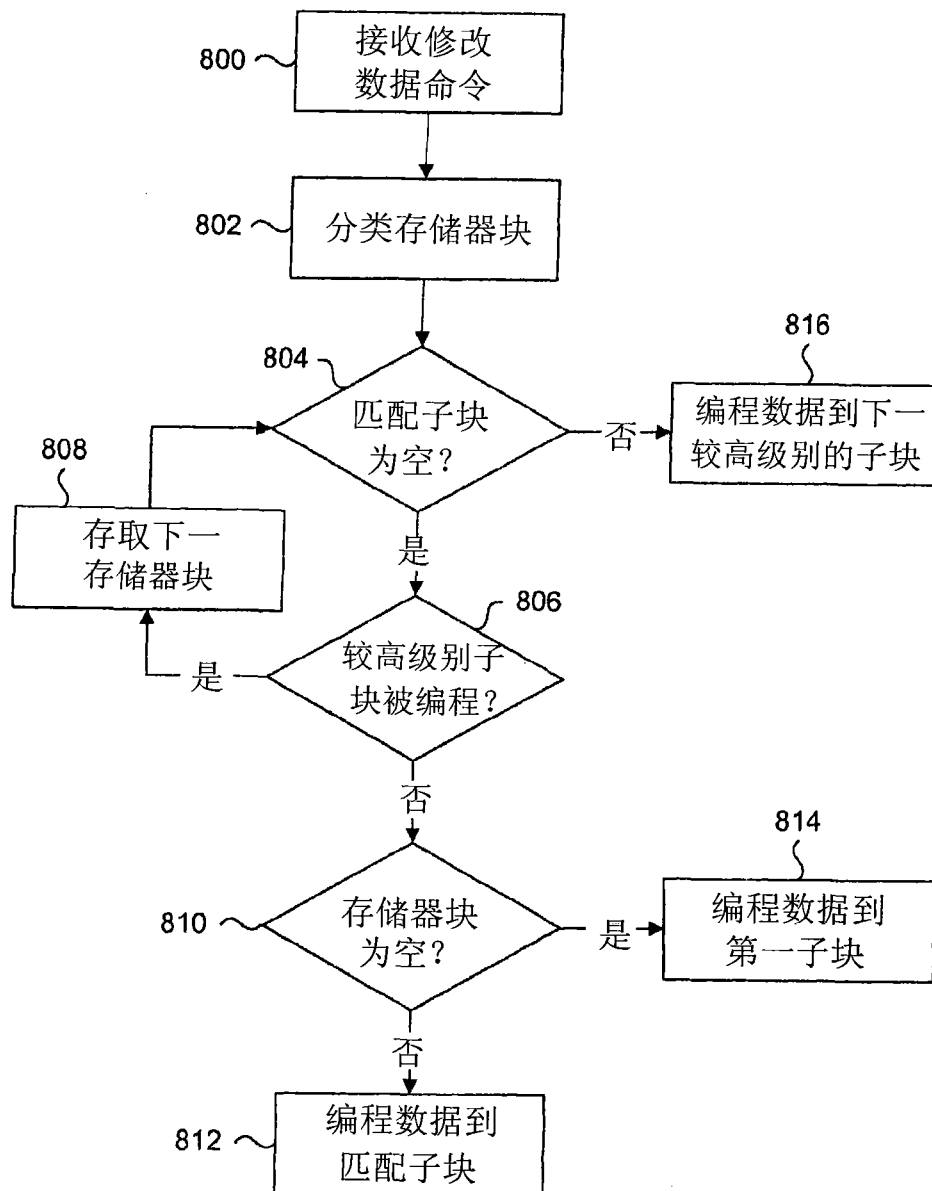


图12

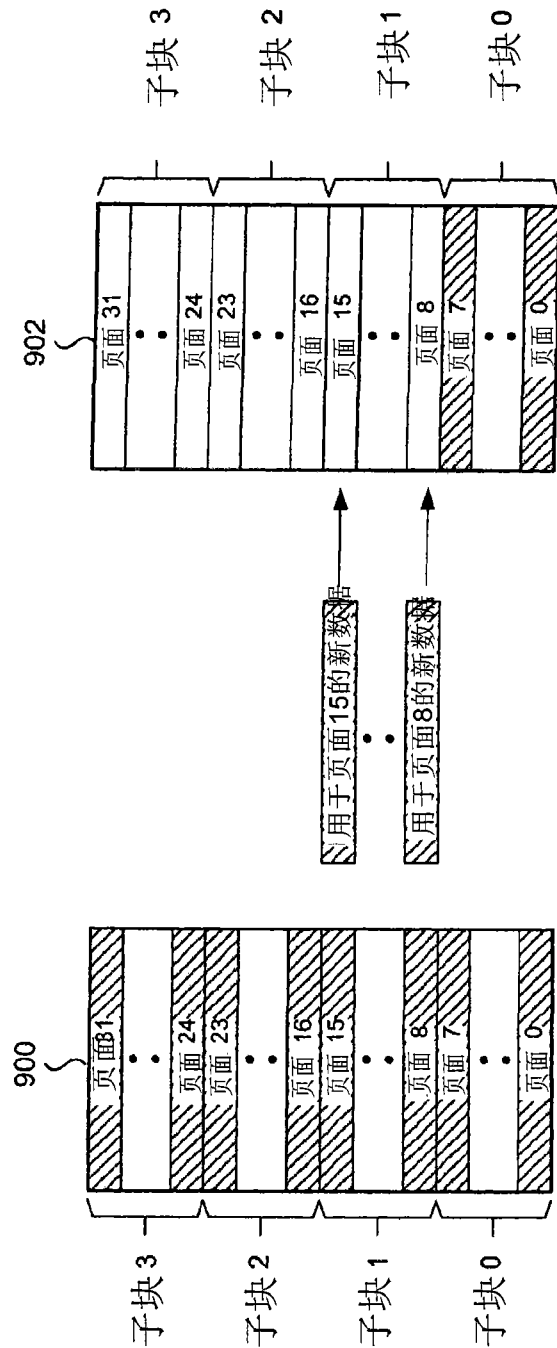


图 13a

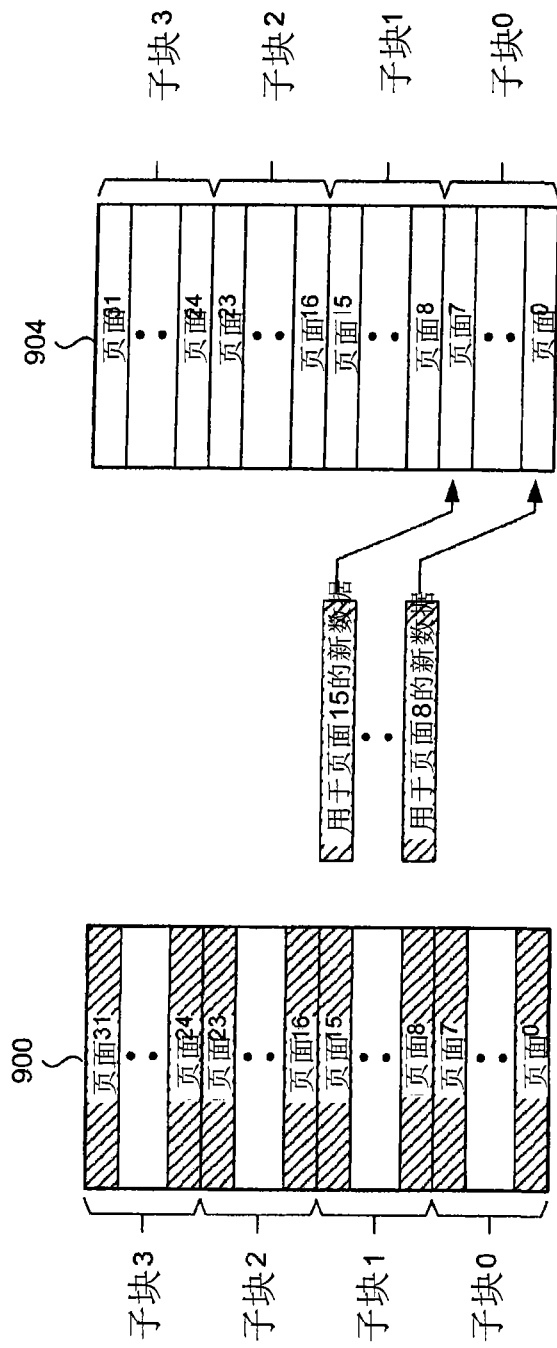


图 13b

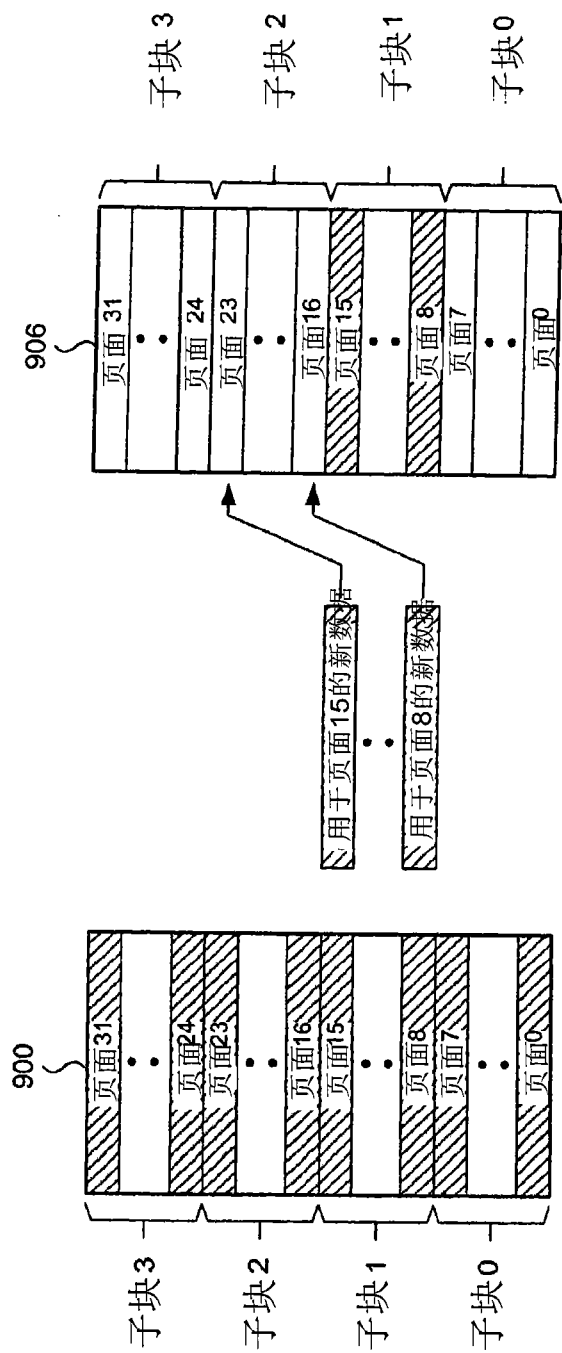


图 13c

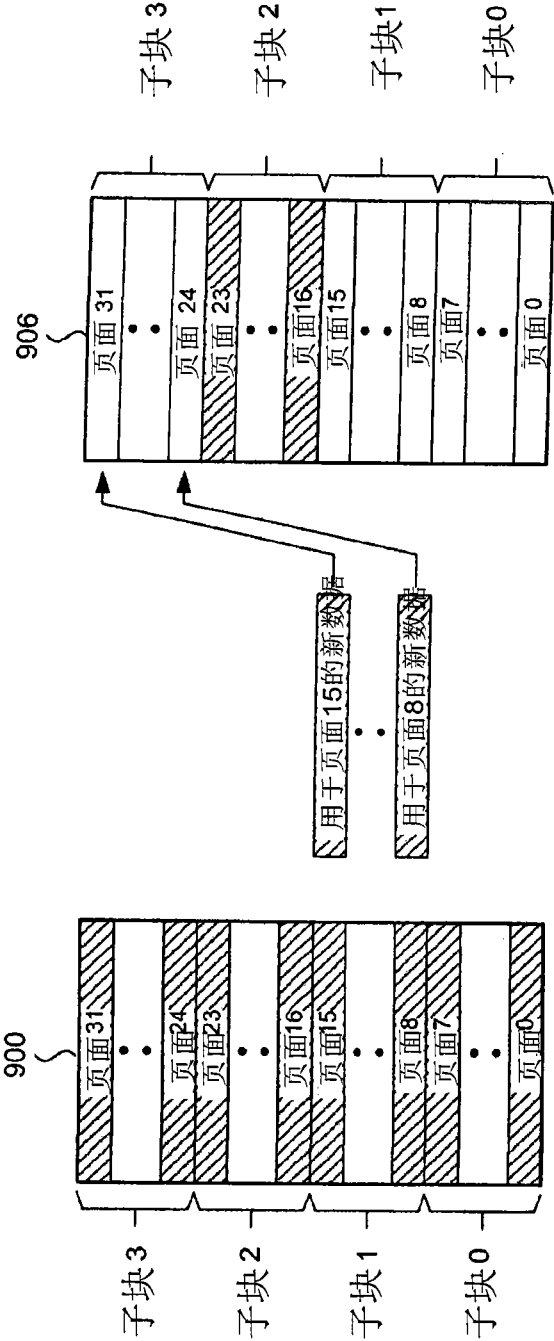


图 13d

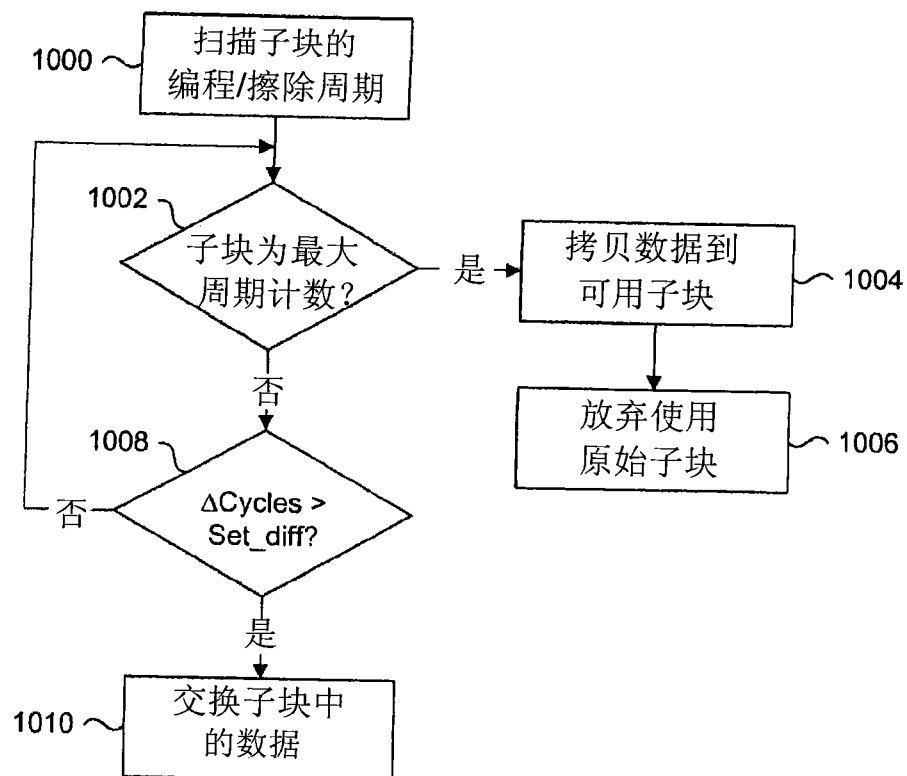


图 14

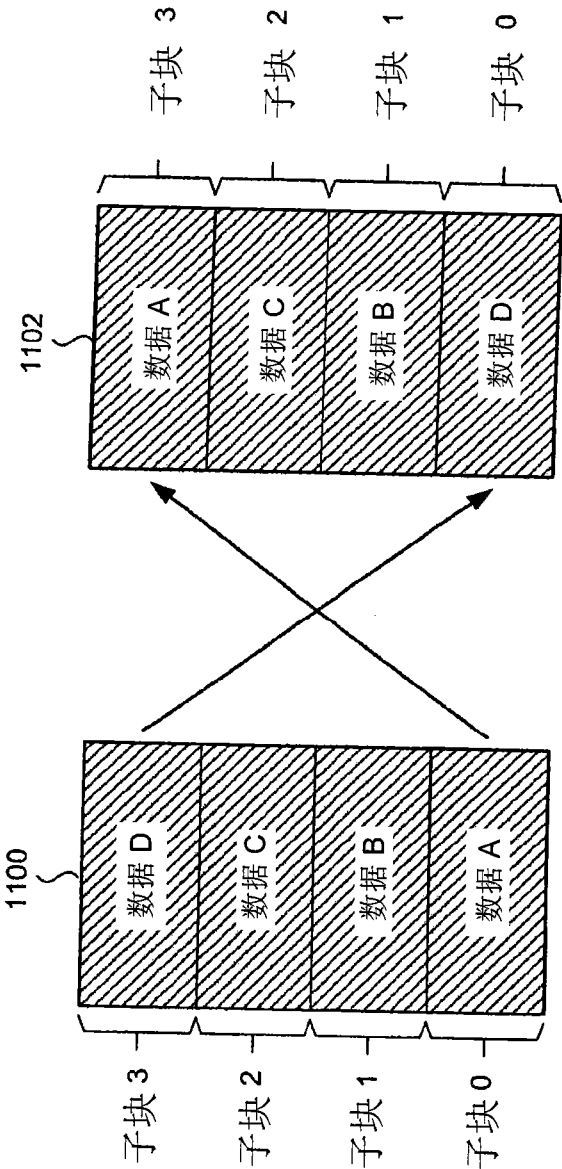


图15b

图15a

1、一种闪速存储器装置, 包括:

具有以列布置的 NAND 闪速存储器单元串的至少一个块的存储器阵列, 所述至少一个块具有以从第一字线到最后的字线的预定方向可编程的页面和可擦除的可动态选择数量的闪速存储器单元; 和

用于当衬底被偏置到擦除电压以擦除所述可动态选择数量的闪速存储器单元时驱动对应于所述预设数量的闪速存储器单元的第一字线到第一电压的行电路, 用于驱动第二字线到第二电压以禁止擦除耦合到所述第二字线的闪速存储器单元的行译码器, 所述第二字线包括所述第一字线至最后的未被选择字线, 且所述第一字线包括邻近于所述最后的未被选择字线的第一所选择字线至最后的所选择字线。

2、根据权利要求 1 所述的闪速存储器装置, 其中所述最后的所选择字线包括最后的字线。

3、根据权利要求 1 所述的闪速存储器装置, 其中所述可动态选择数量的闪速存储器单元是多位单元 (MBC)。

4、根据权利要求 1 所述的闪速存储器装置, 其中所述可动态选择数量的闪速存储器单元对应于 1 个顺序组的闪速存储器单元。

5、根据权利要求 1 所述的闪速存储器装置, 其中所述可动态选择数量的闪速存储器单元对应于 2 个顺序组的闪速存储器单元, 所述 2 个顺序组的闪速存储器单元彼此不邻近。

6、根据权利要求 1 所述的闪速存储器装置, 其中所述至少一个块的所述 NAND 闪速存储器单元串被耦合到公共电源线、且所述闪速存储器装置进一步包括电源线电压控制电路, 用于在擦除验证操作期间设置在第三电压和第四电压之间的公共电源线的电压。

7、根据权利要求 6 所述的闪速存储器装置, 其中所述第四电压小于所述第三电压, 并且随着第一字线的数量的增加所述公共电源线的电压减小。

8、一种用于擦除存储器块的子块的方法, 所述存储器块具有耦合到第一字线、最后的字线以及所述第一字线和所述最后的字线之间的中间字线的 NAND 存储器单元串, 该方法包括:

发出具有第一地址的第一输入地址命令;

发出具有第二地址的第二输入地址命令;

发出部分擦除命令; 和

擦除具有由对应于所述第一地址和所述第二地址的字线所限定的一组字线的子块。

9、根据权利要求8所述的方法, 其中所述第一地址包括空地址。

10、根据权利要求9所述的方法, 其中所述子块包括由对应于所述第二地址的一个字线和所述第一字线限定的所述一组字线。

11、根据权利要求8所述的方法, 其中所述第二地址包括空地址。

12、根据权利要求11所述的方法, 其中所述子块包括由对应于所述第一地址的一个字线和所述最后的字线限定的所述一组字线。

13、根据权利要求8所述的方法, 进一步包括擦除验证所擦除的子块。

14、根据权利要求13所述的方法, 其中所述擦除验证包括:

预充电耦合到所述 NAND 存储器单元串的位线到预充电电压电平;

偏置所述一组字线到第一电压, 用于接通耦合到所述一组字线的所擦除存储器单元;

偏置未被选择字线到第二电压, 用于接通耦合到未被选择字线的存储器单元;

感测所述预充电电压电平的变化。

15、根据权利要求14所述的方法, 其中所述第一电压是负电压且所述第二电压是在读取操作期间使用的读取电压。

16、根据权利要求14所述的方法, 其中所述第一电压是 0V 且所述第二电压是在读取操作期间使用的读取电压。

17、根据权利要求16所述的方法, 其中耦合到所述 NAND 存储器单元串的公共电源线被偏置到可变电源偏置电压。

18、根据权利要求17所述的方法, 其中随着所述一组字线的数量的减小, 所述可变电源偏置电压从 0V 增加到最大电压。

19、一种用于当修改存储器块的子块中的数据时损耗均衡控制的方法, 包括:

编程所修改的数据到新存储器块的空的子块;

擦除所述存储器块的所述子块。

20、根据权利要求19所述的方法, 进一步包括: 编程新数据到最低级别可用子块, 其中每个存储器块包括至少两个子块且所述最低级别可用

子块包括最接近于在顺序编程方案中将被编程的第一字线的一组字线。

21、根据权利要求 19 所述的方法，进一步包括：更新地址映射表以将所述所修改的数据的逻辑地址映射到对应于新存储器块的空的子块的物理地址。

22、根据权利要求 19 所述的方法，其中所述空的子块是最低级别可用子块。

23、根据权利要求 19 所述的方法，其中所述空的子块具有等于所述子块的级别。

24、根据权利要求 23 所述的方法，其中所述新存储器块是空的。

25、根据权利要求 23 所述的方法，其中所述新存储器块包括保存在具有比所述空的子块更低级别的另一个子块中的其它数据。

26、根据权利要求 19 所述的方法，其中所述空的子块具有高于所述子块的级别。

27、根据权利要求 19 所述的方法，进一步包括：当所述存储器块的所述子块和一个其它子块的编程/擦除周期之间的差异达到预定数值时，交换所述子块中的数据和在所述一个其它子块中的其它数据。