



(12) 发明专利

(10) 授权公告号 CN 109478552 B

(45) 授权公告日 2023. 08. 01

(21) 申请号 201680071972.7

(22) 申请日 2016.12.09

(65) 同一申请的已公布的文献号
申请公布号 CN 109478552 A

(43) 申请公布日 2019.03.15

(30) 优先权数据
2015-240394 2015.12.09 JP

(85) PCT国际申请进入国家阶段日
2018.06.08

(86) PCT国际申请的申请数据
PCT/JP2016/086725 2016.12.09

(87) PCT国际申请的公布数据
W02017/099220 JA 2017.06.15

(73) 专利权人 铠侠股份有限公司
地址 日本东京

(72) 发明人 泽部亮介 木下繁 山田健太
石垣宽和

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287
专利代理师 杨林勳

(51) Int.Cl.
H10B 43/35 (2023.01)
H10B 43/27 (2023.01)

(56) 对比文件
JP 2009295837 A, 2009.12.17
JP 2011066348 A, 2011.03.31
US 2014010016 A1, 2014.01.09
US 2011018052 A1, 2011.01.27
US 2011018050 A1, 2011.01.27

审查员 袁芳

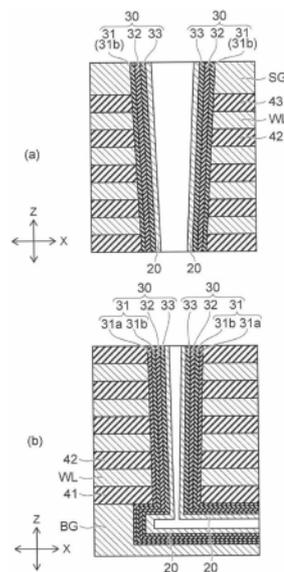
权利要求书4页 说明书14页 附图31页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

本发明的实施方式的半导体装置包含衬底、积层体、及柱状部。积层体设置在衬底上,且具有多个第1导电层及多个第1绝缘层。第1导电层与第1绝缘层沿着第1方向交替地设置。柱状部在积层体中沿着第1方向延伸,且包含阻挡层、电荷积蓄层、隧穿层、及半导体层。在与第1方向交叉的第2方向,阻挡层设置在多个第1导电层上及多个第1绝缘层上。电荷积蓄层设置在阻挡层上,隧穿层设置在电荷积蓄层上,半导体层设置在隧穿层上。柱状部包含第1部分、及相对于第1部分设置在衬底侧的第2部分。第2部分在第2方向的尺寸小于第1部分在第2方向的尺寸。阻挡层设置在第2部分的部分厚于阻挡层设置在第1部分的部分。



1. 一种半导体装置,具备:
 - 衬底;
 - 积层体,设置在所述衬底上,具有多个第1导电层与多个第1绝缘层,且所述第1导电层与所述第1绝缘层沿着第1方向交替地设置;及
 - 柱状部,在所述积层体中沿着所述第1方向延伸;且具有:
 - 阻挡层,在与所述第1方向交叉的第2方向,设置在多个所述第1导电层上及多个所述第1绝缘层上;
 - 电荷积蓄层,在所述第2方向设置在所述阻挡层上;
 - 隧穿层,在所述第2方向设置在所述电荷积蓄层上;及
 - 半导体层,在所述第2方向设置在所述隧穿层上;并且
 - 所述柱状部包含第1部分、及相对于所述第1部分设置在所述衬底侧的第2部分;
 - 所述第2部分在所述第2方向的尺寸小于所述第1部分在所述第2方向的尺寸;
 - 在所述第1部分,所述阻挡层的在所述第2方向与所述第1导电层重叠的位置的第1厚度,薄于所述阻挡层的在所述第2方向与所述第1绝缘层重叠的位置的第2厚度;
 - 在所述第2部分,所述阻挡层的所述第1厚度薄于所述阻挡层的所述第2厚度;
 - 所述阻挡层的所述第2部分的所述第1厚度厚于所述阻挡层的所述第1部分的所述第1厚度。
2. 根据权利要求1所述的半导体装置,还具备:
 - 第2导电层,厚于所述第1导电层;
 - 第2绝缘层,设置在所述第2导电层上;
 - 第3绝缘层;及
 - 第3导电层,设置在所述第3绝缘层上,且厚于所述第1导电层;并且所述积层体设置在所述第2绝缘层与所述第3绝缘层间;
 - 所述柱状部贯通所述第2绝缘层及所述第3绝缘层;
 - 所述阻挡层的在所述第2方向与所述第2绝缘层重叠的位置的厚度厚于所述阻挡层的在所述第2方向与所述第3绝缘层重叠的位置的厚度。
3. 根据权利要求2所述的半导体装置,还具备一部分设置在所述第2导电层与所述柱状部之间的连结部;且
 - 所述柱状部相对于1个所述连结部而设置有多个;
 - 所述阻挡层在所述连结部设置在所述第2导电层上;
 - 所述电荷积蓄层在所述连结部设置在所述阻挡层上;
 - 所述隧穿层在所述连结部设置在所述电荷积蓄层上;
 - 所述半导体层在所述连结部设置在所述隧穿层上;
 - 所述阻挡层在所述连结部的厚度厚于所述阻挡层在所述第1部分的所述第1厚度。
4. 根据权利要求3所述的半导体装置,还具备沿着所述第1方向延伸的绝缘部;且所述绝缘部设置在相对于1个所述连结部而设置的多个所述柱状部之间。
5. 根据权利要求1至4中任一项所述的半导体装置,其中所述阻挡层包含氧化硅或高介电常数材料。
6. 根据权利要求1至4中任一项所述的半导体装置,其中所述阻挡层具有:包含第1绝缘

材料的第1层、及包含第2绝缘材料的第2层；且

所述第1层设置在所述第1部分；

所述第2层设置在所述第1部分及所述第2部分。

7. 根据权利要求6所述的半导体装置，其中所述第1绝缘材料与所述第2绝缘材料相同。

8. 一种半导体装置，具备：

衬底；

积层体，设置在所述衬底上，具有多个第1导电层与多个第1绝缘层，且所述第1导电层与所述第1绝缘层沿着第1方向交替地设置；及

柱状部，在所述积层体中沿着所述第1方向延伸；且具有：

阻挡层，设置在多个所述第1导电层的侧面上及多个所述第1绝缘层侧面上；

电荷积蓄层，设置在所述阻挡层上；

隧穿层，设置在所述电荷积蓄层上；及

半导体层，设置在所述隧穿层上；并且

所述阻挡层包含第3部分、位于所述第3部分与所述衬底间的第4部分、第5部分、及位于所述第5部分与所述衬底间的第6部分；

所述第3部分与所述多个第1导电层的一部分在和所述第1方向交叉的第2方向重叠；

所述第4部分与所述多个第1导电层的另一部分在所述第2方向重叠；

所述第5部分与所述多个第1绝缘层的一部分在所述第2方向重叠；

所述第6部分与所述多个第1绝缘层的另一部分在所述第2方向重叠；

从所述第4部分在所述第2方向的一端到所述第4部分在所述第2方向的另一端的尺寸，小于从所述第3部分在所述第2方向的一端到所述第3部分在所述第2方向的另一端的尺寸；

所述阻挡层的所述第3部分的厚度，薄于所述阻挡层的所述第5部分的厚度；

所述阻挡层的所述第4部分的厚度，薄于所述阻挡层的所述第6部分的厚度；

所述第4部分的层的厚度大于所述第3部分的层的厚度。

9. 根据权利要求8所述的半导体装置，还具备：

第2导电层；及

第2绝缘层，在所述第2方向设置在所述第2导电层与所述多个第1导电层间及所述第2导电层与所述多个第1绝缘层间；并且

所述第4部分与所述第2导电层间在所述第2方向的距离长于所述第3部分与所述第2导电层间在所述第2方向的距离。

10. 根据权利要求8或9所述的半导体装置，其中所述阻挡层具有面向所述多个第1导电层及所述多个第1绝缘层的第1面；且

所述第1面在所述第3部分及所述第4部分朝向所述半导体层凹陷。

11. 根据权利要求10所述的半导体装置，其中所述第1面在所述第4部分比在所述第3部分更大程度凹陷。

12. 根据权利要求8或9所述的半导体装置，其中

所述第6部分在所述第2方向的尺寸小于所述第5部分在所述第2方向的尺寸；

所述第6部分在所述第2方向的厚度与所述第5部分在所述第2方向的厚度实质上相等。

13. 根据权利要求12所述的半导体装置，其中所述第6部分在所述第2方向的厚度大于

所述第4部分在所述第2方向的厚度。

14. 一种半导体装置的制造方法,具备以下步骤:

在衬底上使导电层与第1绝缘层交替地分别形成多个;

通过相对于具有多个所述导电层与多个所述第1绝缘层的积层体形成沿积层方向延伸的孔,而使多个所述导电层的侧面露出;

在多个所述导电层的侧面上形成阻挡层;

在相对于所述积层方向交叉的第1方向,在所述阻挡层上形成电荷积蓄层;

在所述第1方向,在所述电荷积蓄层上形成隧穿层;及

在所述第1方向,在所述隧穿层上形成半导体层;并且

在形成所述孔的步骤中,以所述积层体第1部分的所述孔在所述第1方向的尺寸大于相对于所述第1部分设置在所述衬底侧的所述积层体第2部分的所述孔在所述第1方向的尺寸的方式形成所述孔;

在形成所述阻挡层的步骤中,以形成于所述积层体的所述第2部分的所述阻挡层的厚度厚于形成于所述积层体的所述第1部分的所述阻挡层的厚度的方式形成所述阻挡层;

其中形成所述阻挡层的步骤具有以下步骤:

在多个所述导电层的侧面上形成包含绝缘材料的第1层;

通过去除所述第1层中形成于所述积层体的所述第1部分的部分,而使多个所述导电层的侧面露出;及

在形成于所述积层体的所述第2部分的所述第1层上、及所述积层体的所述第1部分的所述导电层的所述侧面上形成包含绝缘材料的第2层;且

所述阻挡层包含所述第1层与所述第2层。

15. 一种半导体装置的制造方法,具备以下步骤:

通过在衬底上使导电层与第1牺牲层交替地分别形成多个,而形成多个所述导电层隔着特定间隔设置而成的积层体;

在所述积层体中形成沿着积层方向延伸的第1孔;

在所述第1孔内形成第1绝缘层;

通过在所述积层体的形成有所述第1孔的部位以外的部位形成沿着所述积层方向延伸的第2孔,而使多个所述导电层的侧面露出;

经由所述第2孔去除多个所述第1牺牲层;

在被去除多个所述第1牺牲层的所述积层体的多个所述导电层间及多个所述导电层的侧面上形成阻挡层;

在相对于所述积层方向交叉的第1方向,在所述阻挡层上形成电荷积蓄层;

在所述第1方向,在所述电荷积蓄层上形成隧穿层;及

在所述第1方向,在所述隧穿层上形成半导体层;并且

在形成所述第2孔的步骤中,以所述积层体第1部分的直径大于相对于所述第1部分设置在所述衬底侧的所述积层体第2部分的直径的方式形成所述第2孔;

在形成所述阻挡层的步骤中,以形成于所述第2部分的厚度厚于形成于所述第1部分的厚度的方式形成所述阻挡层。

16. 根据权利要求15所述的半导体装置的制造方法,其中形成所述阻挡层的步骤具有

以下步骤：

在多个所述导电层的所述侧面上形成包含绝缘材料的第1层；

通过去除所述第1层中形成于所述积层体的所述第1部分的部分，而使所述第1部分的所述导电层的所述侧面露出；及

在形成于所述积层体的所述第2部分的所述第1层上、及所述积层体的所述第1部分的所述导电层的所述侧面上形成包含绝缘材料的第2层；且

所述阻挡层包含所述第1层与所述第2层。

17. 根据权利要求14或16所述的半导体装置的制造方法，其中所述第2层所包含的绝缘材料与所述第1层所包含的绝缘材料相同。

半导体装置及其制造方法

技术领域

[0001] 本发明的实施方式涉及一种半导体装置及其制造方法。

背景技术

[0002] 近年来,业界曾经提出将存储器单元三维集成的半导体装置。在这种半导体装置中,通过在绝缘层与导电层交替地积层而成的积层体中形成贯通孔,并在贯通孔的内面上形成可积蓄电荷的存储器层及硅层,而在硅层与导电层间形成存储器单元。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2010-45314号公报

发明内容

[0006] [发明所要解决的问题]

[0007] 本发明的目的在于提供一种向存储器层积蓄电荷时能够抑制存储器层劣化的半导体装置及其制造方法。

[0008] [解决问题的技术手段]

[0009] 本发明的实施方式的半导体装置包含衬底、积层体、及柱状部。

[0010] 所述积层体设置在所述衬底上。所述积层体具有多个第1导电层与多个第1绝缘层。所述第1导电层与所述第1绝缘层沿着第1方向交替地设置。

[0011] 所述柱状部在所述积层体中沿着所述第1方向延伸。所述柱状部包含阻挡层、电荷积蓄层、隧穿层、及半导体层。

[0012] 所述阻挡层在与所述第1方向交叉的第2方向设置在多个所述第1导电层上及多个所述第1绝缘层上。

[0013] 所述电荷积蓄层在所述第2方向设置在所述阻挡层上。

[0014] 所述隧穿层在所述第2方向设置在所述电荷积蓄层上。

[0015] 所述半导体层在所述第2方向设置在所述隧穿层上。

[0016] 所述柱状部包含第1部分、及相对于所述第1部分设置在所述衬底侧的第2部分。

[0017] 所述第2部分在所述第2方向的尺寸小于所述第1部分在所述第2方向的尺寸。

[0018] 所述阻挡层设置在所述第2部分的部分厚于所述阻挡层设置在所述第1部分的部分。

附图说明

[0019] 图1是实施方式的一例的半导体装置的剖视图。

[0020] 图2是实施方式的一例的半导体装置的立体图。

[0021] 图3(a)、(b)是实施方式的一例的半导体装置的局部放大剖视图。

[0022] 图4(a)、(b)、(c)是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。

- [0023] 图5(a)、(b)是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0024] 图6(a)、(b)是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0025] 图7(a)、(b)是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0026] 图8(a)、(b)是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0027] 图9(a)、(b)是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0028] 图10(a)、(b)是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0029] 图11是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0030] 图12(a)、(b)是表示实施方式的半导体装置的制造方法的另一例的步骤剖视图。
- [0031] 图13(a)、(b)是表示实施方式的半导体装置的制造方法的另一例的步骤剖视图。
- [0032] 图14(a)、(b)是表示实施方式的半导体装置的制造方法的另一例的步骤剖视图。
- [0033] 图15(a)、(b)是表示实施方式的半导体装置的制造方法的另一例的步骤剖视图。
- [0034] 图16(a)、(b)是表示实施方式的半导体装置的制造方法的另一例的步骤剖视图。
- [0035] 图17是表示实施方式的半导体装置的制造方法的另一例的步骤剖视图。
- [0036] 图18是实施方式的另一例的半导体装置的剖视图。
- [0037] 图19是另一实施方式的一例的半导体装置的立体图。
- [0038] 图20是另一实施方式的一例的半导体装置的剖视图。
- [0039] 图21(a)、(b)是将图20的一部分放大的剖视图。
- [0040] 图22是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0041] 图23是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0042] 图24是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0043] 图25是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0044] 图26是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0045] 图27(a)、(b)是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0046] 图28是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0047] 图29是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。
- [0048] 图30是表示另一实施方式的半导体装置的制造方法的另一例的步骤剖视图。
- [0049] 图31是表示另一实施方式的半导体装置的制造方法的另一例的步骤剖视图。

具体实施方式

[0050] 以下,针对本发明的各实施方式,一边参照附图一边进行说明。

[0051] 此外,附图是示意图或概念图,各部分的厚度与宽度的关系、部分间的大小比率等并不一定限定为与实物相同。此外,即便是表示相同部分的情况,也有根据附图而彼此的尺寸或比率不同地表示的情况。

[0052] 另外,在本申请的说明书与各图中,对与已经说明的要素相同的要素赋予相同的符号,且适当地省略详细说明。

[0053] 在各实施方式的说明中使用XYZ正交坐标系。将平行于衬底主面的方向且彼此正交的2个方向设为X方向及Y方向,将相对于这两个X方向及Y方向正交的方向设为Z方向。

[0054] 首先,使用图1~图3,针对实施方式的半导体装置1进行说明。

- [0055] 半导体装置1是例如能够电性地进行数据的删除、写入,且即便切断电源仍能够保持存储内容的非易失性半导体存储装置。
- [0056] 图1是实施方式的一例的半导体装置1的剖视图。
- [0057] 图2是实施方式的一例的半导体装置1的立体图。
- [0058] 图3是实施方式的一例的半导体装置1的局部放大剖视图。
- [0059] 此外,在图2中,为了便于观察图,针对绝缘部分省略图示。
- [0060] 如图1所示,在衬底10上设置有绝缘层40。
- [0061] 在绝缘层40上设置有背栅BG。
- [0062] 背栅BG为导电层,为例如添加有杂质的硅层。
- [0063] 在背栅BG上设置有绝缘层41。
- [0064] 在绝缘层41上设置有导电层WL与绝缘层42交替地积层多个而形成的积层体LS1。积层体LS1被绝缘部72分断为多段。
- [0065] 在包含导电层WL与绝缘层42的积层体LS1上设置有绝缘层43。
- [0066] 图1所示的导电层WL的层数为一例,导电层WL的层数为任意。
- [0067] 导电层WL为添加有例如硼作为杂质的多晶硅层(第1硅层),为了作为存储器单元的栅极电极发挥功能而具有充分的导电性。
- [0068] 绝缘层41、42、及43为例如主要包含氧化硅的层。或者,这些绝缘层可为主要包含氮化硅的层。
- [0069] 如图2所示,半导体装置1具有多个存储器串(memory string)MS。
- [0070] 1个存储器串MS具有2个柱状部CL、及连结2个柱状部CL各自下端的连结部JP。
- [0071] 柱状部CL以贯通多个导电层WL、多个绝缘层42、绝缘层41、及绝缘层43的方式沿多个导电层WL与多个绝缘层42的积层方向(Z方向)延伸。
- [0072] 柱状部CL例如在从Z方向观察时具有圆形。
- [0073] 连结部JP以位于背栅BG与柱状部CL间的方式设置。更详细地说,连结部JP的一部分设置在背栅BG的一部分与柱状部CL间。连结部JP的另一部分设置在背栅BG的一部分与另一柱状部CL间。连结部JP的又一部分设置在背栅BG的一部分与绝缘层41的一部分间。
- [0074] 另外,存储器串MS可仅由柱状部CL构成且具有I字状。此时,柱状部CL可以其下端位于背栅BG中的方式设置。
- [0075] 此外,当存储器串MS仅由柱状部CL构成且具有I字状时,可以柱状部CL与衬底10导通的方式构成半导体装置。
- [0076] 如图1所示,在绝缘层43上设置有作为导电层的选择栅极层。选择栅极层包含漏极侧选择栅极SGD及源极侧选择栅极SGS。
- [0077] 存储器串MS的2个柱状部CL中的一个柱状部CL的上端部连接于漏极侧选择栅极SGD。另一柱状部CL的上端部连接于源极侧选择栅极SGS。
- [0078] 选择栅极层为添加有例如硼作为杂质的多晶硅层,为了作为选择晶体管的栅极电极发挥功能而具有充分的导电性。选择栅极层的厚度例如厚于导电层WL各者的厚度。
- [0079] 漏极侧选择栅极SGD与源极侧选择栅极SGS被绝缘层74沿X方向分断。
- [0080] 在源极侧选择栅极SGS上设置有绝缘层44。在绝缘层44上设置有图2所示的源极线SL。源极线SL为例如金属层。

[0081] 源极线SL电连接在存储器串MS的2个柱状部CL中的连接有源极侧选择栅极SGS的柱状部CL的上端。

[0082] 在漏极侧选择栅极SGD及源极线SL上隔着未示出的绝缘层设置有多条位线BL。位线BL为例如金属层。

[0083] 位线BL电连接在存储器串MS的2个柱状部CL中的连接有漏极侧选择栅极SGD的柱状部CL的上端。

[0084] 存储器串MS具有沟道主体20。

[0085] 沟道主体20设置在存储孔MH内。存储孔MH形成为包含背栅BG、多个导电层WL、绝缘层41~44、漏极侧选择栅极SGD、及源极侧选择栅极SGS的积层结构，且具有U字形。

[0086] 沟道主体20包含例如含有非掺杂硅层的半导体层。此处，所谓非掺杂是表示并非特意在硅层添加赋予导电性的杂质，除起因于成膜时的原料气体的元素以外实质上不包含杂质。

[0087] 在存储孔MH的内壁与沟道主体20间设置有存储器层30。换句话说，沟道主体20夹着存储器层30而设置在存储孔MH内。

[0088] 此处，使用图3针对存储器串MS的详细结构进行说明。

[0089] 图3(a)是表示柱状部CL的上部的放大剖视图。图3(b)是表示柱状部CL的下部及连结部JP的一部分的放大剖视图。

[0090] 另外，在本说明书中，所谓柱状部CL的下部(第2部分)是意味着相对于柱状部CL的上部(第1部分)设置在衬底10侧的部分。

[0091] 柱状部CL具有存储器层30的一部分与沟道主体20的一部分。

[0092] 连结部JP也同样地具有存储器层30的一部分与沟道主体20的一部分。

[0093] 存储器层30具有：阻挡层31、电荷积蓄层32、及隧穿层33。

[0094] 阻挡层31在与Z方向交叉的方向设置在多个导电层WL上、绝缘层41上、绝缘层42上、及绝缘层43上。换句话说，阻挡层31设置在多个导电层WL的侧面上、多个绝缘层42的侧面上、绝缘层41的侧面上、及绝缘层43的侧面上。

[0095] 阻挡层31具有第1阻挡层31a、或者具有第1阻挡层31a及第2阻挡层31b。

[0096] 阻挡层31在连结部JP中，一部分设置在背栅BG上，另一部分设置在绝缘层41的下表面上。

[0097] 电荷积蓄层32在柱状部CL及连结部JP中设置在阻挡层31上。

[0098] 隧穿层33在柱状部CL及连结部JP中设置在电荷积蓄层32上。

[0099] 沟道主体20在柱状部CL及连结部JP中设置在隧穿层33上。

[0100] 换句话说，电荷积蓄层32设置在阻挡层31与隧穿层33间，隧穿层33设置在电荷积蓄层32与沟道主体20间。

[0101] 在图3所示的例中，在沟道主体20的内侧(存储孔MH的中心轴侧)形成有空洞部。

[0102] 但，存储器层30的内侧可完全被沟道主体20埋入。或者，可为在沟道主体20内侧的空洞部埋入绝缘物的结构。

[0103] 柱状部CL包含作为非易失性半导体存储装置的存储器单元。存储器单元为例如电荷捕获型存储器单元。

[0104] 沟道主体20作为形成有沟道的区域发挥功能。

- [0105] 导电层WL作为存储器单元的控制栅极发挥功能。
- [0106] 电荷积蓄层32作为积蓄从沟道主体20注入的电荷的数据存储器层发挥功能。
- [0107] 换句话说,在沟道主体20与各导电层WL的交叉部分形成有控制栅极包围沟道周围的结构存储器单元。
- [0108] 阻挡层31为绝缘层,防止在电荷积蓄层32中积蓄的电荷朝导电层WL扩散。构成阻挡层31的第1阻挡层31a及第2阻挡层31b为例如氧化硅层。
- [0109] 第1阻挡层31a及第2阻挡层31b还可为包含与氧化硅相比具有高介电常数的材料的层。例如可将氮化硅用作高介电常数材料。
- [0110] 第1阻挡层31a包含的绝缘材料可与第2阻挡层31b包含的绝缘材料不同。
- [0111] 但,为了抑制柱状部CL上部的存储器单元的特性与柱状部CL下部的存储器单元的特性间的特性不均一,优选的是第1阻挡层31a包含的绝缘材料与第2阻挡层31b包含的绝缘材料相同。
- [0112] 电荷积蓄层32具有多个捕获电荷的捕获部位。电荷积蓄层32为例如氮化硅层。
- [0113] 隧穿层33为绝缘层。隧穿层33在电荷从沟道主体20注入电荷积蓄层32时,或在电荷积蓄层32中积蓄的电荷朝沟道主体20扩散时作为垫垒发挥功能。隧穿层33为例如氧化硅层。
- [0114] 如图3(b)所示,在柱状部CL下部及连结部JP中,阻挡层31具有第1阻挡层31a与第2阻挡层31b。
- [0115] 相对于此,如图3(a)所示,柱状部CL上部的阻挡层31仅具有第2阻挡层31b。
- [0116] 因而,阻挡层31设置在柱状部CL下部的部分的厚度厚于设置在柱状部CL上部的部分的厚度。具体来说,阻挡层31中设置在柱状部CL下部的部分的从电荷积蓄层32朝向积层体LS1的方向的厚度厚于阻挡层31中设置在柱状部CL上部的部分的从电荷积蓄层32朝向积层体LS1的方向的厚度。
- [0117] 阻挡层31设置在绝缘层41上的部分的厚度厚于设置在绝缘层43上的部分的厚度。其它的表述为:阻挡层31中设置在绝缘层41上的部分的从电荷积蓄层32朝向积层体LS1的方向的厚度厚于阻挡层31中设置在绝缘层43上的部分的从电荷积蓄层32朝向积层体LS1的方向的厚度。
- [0118] 阻挡层31中的连结部JP包含的部分的厚度厚于阻挡层31中设置在柱状部CL上部的部分的厚度。其它的表述为:阻挡层31中的连结部JP包含的部分的从电荷积蓄层32朝向背栅BG的方向的厚度厚于阻挡层31中设置在柱状部CL上部的部分的从电荷积蓄层32朝向积层体LS1的方向的厚度。
- [0119] 存储孔MH的内壁相对于Z方向倾斜。因此,柱状部CL下部在X方向的尺寸小于柱状部CL上部在X方向的尺寸。
- [0120] 此外,在本实施方式中,柱状部CL下部在Y方向的尺寸也同样地小于柱状部CL上部在Y方向的尺寸。
- [0121] 如图2所示,漏极侧选择栅极SGD、沟道主体20的一部分、及存储器层30的一部分构成漏极侧选择晶体管STD。在漏极侧选择栅极SGD的上方,沟道主体20经由导体61a与位线BL连接。导体61a为掺杂有例如磷(P)的硅层。
- [0122] 源极侧选择栅极SGS、沟道主体20的一部分、及存储器层30的一部分构成源极侧选

择晶体管STS。在源极侧选择栅极SGS的上方,沟道主体20经由导体61a与源极线SL连接。

[0123] 背栅BG、沟道主体20设置在背栅BG内的部分、及存储器层30设置在背栅BG内的部分构成背栅晶体管BGT。

[0124] 在漏极侧选择晶体管STD与背栅晶体管BGT间设置有多个将各导电层WL作为控制栅极的存储器单元。同样地,在背栅晶体管BGT与源极侧选择晶体管STS间也设置有多个将各导电层WL作为控制栅极的存储器单元。

[0125] 这些多个存储器单元、漏极侧选择晶体管STD、背栅晶体管BGT及源极侧选择晶体管STS经由沟道主体20串联连接,而构成1个存储器串MS。通过这个存储器串MS沿X方向及Y方向排列有多个,而多个存储器单元沿X方向、Y方向及Z方向三维地设置。

[0126] (制造方法的一例)

[0127] 接着,参照图4~图11,针对本实施方式的半导体装置的制造方法的一例进行说明。

[0128] 图4~图11是表示实施方式的半导体装置的制造方法的一例的步骤剖视图。图4~图11与图1同样地表示沿X方向的截面。

[0129] 首先,在衬底10上形成绝缘层40及背栅BG。绝缘层40为氧化硅。背栅BG为添加有例如硼(B)的多晶硅层。

[0130] 接着,如图4(a)所示,在背栅BG上,利用光刻法形成抗蚀剂掩膜RM1。

[0131] 接着,如图4(b)所示,在背栅BG上形成槽51。槽51是通过使用抗蚀剂掩膜RM1加工背栅BG而形成。

[0132] 接着,如图4(c)所示,在槽51内埋入牺牲层46。牺牲层46为例如非掺杂硅层。

[0133] 接着,在背栅BG上及牺牲层46上形成绝缘层41。

[0134] 而后,在绝缘层41上交替地积层导电层WL与绝缘层42。通过该步骤而在绝缘层41上形成有积层体LS1。

[0135] 在图5(a)中表示此时的情况。

[0136] 此外,在图5~图11中,省略衬底10及绝缘层40。

[0137] 绝缘层40、背栅BG、绝缘层41、导电层WL、及绝缘层42利用例如CVD(Chemical Vapor Deposition,化学气相沉积)法形成。

[0138] 导电层WL为添加有例如作为杂质的硼(B)的多晶硅层。

[0139] 绝缘层42为例如氧化硅层。

[0140] 接着,在包含多个导电层WL及多个绝缘层42的积层体上形成槽。然后,通过使绝缘材料在该槽的内部堆积,而形成绝缘部72。然后,在最上层的导电层WL上形成绝缘层43。

[0141] 接着,在绝缘层43上形成选择栅极SG。最终,选择栅极SG的一部分成为漏极侧选择栅极SGD,选择栅极SG的另一部分成为源极侧选择栅极SGS。

[0142] 然后,在选择栅极SG上形成绝缘层44。

[0143] 在图5(b)中表示此时的情况。

[0144] 接着,如图6(a)所示,在直到所述步骤为止获得的积层结构中形成多个开口53。通过该步骤而形成有贯通积层体LS1的孔。开口53利用使用未示出的遮罩的例如RIE(Reactive Ion Etching,反应性离子蚀刻)法形成。

[0145] 此时,开口53的底部到达牺牲层46。换句话说,牺牲层46经由开口53露出。此时,在

1个牺牲层46上形成有2个开口53。

[0146] 此外,通过开口53的形成,而导电层WL的侧面及绝缘层42的侧面露出。

[0147] 开口53形成为锥形形状,下部在X方向及Y方向的尺寸小于上部在X方向及Y方向的尺寸。

[0148] 因此,在位于积层体LS1上部的导电层WL中形成的开口在X方向及Y方向的尺寸大于在位于积层体LS1下部的导电层WL中形成的开口在X方向及Y方向的尺寸。

[0149] 在形成开口53后,利用例如湿式蚀刻去除牺牲层46。可将例如KOH(氢氧化钾)溶液等碱性药液用作蚀刻液。

[0150] 碱性药液对硅层的蚀刻速率取决于硅层中掺杂的杂质的浓度。例如,若作为杂质的硼的浓度为 $1 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 以上,则蚀刻速率急剧降低,成为硼浓度为 $1 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以下时的数十分之一。

[0151] 根据本实施方式,背栅BG、导电层WL及选择栅极SG的硼浓度为 $1 \times 10^{21} \text{ (cm}^{-3}\text{)} \sim 2 \times 10^{21} \text{ (cm}^{-3}\text{)}$ 。在使用碱性药液的湿式蚀刻中,硼浓度为 $1 \times 10^{21} \text{ (cm}^{-3}\text{)} \sim 2 \times 10^{21} \text{ (cm}^{-3}\text{)}$ 的硅层对非掺杂硅层的蚀刻选择比为 $1/1000 \sim 1/100$ 。

[0152] 因而,如图6(b)所示,非掺杂硅层的牺牲层46经由开口53利用湿式蚀刻被选择性地去除。

[0153] 通过去除牺牲层46而在之前的步骤中在背栅BG形成的槽51再次出现。通过该步骤而在1个牺牲层46上形成的2个开口53与1个共通的槽51连接,而形成1个U字状的存储孔MH。

[0154] 接着,如图7(a)所示,在存储孔MH的内壁、即在导电层WL的侧面上、绝缘层42的侧面上、及槽51的内壁上形成第1阻挡层31a。第1阻挡层31a为例如氧化硅。此处,例如,第1阻挡层31a可利用原子层沉积(Atomic Layer Deposition:ALD)法、或化学气相沉积(chemical vapor deposition:CVD)法形成。

[0155] 接着,在形成有第1阻挡层31a的存储孔MH内埋入光致抗蚀剂。然后,去除存储孔MH内的光致抗蚀剂的上部,而形成仅设置在如图7(b)所示的存储孔MH内的下部的抗蚀剂掩膜RM2。

[0156] 光致抗蚀剂的上部的去除是使用例如氧等离子体而进行。

[0157] 此时,抗蚀剂掩膜RM2设置在槽51内部、及开口53内的下部。换句话说,第1阻挡层31a中设置在包含导电层WL与绝缘层42的积层体LS1上部的部分未被抗蚀剂掩膜RM2覆盖而露出。

[0158] 此外,图7(b)所示的抗蚀剂掩膜RM2的上端的位置为一例。抗蚀剂掩膜RM2的上端的位置可相应于设置在积层体LS1开口的上部在X方向及Y方向的尺寸与下部在X方向及Y方向的尺寸的差而适当地设定。或者,抗蚀剂掩膜RM2的上端的位置还可相应于积层体LS1开口的上部的锥角与下部的锥角的差等而变更。

[0159] 接着,如图8(a)所示,利用例如CDE(Cheical Dry Etching,化学干式蚀刻)法去除阻挡层31a中的未被抗蚀剂掩膜RM2覆盖的部分。作为CDE法所使用的反应性气体,可使用例如 CF_4 (fluorocarbon,碳氟化合物)。

[0160] 通过该步骤而形成仅覆盖包含导电层WL与绝缘层42的积层体LS1中的下部的阻挡层31a。此外,此时,积层体LS1上部的导电层WL的侧面及绝缘层42的侧面再次露出。

[0161] 接着,如图8(b)所示,去除抗蚀剂掩膜RM2。抗蚀剂掩膜RM2的去除是使用氧等离子

体进行的。

[0162] 接着,如图9(a)所示,在存储孔MH内形成第2阻挡层31b。在积层体LS1的下部中,第2阻挡层31b形成于第1阻挡层31a上。在积层体LS1的上部中,第2阻挡层31b在开口53的内壁上、即在第1阻挡层31a被去除而露出的导电层WL的侧面上形成。第2阻挡层31b为例如氧化硅。此处,例如,第2阻挡层31b可利用ALD法、或CVD法形成。

[0163] 通过该步骤而形成阻挡层31,所述阻挡层31形成于积层体LS1下部的部分的厚度厚于形成于积层体LS1上部的部分的厚度。

[0164] 接着,如图9(b)所示,通过在第2阻挡层31b上依次形成电荷积蓄层32及隧穿层33,而在存储孔MH内壁上形成有存储器层30。

[0165] 接着,如图10(a)所示,通过在开口53内及槽51内的存储器层30的内侧形成非掺杂硅层而形成沟道主体20。

[0166] 此时,开口53内及槽51内例如可如图3所示未被沟道主体20填埋,而在孔中心轴侧形成有间隙(空洞)。

[0167] 接着,在形成沟道主体20后,利用回蚀去除开口53内的沟道主体20的上部。

[0168] 而后,如图10(b)所示,在沟道主体20上及绝缘层44上形成掺杂有杂质的多晶硅层61。在多晶硅层61中,作为杂质掺杂有例如磷(P)。

[0169] 此时,多晶硅层61的一部分作为导体61a被埋入沟道主体20的上部。

[0170] 接着,如图11所示,去除绝缘层44上的多晶硅层61。此时,多晶硅层61以残留导体61a的方式被去除。

[0171] 然后,通过在绝缘层44上形成图2所示的源极线SL及位线BL而获得半导体装置1。

[0172] 沟道主体20经由导体61a与位线BL或源极线SL连接,作为存储器单元的沟道发挥功能。

[0173] 此外,在所述的制造方法的一例中,为了仅去除第1阻挡层31a的上部,而使用抗蚀剂掩膜RM2。然而,并不限于此,可在形成第1阻挡层31a后,在不形成抗蚀剂掩膜RM2的情况下通过实施CDE法而仅去除第1阻挡层31a的上部。

[0174] 此时,通过调整进行CDE法时处理室内的压力等,而可去除第1阻挡层31a中设置在积层体LS1的上部的部分。

[0175] (制造方法的另一例)

[0176] 接着,参照图12~图18,针对实施方式的半导体装置的制造方法的另一例进行说明。

[0177] 图12~图17是表示实施方式的半导体装置的制造方法的另一例的步骤剖视图。图18是实施方式的另一例的半导体装置1a的剖视图。图12~图18表示沿X方向的截面。

[0178] 此外,针对相对于被赋予与上述制造方法相同的符号的要素可应用相同的工艺的步骤,适当地省略说明。

[0179] 首先,实施与图4(a)~(c)所示的步骤相同的步骤。

[0180] 接着,在背栅BG上及牺牲层46上形成绝缘层41。

[0181] 然后,在绝缘层41上交替地积层导电层WL与非掺杂硅层47。通过该步骤而形成多个导电层隔着特定间隔设置而成的积层体LS2。

[0182] 在图12(a)中表示此时的情况。

- [0183] 绝缘层40、背栅BG、绝缘层41、导电层WL、及非掺杂硅层47利用例如CVD法形成。
- [0184] 导电层WL为添加有例如硼(B)作为杂质的多晶硅层。
- [0185] 非掺杂硅层47并非特意在硅层添加赋予导电性的杂质,除起因于成膜时的原料气体的元素以外实质上不包含杂质。
- [0186] 非掺杂硅层47作为牺牲层发挥功能,在后述的步骤中最终被绝缘层42置换。非掺杂硅层47的厚度是以绝缘层42针对各导电层WL间的耐压确保具有充分的厚度的方式被决定。
- [0187] 在形成图12(a)所示的积层结构后,利用光刻法及RIE法形成到达绝缘层41的槽。
- [0188] 而后,在该槽内,如图12(b)所示形成绝缘部72。绝缘部72包含例如氧化硅或氮化硅。
- [0189] 接着,在最上层的导电层WL上依次形成绝缘层43、选择栅极SG、及绝缘层44。
- [0190] 在图13(a)中表示此时的情况。
- [0191] 接着,如图13(b)所示,在直到所述步骤为止获得的积层结构中,利用RIE法形成多个开口53。此时,在1个牺牲层46上形成有2个开口53。
- [0192] 开口53是以绝缘部72位于对应于1个牺牲层46而设置的2个开口53间的方式形成。此时,在开口53的侧壁上,导电层WL及非掺杂硅层47的侧面露出。
- [0193] 在形成开口53后,利用例如湿式蚀刻去除牺牲层46及非掺杂硅层47。将例如KOH溶液等的碱性药液用作此时的蚀刻液。
- [0194] 在图14(a)中表示此时的情况。
- [0195] 此时,导电层WL在Z方向隔着空隙48而设置,并被绝缘部72支承。换句话说,积层体LS2被绝缘部72支撑。
- [0196] 接着,如图14(b)所示,在相邻的导电层WL间、导电层WL的侧面上、及槽51的内壁上形成第1阻挡层31a。此处,例如,第1阻挡层31a可利用ALD法、或CVD法形成。
- [0197] 接着,在形成有第1阻挡层31a的存储孔MH内形成光致抗蚀剂。其后,如图15(a)所示,形成抗蚀剂掩膜RM2。
- [0198] 接着,如图15(b)所示,利用例如CDE法去除阻挡层31a中的未被抗蚀剂掩膜RM2覆盖的部分。
- [0199] 通过该步骤而形成仅覆盖积层体LS2下部的导电层的侧面的阻挡层31a。此时,积层体LS2上部的导电层WL的侧面再次露出。且,设置在积层体LS2上部的导电层WL间的阻挡层31a也被去除,而空隙48再次出现。
- [0200] 接着,如图16(a)所示,去除抗蚀剂掩膜RM2。
- [0201] 接着,如图16(b)所示,在存储孔MH内形成第2阻挡层31b。第2阻挡层31b的一部分形成于第1阻挡层31a上。第2阻挡层31b的另一部分在相邻的导电层WL间、及第1阻挡层31a被去除而露出的导电层WL的侧面上形成。此处,例如,第2阻挡层31b可利用ALD法、或CVD法形成。
- [0202] 通过该步骤而形成阻挡层31,所述阻挡层31在设置在积层体LS2上部的导电层WL的侧面上形成的部分的厚度厚于在设置在积层体LS2的下部的导电层WL的侧面上形成的部分的厚度。
- [0203] 接着,如图17(a)所示,通过在阻挡层31上形成电荷积蓄层32与隧穿层33而形成存

储器层30。

[0204] 此外,在空隙48间,除阻挡层31以外,还可设置电荷积蓄层32或隧穿层33。

[0205] 相应于空隙48的高度或构成存储器层30的各层的厚度,而也有空隙48仅被阻挡层31填埋的情况,还有在空隙48中将包含阻挡层31与电荷积蓄层32的积层膜、或包含阻挡层31、电荷积蓄层32、及隧穿层33的积层膜作为绝缘层42埋入的情况。

[0206] 积层体L2的下部的空隙48也是如此,除第1阻挡层31a以外,还可被第2阻挡层31b或第2阻挡层31b与电荷积蓄层32的积层膜等埋入。

[0207] 然后,实施与图10及图11所示的步骤相同的步骤,通过形成沟道主体20、导体61a、源极线SL、及位线BL,而获得图18所示的半导体装置1a。

[0208] 另外,由于在此处所描述的制造方法的例中形成有绝缘部72,故利用本制造方法制作的半导体装置1a与利用之前描述的制造方法制作的半导体装置1在具有绝缘部72这一方面不同。

[0209] 绝缘部72如图18所示位于相对于1个连结部JP而设置的多个柱状部CL间。

[0210] 接着,针对本实施方式的半导体装置的作用及效果进行说明。

[0211] 在本实施方式的半导体装置中,柱状部CL若从Z方向观察则具有例如圆形,柱状部CL的下部在X方向或Y方向的尺寸(以下简单地称为尺寸)小于柱状部CL上部的尺寸。而且,在该半导体装置中,阻挡层31设置在柱状部CL下部的部分的厚度厚于设置在柱状部CL上部的部分的厚度。

[0212] 此处,作为本实施方式的半导体装置1的比较例,考虑柱状部CL下部的尺寸小于柱状部CL上部的尺寸,且设置在柱状部CL下部的阻挡层31的厚度与设置在柱状部CL上部的阻挡层31的厚度相等的半导体装置。此外,比较例的半导体装置也是如此,柱状部CL设定为当从Z方向观察时为圆形。

[0213] 在该比较例的半导体装置中,当在各导电层WL与沟道主体20间施加电压而在电荷积蓄层32进行信息的存储(电荷的积蓄)时,由于柱状部CL下部的尺寸小于柱状部CL上部的尺寸,故被施加到柱状部CL下部的电场强度大于被施加到柱状部CL上部的电场强度。

[0214] 若被施加超过电荷的积蓄所需的电场强度的电场,则容易发生存储器层30的劣化,例如隧穿层33的绝缘破坏等。结果为,容易发生半导体装置1的动作不良,而可靠性降低。

[0215] 换句话说,在所述的比较例的半导体装置中,由于在柱状部CL的下部被施加超过信息的存储所需的电场强度的电场,故发生存储器层30的劣化等的可能性变高。

[0216] 相对于此,通过使设置在柱状部CL的部的阻挡层31的厚度厚于设置在柱状部CL上部的阻挡层31的厚度,而可减弱柱状部CL的下部的电场强度。

[0217] 因而,根据本实施方式,在进行电荷朝存储器层30的电荷积蓄层32的积蓄时,可抑制存储器层30的劣化。

[0218] 此外,为了减小被施加到柱状部CL下部的电场强度,还可考虑在柱状部CL的下部,替代阻挡层31而使隧穿层33的厚度增厚。

[0219] 然而,电压被施加到导电层WL时通过隧穿层33的电子的量大幅度受到隧穿层33的厚度的影响。因而,为了抑制柱状部CL上部的存储器单元与柱状部CL下部的存储器单元间的特性的不均一,优选的是在柱状部CL的下部,不是使隧穿层33而是使阻挡层31的厚度增

厚。

[0220] 使用图19~图21,针对另一实施方式的半导体装置1b进行说明。

[0221] 图19是另一实施方式的一例的半导体装置的立体图。

[0222] 图20是另一实施方式的一例的半导体装置的剖视图。

[0223] 图21是将图20的一部分放大的剖视图。

[0224] 如图19~图21所示,本实施方式的半导体装置1b包含:衬底10、积层体15、源极电极层17、绝缘层18、绝缘部件19、导体61a及61b、柱状部CL、源极线SL、及位线BL。

[0225] 设置在衬底10上的积层体15包含:氧化硅层11、氧化硅层12、及导电层13。氧化硅层12及导电层13在氧化硅层11上沿Z方向交替地设置。源极电极层17的下端连接于衬底10。积层体15及源极电极层17在Y方向交替地设置。

[0226] 在积层体15与源极电极层17间,如图20所示,设置有绝缘层18。绝缘层18包含例如氧化硅。柱状部CL在积层体15中沿Z方向延伸。柱状部CL的沟道主体20的下端连接于衬底10。沟道主体20的上端露出在积层体15的上表面。

[0227] 源极线SL及位线BL设置在积层体15上。位线BL在X方向设置有多条。源极线SL及多个位线BL沿Y方向延伸。源极线SL位于比位线BL更靠上方。

[0228] 源极线SL经由导体61b连接于源极电极层17的上端。位线BL经由导体61a连接于沟道主体20的上端。因此,在位线BL与源极线SL间,电流可经由导体61a、沟道主体20、衬底10、源极电极层17、及导体61b而流动。各个沟道主体20在位线BL与源极线SL间被连接。

[0229] 在积层体15中,从上侧起1个或多个导电层13作为上部选择栅极线SGD发挥功能。在上部选择栅极线SGD与柱状部CL的交叉部分的各个位置构成上部选择栅极晶体管STD。

[0230] 从下侧起1个或多个导电层13作为下部选择栅极线SGS发挥功能。在下部选择栅极线SGS与柱状部CL的交叉部分的各个位置构成下部选择栅极晶体管STS。

[0231] 下部选择栅极线SGS及上部选择栅极线SGD以外的导电层13作为字线WL发挥功能。在字线WL与柱状部CL的交叉部分的各个位置构成存储器单元晶体管MC。多个存储器单元晶体管MC沿各个沟道主体20串联连接,在其两端连接有下部选择栅极晶体管STS及上部选择栅极晶体管STD。借此,构成NAND串。

[0232] 绝缘部件19的一部分设置在积层体15的上部中,沿X方向延伸。绝缘部件19的该一部分在Y方向位于各个导电层13间。绝缘部件19包含例如氧化硅。绝缘部件19未到达作为字线WL发挥功能的导电层13。因而,在某1条字线WL上配置有排列为相同高度的2条上部选择栅极线SGD。换句话说,绝缘部件19设置在排列为相同高度的2条上部选择栅极线SGD间。

[0233] 图21(a)表示将柱状部CL的上部放大的剖视图,图21(b)表示将柱状部CL的下部放大的剖视图。

[0234] 在半导体装置1b中,与半导体装置1同样地,存储器层30包含阻挡层31、电荷积蓄层32、及隧穿层33。

[0235] 如图20所示,柱状部CL的下部的宽度窄于柱状部CL的上部的宽度。换句话说,如图21(a)及21(b)所示,阻挡层31的下部的宽度窄于阻挡层31的上部的宽度。此处,宽度意味着X方向的尺寸或Y方向的尺寸。

[0236] 此外,如图20所示,某1个柱状部CL的上部与金属层17间在Y方向的距离D1长于该1个柱状部CL的下部与绝缘层18间在Y方向的距离D2。换句话说,某1个阻挡层31的上部与绝

缘层18间在Y方向的距离长于该1个阻挡层31的下部与绝缘层18间在Y方向的距离。

[0237] 如图21 (a)所示,在柱状部CL的上部,阻挡层31的外周面在设置有导电层13的位置朝向柱状部CL的内侧凹陷。换句话说,在柱状部CL的上部,在X方向及Y方向与导电层13重叠的位置的阻挡层31的厚度T1薄于在X方向及Y方向与氧化硅层12重叠的位置的阻挡层31的厚度T2。

[0238] 如图21 (b)所示,在柱状部CL的下部也同样地,阻挡层31的外周面在设置有导电层13的位置朝向柱状部CL的内侧凹陷。换句话说,在柱状部CL的下部,在X方向及Y方向与导电层13重叠的位置的阻挡层31的厚度T3薄于在X方向及Y方向与氧化硅层12重叠的位置的阻挡层31的厚度T4。

[0239] 厚度T2实质上与厚度T4相同。柱状部CL上部的阻挡层31的凹洼大于柱状部CL下部的阻挡层31的凹洼。换句话说,厚度T3厚于厚度T1。

[0240] 图22~图29是表示另一实施方式的半导体装置的制造方法的一例的步骤剖视图。

[0241] 图22~图26、图28、及图29表示相当于图20的截面。

[0242] 图27 (a)表示将图26的区域C放大的剖视图,图27 (b)表示将图26的区域D放大的剖视图。

[0243] 在衬底10上形成氧化硅层11。将氧化硅层12及氮化硅层51在氧化硅层11的上交替地形成,而如图22所示形成积层体15。

[0244] 在积层体15上利用光刻法形成未示出的抗蚀剂掩膜(未示出)。使用该抗蚀剂掩膜实施RIE等的各向异性蚀刻。因此,如图23所示,在积层体15形成存储孔55。存储孔55的形状为沿Z方向延伸的大致圆柱形。存储孔55在X方向的尺寸及Y方向的尺寸从积层体15的上部朝向下部逐渐减小。衬底10露出在存储孔55的底面。

[0245] 在存储孔55的内壁面依次形成阻挡层31、电荷积蓄层32、及隧穿层33。使硅层在隧穿层33的内侧堆积而形成沟道主体20。因此,如图24所示,在存储孔55内形成包含沟道主体20及存储器层30的柱状部CL。

[0246] 如图25所示,在积层体15形成狭槽56。狭槽56在设置有柱状部CL的位置以外形成。狭槽56沿X方向及Z方向延伸。

[0247] 柱状部CL下部的宽度宽于柱状部CL上部的宽度。因此,柱状部CL的下部与狭槽56间在Y方向的距离长于柱状部CL的上部与狭槽56间在Y方向的距离。

[0248] 狭槽56的形状并不限定于图25所示的例。狭槽56的下部的宽度可窄于狭槽56的上部的宽度。此时,柱状部CL的下部与狭槽56间在Y方向的距离比柱状部CL的上部与狭槽56间在Y方向的距离进一步变长。

[0249] 如图26所示,通过进行使用例如热磷酸的湿式蚀刻,而经由狭槽56去除氮化硅层51。因此,在氮化硅层51彼此间形成空间59。

[0250] 柱状部CL的上部比柱状部CL的下部更靠近狭槽56。因此,在湿式蚀刻中,柱状部CL的上部比柱状部CL的下部更早地浸渍于热磷酸。在图27中表示此时的具体情况。

[0251] 在如图27 (a)所示积层体15上部的氮化硅层51被去除时,如图27 (b)所示积层体15的下部的氮化硅层51并未完全被去除。这是因为柱状部CL的下部与狭槽56间在Y方向的氮化硅层51的厚度大于柱状部CL的上部与狭槽56间在Y方向的氮化硅层51的厚度。

[0252] 在从积层体15上部的氮化硅层51被去除起直到积层体15的下部的氮化硅层51被

去除为止的期间内,柱状部CL上部的阻挡层31的外周面浸渍于热磷酸而被蚀刻。结果为,如图21(a)及图21(b)所示,柱状部CL的下部的阻挡层31的一部分的厚度大于柱状部CL上部的阻挡层31的一部分的厚度。

[0253] 经由狭槽56,利用CVD使钨在空间59堆积。可在钨与存储器层30间及钨与氧化硅层12间形成势垒金属等。当使钨在空间59堆积时,去除在狭槽56堆积的钨。因此,如图28所示,在氧化硅层12彼此间形成有导电层13。

[0254] 使氧化硅堆积而在狭槽56的侧面上形成绝缘层18。如图29所示,使钨等的导电材料在狭槽56内堆积,而形成源极电极层17。

[0255] 如图19所示,在柱状部CL上形成导体61a,且在源极电极层17上形成导体61b。形成沿Y方向延伸的位线BL,并连接于导体61a。形成沿Y方向延伸的源极线SL,并连接于导体61b。利用以上步骤来制造本实施方式的半导体装置1b。

[0256] 如上所述,在本实施方式中,在与导电层13重叠的位置,柱状部CL的下部的阻挡层31的厚度大于柱状部CL上部的阻挡层31的厚度。因此,在本实施方式中也是如此,当在电荷积蓄层32进行信息的存储时,可减弱柱状部CL的下部的电场强度。

[0257] 此外,根据本实施方式,能够减小上部与柱状部CL的下部之间的电场强度的差。因此,能够减小朝柱状部CL上部的电荷积蓄层32的写入电压与朝柱状部CL下部的电荷积蓄层32的写入电压的差,而提高写入速度。

[0258] 在本实施方式的半导体装置1b中,柱状部CL的宽度从上方朝下方逐渐减小,同样地,与导电层13重叠的柱状部CL的阻挡层31的厚度从上方朝下方逐渐增加。因此,根据本实施方式的半导体装置1b,与半导体装置1相比,可进一步减小柱状部CL的各部的电场强度的不均一。

[0259] 图30及图31是表示另一实施方式的半导体装置的制造步骤另一例的步骤剖视图。

[0260] 图30~图31表示相当于图20的截面。

[0261] 进行与图22~图25所示的步骤相同的步骤,在积层体15形成狭槽56。如图29所示,在狭槽56内形成氮化硅层57,并将狭槽56埋入。

[0262] 狭槽56的形状并不限于图29所示的例。狭槽56上部的宽度可宽于狭槽56下部的宽度。此时,能够将柱状部CL的下部与狭槽56间在Y方向的距离比柱状部CL的上部与狭槽56间在Y方向的距离进一步变长。

[0263] 通过进行使用例如热磷酸的湿式蚀刻,而去除氮化硅层52及氮化硅层57。若积层体15浸渍于蚀刻液,则从氮化硅层57的上部进行蚀刻。伴随着蚀刻的进行,而之前形成的狭槽56出现,氮化硅层52相对于蚀刻液露出。已露出的氮化硅层52经由狭槽56而被蚀刻。换句话说,在从位于上方的氮化硅层52起依次经由狭槽56逐渐被蚀刻。

[0264] 图30表示积层体15上部的氮化硅层52已被去除时的情况。此时,在积层体15的下部残存有氮化硅层52。在图30的状态后,在氮化硅层52在积层体15的下部被蚀刻的期间内,柱状部CL上部的存储器层30(阻挡层31)逐渐被热磷酸蚀刻。因此,柱状部CL上部的阻挡层31的一部分的厚度小于柱状部CL下部的阻挡层31的一部分的厚度。

[0265] 在去除积层体15下部的氮化硅层52后,与之前说明的制造方法同样地,通过形成导电层13、绝缘层18、源极电极层17、导体61a、导体61b、位线BL、及源极线SL,而制造半导体装置1b。

[0266] 根据所述的制造方法,可将柱状部CL下部的阻挡层31的与电极层13重叠的部分的厚度比柱状部CL上部的阻挡层31的与电极层13重叠的部分的厚度进一步增大。因此,即便当湿式蚀刻时对阻挡层31的氮化硅层52的选择比为大时,仍能够加大柱状部CL上部的阻挡层31的蚀刻量。结果为,能够容易地使柱状部CL下部的阻挡层31的与电极层13重叠的部分的厚度大于柱状部CL上部的阻挡层31的与电极层13重叠的部分的厚度。

[0267] 以上,虽然说明了本发明的若干个实施方式,但这些实施方式是作为例子而提出,并非意图限定发明的范围。这些新颖的实施方式可以其它各种方式实施,在不脱离本发明的要旨的范围内可进行各种省略、置换、变更。这些实施方式及其变化包含于本发明的范围及要旨内,且包含于权利要求范围所述的本发明及其等效物的范围内。此外,所述的各实施方式可相互组合而实施。

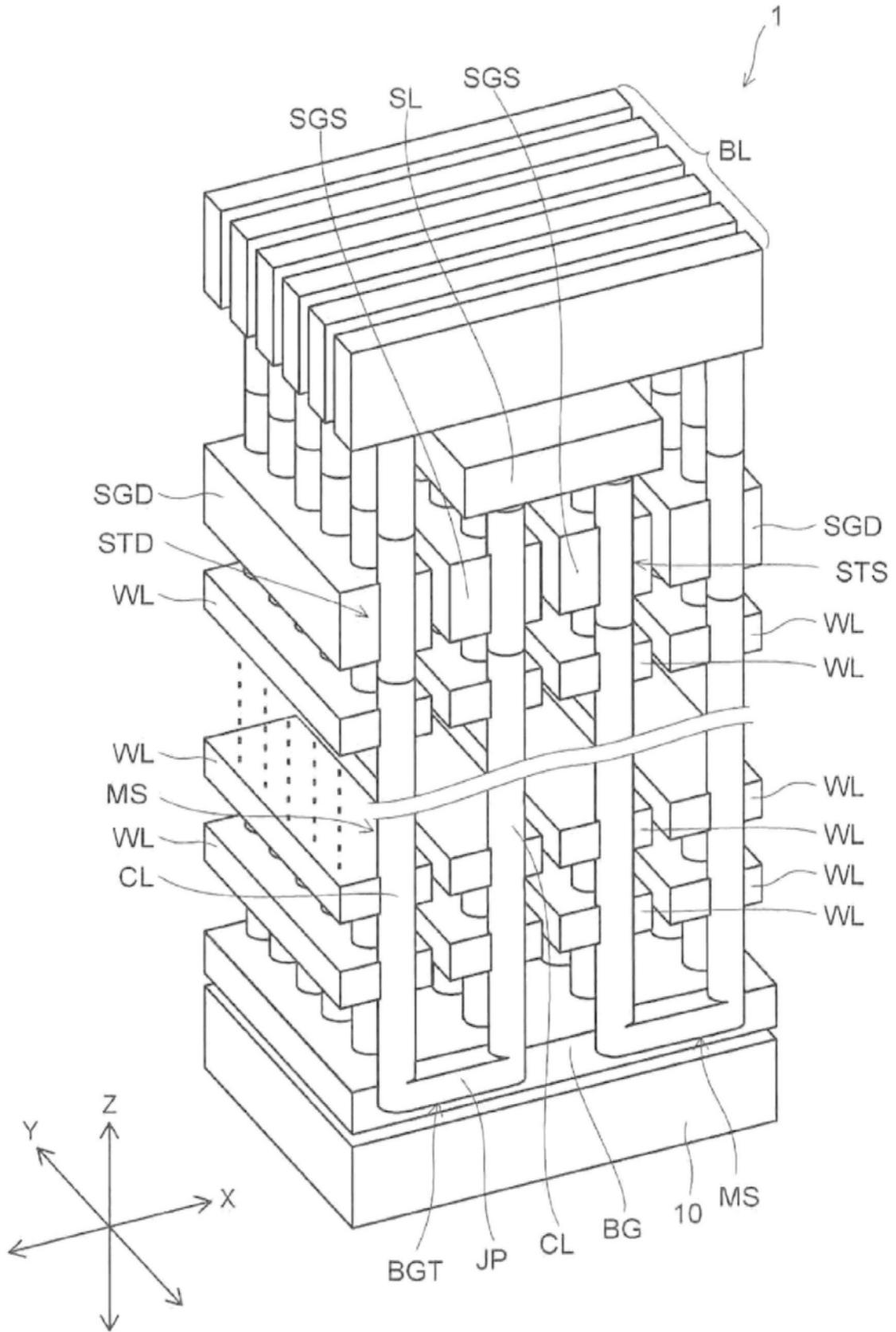


图2

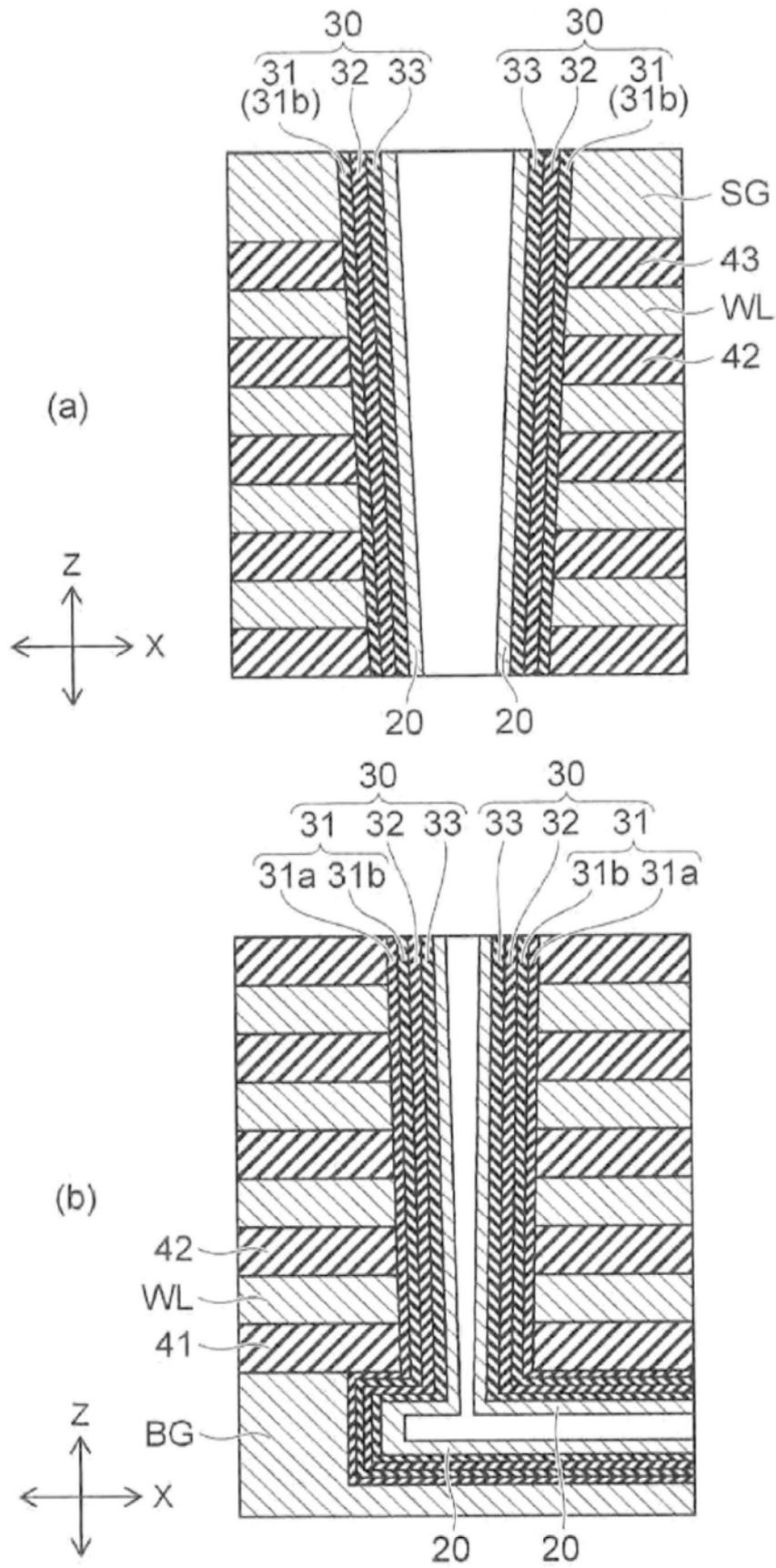


图3

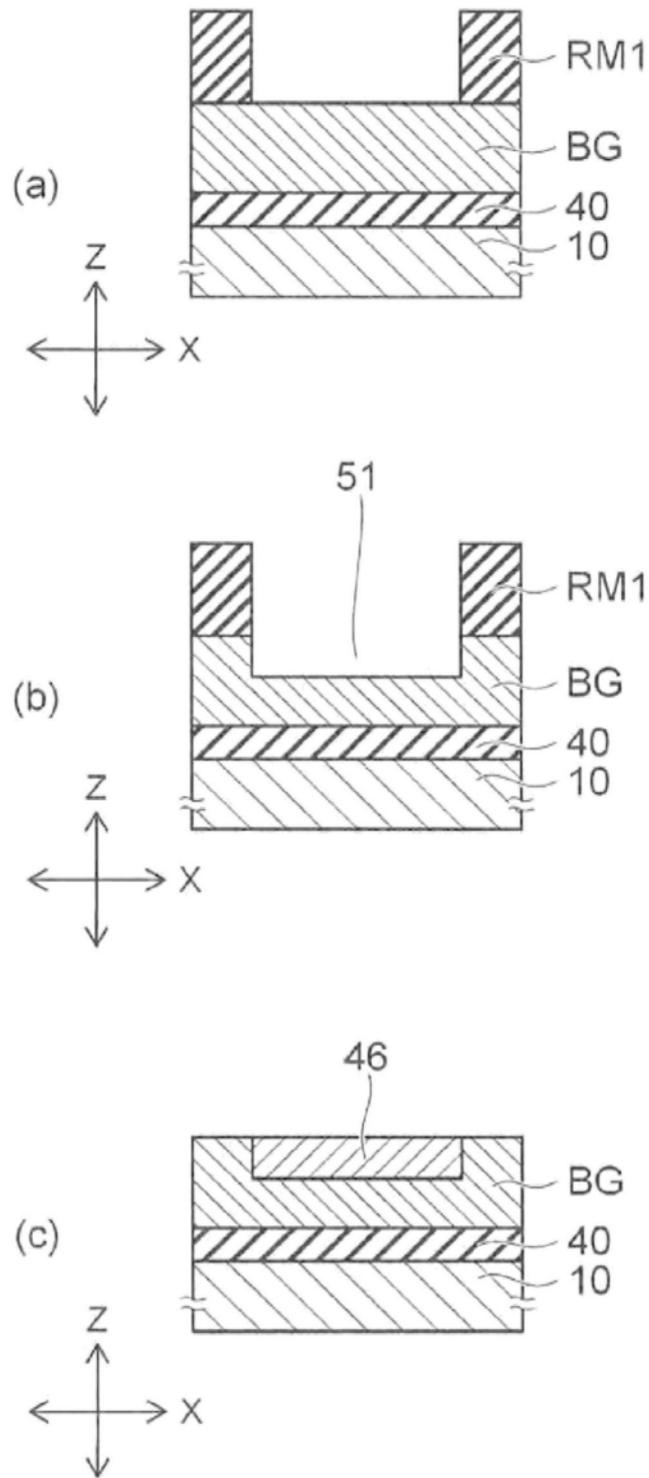


图4

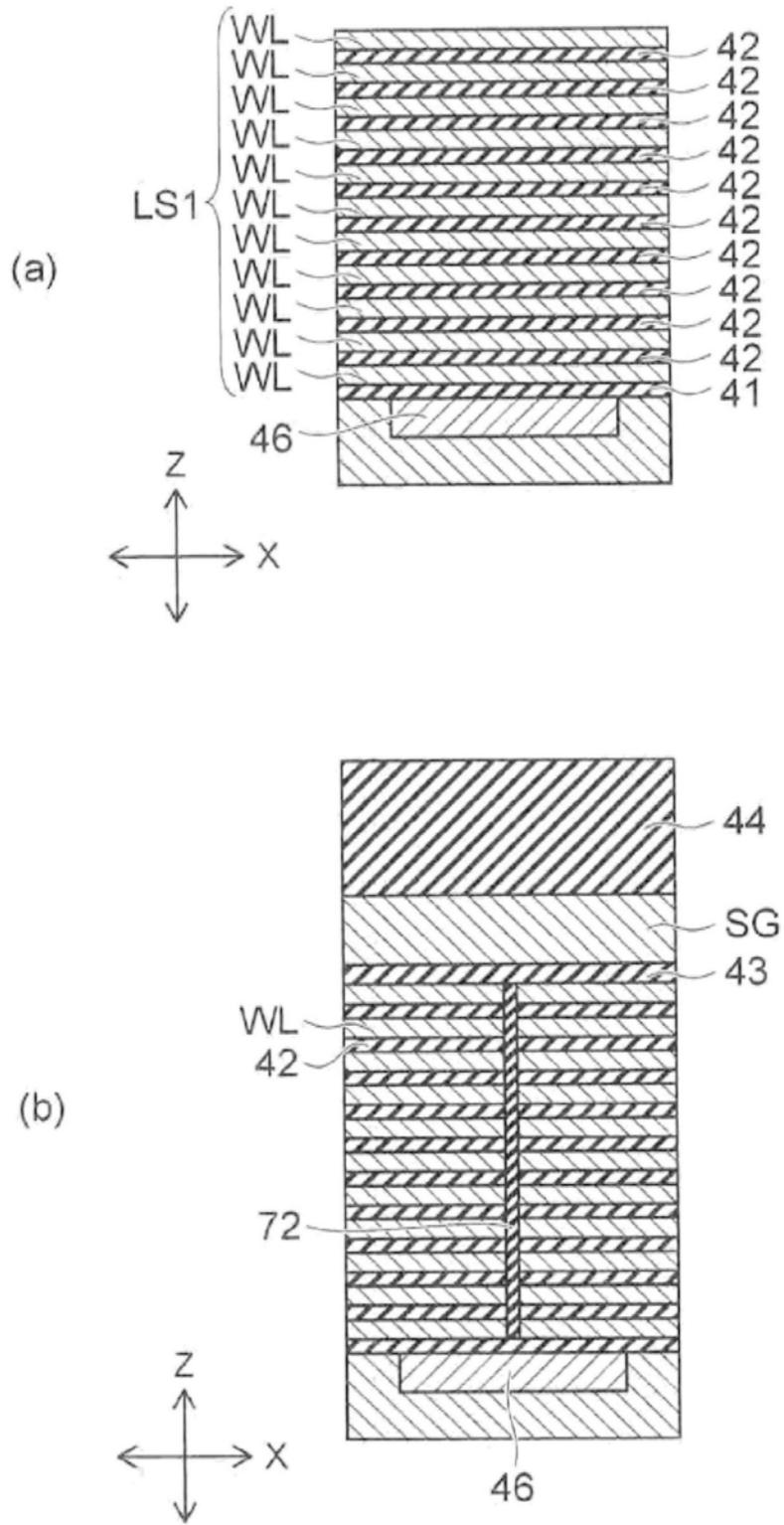


图5

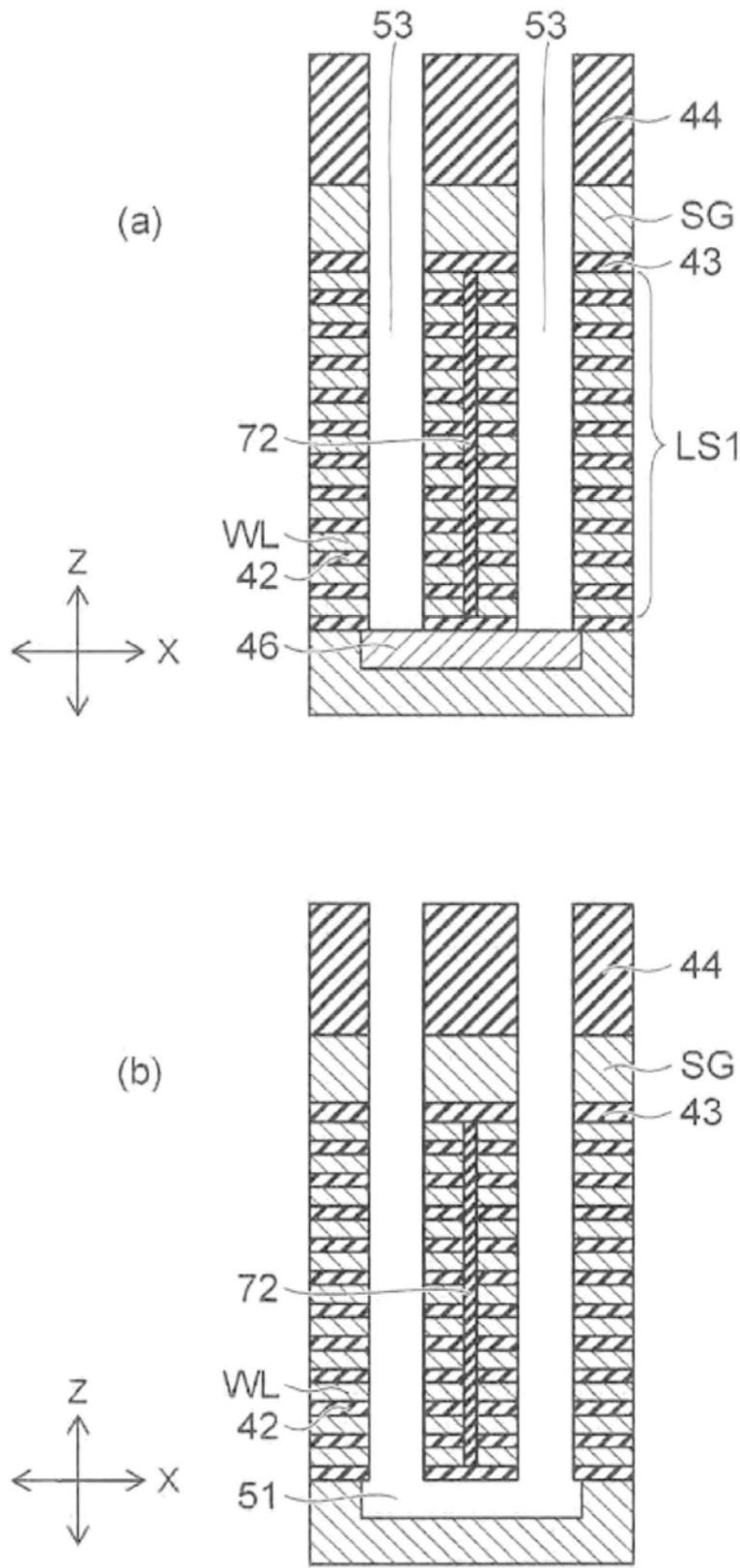


图6

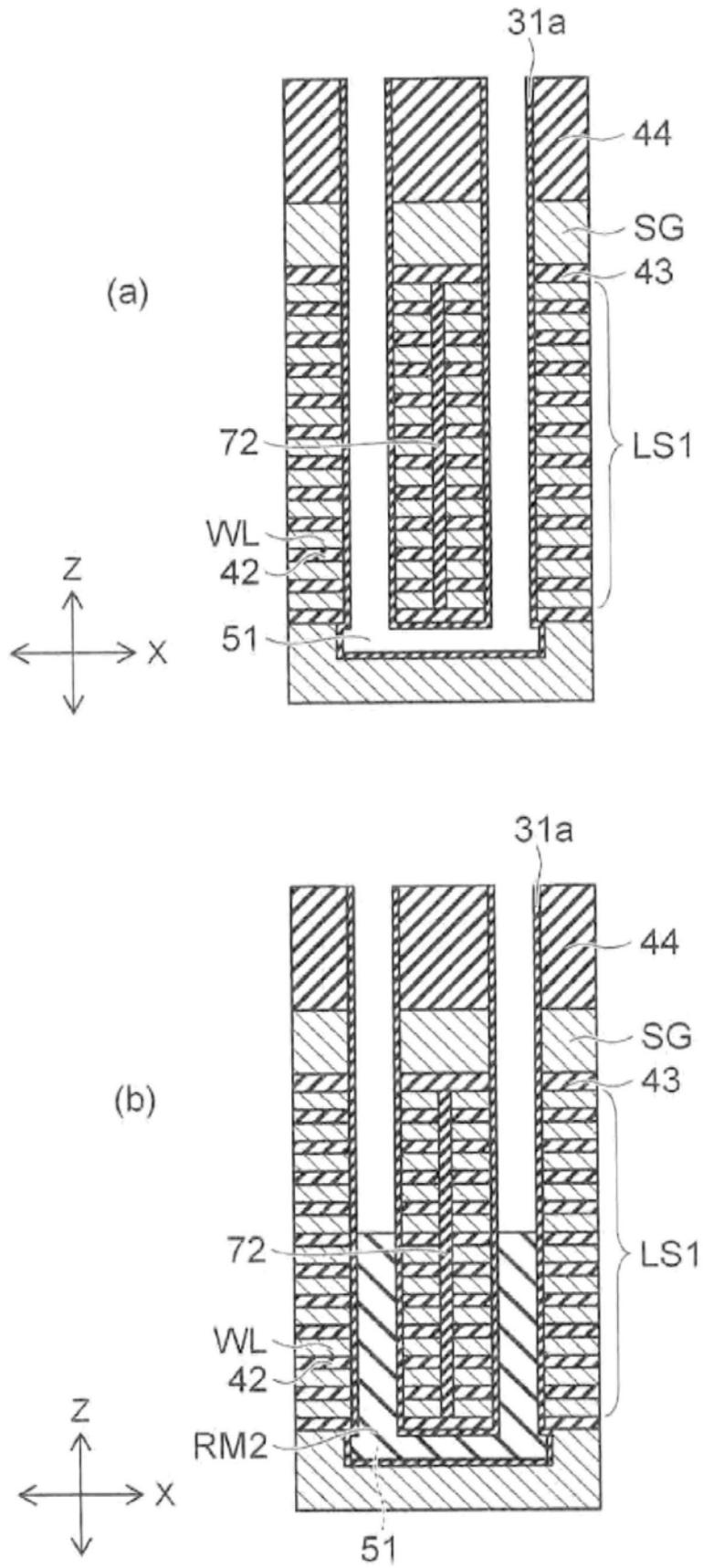


图7

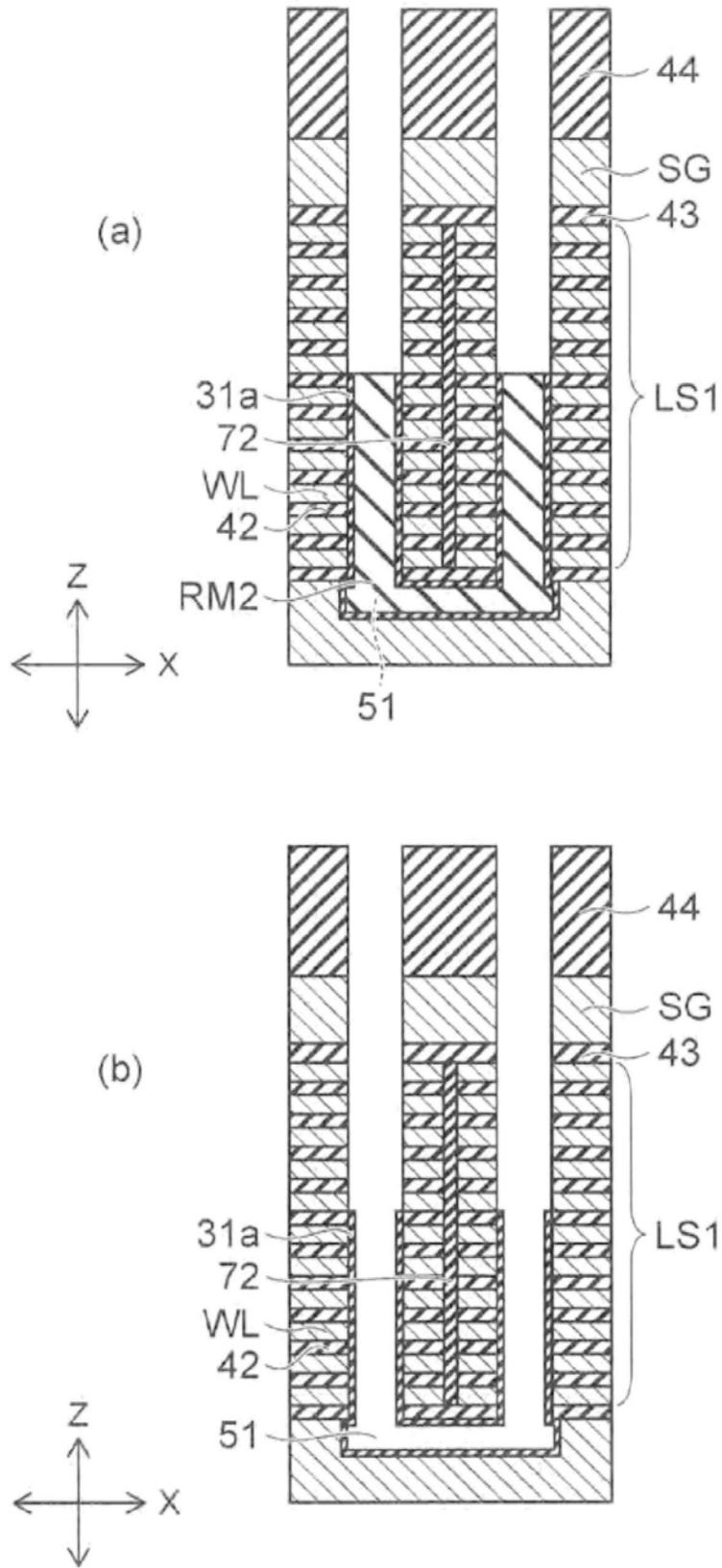


图8

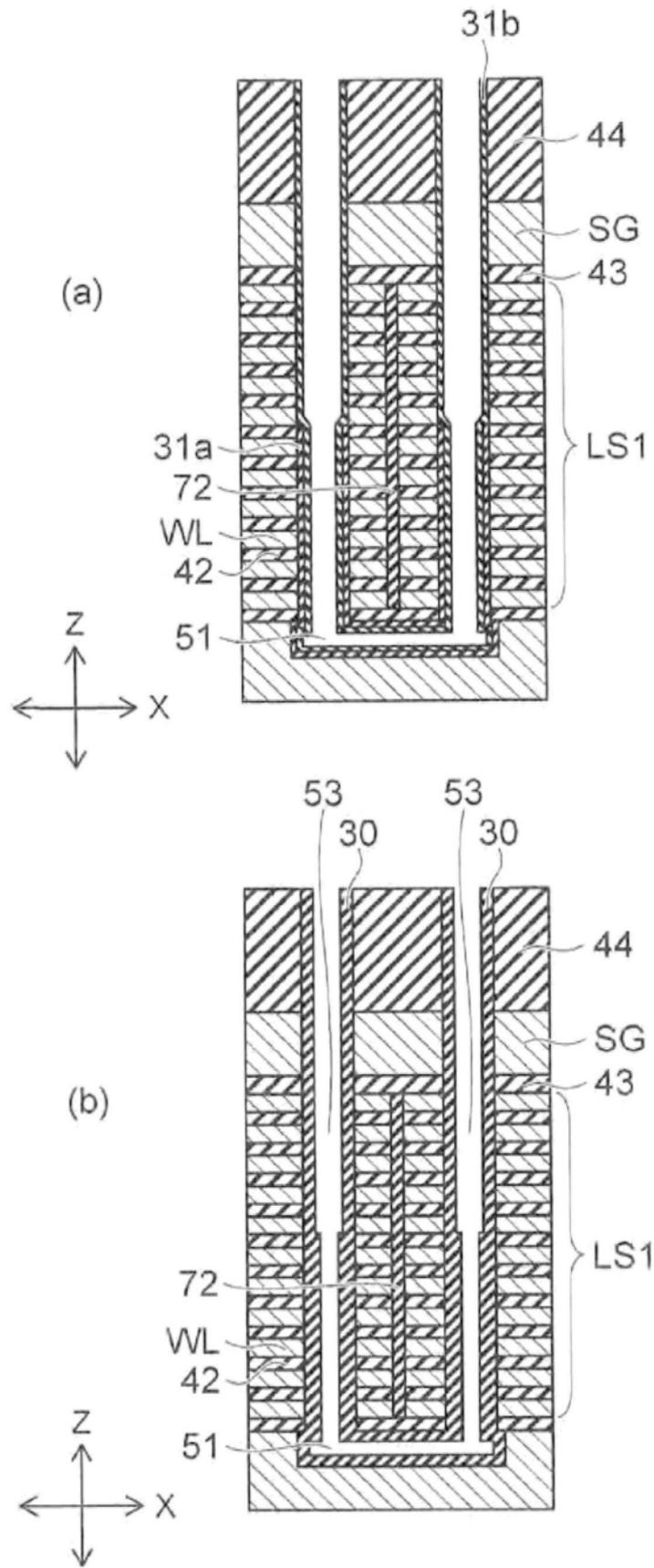


图9

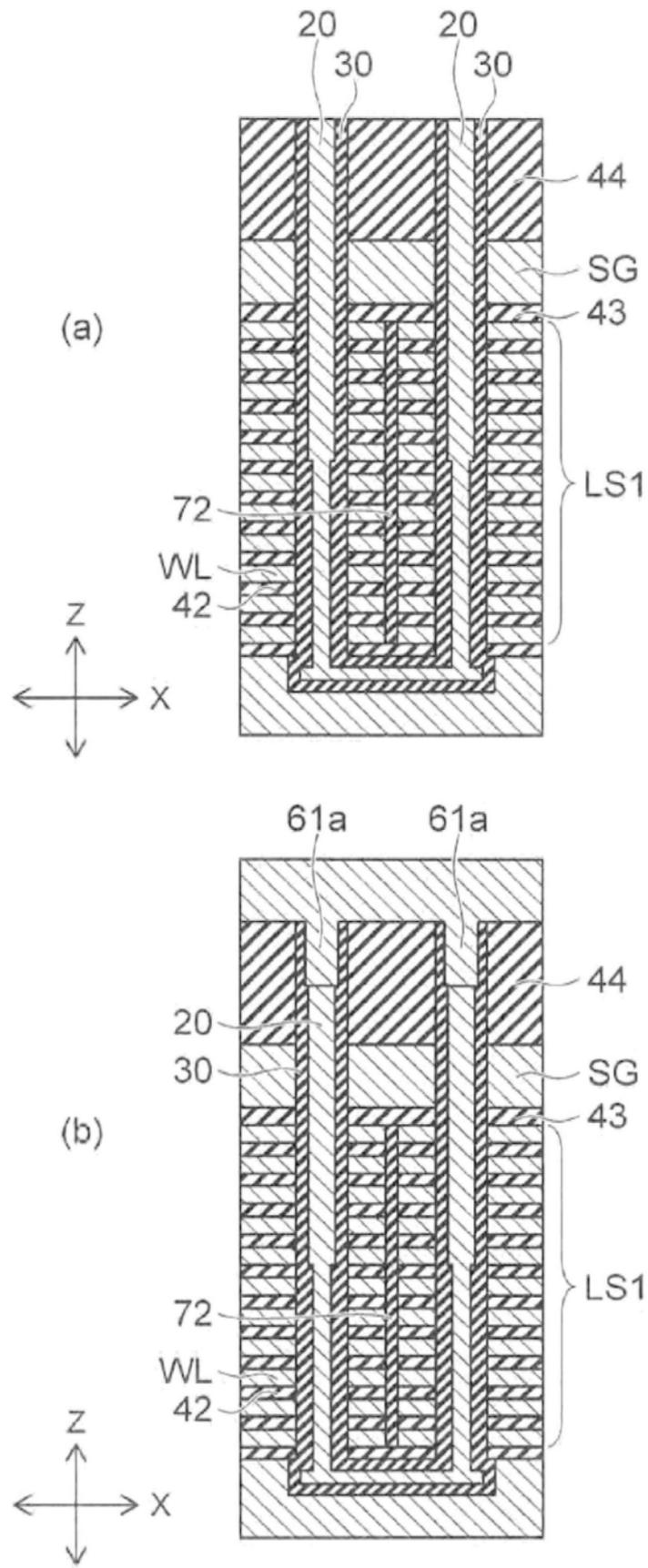


图10

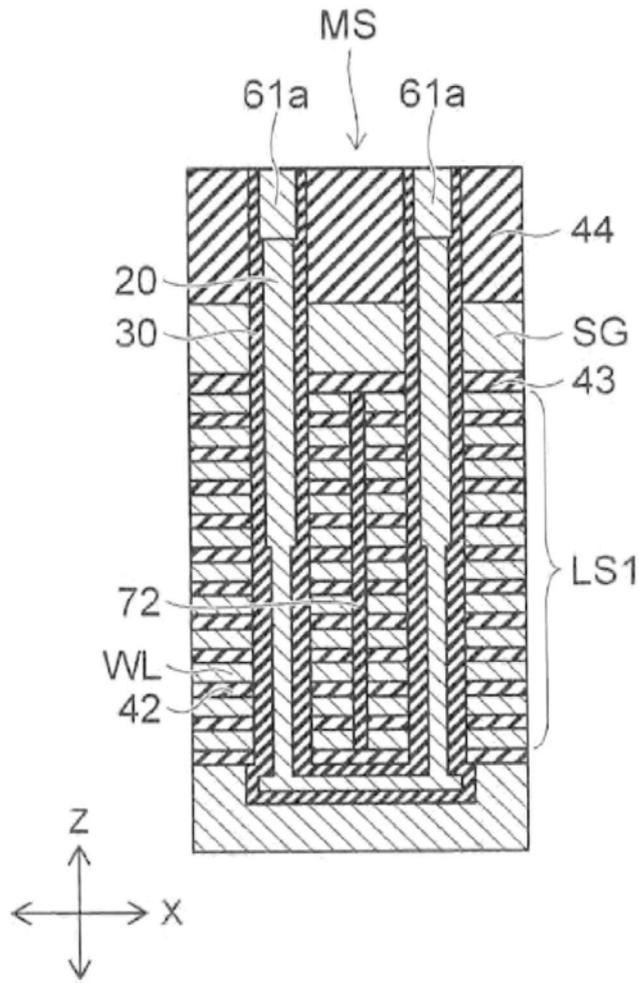


图11

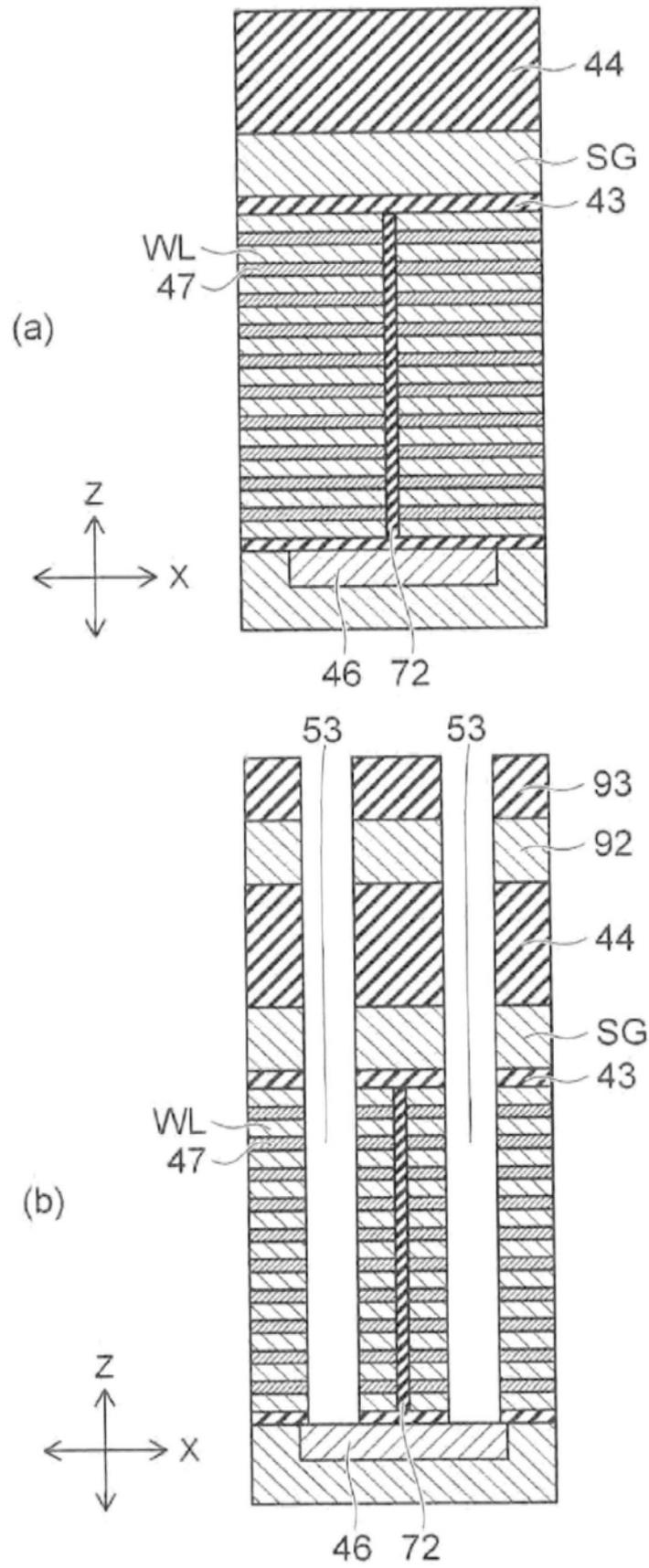


图13

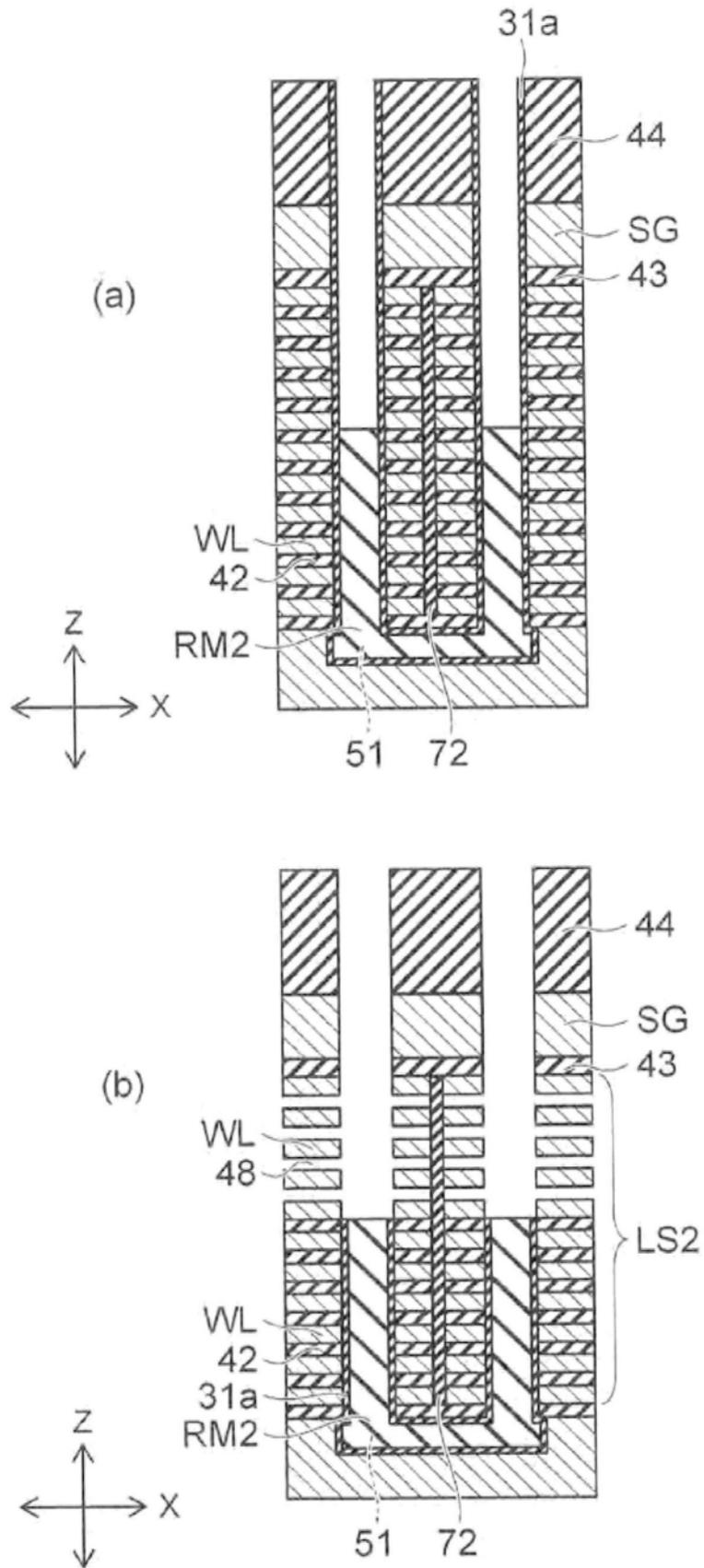


图15

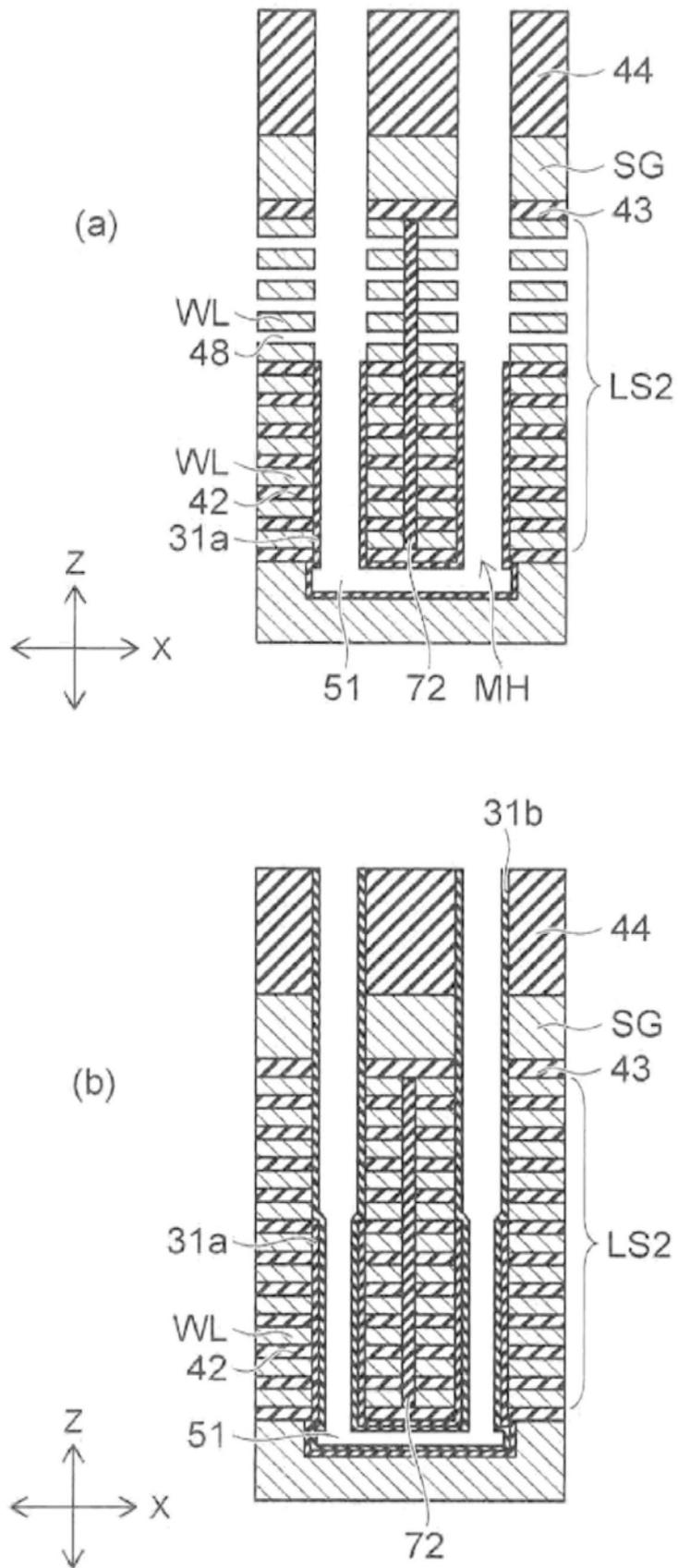


图16

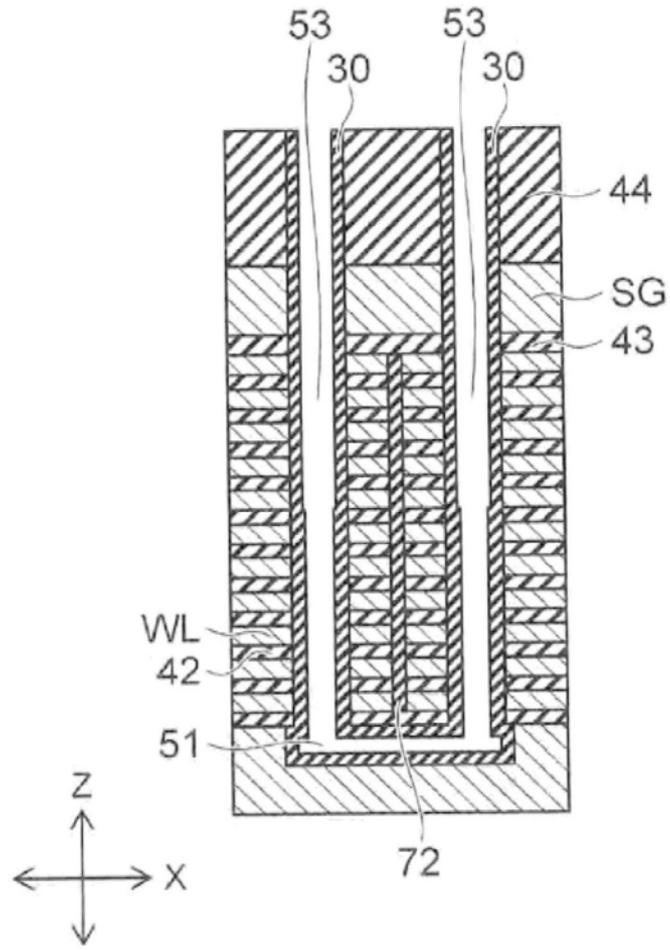


图17

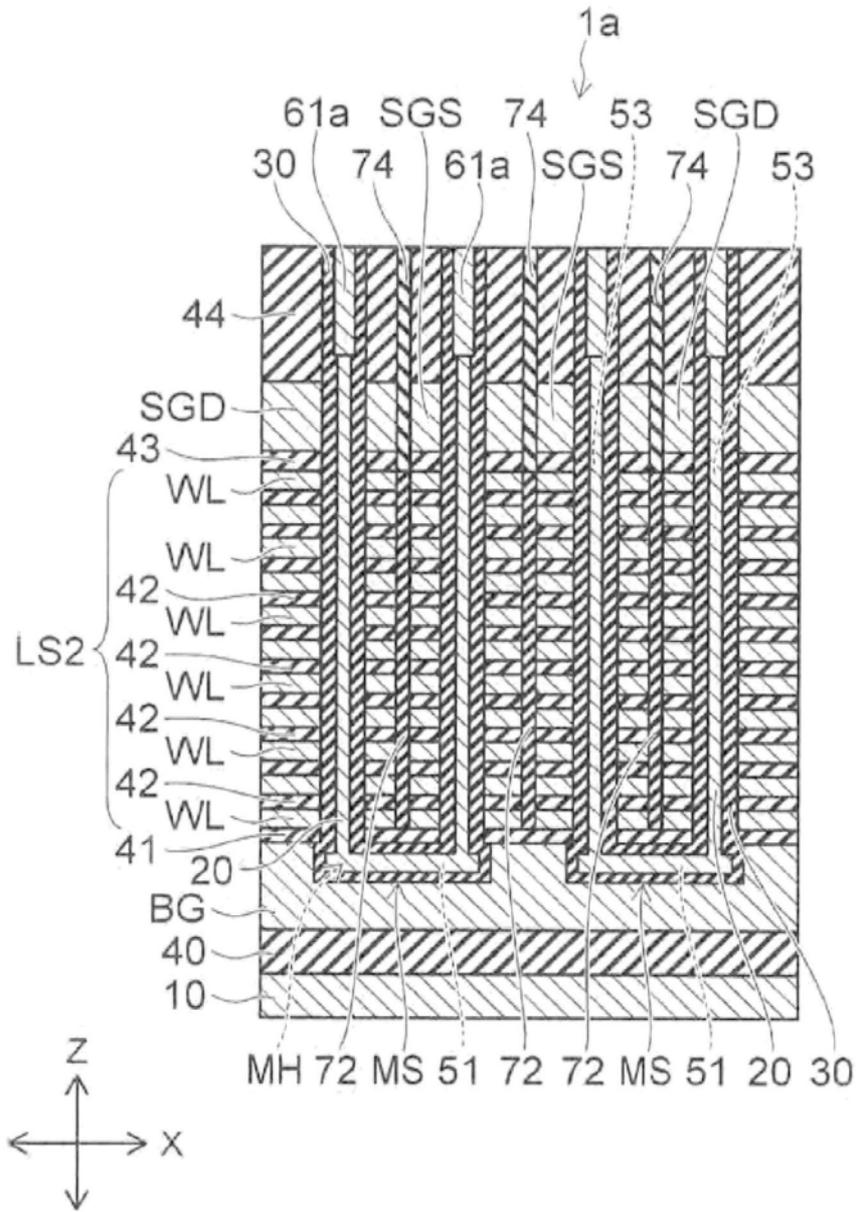


图18

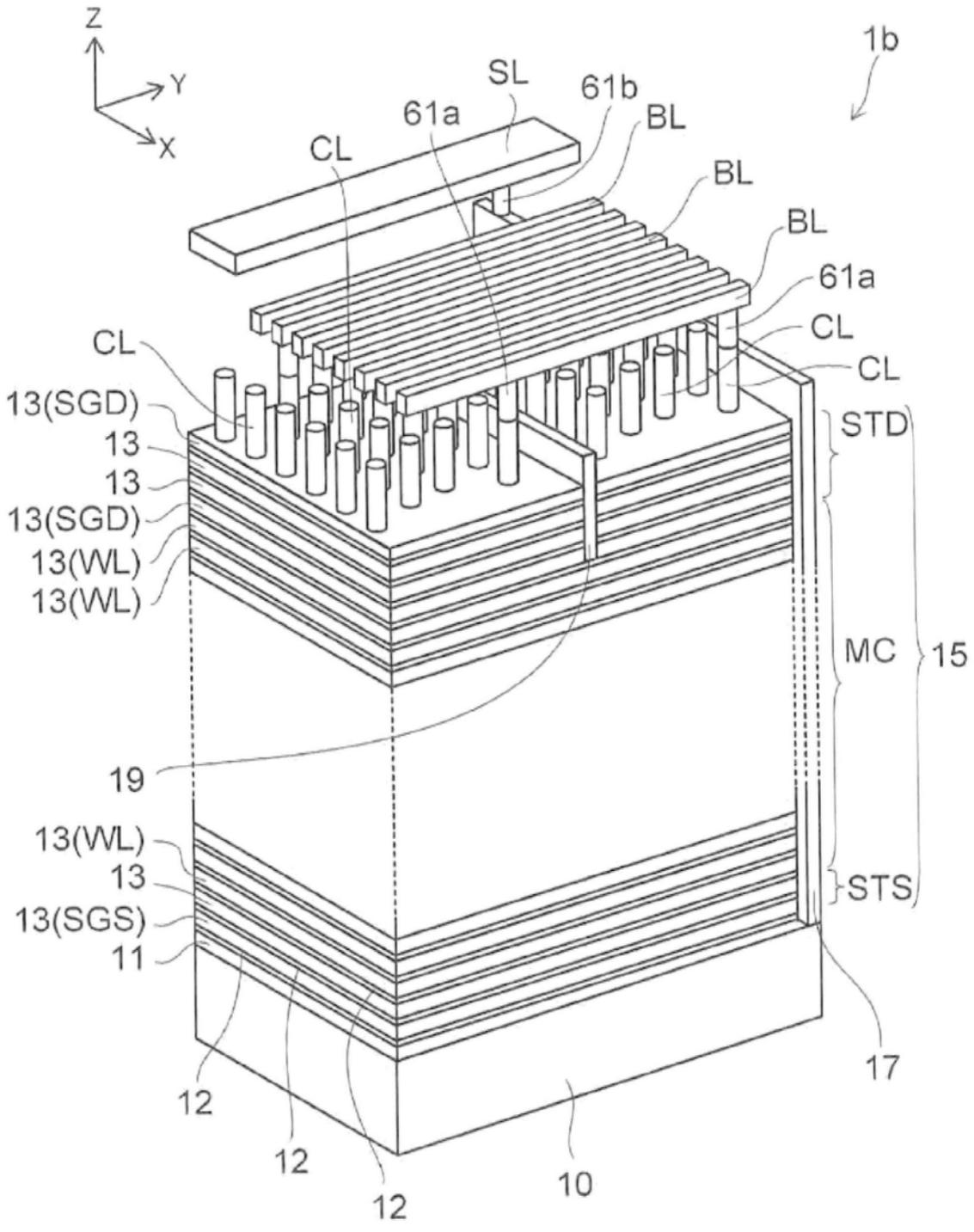


图19

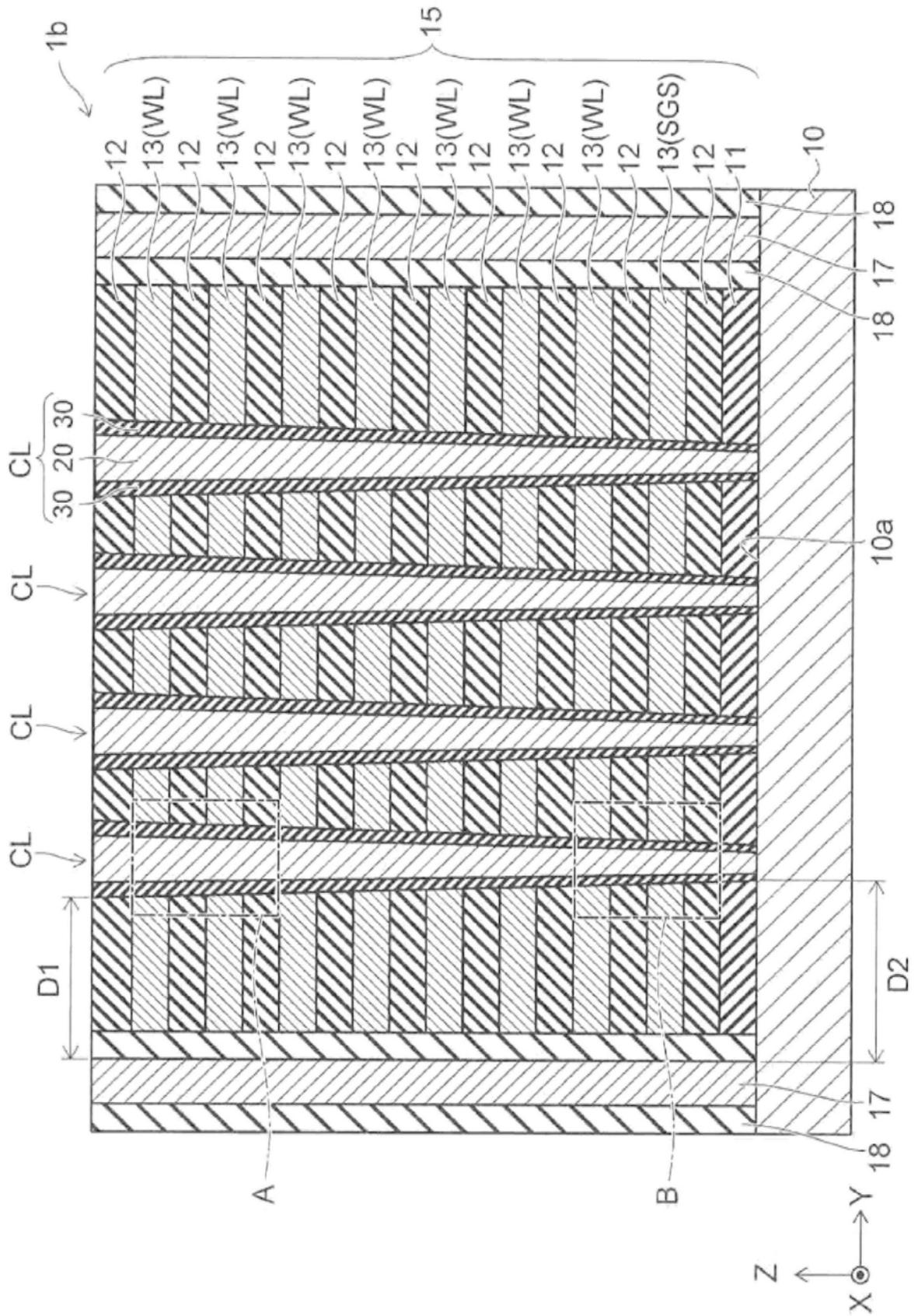


图20

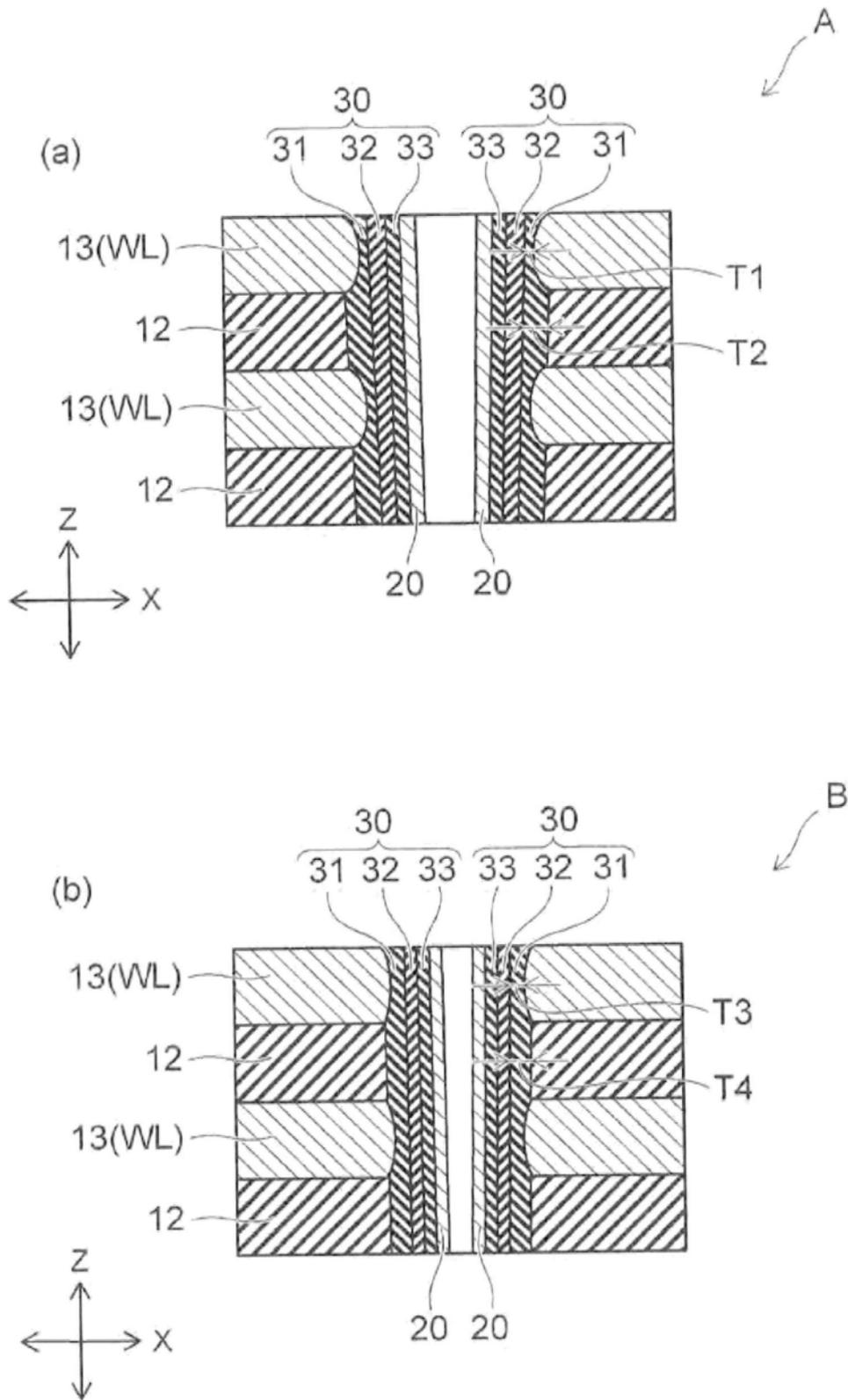


图21

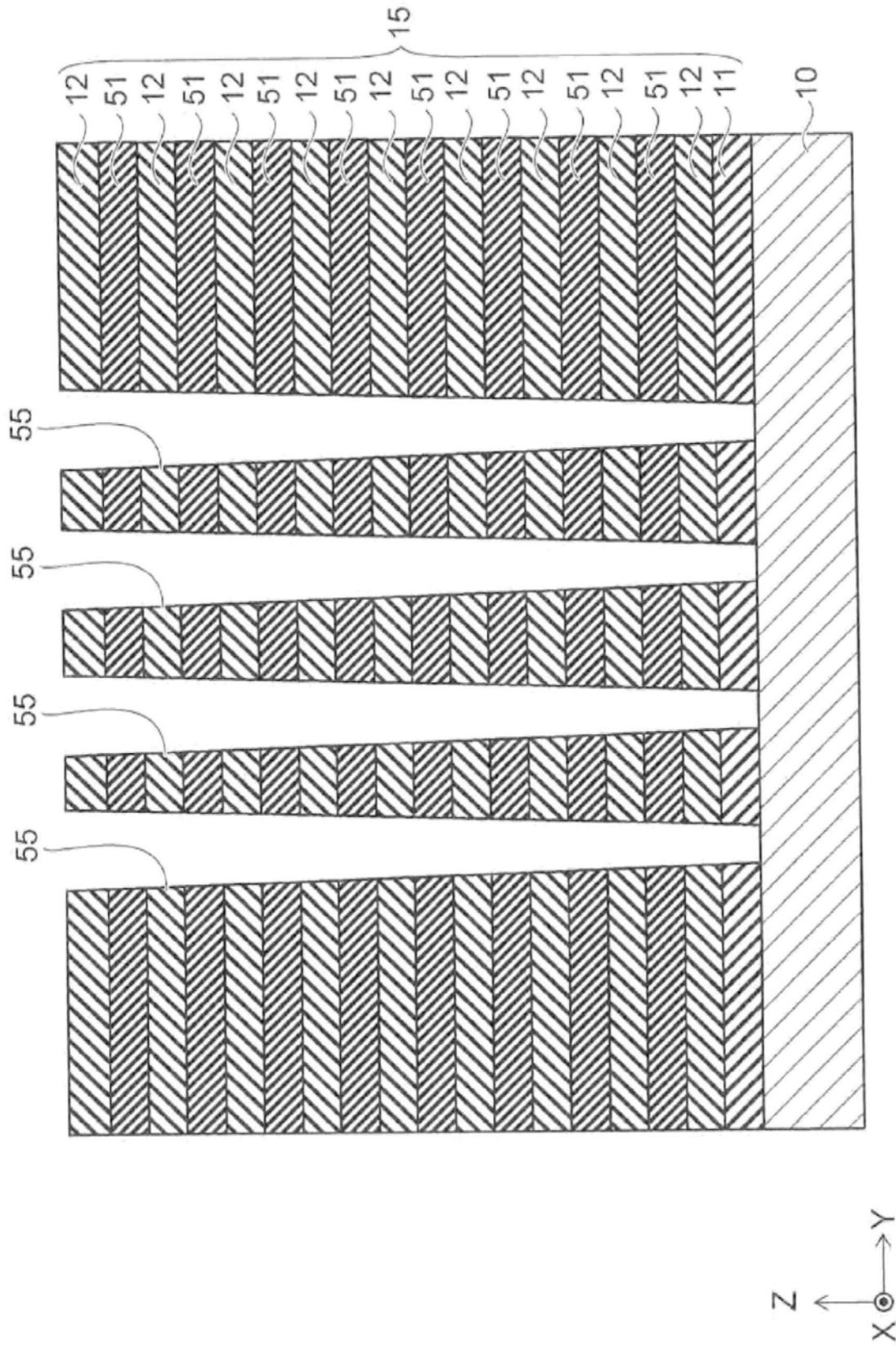


图23

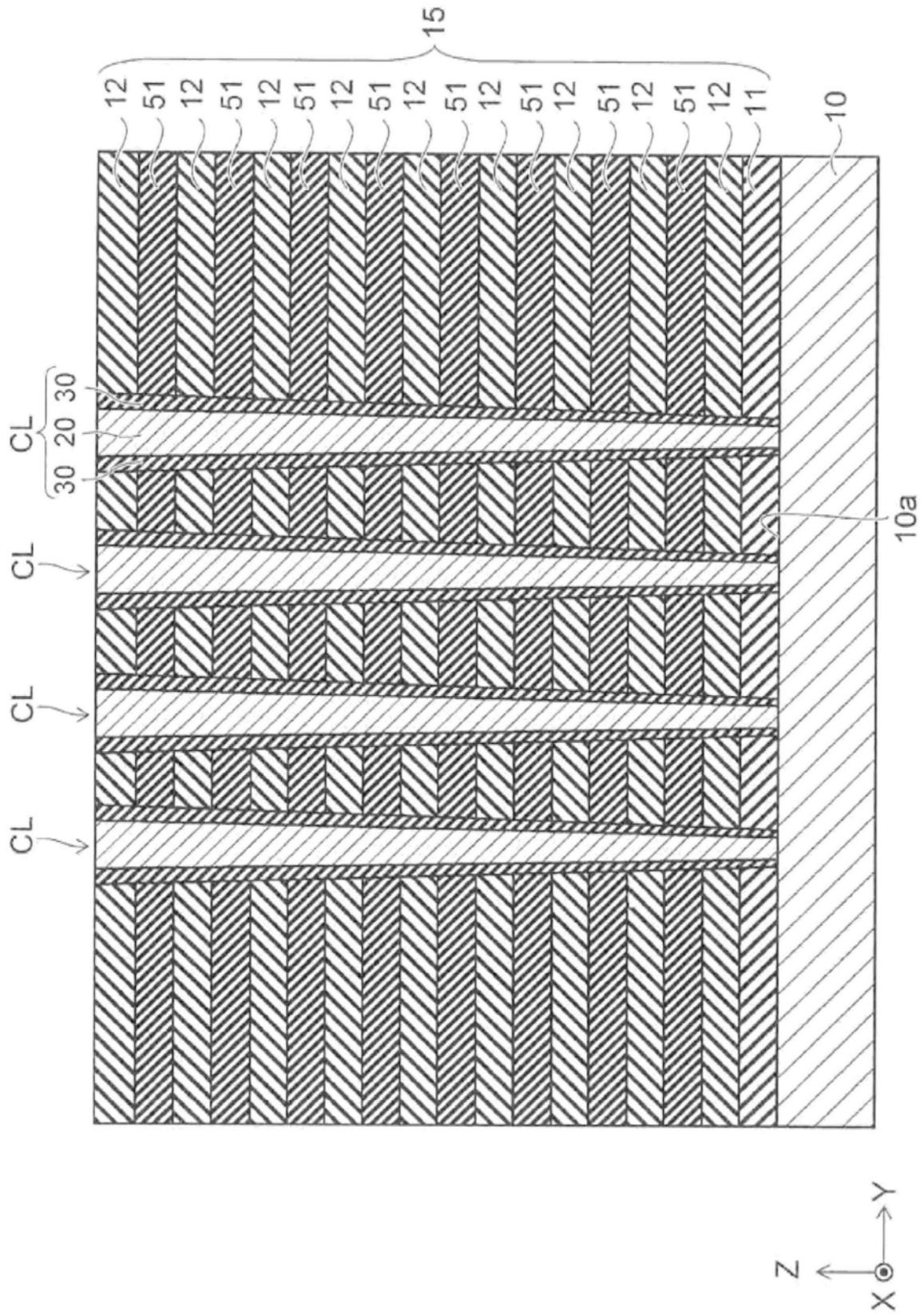


图24

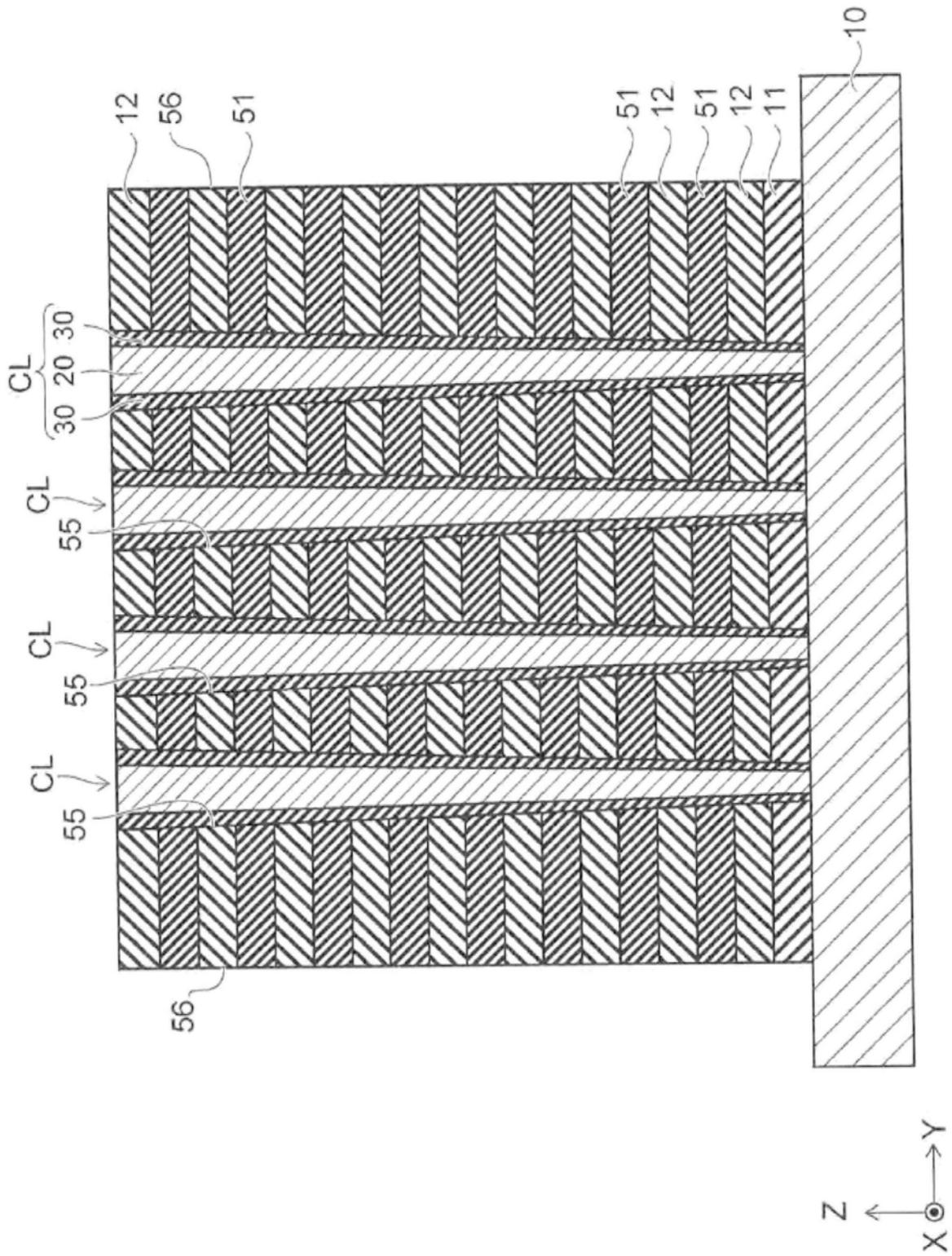


图25

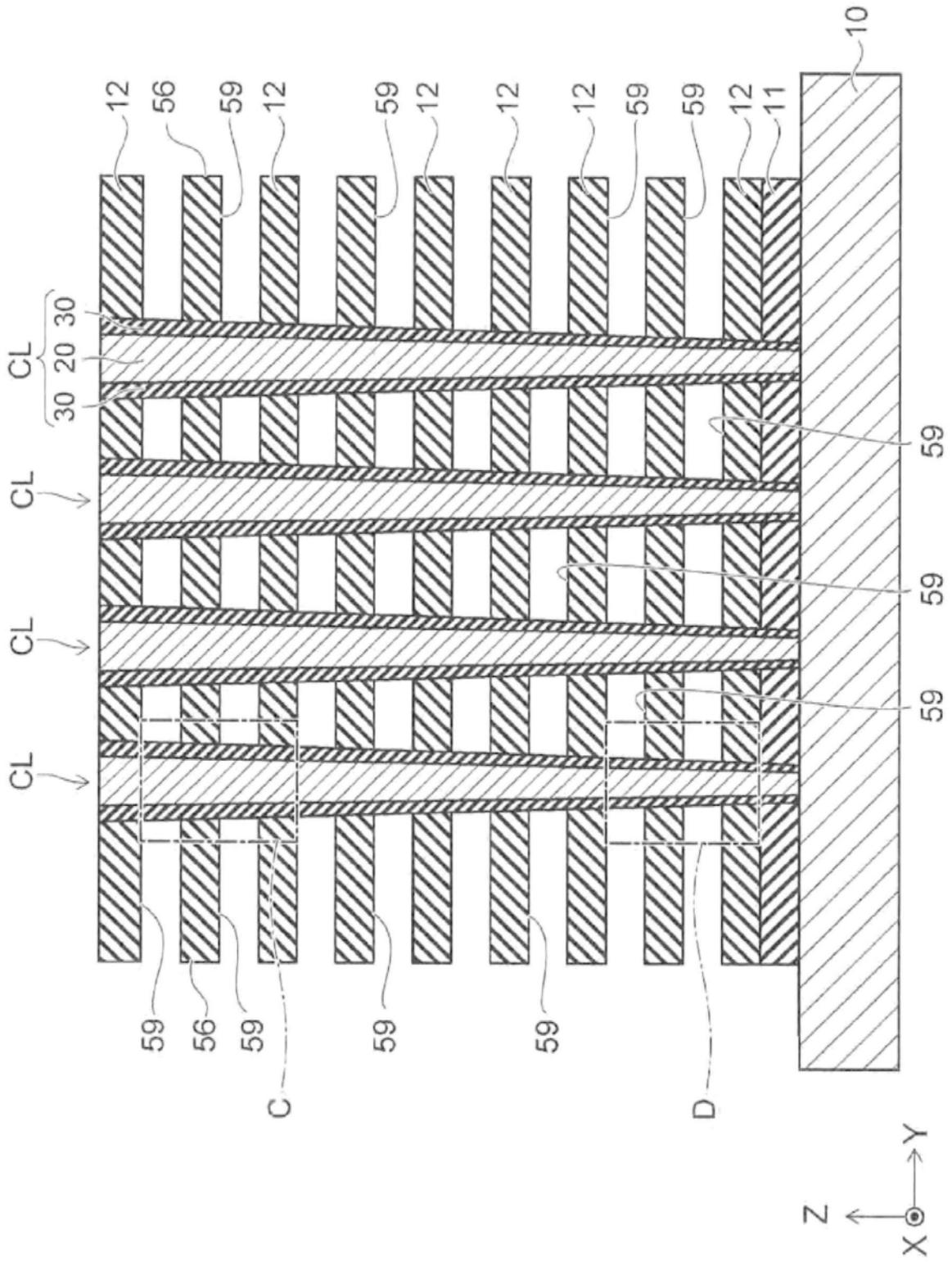


图26

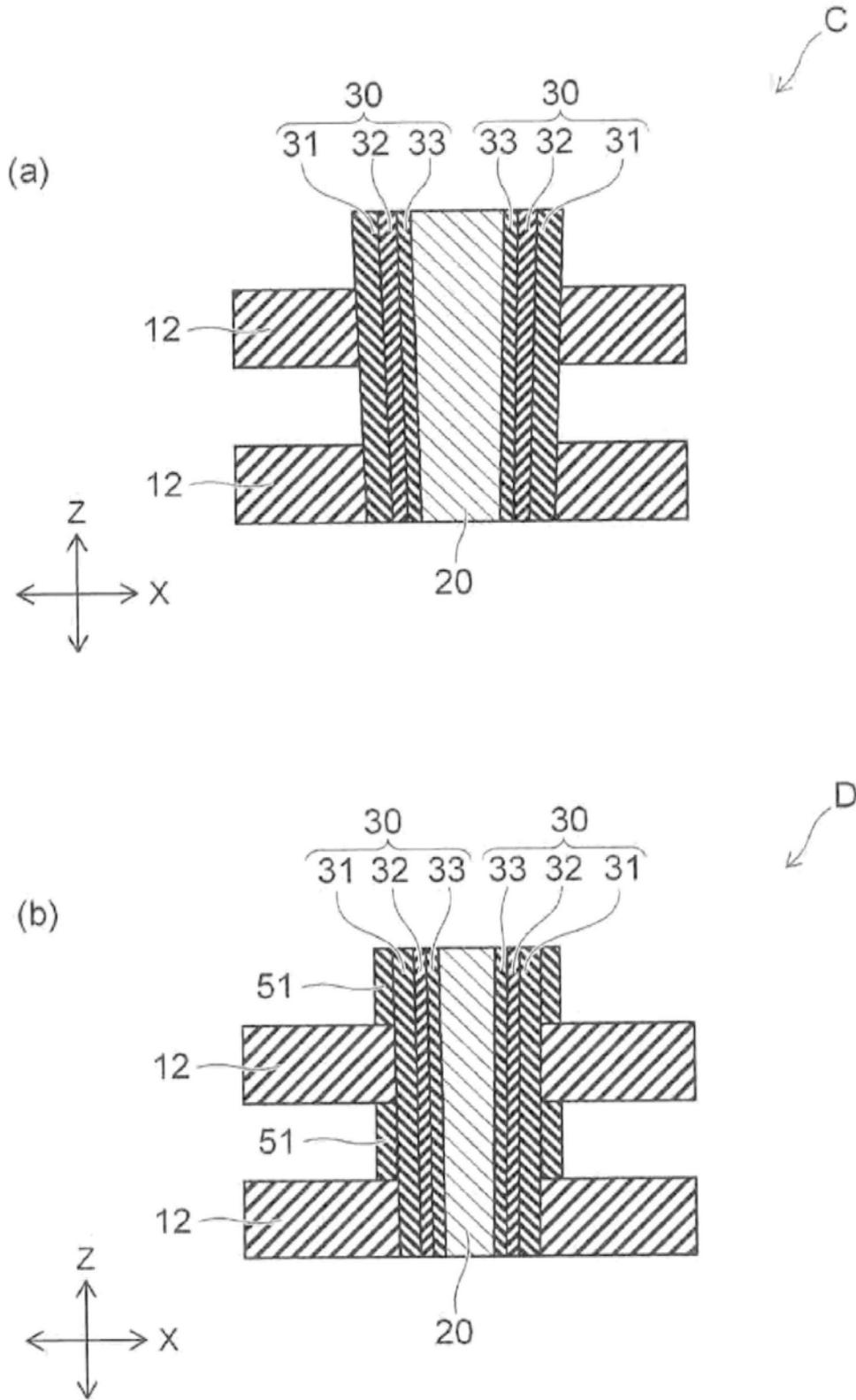


图27

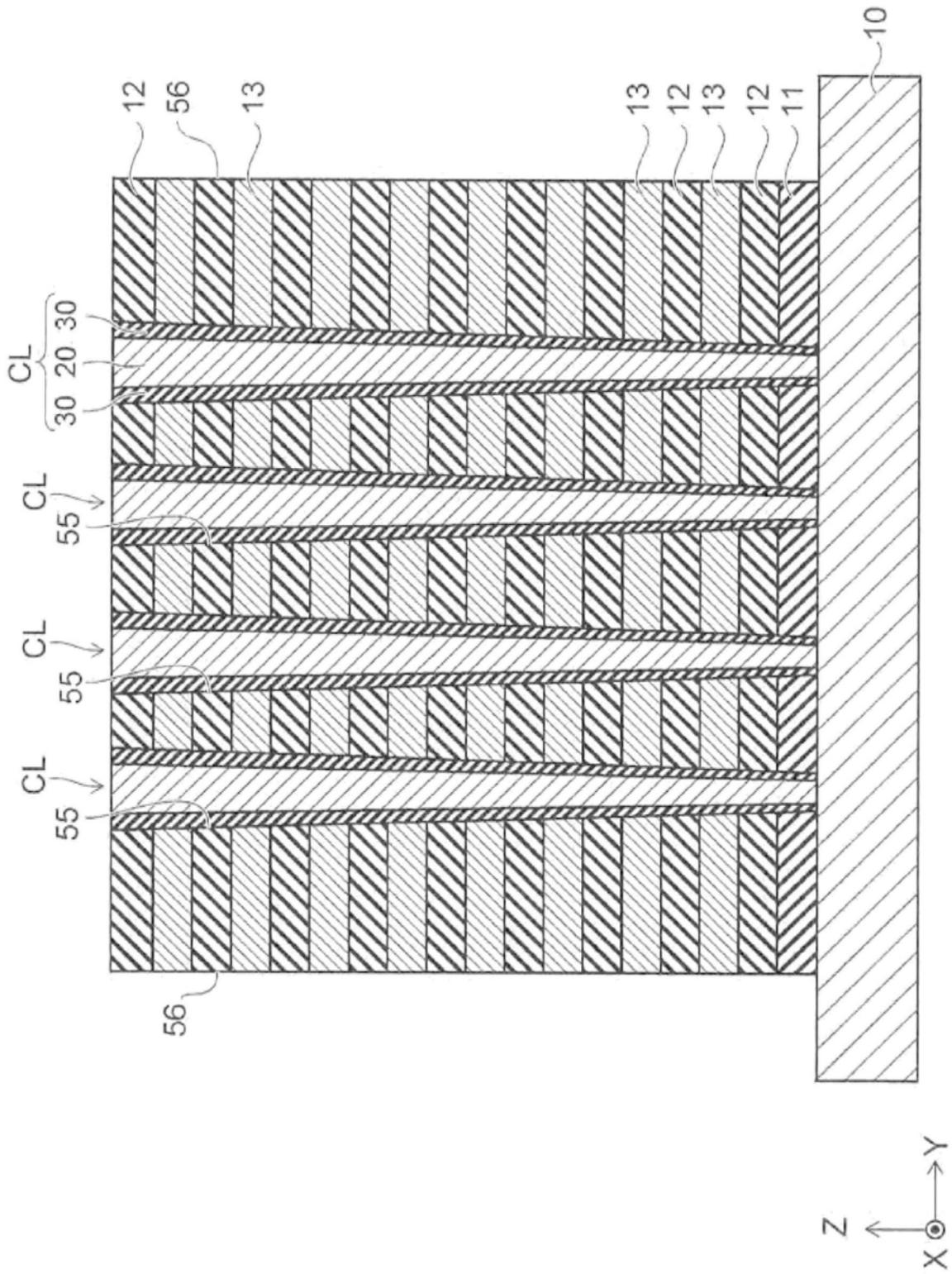


图28

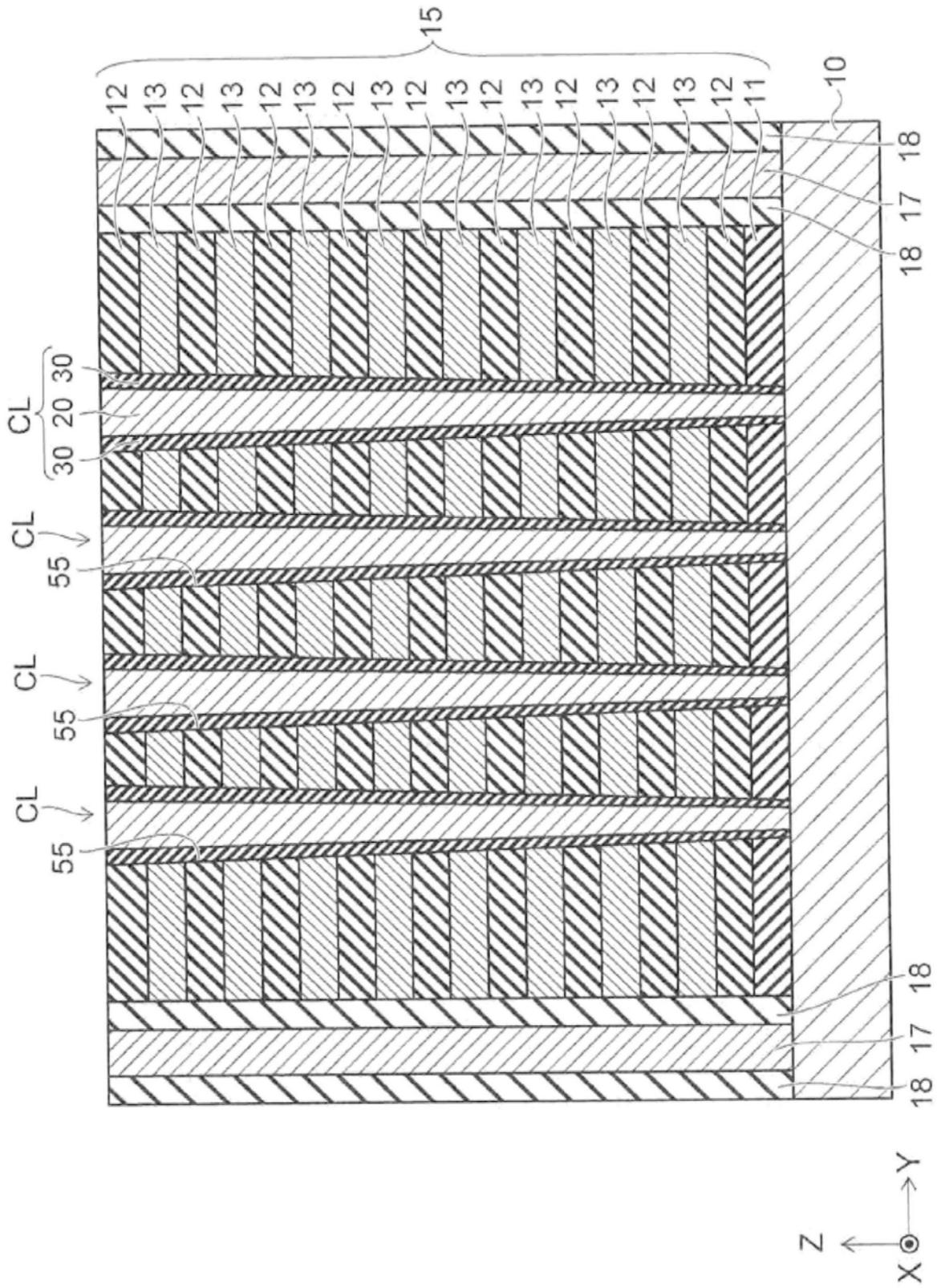


图29

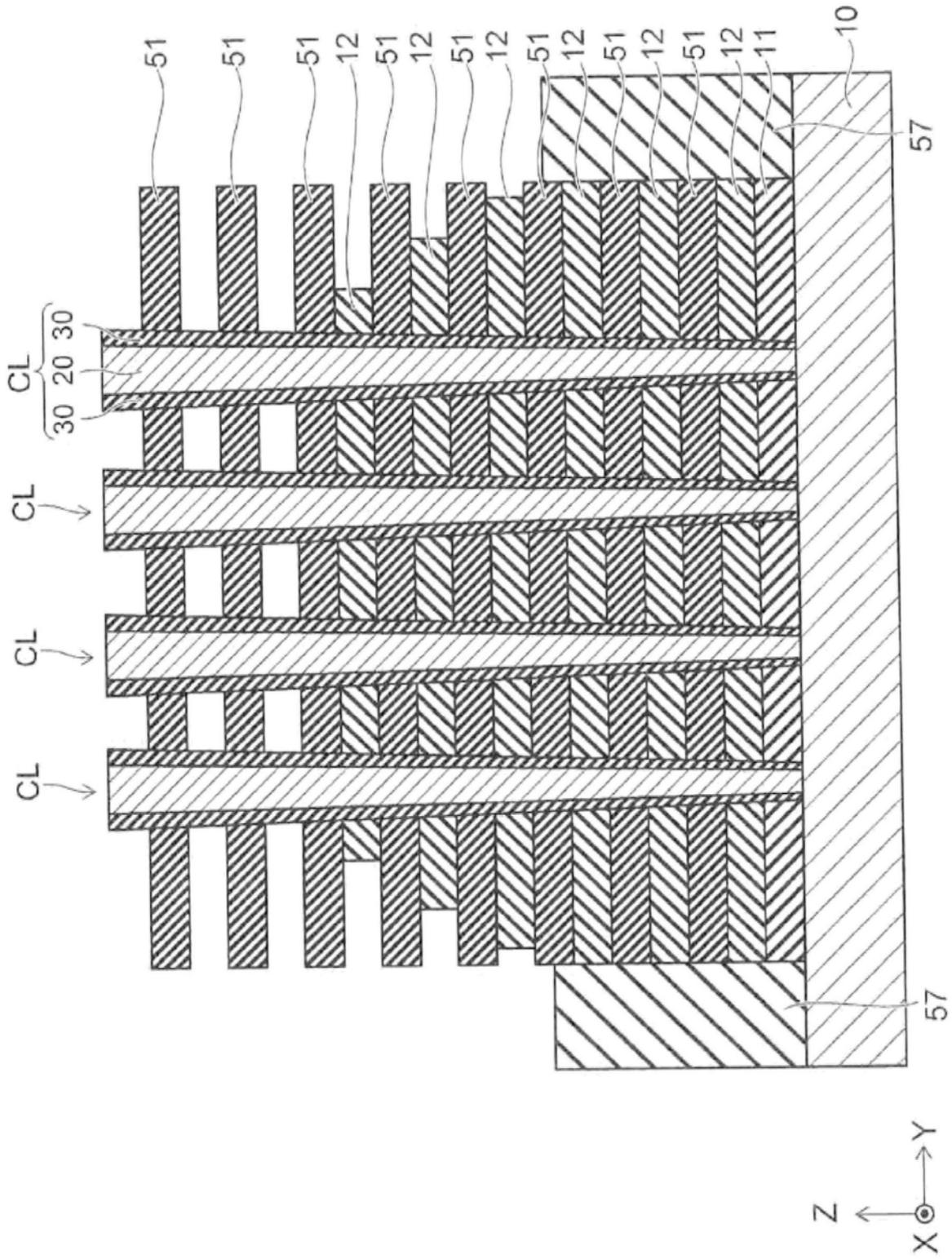


图31