



(12)发明专利

(10)授权公告号 CN 106502814 B

(45)授权公告日 2020.04.03

(21)申请号 201610911064.6

(22)申请日 2016.10.19

(65)同一申请的已公布的文献号  
申请公布号 CN 106502814 A

(43)申请公布日 2017.03.15

(73)专利权人 杭州迪普科技股份有限公司  
地址 310051 浙江省杭州市滨江区通和路  
68号中财大厦6层

(72)发明人 王芬芬

(74)专利代理机构 北京博思佳知识产权代理有  
限公司 11415

代理人 林祥

(51)Int.Cl.  
G06F 11/07(2006.01)

(56)对比文件

CN 105490844 A,2016.04.13,  
CN 103324596 A,2013.09.25,  
CN 103248526 A,2013.08.14,  
CN 101894060 A,2010.11.24,  
CN 101661429 A,2010.03.03,

审查员 杨莹莹

权利要求书2页 说明书6页 附图5页

(54)发明名称

一种记录PCIE设备错误信息的方法及装置

(57)摘要

本申请提供一种记录PCIE设备错误信息的方法,应用于主控板的CPU,所述CPU通过PCIE总线与单板中的PCIE设备传输报文;所述方法可以包括:当由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时,向预配置的可编程逻辑器件下发记录指令,以使得所述可编程逻辑器件将统计的交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因;其中,所述交互信息为所述CPU与所述PCIE设备之间传输的报文的相关信息。在本申请的技术方案中,通过可编程逻辑器件将统计的交互信息记录到预设内存空间中,后续当需要分析PCIE设备的错误发生原因时,提取并分析预设内存空间中的交互信息即可。

201  
当由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时,向预配置的可编程逻辑器件下发记录指令,以使得所述可编程逻辑器件将统计的交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因

1. 一种记录PCIE设备错误信息的方法,其特征在于,应用于主控板的CPU,所述CPU通过PCIE总线与单板中的PCIE设备传输报文;所述方法包括:

当由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时,断开所述PCIE总线,并向预配置的、被装配在所述PCIE总线上且位于所述单板侧的可编程逻辑器件下发记录指令,以使得所述可编程逻辑器件通过预配置且区别于所述PCIE总线的线路将统计的交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因;

其中,所述交互信息为所述CPU与所述PCIE设备之间传输的报文的相关信息。

2. 根据权利要求1所述的方法,其特征在于,还包括:

当所述可编程逻辑器件记录完所述交互信息时,对所述单板进行热插拔操作,以使得所述PCIE设备继续正常工作。

3. 根据权利要求1所述的方法,其特征在于,所述可编程逻辑器件被装配在所述PCIE总线上,且位于所述主控板侧。

4. 根据权利要求1所述的方法,其特征在于,所述可编程逻辑器件被装配在所述PCIE总线上,且位于所述单板侧,所述向预配置的可编程逻辑器件下发记录指令,包括:

通过预配置的线路,向所述可编程逻辑器件下发所述记录指令,其中,所述预配置的线路区别于所述PCIE总线。

5. 一种记录PCIE设备错误信息的方法,其特征在于,应用于单板,所述单板中配置有可编程逻辑器件和PCIE设备,所述PCIE设备通过PCIE总线与主控板的CPU传输报文,所述可编程逻辑器件被装配在所述PCIE总线上,且用于统计交互信息,所述交互信息为主控板的CPU与所述PCIE设备之间传输的报文的相关信息;所述方法包括:

所述可编程逻辑器件通过预配置且区别于所述PCIE总线的线路接收所述CPU下发的记录指令,所述记录指令是在由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时下发的;其中,当所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时使PCIE的总线断开;

所述可编程逻辑器件根据所述记录指令,将统计的所述交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因。

6. 一种记录PCIE设备错误信息的装置,其特征在于,应用于主控板的CPU,所述CPU通过PCIE总线与单板中的PCIE设备传输报文;所述装置包括:

下发单元,当由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时,断开所述PCIE总线,并向预配置的、被装配在所述PCIE总线上且位于所述单板侧的可编程逻辑器件下发记录指令,以使得所述可编程逻辑器件通过预配置且区别于所述PCIE总线的线路将统计的交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因;

其中,所述交互信息为所述CPU与所述PCIE设备之间传输的报文的相关信息。

7. 根据权利要求6所述的装置,其特征在于,还包括:

处理单元,当所述可编程逻辑器件记录完所述交互信息时,对所述单板进行热插拔操作,以使得所述PCIE设备继续正常工作。

8. 根据权利要求6所述的装置,其特征在于,所述可编程逻辑器件被装配在所述PCIE总线上,且位于所述主控板侧。

9. 根据权利要求6所述的装置,其特征在于,所述可编程逻辑器件被装配在所述PCIE总

线上,且位于所述单板侧,所述下发单元具体用于:

通过预配置的线路,向所述可编程逻辑器件下发所述记录指令,其中,所述预配置的线路区别于所述PCIE总线。

10.一种记录PCIE设备错误信息的装置,其特征在于,应用于单板,所述单板中配置有可编程逻辑器件和PCIE设备,所述PCIE设备通过PCIE总线与主控板的CPU传输报文,所述可编程逻辑器件被装配在所述PCIE总线上,且用于统计交互信息,所述交互信息为主控板的CPU与所述PCIE设备之间传输的报文的相关信息;所述装置包括:

接收单元,所述可编程逻辑器件通过预配置且区别于所述PCIE总线的线路接收所述CPU下发的记录指令,所述记录指令是在由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时下发的;其中,当所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时使PCIE的总线断开;

记录单元,所述可编程逻辑器件根据所述记录指令,将统计的所述交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因。

11.一种电子设备,其特征在于,包括:

处理器;

用于存储处理器可执行指令的存储器;

其中,所述处理器通过运行所述可执行指令以实现如权利要求1-5中任一项所述的方法。

12.一种计算机可读存储介质,其上存储有计算机指令,其特征在于,该指令被处理器执行时实现如权利要求1-5中任一项所述方法的步骤。

## 一种记录PCIE设备错误信息的方法及装置

### 技术领域

[0001] 本申请涉及通讯技术领域,尤其涉及一种记录PCIE设备错误信息的方法及装置。

### 背景技术

[0002] 若框式设备中单板上的PCIE设备发生错误(例如温度过高,或PCIE链路不稳定等原因),则会导致主控上的CPU内部寄存器产生缓存错误的信息。当CPU检测到产生缓存错误的信息时,会对该单板进行热插拔操作,以使得该单板上的PCIE设备继续正常工作。

[0003] 然而,当CPU产生缓存错误的信息时,仅仅通过对单板进行热插拔操作来使得该单板上的PCIE设备恢复正常工作,并不能分析出该PCIE设备的错误发生原因。

### 发明内容

[0004] 有鉴于此,本申请提供一种记录PCIE设备错误信息的方法及装置,可以记录PCIE设备与CPU传输的报文的相关信息,以供分析该PCIE设备的错误发生原因。

[0005] 为实现上述目的,本申请提供技术方案如下:

[0006] 根据本申请的第一方面,提出了一种记录PCIE设备错误信息的方法,应用于主控板的CPU,所述CPU通过PCIE总线与单板中的PCIE设备传输报文;所述方法包括:

[0007] 当由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时,向预配置的可编程逻辑器件下发记录指令,以使得所述可编程逻辑器件将统计的交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因;

[0008] 其中,所述交互信息为所述CPU与所述PCIE设备之间传输的报文的相关信息。

[0009] 根据本申请的第二方面,提出了一种记录PCIE设备错误信息的方法,应用于单板,所述单板中配置有可编程逻辑器件和PCIE设备,所述PCIE设备通过PCIE总线与主控板的CPU传输报文,所述可编程逻辑器件被装配在所述PCIE总线上,且用于统计交互信息,所述交互信息为主控板的CPU与所述PCIE设备之间传输的报文的相关信息;所述方法包括:

[0010] 所述可编程逻辑器件通过预配置的线路接收所述CPU下发的记录指令,所述记录指令是在由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时下发的;

[0011] 所述可编程逻辑器件根据所述记录指令,将统计的所述交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因。

[0012] 根据本申请的第三方面,提出了一种记录PCIE设备错误信息的装置,应用于主控板的CPU,所述CPU通过PCIE总线与单板中的PCIE设备传输报文;所述装置包括:

[0013] 下发单元,当由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时,向预配置的可编程逻辑器件下发记录指令,以使得所述可编程逻辑器件将统计的交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因;

[0014] 其中,所述交互信息为所述CPU与所述PCIE设备之间传输的报文的相关信息。

[0015] 根据本申请的第四方面,提出了一种记录PCIE设备错误信息的装置,应用于单板,所述单板中配置有可编程逻辑器件和PCIE设备,所述PCIE设备通过PCIE总线与主控板的

CPU传输报文,所述可编程逻辑器件被装配在所述PCIE总线上,且用于统计交互信息,所述交互信息为主控板的CPU与所述PCIE设备之间传输的报文的相关信息;所述装置包括:

[0016] 接收单元,所述可编程逻辑器件通过预配置的线路接收所述CPU下发的记录指令,所述记录指令是在由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时下发的;

[0017] 记录单元,所述可编程逻辑器件根据所述记录指令,将统计的所述交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因。

[0018] 由以上技术方案可见,本申请通过可编程逻辑器件将统计的交互信息记录到预设内存空间中,后续当需要分析PCIE设备的错误发生原因时,提取并分析预设内存空间中的交互信息即可。

## 附图说明

[0019] 图1是相关技术中框式设备的结构示意图。

[0020] 图2是本申请一示例性实施例提供的基于主控板CPU侧的一种记录PCIE设备错误信息的方法的流程图。

[0021] 图3是本申请一示例性实施例提供的基于单板侧的一种记录PCIE设备错误信息的方法的流程图。

[0022] 图4是本申请一示例性实施例提供的一种记录PCIE设备错误信息的方法的流程图。

[0023] 图5是本申请一示例性实施例提供的框式设备的结构示意图。

[0024] 图6是本申请一示例性实施例提供的另一种框式设备的结构示意图。

[0025] 图7是本申请一示例性实施例提供的一种基于主控板的CPU侧的电子设备的结构示意图。

[0026] 图8是本申请一示例性实施例提供的一种记录PCIE设备错误信息的装置的框图。

[0027] 图9是本申请一示例性实施例提供的一种基于单板侧的电子设备的结构示意图。

[0028] 图10是本申请一示例性实施例提供的另一种记录PCIE设备错误信息的装置的框图。

## 具体实施方式

[0029] 这里将详细地对示例性实施例进行说明,其示例表示在附图中。下面的描述涉及附图时,除非另有表示,不同附图中的相同数字表示相同或相似的要素。以下示例性实施例中所描述的实施方式并不代表与本申请相一致的所有实施方式。相反,它们仅是与如所附权利要求书中所详述的、本申请的一些方面相一致的装置和方法的例子。

[0030] 在本申请使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本申请。在本申请和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。还应当理解,本文中使用的术语“和/或”是指并包含一个或多个相关联的列出项目的任何或所有可能组合。

[0031] 应当理解,尽管在本申请可能采用术语第一、第二、第三等来描述各种信息,但这些信息不应限于这些术语。这些术语仅用来将同一类型的信息彼此区分开。例如,在不脱离本申请范围的情况下,第一信息也可以被称为第二信息,类似地,第二信息也可以被称为第

一信息。取决于语境,如在此所使用的词语“如果”可以被解释成为“在……时”或“当……时”或“响应于确定”。

[0032] 图1是相关技术中框式设备的结构示意图。请参见图1,框式设备包含主控板和单板,主控板上配置有CPU和传统PCIE桥片a,单板上配置有PCIE设备和传统PCIE桥片b,CPU通过PCIE总线与PCIE设备传输报文,其中,PCIE总线分为第一线路PCIE1、第二线路PCIE2、第三线路PCIE3。当单板中的PCIE设备发生错误(例如温度过高、PCIE链路不稳定)时,主控板上的CPU内部寄存器会产生缓存错误的信息(cache error),当主控板CPU检测到产生缓存错误的信息时,会对该单板进行热插拔操作,以使得该单板上的PCIE设备继续正常工作。

[0033] 可见,在相关技术中,当CPU产生缓存错误的信息时,仅仅通过对单板进行热插拔操作来使得该单板上的PCIE设备恢复正常工作,并不能分析出该PCIE设备的错误发生原因。

[0034] 图2是本申请一示例性实施例示出的基于主控板CPU侧的一种记录PCIE设备错误信息的方法的流程图,如图2所示,该方法应用于主控板的CPU,所述CPU通过PCIE总线与单板中的PCIE设备传输报文,可以包括以下步骤:

[0035] 步骤201,当由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时,向预配置的可编程逻辑器件下发记录指令,以使得所述可编程逻辑器件将统计的交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因。

[0036] 在本实施例中,所述交互信息为所述CPU与所述PCIE设备之间传输的报文的相关信息。

[0037] 在本实施例中,当检测到所述CPU产生缓存错误的信息时,断开所述PCIE总线。断开所述PCIE总线后,所述CPU与所述PCIE设备之间不能再继续传输报文,所述可编程逻辑器件不会统计到后续传输的报文的相关信息,进而使得所述可编程逻辑器件统计可供分析所述错误发生原因的交互信息不受到干扰。

[0038] 在本实施例中,当所述可编程逻辑器件记录完所述交互信息时,对所述单板进行热插拔操作,以使得所述PCIE设备继续正常工作。

[0039] 在本实施例中,所述可编程逻辑器件可以被装配在所述PCIE总线上,且位于所述主控板侧,还可以被装配在所述PCIE总线上,且位于所述单板侧。所述CPU向预配置的可编程逻辑器件下发记录指令的方式为:通过预配置的线路,向所述可编程逻辑器件下发所述记录指令,其中,所述预配置的线路区别于所述PCIE总线。

[0040] 相应地,图3是本申请一示例性实施例示出的基于单板侧的一种记录PCIE设备错误信息的方法的流程图,如图3所示,该方法应用于单板,所述单板中配置有可编程逻辑器件和PCIE设备,所述PCIE设备通过PCIE总线与主控板的CPU传输报文,所述可编程逻辑器件被装配在所述PCIE总线上,且用于统计交互信息,所述交互信息为主控板的CPU与所述PCIE设备之间传输的报文的相关信息,可以包括以下步骤:

[0041] 步骤301,所述可编程逻辑器件通过预配置的线路接收所述CPU下发的记录指令。

[0042] 步骤302,所述可编程逻辑器件根据所述记录指令,将统计的所述交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因。

[0043] 由以上技术方案可见,本申请通过可编程逻辑器件将统计的交互信息记录到预设内存空间中,后续当需要分析PCIE设备的错误发生原因时,提取并分析预设内存空间中的

交互信息即可。

[0044] 为了便于理解,下面结合图4-6,针对主控板CPU和单板中可编程逻辑器件之间的交互过程,对本申请的技术方案进行详细说明。请参见图4,图4是本申请一示例性实施例的记录PCIE设备错误信息的方法的流程图。该方法可以包括以下步骤:

[0045] 步骤401,主控板CPU检测到产生缓存错误的信息(cache error)。

[0046] 在本实施例中,当单板中的PCIE设备发生错误(例如温度过高、PCIE链路不稳定)时,主控板上的CPU内部寄存器就会产生缓存错误的信息。

[0047] 步骤402,断开PCIE总线。

[0048] 在一实施例中,框式设备的结构可以为图5所示的结构。请参见图5,框式设备包含主控板和单板,主控板上配置有CPU,可编程逻辑器件以及预配置的内存空间(例如可以是FLASH),单板上配置有PCIE设备(例如可以是交换芯片)和传统PCIE桥片,其中,可编程逻辑器件可以是FPGA(Field-Programmable Gate Array,现场可编程门阵列),也可以是其他任意除具有交换数据功能外,还具有处理数据功能的可编程逻辑器件。主控板CPU通过PCIE总线与交换芯片传输报文,其中,PCIE总线被分为第一线路PCIE1、第二线路PCIE2、第三线路PCIE3三部分。当单板中的交换芯片发生错误(例如温度过高、PCIE链路不稳定)时,主控板CPU内部寄存器会产生缓存错误的信息(cache error),当主控板CPU检测到产生缓存错误的信息时,断开PCIE总线中的PCIE2,以阻止主控板CPU与交换芯片继续传输报文。

[0049] 在另一实施例中,框式设备的结构还可以为图6所示的结构。请参见图6,框式设备包含主控板和单板,主控板上配置有CPU和传统PCIE桥片,单板上配置有可编程逻辑器件,预配置的内存空间(例如可以是FLASH)以及PCIE设备(例如可以是交换芯片)。其中,同样的,可编程逻辑器件可以是FPGA,也可以是其他任意除具有交换数据功能外,还具有处理数据功能的可编程逻辑器件。主控板CPU通过PCIE总线与交换芯片传输报文,其中,PCIE总线被分为第一线路PCIE1、第二线路PCIE2、第三线路PCIE3三部分。主控板通过区别于PCIE总线的预配置的线路(例如可以是local bus)与FPGA连接。当单板中的交换芯片发生错误时,主控板CPU内部寄存器会产生缓存错误的信息,当主控板CPU检测到产生缓存错误的信息时,断开PCIE总线中的PCIE2,以阻止主控板CPU与交换芯片继续传输报文。

[0050] 步骤403,主控板CPU向FPGA下发记录指令。

[0051] 在本实施例中,承接于图5所示的结构,在断开PCIE2之后,主控板CPU通过PCIE1向FPGA下发记录指令。承接于图6所示的结构,在断开PCIE2之后,主控板CPU通过local bus向FPGA下发记录指令。

[0052] 步骤404,FPGA将统计的交互信息记录到FLASH中。

[0053] 在本实施例中,FPGA相对于传统PCIE桥片,除具有交换数据的功能外,还具有处理数据功能。由于FPGA被装配在PCIE总线上,主控板CPU与交换芯片传输的所有报文,FPGA都可以将该传输的所有报文的相关信息(即交互信息)统计下来。而由于在步骤402中,断开了PCIE总线,主控CPU与交换芯片之间不再传输报文,所以FPGA统计交互信息不会受到与本次交换芯片发生错误无关的报文信息的干扰。当FPGA接收到主控板CPU下发的记录指令时,将该交互信息记录到FLASH中,以供后续相关技术人员分析交换芯片的错误发生原因。

[0054] 步骤405,主控板CPU检测到交互信息记录完毕。

[0055] 步骤406,主控板CPU对单板进行热插拔操作。

[0056] 在本实施例中,承接于图5所示的结构,主控板CPU通过PCIE1,监控FPGA记录交互信息的情况,当检测到FPGA已经记录完交互信息时,对单板进行热插拔操作,以使得该单板上的PCIE设备继续正常工作;承接于图6所示的结构,主控板CPU通过local bus,监控FPGA记录交互信息的情况,当检测到FPGA已经记录完交互信息时,对单板进行热插拔操作,以使得该单板上的PCIE设备继续正常工作。

[0057] 由以上技术方案可见,本申请通过可编程逻辑器件将统计的交互信息记录到预设内存空间中,后续当相关技术人员需要分析PCIE设备的错误发生原因时,提取并分析预设内存空间中的交互信息即可。

[0058] 图7示出了根据本申请的一示例性实施例的基于主控板的CPU侧电子设备的示意结构图。请参考图7,在硬件层面,该电子设备包括处理器702、内部总线704、网络接口706、内存708以及非易失性存储器710,当然还可能包括其他业务所需要的硬件。处理器702从非易失性存储器710中读取对应的计算机程序到内存702中然后运行,在逻辑层面上形成记录PCIE设备错误信息的装置。当然,除了软件实现方式之外,本申请并不排除其他实现方式,比如逻辑器件抑或软硬件结合的方式等等,也就是说以下处理流程的执行主体并不限于各个逻辑单元,也可以是硬件或逻辑器件。

[0059] 请参考图8,在软件实施方式中,该记录PCIE设备错误信息的装置可以包括下发单元801。其中:

[0060] 下发单元801,当由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时,向预配置的可编程逻辑器件下发记录指令,以使得所述可编程逻辑器件将统计的交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因;

[0061] 其中,所述交互信息为所述CPU与所述PCIE设备之间传输的报文的相关信息。

[0062] 可选的,还包括:

[0063] 控制单元802,当检测到所述CPU产生缓存错误的信息时,断开所述PCIE总线。

[0064] 可选的,还包括:

[0065] 处理单元803,当所述可编程逻辑器件记录完所述交互信息时,对所述单板进行热插拔操作,以使得所述PCIE设备继续正常工作。

[0066] 可选的,所述可编程逻辑器件被装配在所述PCIE总线上,且位于所述主控板侧。

[0067] 可选的,所述可编程逻辑器件被装配在所述PCIE总线上,且位于所述单板侧,所述下发单元801具体用于:

[0068] 通过预配置的线路,向所述可编程逻辑器件下发所述记录指令,其中,所述预配置的线路区别于所述PCIE总线。

[0069] 图9示出了根据本申请的一示例性实施例的基于单板侧电子设备的示意结构图。请参考图9,在硬件层面,该电子设备包括处理器902、内部总线904、网络接口906、内存908以及非易失性存储器910,当然还可能包括其他业务所需要的硬件。处理器902从非易失性存储器910中读取对应的计算机程序到内存902中然后运行,在逻辑层面上形成记录PCIE设备错误信息的装置。当然,除了软件实现方式之外,本申请并不排除其他实现方式,比如逻辑器件抑或软硬件结合的方式等等,也就是说以下处理流程的执行主体并不限于各个逻辑单元,也可以是硬件或逻辑器件。

[0070] 请参考图10,在软件实施方式中,该移动存储设备的管控装置可以包括接收单元



1001和记录单元1002。其中：

[0071] 接收单元1001,所述可编程逻辑器件通过预配置的线路接收所述CPU下发的记录指令,所述记录指令是在由所述PCIE设备发生错误导致所述CPU产生缓存错误的信息时下发的;

[0072] 记录单元1002,所述可编程逻辑器件根据所述记录指令,将统计的所述交互信息记录到预设内存空间中,以供分析所述PCIE设备的错误发生原因。

[0073] 上述装置中各个单元的功能和作用的实现过程具体详见上述方法中对应步骤的实现过程,在此不再赘述。

[0074] 对于装置实施例而言,由于其基本对应于方法实施例,所以相关之处参见方法实施例的部分说明即可。以上所描述的装置实施例仅仅是示意性的,其中所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本申请方案的目的。本领域普通技术人员在不付出创造性劳动的情况下,即可以理解并实施。

[0075] 以上所述仅为本申请的较佳实施例而已,并不用以限制本申请,凡在本申请的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本申请保护的范围之内。

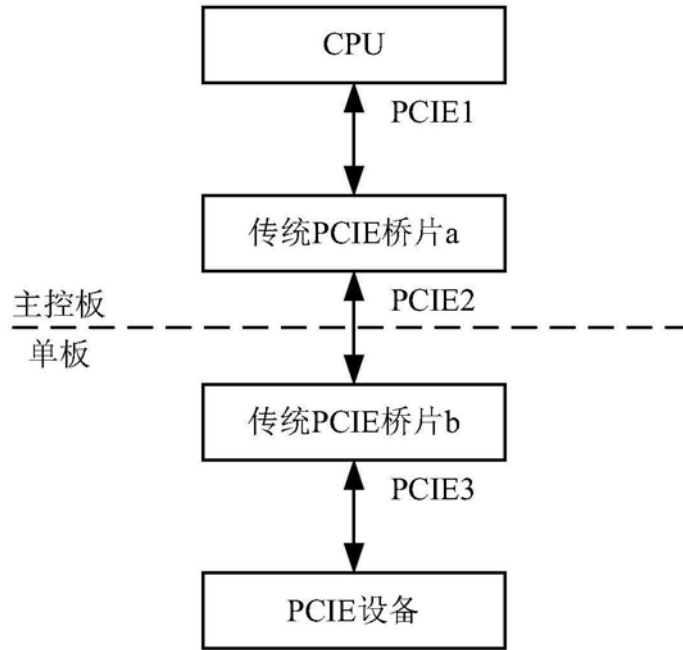


图1

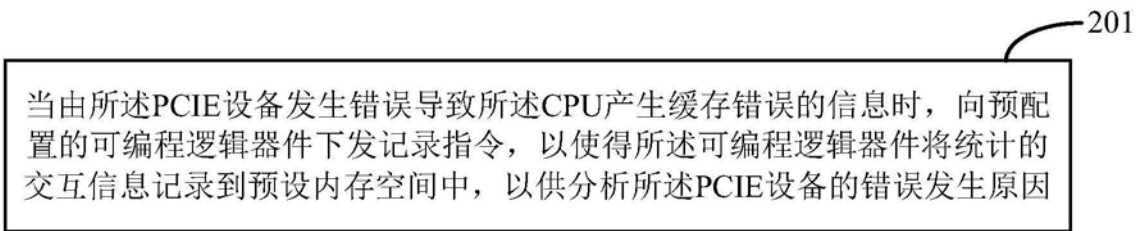


图2

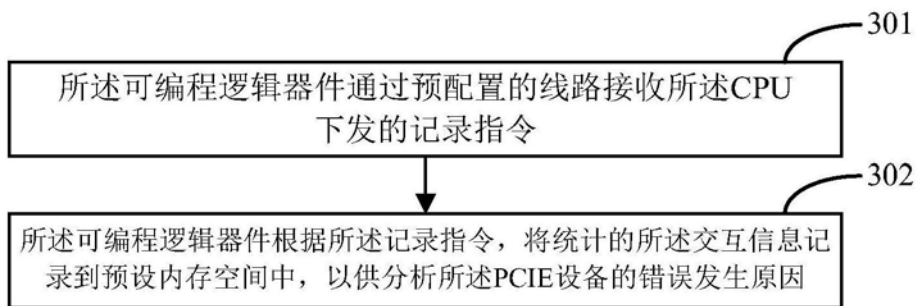


图3

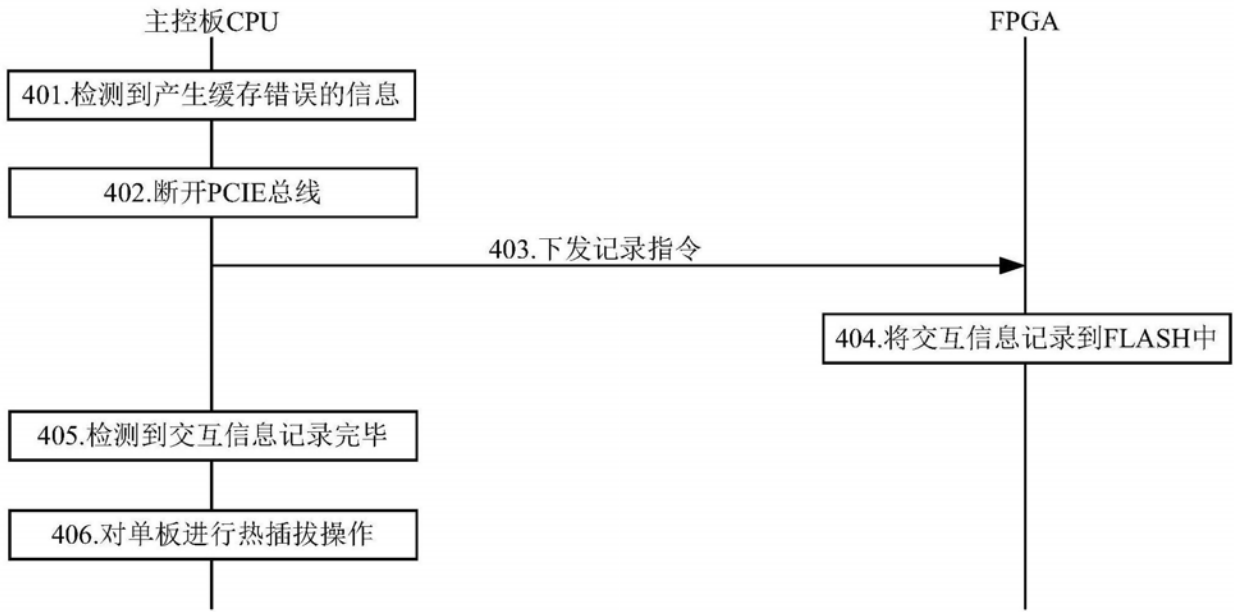


图4

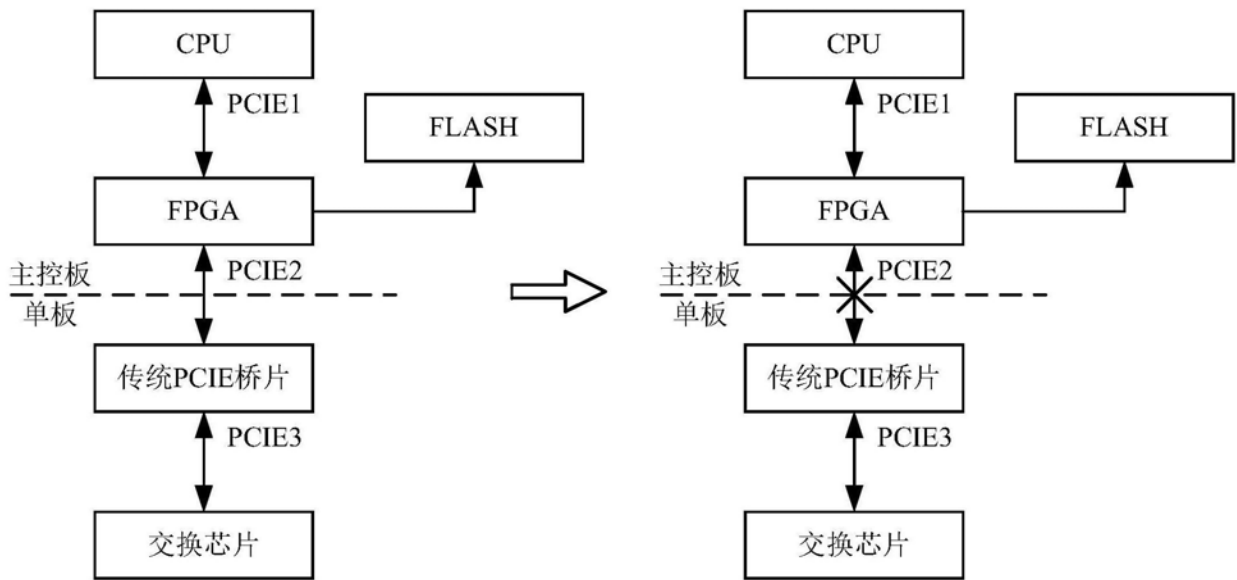


图5

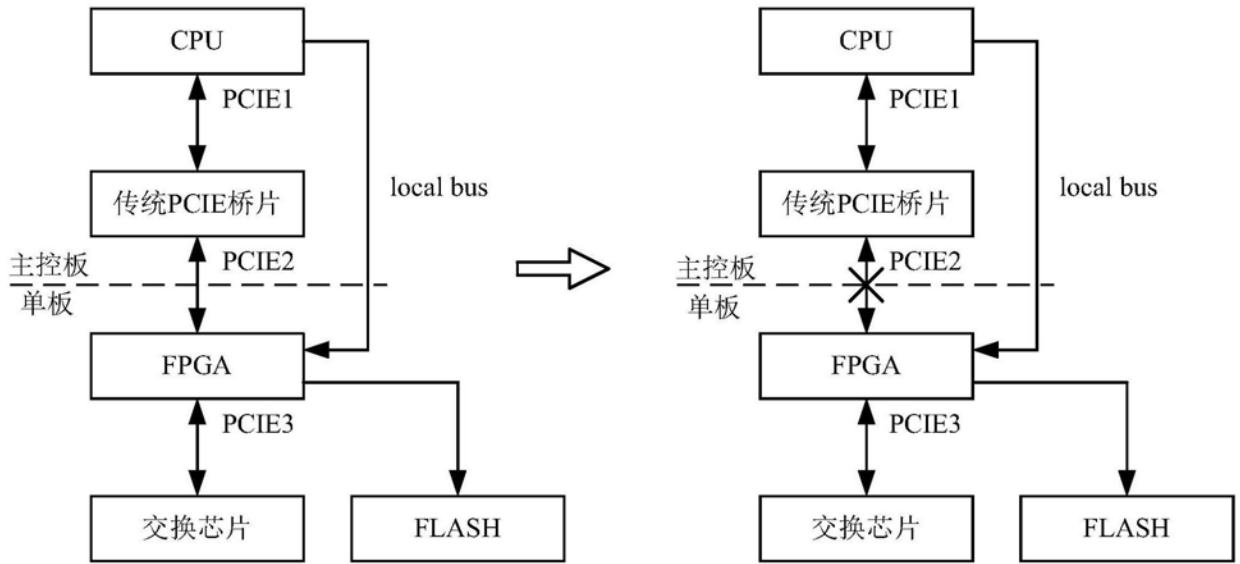


图6

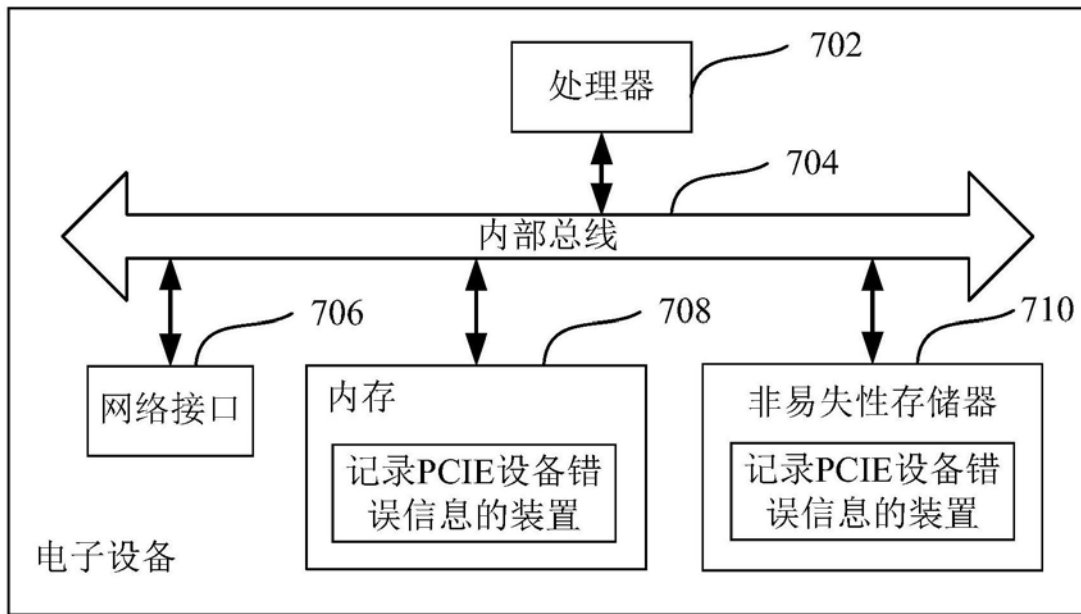


图7

记录PCIE设备错误信息的装置

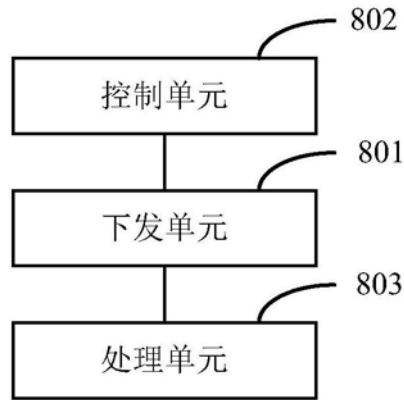


图8

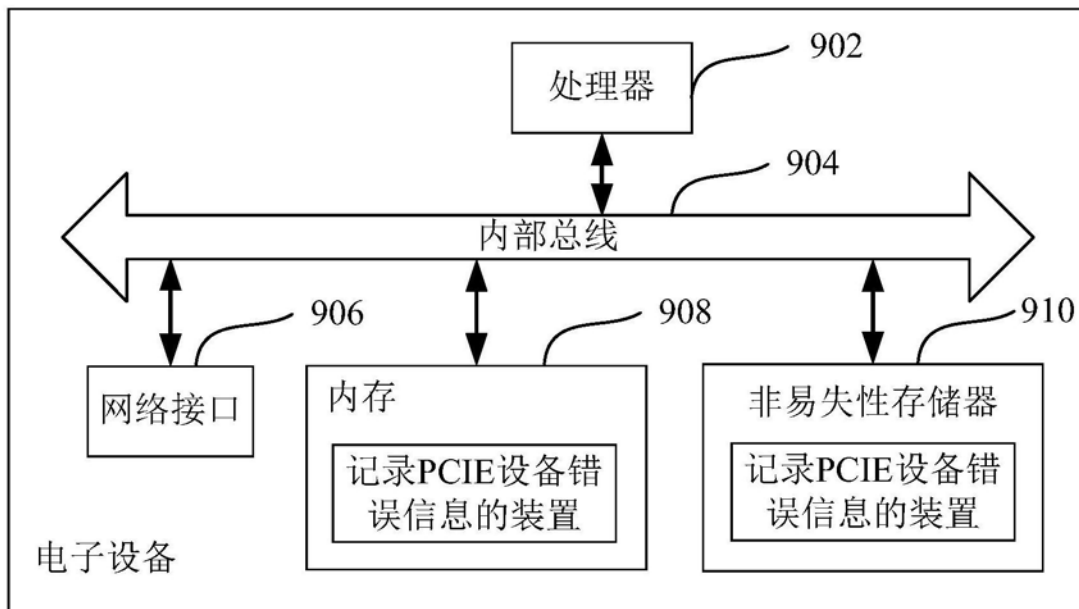


图9

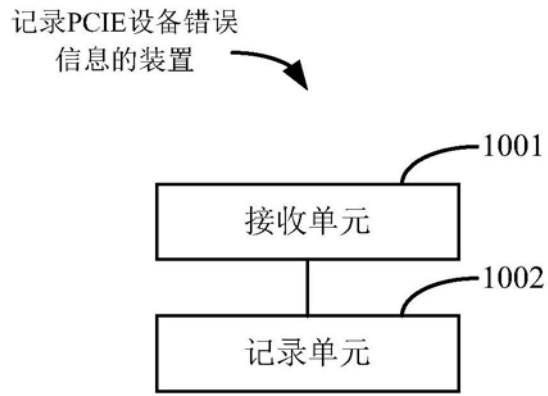


图10