



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년09월10일

(11) 등록번호 10-2154352

(24) 등록일자 2020년09월03일

(51) 국제특허분류(Int. Cl.)
G11C 14/00 (2006.01) G11C 11/16 (2006.01)(52) CPC특허분류
G11C 14/0081 (2013.01)
G11C 11/1673 (2013.01)

(21) 출원번호 10-2019-0027183

(22) 출원일자 2019년03월08일

심사청구일자 2019년03월08일

(56) 선행기술조사문헌

W02013035836 A1*

Karim. Ali et al., 'Energy and Area Efficient Spin-Orbit Torque Nonvolatile Flip-Flop for Power Gating Architecture', IEEE Trans VLSI V.26, N.4, 630~638 (2018.04.30.) 1부.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

박종선

서울특별시 서초구 신반포로 9 85동 403호 (반포동, 반포아파트)

강규성

경기도 용인시 기흥구 구갈로 28 번길 21-11 (구갈동, 한양아파트)

(74) 대리인

이기성

전체 청구항 수 : 총 16 항

심사관 : 윤석채

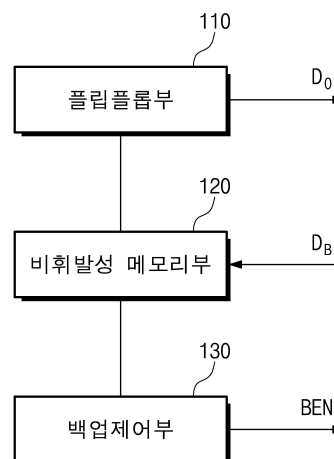
(54) 발명의 명칭 비휘발성 메모리 기반의 플립플롭 및 그 백업 동작방법

(57) 요약

본 출원의 일 실시예에 따르는 비휘발성 메모리 기반의 플립플롭은, 출력데이터를 출력하는 플립플롭부, 상기 플립플롭부에 전기적으로 연결되고, 백업데이터를 저장하는 비휘발성 메모리부 및 상기 백업데이터와 상기 출력데이터의 동일 여부에 기초하여, 상기 출력데이터를 상기 백업데이터로 백업하는 백업동작을 선택적으로 수행시키는 백업제어부를 포함한다.

대표도 - 도1

100



명세서

청구범위

청구항 1

출력데이터를 출력하는 플립플롭부;

상기 플립플롭부에 전기적으로 연결되고, 백업데이터를 저장하는 비휘발성 메모리부; 및

상기 백업데이터와 상기 출력데이터의 동일 여부에 기초하여, 상기 출력데이터를 상기 백업데이터로 백업하는 백업동작을 선택적으로 수행시키는 백업제어부를 포함하고,

상기 비휘발성 메모리부는, 상기 플립플롭부로부터 상기 출력데이터에 대응되는 제1 노드 전압을 인가받는 제1 MTJ소자; 및

상기 플립플롭부로부터 상기 출력데이터에 대응되는 제2 노드 전압을 인가받는 제2 MTJ소자를 포함하며,

상기 백업제어부는, 상기 제1 및 제2 MTJ소자 사이에 직렬로 연결되고, 상기 제1 및 제2 노드 전압으로부터 전압 분배된 제1 및 제2 감지전압을 감지하는 감지회로부; 및

상기 제1 및 제2 감지전압 사이의 전압차에 기초하여, 백업 활성화 신호를 선택적으로 출력하는 신호생성부를 포함하는, 비휘발성 메모리 기반의 플립플롭.

청구항 2

제1항에 있어서,

상기 백업제어부는, 상기 출력데이터와 상기 백업데이터가 서로 동일한 경우, 상기 백업동작을 스킵시키는, 비휘발성 메모리 기반의 플립플롭.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 감지회로부는, 상기 제1 및 제2 감지전압 사이의 전압차에 따라, 상기 백업데이터와 상기 출력데이터 사이의 동일 여부를 나타내는 판단신호를 생성하는, 비휘발성 메모리 기반의 플립플롭.

청구항 6

제5항에 있어서,

상기 감지회로부는, 상기 제1 및 제2 감지전압 사이의 전압차가 기설정된 크기 미만인 경우, 상기 판단신호를 고전위 전압신호로 생성하고,

상기 제1 및 제2 감지전압 사이의 전압차가 기설정된 크기 이상인 경우, 상기 판단신호를 저전위 전압신호로 생성하는, 비휘발성 메모리 기반의 플립플롭.

청구항 7

제6항에 있어서,

상기 신호생성부는, 상기 판단신호가 저전위인 경우, 상기 백업 활성화 신호를 생성하고,

상기 판단신호가 고전위인 경우, 상기 백업 활성화 신호를 생성하지 않는, 비휘발성 메모리 기반의 플립플롭.

청구항 8

제1항에 있어서,

상기 감지회로부는, 상기 제1 및 제2 MTJ소자 사이에 직렬로 위치하는 제1 감지 트랜지스터;

상기 제1 감지 트랜지스터의 드레인 측에 게이트가 연결되는 제2 감지 트랜지스터;

상기 제1 감지 트랜지스터의 소스 측에 게이트가 연결되는 제3 감지 트랜지스터; 및

상기 제3 감지 트랜지스터의 소스 측과 접지전원 사이에 위치하는 제4 감지 트랜지스터를 포함하는, 비휘발성 메모리 기반의 플립플롭.

청구항 9

제8항에 있어서,

상기 제1 감지 트랜지스터와 상기 제1 및 제2 MTJ소자는, 상기 제1 및 제2 노드 전압을 상기 제1 및 제2 감지전압으로 분배하는 전압 분배 회로인, 비휘발성 메모리 기반의 플립플롭.

청구항 10

제8항에 있어서,

상기 제1 감지 트랜지스터는 체크신호에 기초하여, 상기 제1 및 제2 MTJ소자를 서로 연결하고,

상기 체크신호는 쓰기구동부를 구동하는 쓰기구동신호의 하강 에지에 대응되는, 비휘발성 메모리 기반의 플립플롭.

청구항 11

제8항에 있어서,

상기 제2 감지 트랜지스터는 PMOS 트랜지스터이고, 상기 제1, 제3 및 제4 감지 트랜지스터는 NMOS 트랜지스터인, 비휘발성 메모리 기반의 플립플롭.

청구항 12

제8항에 있어서,

상기 신호생성부는, 상기 제2 및 제3 감지 트랜지스터 사이에 위치한 판단노드에 게이트가 연결되는 제1 신호 트랜지스터;

상기 제1 신호 트랜지스터와 구동전원 사이에 위치하는 제2 신호 트랜지스터; 및

상기 제1 신호 트랜지스터와 접지전원 사이에 위치하는 제3 신호 트랜지스터를 포함하는, 비휘발성 메모리 기반의 플립플롭.

청구항 13

제12항에 있어서,

상기 제1 신호 트랜지스터는, 상기 판단노드를 통해 인가받는 판단신호에 기초하여, 상기 제2 및 제3 신호 트랜지스터를 서로 연결하는, 비휘발성 메모리 기반의 플립플롭.

청구항 14

제12항에 있어서,

상기 제1 및 제2 신호 트랜지스터는 PMOS 트랜지스터이고, 상기 제3 신호 트랜지스터는 NMOS 트랜지스터인, 비휘발성 메모리 기반의 플립플롭.

청구항 15

제1항에 있어서,

상기 제1 및 제2 MTJ소자는, STT(spin-torque transfer), SOT(Spin-Orbit Torque), PRAM(phase change RAM), NFGM(nano floating gate memory), ReRAM(resistance RAM), PoRAM(polymer RAM), MRAM(magnetic RAM), 분자 전자소자 중 적어도 하나의 저항성 메모리소자로 구현되는, 비휘발성 메모리 기반의 플립플롭.

청구항 16

비휘발성 메모리 기반의 플립플롭의 동작 방법으로서,

플립플롭부가 출력데이터를 출력하는 단계;

비휘발성 메모리부가 상기 출력데이터에 대응되는 제1 및 제2 노드 전압을 인가받는 단계;

백업제어부가 상기 제1 및 제2 노드 전압에 기초하여, 상기 출력데이터와 상기 비휘발성 메모리부에 저장된 백업데이터 사이의 동일 여부를 판단하는 단계;

상기 백업제어부가 상기 출력데이터와 상기 백업데이터 사이의 동일 여부에 기초하여, 백업 활성화 신호를 선택적으로 출력하는 단계를 포함하고

상기 인가받는 단계는, 상기 비휘발성 메모리부의 제1 MTJ소자가 상기 플립플롭부로부터 상기 제1 노드 전압을 인가받는 단계; 및

상기 비휘발성 메모리부의 제2 MTJ소자가 상기 플립플롭부로부터 상기 제2 노드 전압을 인가받는 단계를 포함하며,

상기 판단하는 단계는, 상기 백업제어부가 상기 제1 및 제2 MTJ소자 사이에 직렬 연결된 제1 감지 트랜지스터를 통해 상기 제1 및 제2 노드 전압이 전압 분배된 제1 및 제2 감지전압을 감지하는 단계; 및

상기 백업제어부가 상기 제1 및 제2 감지전압 사이의 전압차에 기초하여, 상기 출력데이터와 백업데이터 사이의 동일 여부를 나타내는 판단신호를 생성하는 단계를 포함하는, 비휘발성 메모리 기반의 플립플롭의 동작 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

제16항에 있어서,

상기 판단신호를 생성하는 단계는, 상기 제1 및 제2 감지전압 사이의 전압차가 기설정된 전압크기 미만인 경우, 상기 판단신호를 고전위의 전압신호로 생성하는 단계; 및

상기 제1 및 제2 감지전압 사이의 전압차가 기설정된 전압크기 이상인 경우, 상기 판단신호를 저전위의 전압신호로 생성하는 단계를 포함하는, 비휘발성 메모리 기반의 플립플롭의 동작 방법.

청구항 20

제16항에 있어서,

상기 백업 활성화 신호를 선택적으로 출력하는 단계는, 상기 판단신호가 고전위인 경우, 상기 백업 활성화 신호를 출력하는 단계; 및

상기 판단신호가 저전위인 경우, 상기 백업 활성화 신호를 출력하지 않는 단계를 포함하는, 비휘발성 메모리 기반의 플립플롭의 동작 방법.

발명의 설명

기술 분야

[0001] 본 출원은, 비휘발성 메모리 기반의 플립플롭 및 그 백업 동작방법에 관한 것으로, 특히, 백업 동작을 스킵할 수 있는 비휘발성 메모리 기반의 플립플롭에 관한 것이다.

배경 기술

[0002] 모바일 디바이스에서 대기시간은 사용시간보다 훨씬 길다. 이로 인해, 누설전력으로 인한 모바일 디바이스의 에너지 소모가 크기 때문에, 전원을 차단하는 파워 게이팅(power-gating) 기법이 모바일 디바이스에서 사용되고 있다.

[0003] 여기서, 파워 게이팅(power-gating) 기법은, 모바일 디바이스에서 각 회로에 인가하는 전원을 차단하므로, 연산 결과나 시스템 상태를 저장하는 데 사용되는 플립플롭은 해당 데이터를 손실할 수 있다.

[0004] 따라서, 모바일 디바이스에서 각 회로에 전원을 재인가할 때, 전원 차단 이전의 상태로 다시 돌아오기 위해서는 비휘발성 메모리 기반의 플립플롭을 이용하여 전원 차단 이전에 데이터를 백업해야 한다.

[0005] 여기서, 비휘발성 메모리 기반의 플립플롭은 CMOS 회로와 함께 집적 가능한 STT-MRAM, ReRAM 등의 이머징 메모리(emerging memory) 소자를 통해 데이터를 저장한다. 특히, 이머징 메모리 소자는 데이터를 저장의 크기로 구분하기 때문에, 2개의 소자를 이용하여 각각 R_H (high resistance), R_L (low resistance)로 저장하여, 데이터 복원 시 이를 이용한 차동 감지(differential sensing) 방식을 이용해 플립플롭에 데이터를 복원할 수 있다.

[0006] 그러나, 이머징 소자에 데이터를 기록하는 데 소모되는 에너지가 큰 문제점이 있어, 이를 해결하기 위한 비휘발성 메모리 기반의 플립플롭이 필요한 상황이다.

발명의 내용

해결하려는 과제

[0007] 본 출원의 목적은, 출력데이터와 백업데이터가 서로 동일한 경우, 백업동작을 스킵하여, 백업동작에 따라 소모되는 전력을 감소시킬 수 있는 비휘발성 메모리 기반의 플립플롭 및 그 백업 동작방법에 관한 것이다.

과제의 해결 수단

[0008] 본 출원의 일 실시예에 따르는 비휘발성 메모리 기반의 플립플롭은, 출력데이터를 출력하는 플립플롭부, 상기 플립플롭부에 전기적으로 연결되고, 백업데이터를 저장하는 비휘발성 메모리부 및 상기 백업데이터와 상기 출력데이터의 동일 여부를 기초하여, 상기 출력데이터를 상기 백업데이터로 백업하는 백업동작을 선택적으로 수행시키는 백업제어부를 포함한다.

[0009] 실시예에 있어서, 상기 백업제어부는, 상기 출력데이터와 상기 백업데이터가 서로 동일한 경우, 상기 백업동작을 스킵시킨다.

[0010] 실시예에 있어서, 상기 비휘발성 메모리부는, 상기 플립플롭부로부터 상기 출력데이터에 대응되는 제1 노드 전압을 인가받는 제1 MTJ소자 및 상기 플립플롭부로부터 상기 출력데이터에 대응되는 제2 노드 전압을 인가받는 제2 MTJ소자를 포함한다.

[0011] 실시예에 있어서, 상기 백업제어부는, 상기 제1 및 제2 MTJ소자 사이에 직렬로 연결되고, 상기 제1 및 제2 노드 전압으로부터 전압 분배된 제1 및 제2 감지전압을 감지하는 감지회로부 및 상기 제1 및 제2 감지전압 사이의 전압차에 기초하여, 백업 활성화 신호를 선택적으로 출력하는 신호생성부를 포함한다.

[0012] 실시예에 있어서, 상기 감지회로부는, 상기 제1 및 제2 감지전압 사이의 전압차에 따라, 상기 백업데이터와 상기 출력데이터 사이의 동일 여부를 나타내는 판단신호를 생성한다.

[0013] 실시예에 있어서, 상기 감지회로부는, 상기 제1 및 제2 감지전압 사이의 전압차가 기설정된 크기 미만인 경우, 상기 판단신호를 고전위 전압신호로 생성하고, 상기 제1 및 제2 감지전압 사이의 전압차가 기설정된 크기 이상인 경우, 상기 판단신호를 저전위 전압신호로 생성한다.

- [0014] 실시예에 있어서, 상기 신호생성부는, 상기 판단신호가 저전위인 경우, 상기 백업 활성화 신호를 생성하고, 상기 판단신호가 고전위인 경우, 상기 백업 활성화 신호를 생성하지 않는다.
- [0015] 실시예에 있어서, 상기 감지회로부는, 상기 제1 및 제2 MTJ소자 사이에 직렬로 위치하는 제1 감지 트랜지스터, 상기 제1 감지 트랜지스터의 드레인 측에 게이트가 연결되는 제2 감지 트랜지스터, 상기 제1 감지 트랜지스터의 소스 측에 게이트가 연결되는 제3 감지 트랜지스터 및 상기 제3 감지 트랜지스터의 소스 측과 접지전원 사이에 위치하는 제4 트랜지스터를 포함한다.
- [0016] 실시예에 있어서, 상기 제1 감지 트랜지스터와 상기 제1 및 제2 MTJ소자는, 상기 제1 및 제2 노드 전압을 상기 제1 및 제2 감지전압으로 분배하는 전압 분배 회로를 형성한다.
- [0017] 실시예에 있어서, 상기 제1 감지 트랜지스터는 체크신호에 기초하여, 상기 제1 및 제2 MTJ소자를 서로 연결하고, 상기 체크신호는 쓰기구동부를 구동하는 쓰기구동신호의 하강 에지에 대응된다.
- [0018] 실시예에 있어서, 상기 제2 감지 트랜지스터는 PMOS 트랜지스터이고, 상기 제1, 제3 및 제4 감지 트랜지스터는 NMOS 트랜지스터이다.
- [0019] 실시예에 있어서, 상기 신호생성부는, 상기 제2 및 제3 감지 트랜지스터 사이에 위치한 판단노드에 게이트가 연결되는 제1 신호 트랜지스터, 상기 제1 신호 트랜지스터와 구동전원 사이에 위치하는 제2 신호 트랜지스터 및 상기 제1 신호 트랜지스터와 구동전원 사이에 위치하는 제3 신호 트랜지스터를 포함한다.
- [0020] 실시예에 있어서, 상기 제1 신호 트랜지스터는, 상기 판단노드를 통해 인가받는 판단신호에 기초하여, 상기 제2 및 제3 신호 트랜지스터를 서로 연결한다.
- [0021] 실시예에 있어서, 상기 제1 및 제2 신호 트랜지스터는 PMOS 트랜지스터이고, 상기 제3 신호 트랜지스터는 NMOS 트랜지스터이다.
- [0022] 실시예에 있어서, 상기 제1 및 제2 MTJ소자는, STT(spin-torque transfer), SOT(Spin-Orbit Torque), PRAM(phase change RAM), NFGM(nano floating gate memory), ReRAM(resistance RAM), PoRAM(polymer RAM), MRAM(magnetic RAM), 분자 전자소자 중 적어도 하나의 저항성 메모리소자로 구현된다.
- [0023] 본 출원의 일 실시예에 따르는 비휘발성 메모리 기반의 플립플롭의 동작 방법으로서, 플립플롭부가 출력데이터를 출력하는 단계, 비휘발성 메모리부가 상기 출력데이터에 대응되는 제1 및 제2 노드 전압을 인가받는 단계, 백업제어부가 상기 제1 및 제2 노드 전압에 기초하여, 상기 출력데이터와 상기 비휘발성 메모리부에 저장된 백업데이터 사이의 동일 여부를 판단하는 단계 및 상기 백업제어부가 상기 출력데이터와 상기 백업데이터 사이의 동일 여부에 기초하여, 백업 활성화 신호를 선택적으로 출력하는 단계를 포함한다.
- [0024] 실시예에 있어서, 상기 인가받는 단계는, 상기 비휘발성 메모리부의 제1 MTJ소자가 상기 플립플롭부로부터 상기 제1 노드 전압을 인가받는 단계 및 상기 비휘발성 메모리부의 제2 MTJ소자가 상기 플립플롭부로부터 상기 제2 노드 전압을 인가받는 단계를 더 포함한다.
- [0025] 실시예에 있어서, 상기 판단하는 단계는, 상기 제1 및 제2 MTJ소자 사이에 직렬 연결된 제1 감지 트랜지스터를 통해 상기 제1 및 제2 노드 전압이 전압 분배된 제1 및 제2 감지전압을 감지하는 단계 및 상기 제1 및 제2 감지전압 사이의 전압차에 기초하여, 상기 출력데이터와 백업데이터 사이의 동일 여부를 나타내는 판단신호를 생성하는 단계를 포함한다.
- [0026] 실시예에 있어서, 상기 판단신호를 생성하는 단계는, 상기 제1 및 제2 감지전압 사이의 전압차가 기설정된 전압 크기 미만인 경우, 상기 판단신호를 고전위의 전압신호로 생성하는 단계 및 상기 제1 및 제2 감지전압 사이의 전압차가 기설정된 전압크기 이상인 경우, 상기 판단신호를 저전위의 전압신호로 생성하는 단계를 포함한다.
- [0027] 실시예에 있어서, 상기 백업 활성화 신호를 선택적으로 출력하는 단계는, 상기 판단신호가 고전위인 경우, 상기 백업 활성화 신호를 출력하는 단계 및 상기 판단신호가 저전위인 경우, 상기 백업 활성화 신호를 출력하지 않는 단계를 포함하는, 비휘발성 메모리 기반의 플립플롭의 동작 방법.

발명의 효과

- [0028] 본 출원의 실시 예에 따른 비휘발성 메모리 기반의 플립플롭 및 그 백업 동작방법은, 출력데이터와 백업데이터가 서로 동일한 경우, 백업동작을 스킵하여, 백업동작에 따라 소모되는 전력을 감소시킬 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 출원의 일 실시예에 따른 비휘발성 메모리 기반의 플립플롭에 대한 블록도이다.
- 도 2는 도 1의 플립플롭부에 대한 실시 예이다.
- 도 3은 도 1의 비휘발성 메모리부에 대한 실시 예이다.
- 도 4는 도 1의 비휘발성 메모리 기반의 플립플롭의 동작 프로세스이다.
- 도 5는 도 1의 백업제어부의 블록도이다.
- 도 6은 도 5의 전압 분배 회로를 구체적으로 보여주는 도면이다.
- 도 7은 도 5의 백업제어부를 구체적으로 보여주는 도면이다.
- 도 8은 도 5의 백업제어부에 대한 동작 프로세스이다.
- 도 9는 도 1의 비휘발성 메모리 기반의 플립플롭에 대한 실시 예이다.
- 도 10은 비휘발성 메모리 기반의 플립플롭에 대한 상태 다이어그램을 보여주는 도면이다.
- 도 11은 도 1의 비휘발성 메모리 기반의 플립플롭의 동작 타이밍 도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0031] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0032] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수 있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.
- [0033] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0034] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0035] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명한다.

- [0037] 도 1은 본 출원의 일 실시예에 따른 비휘발성 메모리 기반의 플립플롭(100)에 대한 블록도이다.
- [0038] 도 1을 참조하면, 비휘발성 메모리 기반의 플립플롭(100)은, 플립플롭부(110), 비휘발성 메모리부(120), 및 백업제어부(130)를 포함할 수 있다.
- [0039] 먼저, 플립플롭부(110)는 파워 게이팅(Power Gating) 동작 시, 입력데이터(D_{IN})와 클럭주파수(CK)를 입력받을 수 있다. 여기서, 파워 게이팅(Power Gating) 동작은 슬립모드에서 전원을 차단하는 일련의 동작 과정일 수 있다.
- [0040] 구체적으로, 플립플롭부(110)는 입력데이터(D_{IN})와 클럭주파수(CK)에 기초하여, 출력데이터(D_O)를 생성할 수 있다. 이때, 플립플롭부(110)는 클럭주파수(CK)에 따라, 입력데이터(D_{IN})를 출력데이터(D_O)로 유지 또는 변경시키는 적어도 하나 이상의 래치(Latch)를 포함할 수 있다.
- [0041] 다음으로, 비휘발성 메모리부(120)는 플립플롭부(110)와 전기적으로 연결되고, 백업데이터(D_b)를 저장할 수 있다. 예를 들면, 비휘발성 메모리부(120)는 전기적으로 읽기(read), 쓰기(write) 및 소거(erase)가 가능하며, 공급 전원이 없는 상태에서도 저장된 백업데이터(D_b)를 유지할 수 있는 비휘발성 메모리(Non-volatile memory)일 수 있다.
- [0042] 다음으로, 백업제어부(130)는 백업데이터(D_b)와 출력데이터(D_O) 사이의 동일 여부에 기초하여, 출력데이터(D_O)를 백업데이터(D_b)로 백업하는 백업동작을 선택적으로 수행시킬 수 있다. 여기서, 백업동작은, 출력데이터(D_O)를 백업데이터(D_b)로 복사하는 동작을 의미할 수 있다.
- [0043] 예를 들면, 백업제어부(130)는 백업데이터(D_b)와 출력데이터(D_O) 사이의 동일 여부에 기초하여, 백업 활성화 신호(B_{EN})를 선택적으로 쓰기구동부에 출력할 수 있다. 여기서, 백업 활성화 신호(B_{EN})는 백업 동작을 수행하는 쓰기구동부를 제어하기 위한 제어신호일 수 있다.
- [0044] 즉, 백업제어부(130)는 백업데이터(D_b)와 출력데이터(D_O) 사이의 동일 여부에 따라, 백업동작을 스킵시킬 수 있다. 구체적으로, 백업데이터(D_b)와 출력데이터(D_O)가 서로 동일한 경우, 백업제어부(130)는 백업동작을 스킵하고, 백업데이터(D_b)와 출력데이터(D_O)가 서로 동일하지 않는 경우, 백업제어부(130)는 백업동작을 수행시킬 수 있다.
- [0045] 특히, 본 출원의 기술적 사상에 따른 실시 예에 있어서, 백업데이터(D_b)와 출력데이터(D_O)가 서로 다른 데이터일 경우, 비휘발성 메모리 기반의 플립플롭(100)은 백업제어부(130)를 통해 백업동작을 선택적으로 수행시킬 수 있다. 따라서, 출력데이터(D_O)를 백업데이터(D_b)로 비휘발성 메모리에 모두 백업하는 종래의 플립플롭에서 소모되는 전력소비를 획기적으로 감소시킬 수 있다.
- [0046] 이하, 플립플롭부(110), 비휘발성 메모리부(120), 및 백업제어부(130)에 대해 보다 구체적으로 설명될 것이다.
- [0047] 도 2는 도 1의 플립플롭부(110)에 대한 실시 예이다.
- [0048] 도 1과 도 2를 참조하면, 플립플롭부(110)는 마스터 래치(111)와 슬레이브 래치(113)를 포함할 수 있다.
- [0049] 먼저, 마스터 래치(111)는 파워 게이팅(Power Gating) 동작에 따라 입력받는 입력데이터(D_{IN})와 클럭주파수(CK) 중 클럭주파수(CK)를 지연시켜, 지연주파수(CKB)를 생성할 수 있다. 이때, 마스터 래치(111)는 입력데이터(D_{IN}), 클럭주파수(CK) 및 지연주파수(CKB)에 기초하여, 마스터 래치 출력신호(ML)를 슬레이브 래치(113)로 출력할 수 있다.
- [0050] 다음으로, 슬레이브 래치(113)는 마스터 래치(111)와 전기적으로 연결되고, 마스터 래치 출력신호(ML), 클럭주파수(CK) 및 지연주파수(CKB)에 기초하여, 출력데이터(D_O)를 출력노드(Q)를 통해 출력할 수 있다.
- [0051] 구체적으로, 슬레이브 래치(113)는 제1 노드(QA)를 통해 비휘발성 메모리부(120)의 일측과 전기적으로 연결되고, 제2 노드(QB)를 통해 비휘발성 메모리부(120)의 타측과 전기적으로 연결될 수 있다. 예를 들면, 비휘발성 메모리부(120)의 일측에는 이하에서 설명될 제1 MTJ소자(121_1)가 위치하고, 비휘발성 메모리부(120)의 일측에는 이하에서 설명될 제2 MTJ소자(121_2)가 위치할 수 있다.

- [0052] 이때, 슬래이브 래치(113)는 제1 노드(QA)를 통해 제1 노드 전압(V_{QA})을 비휘발성 메모리부(120)의 일측으로 인가하고, 제2 노드(QB)를 통해 제2 노드 전압(V_{QB})을 비휘발성 메모리부(120)의 타측으로 인가할 수 있다. 여기서, 제1 및 제2 노드 전압(QA, QB)은 출력데이터(D_0)에 따라 서로 스위칭되는 출력데이터(D_0)에 대한 입력전원일 수 있다.
- [0053] 이하, 도 3을 참조하여, 비휘발성 메모리부(120)에 대해 보다 구체적으로 설명한다.
- [0054] 도 3은 도 1의 비휘발성 메모리부(120)에 대한 실시 예이다.
- [0055] 도 1 내지 도 3을 참조하면, 비휘발성 메모리부(120)는 제1 및 제2 MTJ소자(121_1, 121_2)와 제1 내지 제4 트랜지스터(123_1~123_4)를 포함할 수 있다.
- [0056] 먼저, 제1 및 제2 MTJ소자(121_1, 121_2)는 출력데이터(D_0)에 대응되는 제1 및 제2 노드 전압(V_{QA} , V_{QB})을 슬래이브 래치(113)로부터 인가받을 수 있다. 구체적으로, 제1 MTJ소자(121_1)는 출력데이터(D_0)에 대응되는 제1 노드 전압(V_{QA})을 인가받고, 제2 MTJ소자(121_2)는 출력데이터(D_0)에 대응되는 제2 노드 전압(V_{QB})을 인가받을 수 있다. 즉, 비휘발성 메모리부(120)는 제1 및 제2 MTJ소자(121_1, 121_2)를 통해 제1 및 제2 노드 전압(V_{QA} ~ V_{QB})을 인가받을 수 있다.
- [0057] 예를 들면, 제1 및 제2 MTJ소자(121_1, 121_2) 각각은 메탈층, 상기 메탈층에 인접한 강자성체로 구성된 자유층, 상기 자유층과 같은 강자성체로 구성된 고정층, 상기 자유층과 상기 고정층 사이에 절연층이 위치한 샌드위치 구조를 가질 수 있다.
- [0058] 이러한 제1 및 제2 MTJ소자(121_1, 121_2)는 슬래이브 래치(113)와 전기적으로 연결되는 메탈층을 통해 제1 및 제2 노드 전압(V_{QA} , V_{QB})을 인가받을 수 있다. 구체적으로, 제1 및 제2 노드 전압(V_{QA} , V_{QB})에 따른 전류가 강자성층/절연층/강자성층을 지날 때, 제1 및 제2 MTJ소자(121_1, 121_2)는 강자성층의 자화 배열 상태에 따라 저항성분이 달라질 수 있다. 이때, 고정된 자화 배열을 가지는 고정층과 달리 자유층의 자화 배열은 특정 쓰기 전류에 따라 자화 배열 상태가 바뀔 수 있다.
- [0059] 본 출원에서, 제1 및 제2 MTJ소자(121_1, 121_2)는 MRAM(magnetic RAM)의 메모리 소자로 설명되지만 이를 한정하는 것은 아니며, 실시예에 따른 제1 및 제2 MTJ소자(121_1, 121_2)는 제1 및 제2 저항성 메모리 소자로 구현될 수도 있다.
- [0060] 즉, 제1 및 제2 MTJ소자(121_1, 121_2)는 STT(spin-torque transfer), SOT(Spin-Orbit Torque), PRAM(phase change RAM), NFGM(nano floating gate memory), ReRAM(resistance RAM), PoRAM(polymer RAM), MRAM(magnetic RAM), 분자 전자소자 중 적어도 하나의 저항성 메모리로 구현될 수 있으며, 여기에서 설명하는 구현예 및 실시예에 한정되지 않는다.
- [0061] 다음으로, 제1 내지 제4 트랜지스터(123_1~123_4)는 제1 및 제2 MTJ소자(121_1, 121_2)를 직렬 또는 병렬로 직접 또는 간접적으로 연결시킬 수 있다.
- [0062] 구체적으로, 제1 트랜지스터(123_1)는 제1 및 제2 MTJ소자(121_1, 121_2)의 각 메탈층의 일측을 서로 직렬로 연결시킬 수 있다. 즉, 제1 및 제2 MTJ소자(121_1, 121_2)는 각 메탈층의 일측에서, 제1 트랜지스터(123_1)를 통해 서로 직렬 연결될 수 있다.
- [0063] 또한, 제2 트랜지스터(123_2)는 제1 및 제2 MTJ소자(121_1, 121_2)의 각 메탈층의 타측을 서로 직렬로 연결시킬 수 있다. 즉, 제1 및 제2 MTJ소자(121_1, 121_2)는 각 메탈층의 타측에서, 제2 트랜지스터(123_2)를 통해 서로 직렬 연결될 수 있다.
- [0064] 또한, 제3 트랜지스터(123_3)는 제1 MTJ소자(121_1)의 강자성층을 접지전원(VSS)에 연결시킬 수 있다. 이때, 제1 감지노드(X1)는 제3 트랜지스터(123_3)의 드레인과 제1 MTJ소자(121_1)의 강자성층 사이에 위치할 수 있다.
- [0065] 또한, 제4 트랜지스터(123_4)는 제2 MTJ소자(121_2)의 강자성층을 접지전원(VSS)에 연결시킬 수 있다. 이때, 제2 감지노드(X0)는 제4 트랜지스터(123_4)의 드레인과 제2 MTJ소자(121_2)의 강자성층 사이에 위치할 수 있다.
- [0066] 도 4는 도 1의 비휘발성 메모리 기반의 플립플롭(100)의 동작 프로세스이다.
- [0067] 도 1 내지 도 4를 참조하면, 먼저, S110 단계에서, 플립플롭부(110)는 출력데이터(D_0)를 출력할 수 있다.

- [0068] 다음으로, S120 단계에서, 비휘발성 메모리부(120)가 출력데이터(D_0)에 대응되는 제1 및 제2 노드 전압(V_{QA} , V_{QB})을 플립플롭부(110)로부터 인가받을 수 있다. 구체적으로, 제1 MTJ소자(121_1)는 플립플롭부(110)로부터 출력데이터(D_0)에 대응되는 제1 노드 전압(V_{QA})을 인가받고, 제2 MTJ소자(121_2)는 플립플롭부(110)로부터 출력데이터(D_0)에 대응되는 제2 노드 전압(V_{QB})을 인가받을 수 있다.
- [0069] 다음으로, S130 단계에서, 백업제어부(130)는 제1 및 제2 노드 전압(V_{QA} , V_{QB})에 기초하여, 출력데이터(D_0)와 비휘발성 메모리부(120)에 저장된 백업데이터(D_b) 사이의 동일 여부를 판단할 수 있다. 구체적으로, 감지회로부(131)는 제1 및 제2 노드 전압(V_{QA} , V_{QB})을 비휘발성 메모리부(120)를 통해 인가받음에 따라, 출력데이터(D_0)와 비휘발성 메모리부(120)에 저장된 백업데이터(D_b) 사이의 동일 여부를 판단할 수 있다.
- [0070] 이후, S140 단계에서, 백업제어부(130)는 출력데이터(D_0)와 백업데이터(D_b) 사이의 동일 여부에 기초하여, 백업활성화 신호(B_{EN})를 선택적으로 쓰기구동부에 출력할 수 있다.
- [0071] 도 5는 도 1의 백업제어부(130)의 블록도이고, 도 6은 도 5의 전압분배회로(150)를 구체적으로 보여주는 도면이다.
- [0072] 도 1, 도 5 및 도 6을 참조하면, 백업제어부(130)는 감지회로부(131)와 신호생성부(135)를 포함할 수 있다.
- [0073] 먼저, 감지회로부(131)는 제1 및 제2 MTJ소자(121_1, 121_2) 사이에 직렬로 연결되고, 제1 및 제2 노드 전압(V_{QA} , V_{QB})으로부터 제1 및 제2 감지노드(X_1 , X_0)를 통해 전압 분배된 제1 및 제2 감지 전압(V_{X1} , V_{X0})을 감지할 수 있다.
- [0074] 구체적으로, 감지회로부(131)는 비휘발성 메모리부(120)의 제1 및 제2 감지노드(X_1 , X_0)를 통해 제1 및 제2 MTJ소자(121_1, 121_2)의 각 강자성층과 전기적으로 직렬 연결될 수 있다. 이때, 감지회로부(131)는 제1 및 제2 MTJ소자(121_1, 121_2)와의 직렬 연결을 통해 전압 분배 회로(Voltage Divider, 150)를 형성할 수 있다.
- [0075] 도 6에 도시된 바와 같이, 감지회로부(131)는 제1 및 제2 감지노드(X_1 , X_0) 사이에 직렬로 연결될 수 있다. 이때, 제1 및 제2 노드 전압(V_{QA} , V_{QB})이 비휘발성 메모리부(120)에 인가됨에 따라, 감지회로부(131)는 제1 및 제2 감지노드(X_1 , X_0)를 통해 전압 분배되는 제1 및 제2 감지 전압(V_{X1} , V_{X0}) 사이의 전압차(VD)를 감지할 수 있다.
- [0076] 예를 들면, 제1 및 제2 노드 전압(V_{QA} , V_{QB})은 비휘발성 메모리부(120)에 대한 입력전원(VDD, VSS)일 수 있으므로, 제1 및 제2 감지노드(X_1 , X_0) 사이에 직렬로 연결된 감지회로부(131)는 제1 MTJ소자(111)를 통해 전압 강하되는 제1 감지노드(X_1)의 제1 감지 전압(V_{X1})을 감지할 수 있다. 또한, 감지회로부(131)는 제2 MTJ소자(113)를 통해 전압 강하되는 제2 감지노드(X_0)의 제2 감지 전압(V_{X0})을 감지할 수 있다.
- [0077] 즉, 감지회로부(131)는 제1 및 제2 감지노드(X_1 , X_0)를 통해 비휘발성 메모리부(120)와 전기적으로 연결되어, 제1 및 제2 노드 전압(V_{QA} , V_{QB})이 인가됨에 따라 제1 및 제2 감지노드(X_1 , X_0)를 통해 전압 분배되는 제1 및 제2 감지 전압(V_{X1} , V_{X0}) 사이의 전압차(VD)를 감지할 수 있다.
- [0078] 또한, 감지회로부(131)는 제1 및 제2 감지 전압(V_{X1} , V_{X0}) 사이의 전압차(VD)에 응답하여, 판단신호(V_Y)를 생성할 수 있다. 여기서, 판단신호(V_Y)는 플립플롭부(110)의 출력데이터(D_0)와 비휘발성 메모리부(120)의 백업데이터(D_b) 사이의 동일 여부를 나타내는 신호일 수 있다.
- [0079] 실시예에 따른 감지회로부(131)는 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)에 따라, 전위레벨이 서로 다른 판단신호(V_Y)를 생성할 수 있다.
- [0080] 구체적으로, 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)가 기설정된 크기 이상인 경우, 감지회로부(131)는 판단신호(V_Y)를 저전위 레벨의 전압신호로 생성할 수 있다. 또한, 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)가 기설정된 크기 미만인 경우, 판단신호(V_Y)를 고전위 레벨의 전압신호로 생성할 수 있다.
- [0081] 예를 들면, 판단신호(V_Y)가 고전위 레벨의 전압신호인 경우, 플립플롭부(110)의 출력데이터(D_0)와 비휘발성 메모

리부(120)의 백업데이터(D_b)는 서로 동일한 데이터임을 나타낼 수 있다. 또한, 판단신호(V_Y)가 저전위 레벨의 전압신호인 경우, 플립플롭부(110)의 출력데이터(D_o)와 비휘발성 메모리부(120)의 백업데이터(D_b)는 서로 동일하지 않는 데이터임을 나타낼 수 있다.

[0082] 다음으로, 신호생성부(135)는 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)에 기초하여, 백업 활성화 신호(B_{EN})를 선택적으로 출력할 수 있다. 여기서, 백업 활성화 신호(B_{EN})는 백업동작을 선택적으로 수행시키기 위한 쓰기구동부에 대한 제어신호일 수 있다. 예를 들면, 쓰기구동부는 백업 활성화 신호(B_{EN})에 기초하여, 출력데이터(D_o)를 백업데이터(D_b)로 백업하는 백업동작을 수행함으로써, 비휘발성 메모리부(120)는 플립플롭부(110)의 출력데이터(D_o)를 백업데이터(D_b)로 저장할 수 있다.

[0083] 구체적으로, 신호생성부(135)는 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)에 따라 생성되는 판단신호(V_Y)의 전위레벨에 따라, 백업 활성화 신호(B_{EN})를 선택적으로 출력할 수 있다.

[0084] 예를 들면, 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)에 따라 생성된 판단신호(V_Y)가 저전위 전압신호인 경우, 신호생성부(135)는 백업 활성화 신호(B_{EN})를 쓰기구동부로 출력할 수 있다. 또한, 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)에 따라 생성된 판단신호(V_Y)가 고전위 전압신호인 경우, 신호생성부(135)는 백업 활성화 신호(B_{EN})를 쓰기구동부로 출력하지 않을 수 있다.

[0085] 이하, 도 7을 참조하여, 백업제어부(130)에 대해 보다 구체적으로 설명될 것이다.

[0086] 도 7은 도 5의 백업제어부(130)를 구체적으로 보여주는 도면이다.

[0087] 도 5 내지 도 7을 참조하면, 감지회로부(131)는 제1 내지 제4 감지 트랜지스터(132_1~132_4)를 포함할 수 있다.

[0088] 먼저, 제1 감지 트랜지스터(132_1)는 제1 및 제2 감지노드(X_1 , X_0) 사이에 위치할 수 있다. 이때, 제1 감지 트랜지스터(132_1)는 체크 신호(CHK)에 기초하여, 제1 및 제2 감지노드(X_1 , X_0)를 서로 연결할 수 있다.

[0089] 여기서, 체크 신호(CHK)는 쓰기구동신호(WRSET)의 하강 에지에 대응되는 신호이고, 쓰기구동신호(WRSET)는 쓰기구동부를 구동시키기 위한 신호일 수 있다. 예를 들면, 체크 신호(CHK)가 활성화되는 HIGH 상태에 해당되는 경우, 제1 감지 트랜지스터(132_1)는 제1 및 제2 감지노드(X_1 , X_0)를 서로 연결하는 NMOS 트랜지스터일 수 있다.

[0090] 또한, 제2 감지 트랜지스터(132_2)는 구동전원(VDD)과 판단노드(Y) 사이에 위치할 수 있다. 여기서, 판단노드(Y)는 판단신호(V_Y)를 신호생성부(135)에 인가하기 위하여, 신호생성부(135)와 연결되는 감지회로부(131)의 출력노드일 수 있다. 이때, 판단노드(Y)는 제2 감지 트랜지스터(132_2)의 소스 측과 연결되고, 제3 감지 트랜지스터(132_3)의 드레인 측과 연결될 수 있다.

[0091] 이때, 제2 감지 트랜지스터(132_2)는 제1 감지 전압(V_{X1})에 기초하여, 구동전원(VDD)과 판단노드(Y)를 서로 연결할 수 있다. 예를 들면, 제1 감지 전압(V_{X1})이 기설정된 전압크기 미만의 LOW 상태에 해당되는 경우, 제2 감지 트랜지스터(132_2)는 구동전원(VDD)과 판단노드(Y)를 서로 연결하는 PMOS 트랜지스터일 수 있다.

[0092] 또한, 제3 감지 트랜지스터(132_3)는 판단노드(Y)와 제4 감지 트랜지스터(132_4) 사이에 위치할 수 있다. 이때, 제3 감지 트랜지스터(132_3)는 제2 감지 전압(V_{X0})에 기초하여, 판단노드(Y)와 제4 감지 트랜지스터(132_4)의 드레인 측을 서로 연결할 수 있다. 예를 들면, 제2 감지전압(V_2)이 기설정된 전압크기 이상의 HIGH 상태에 해당되는 경우, 판단노드(Y)와 제4 감지 트랜지스터(132_4)의 드레인 측을 서로 연결하는 NMOS 트랜지스터일 수 있다.

[0093] 또한, 제4 감지 트랜지스터(132_4)는 제3 감지 트랜지스터(132_3)와 접지전원(VSS) 사이에 위치할 수 있다. 이때, 제4 감지 트랜지스터(132_4)는 체크 신호(CHK)에 기초하여, 제3 감지 트랜지스터(132_3)의 소스 측과 접지전원(VSS)을 서로 연결할 수 있다. 예를 들면, 체크 신호(CHK)가 활성화되는 HIGH 상태에 해당되는 경우, 제1 감지 트랜지스터(132_1)는 제3 감지 트랜지스터(132_3)의 소스 측과 접지전원(VSS)을 서로 연결하는 NMOS 트랜지스터일 수 있다.

[0094] 다음으로, 신호생성부(135)는 제1 내지 제3 신호 트랜지스터(136_1~136_3)를 포함할 수 있다.

[0095] 먼저, 제1 신호 트랜지스터(136_1)는 제2 신호 트랜지스터(136_2)와 제3 신호 트랜지스터(136_3) 사이에 위치하

고, 제1 신호 트랜지스터(136_1)의 게이트가 판단노드(Y)에 연결될 수 있다. 이때, 제1 신호 트랜지스터(136_1)는 판단노드(Y)를 통해 인가받는 판단신호(V_Y)에 기초하여, 제2 신호 트랜지스터(136_2)와 제3 신호 트랜지스터(136_3)를 서로 연결할 수 있다. 구체적으로, 판단신호(V_Y)가 0V에 근접한 저전위인 경우, 제2 신호 트랜지스터(136_2)와 제3 신호 트랜지스터(136_3)를 서로 연결하는 PMOS 트랜지스터일 수 있다.

[0096] 또한, 제2 신호 트랜지스터(136_2)는 구동전원(VDD)과 제1 신호 트랜지스터(136_1) 사이에 위치하고, 쓰기구동신호(WRSET)에 기초하여, 구동전원(VDD)과 제1 신호 트랜지스터(136_1)의 드레인 측을 서로 연결할 수 있다. 구체적으로, 쓰기구동신호(WRSET)가 0인 경우, 제2 신호 트랜지스터(136_2)는 구동전원(VDD)과 제1 신호 트랜지스터(136_1)의 드레인 측을 서로 연결하는 PMOS 트랜지스터일 수 있다.

[0097] 또한, 제3 신호 트랜지스터(136_3)는 제1 신호 트랜지스터(136_1)와 접지전원(VSS) 사이에 위치하고, 쓰기구동신호(WRSET)에 기초하여, 제1 신호 트랜지스터(136_1)의 소스 측과 접지전원(VSS)을 서로 연결할 수 있다. 구체적으로, 쓰기구동신호(WRSET)가 1인 경우, 제3 신호 트랜지스터(136_3)는 제1 신호 트랜지스터(136_1)의 소스 측과 접지전원(VSS)을 서로 연결하는 NMOS 트랜지스터일 수 있다.

[0098] 도 8은 도 5의 백업제어부(130)에 대한 동작 프로세스이다.

[0099] 도 5 내지 도 8을 참조하면, 먼저, S131 단계에서, 감지회로부(131)는 제1 및 제2 MTJ소자(121_1, 121_2) 사이에 직렬 연결된 제1 감지 트랜지스터(132_1)를 통해 제1 및 제2 노드 전압(V_{QA} , V_{QB})이 전압 분배된 제1 및 제2 감지 전압(V_{X1} , V_{X0}) 각각을 감지할 수 있다.

[0100] 이때, 감지회로부(131)는 제1 및 제2 감지 전압(V_{X1} , V_{X0}) 사이의 전압차(VD)에 기초하여, 출력데이터(D_0)와 백업 데이터(D_b) 사이의 동일 여부를 나타내는 판단신호(V_Y)를 생성할 수 있다.

[0101] 구체적으로, S132 단계에서, 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)가 기설정된 전압 크기 이상인 경우, 감지회로부(131)는 판단신호(V_Y)를 저전위 전압 신호로 생성할 수 있다.

[0102] 그런 다음, 판단신호(V_Y)가 저전위 전압 신호인 경우, S133 단계에서, 신호생성부(135)는 백업 활성화 신호(B_{EN})를 쓰기구동부에 출력할 수 있다.

[0103] 한편, S134 단계에서, 제1 및 제2 감지전압(V_1 , V_2) 사이의 전압차(VD)가 기설정된 전압 크기 미만인 경우, 감지회로부(131)는 판단신호(V_Y)를 고전위 전압신호로 생성할 수 있다.

[0104] 이후, S134 단계에서, 판단신호(V_Y)가 고전위 전압신호인 경우, 신호생성부(135)는 백업 활성화 신호(B_{EN})를 쓰기구동부에 출력할 수 있다.

[0105] 도 9는 도 1의 비휘발성 메모리 기반의 플립플롭(100)에 대한 실시 예이고, 도 10은 도 9의 비휘발성 메모리 기반의 플립플롭(100)에 대한 상태 다이어그램을 보여주는 도면이며, 도 11은 도 9의 비휘발성 메모리 기반의 플립플롭(100)의 동작 타이밍 도이다.

[0106] 도 9 내지 도 11을 참조하면, 비휘발성 메모리 기반의 플립플롭(100)은 출력데이터(D_0)와 백업데이터(D_b)에 동일 여부에 기초하여, 제1 내지 제4 동작 상태를 가질 수 있다.

[0107] 먼저, 비휘발성 메모리 기반의 플립플롭(100)은 제1 동작 상태에서, 백업 활성화 신호(B_{EN})를 생성하지 않을 수 있다. 여기서, 제1 동작 상태는 제1 MTJ소자(121_1)가 평형상태(P)이고, 제2 MTJ소자(121_2)가 비평형상태(AP)이며, 제1 노드 전압(V_{QA})이 접지전압(VSS)이고, 제2 노드 전압(V_{QB})이 구동전압(VDD)인 상태를 의미할 수 있다. 즉, 제1 동작 상태는 출력데이터(D_0)와 백업데이터(D_b)가 '0'의 값으로 서로 동일한 상태를 의미할 수 있다.

[0108] 구체적으로, 비휘발성 메모리 기반의 플립플롭(100)이 제1 동작 상태인 경우, 백업제어부(130)는 기설정된 전압 크기 미만의 전압차(VD)를 감지하여, 판단신호(V_Y)를 고전위 전압신호로 생성할 수 있다. 이때, 백업제어부(130)는 고전위의 판단신호(V_Y)에 기초하여, 백업 활성화 신호(B_{EN})를 생성하지 않을 수 있다. 즉, 도 9에 도시된 T_{B1} 시간에서 백업 동작을 스킵하는 바와 같이, 백업제어부(130)는 백업 활성화 신호(B_{EN})를 출력하지 않을 수 있다.

- [0109] 또한, 비휘발성 메모리 기반의 플립플롭(100)은 제2 동작 상태에서, 백업 활성화 신호(B_{EN})를 생성할 수 있다. 여기서, 제2 동작 상태는 제1 MTJ소자(121_1)가 비평형상태(AP)이고, 제2 MTJ소자(121_2)가 평형상태(P)이며, 제1 노드 전압(V_{QA})이 접지전압(VSS)이고, 제2 노드 전압(V_{QB})이 구동전압(VDD)인 상태를 의미할 수 있다. 즉, 제2 동작 상태는 출력데이터(D_0)가 '0'이고, 백업데이터(D_b)가 '1'의 값으로, 서로 동일하지 않는 상태를 의미할 수 있다.
- [0110] 구체적으로, 비휘발성 메모리 기반의 플립플롭(100)이 제2 동작 상태인 경우, 백업제어부(130)는 기설정된 전압 크기 이상의 전압차(VD)를 감지하여, 판단신호(V_Y)를 저전위 전압신호로 생성할 수 있다. 이때, 백업제어부(130)는 저전위의 판단신호(V_Y)에 기초하여, 백업 활성화 신호(B_{EN})를 출력할 수 있다. 즉, 도 9에 도시된 T_{B2} 시간에서 백업 동작을 수행하는 바와 같이, 백업제어부(130)는 백업 활성화 신호(B_{EN})를 출력할 수 있다.
- [0111] 또한, 비휘발성 메모리 기반의 플립플롭(100)은 제3 동작 상태에서, 백업 활성화 신호(B_{EN})를 생성할 수 있다. 여기서, 제3 동작 상태는 제1 MTJ소자(121_1)가 평형상태(P)이고, 제2 MTJ소자(121_2)가 비평형상태(AP)이며, 제1 노드 전압(V_{QA})이 구동전압(VDD)이고, 제2 노드 전압(V_{QB})이 접지전압(VSS)인 상태를 의미할 수 있다. 즉, 제3 동작 상태는 출력데이터(D_0)가 '1'이고, 백업데이터(D_b)가 '0'의 값으로, 서로 동일하지 않는 상태를 의미할 수 있다.
- [0112] 구체적으로, 비휘발성 메모리 기반의 플립플롭(100)이 제3 동작 상태인 경우, 감지회로부(131)는 기설정된 전압 크기 이상의 전압차(VD)를 감지하여, 판단신호(V_Y)를 저전위 전압신호로 생성할 수 있다. 이때, 신호생성부(135)는 저전위의 판단신호(V_Y)에 기초하여, 백업 활성화 신호(B_{EN})를 출력할 수 있다. 즉, 도 9에 도시된 T_{B2} 시간에서 백업 동작을 수행하는 바와 같이, 백업제어부(130)는 백업 활성화 신호(B_{EN})를 출력할 수 있다.
- [0113] 또한, 비휘발성 메모리 기반의 플립플롭(100)은 제4 동작 상태에서, 백업 활성화 신호(B_{EN})를 생성하지 않을 수 있다. 여기서, 제4 동작 상태는 제1 MTJ소자(121_1)가 비평형상태(AP)이고, 제2 MTJ소자(121_2)가 평형상태(P)이며, 제1 노드 전압(V_{QA})이 구동전압(VDD)이고, 제2 노드 전압(V_{QB})이 접지전압(VSS)인 상태를 의미할 수 있다. 즉, 제4 동작 상태는 출력데이터(D_0)가 '1'이고, 백업데이터(D_b)가 '1'의 값으로, 서로 동일한 상태를 의미할 수 있다.
- [0114] 구체적으로, 비휘발성 메모리 기반의 플립플롭(100)이 제4 동작 상태인 경우, 백업제어부(130)는 기설정된 전압 크기 미만의 전압차(VD)를 감지하여, 판단신호(V_Y)를 고전위 전압신호로 생성할 수 있다. 이때, 백업제어부(130)는 고전위의 판단신호(V_Y)에 기초하여, 백업 활성화 신호(B_{EN})를 출력하지 않을 수 있다. 즉, 도 9에 도시된 T_{B1} 시간에서, 백업 동작을 스킵하는 바와 같이, 백업제어부(130)는 백업 활성화 신호(B_{EN})를 출력하지 않을 수 있다.
- [0115] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

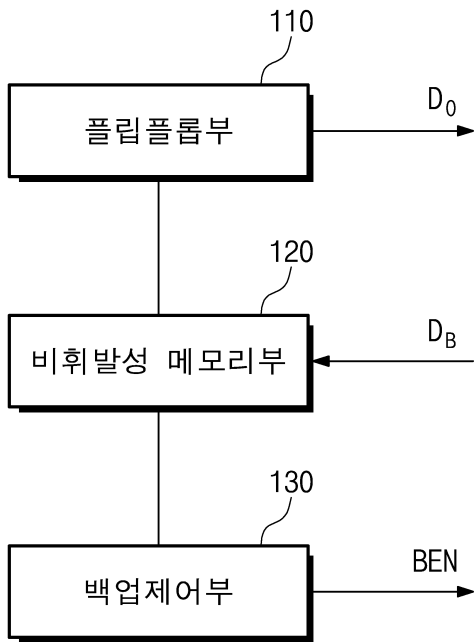
부호의 설명

- [0116] 100: 비휘발성 메모리 기반의 플립플롭
110: 플립플롭부
120: 비휘발성 메모리부
130: 백업제어부
131: 감지회로부
135: 신호생성부
150: 전압 분배 회로

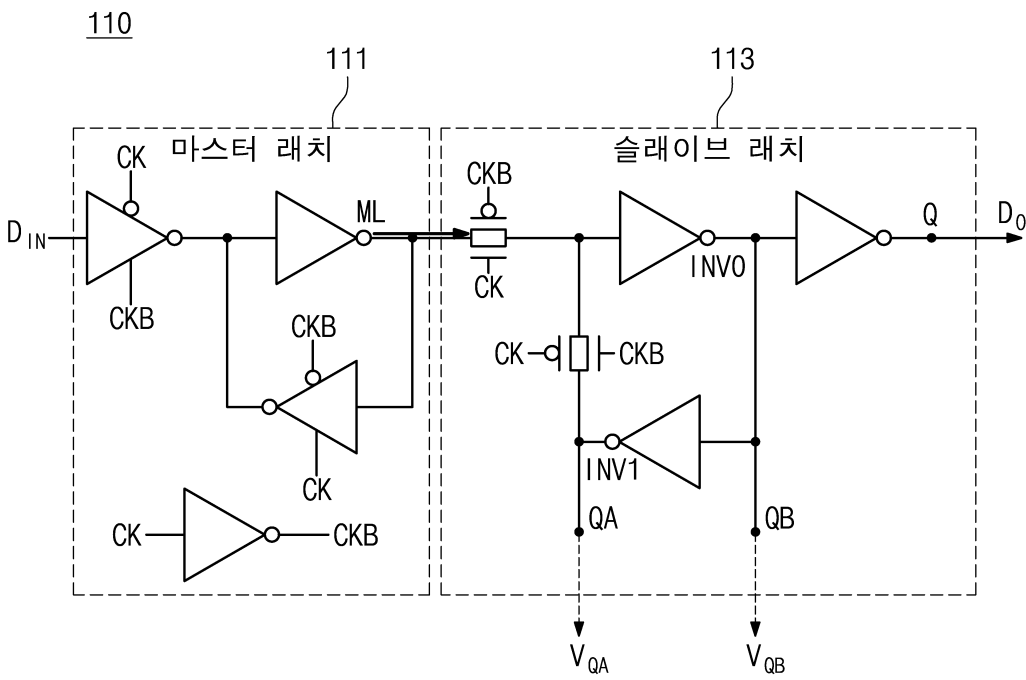
도면

도면1

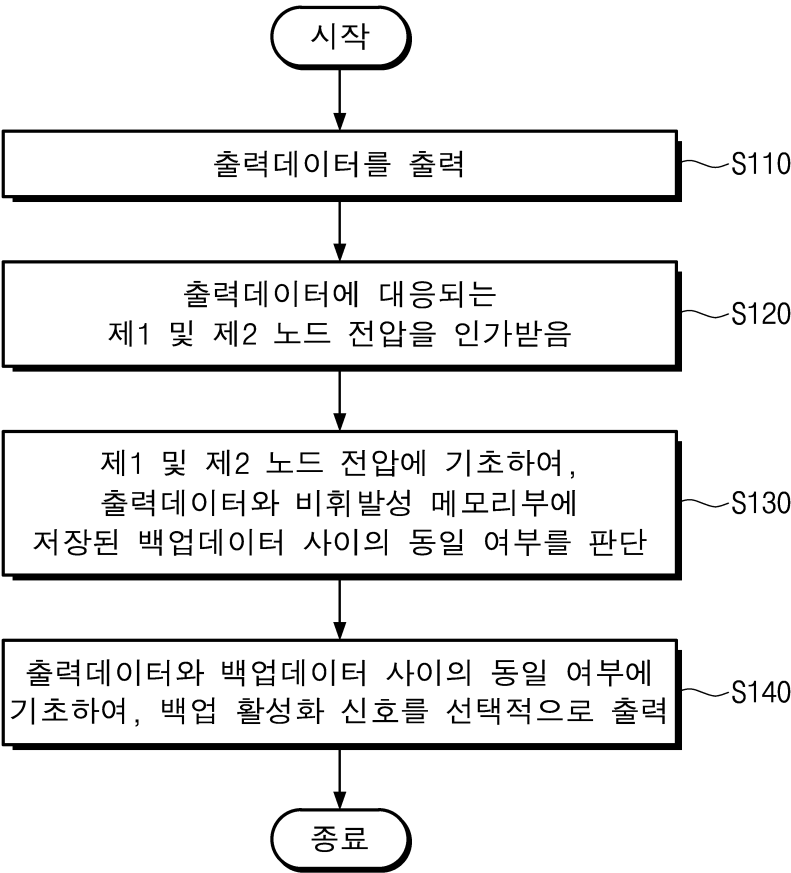
100



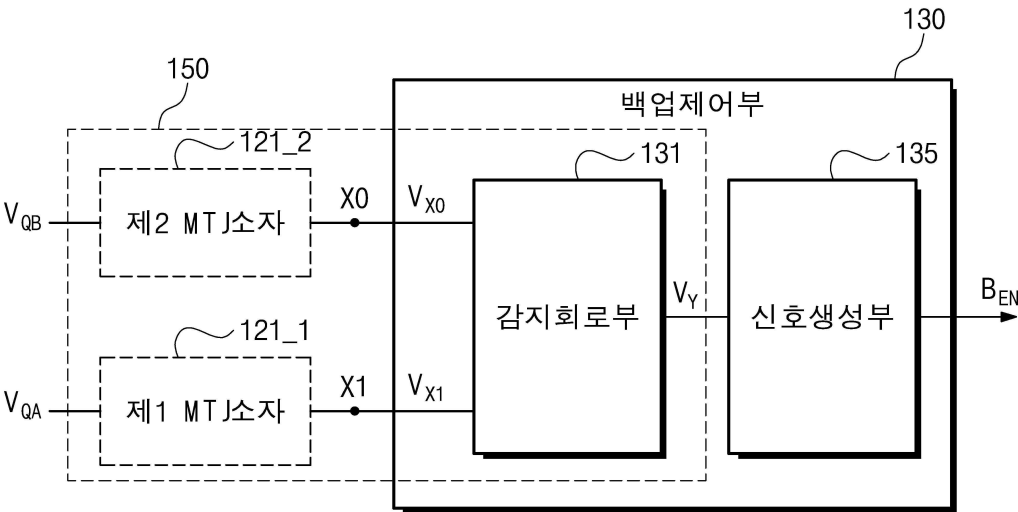
도면2



도면4

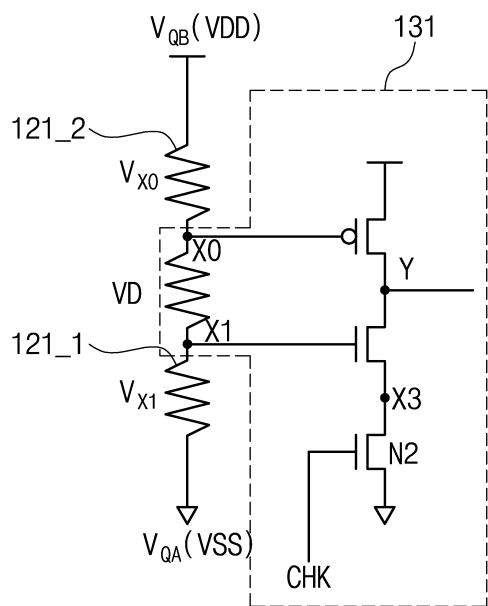


도면5

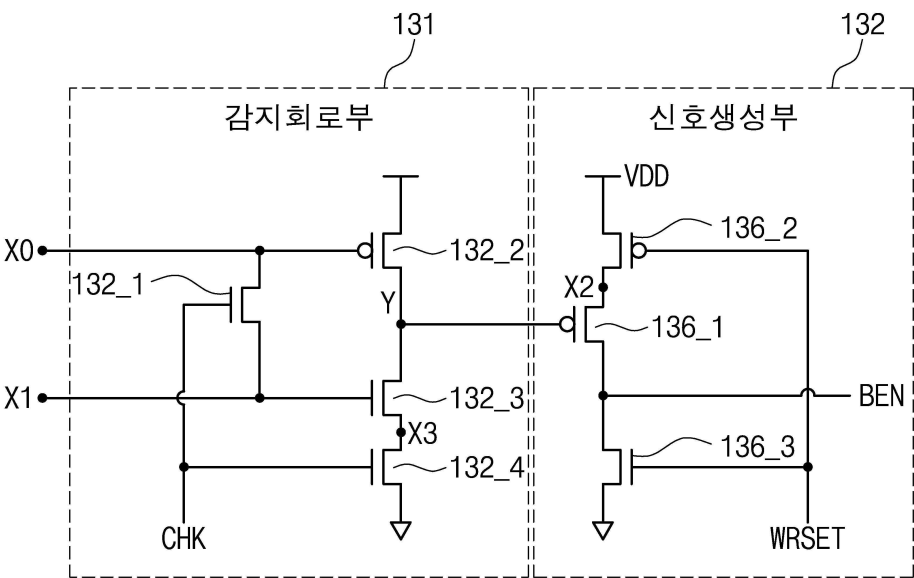


도면6

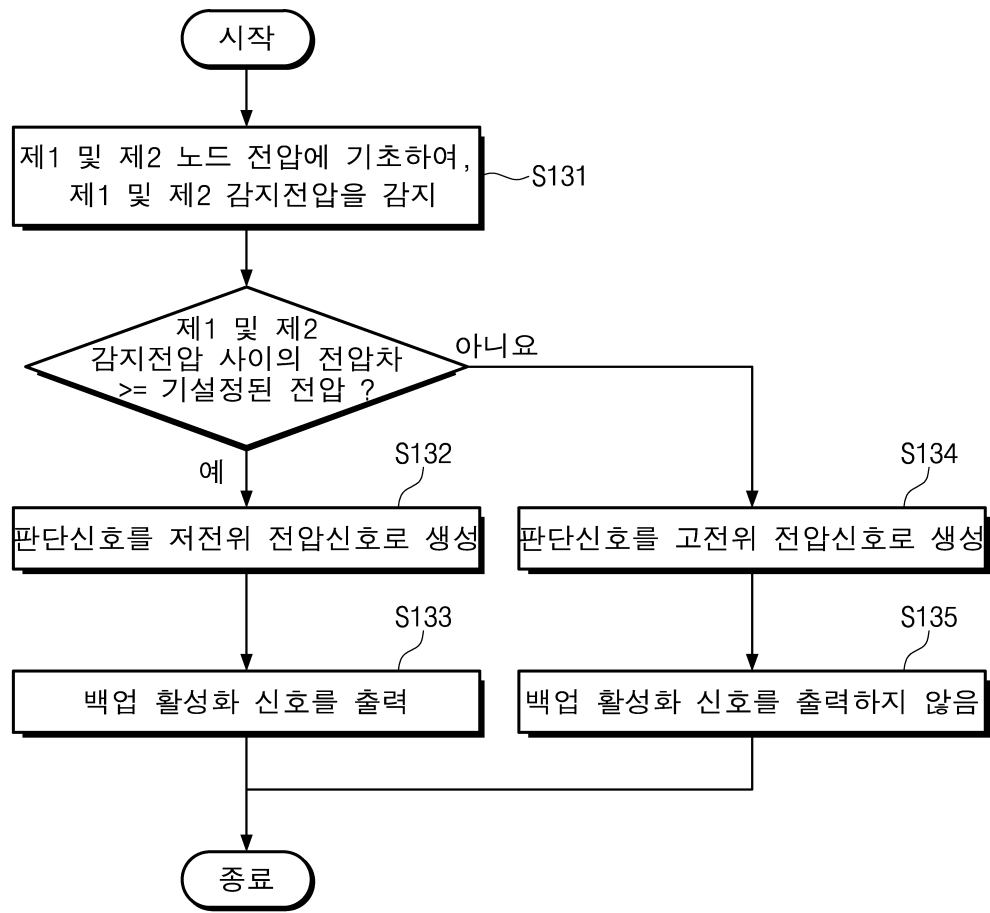
150



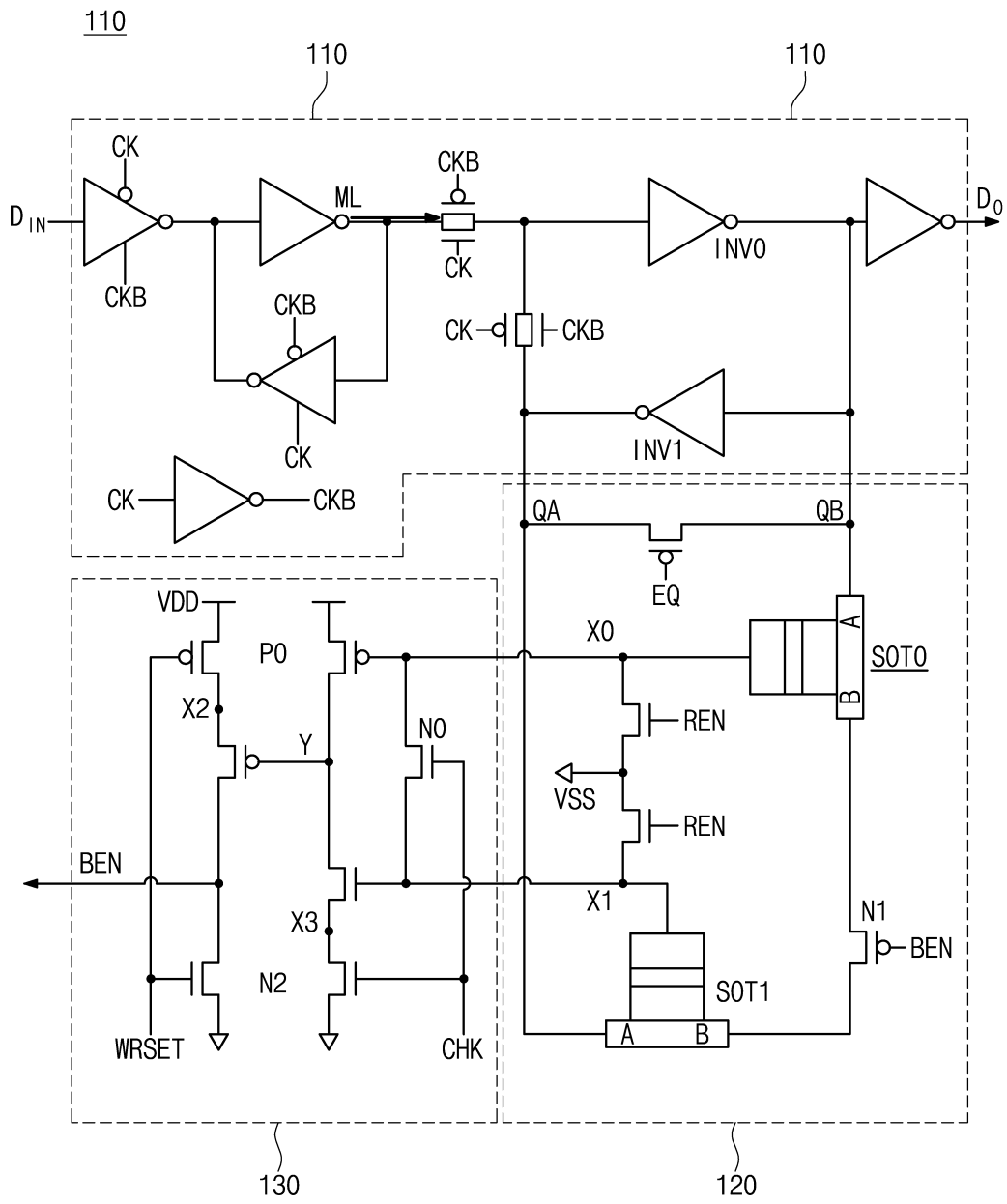
도면7



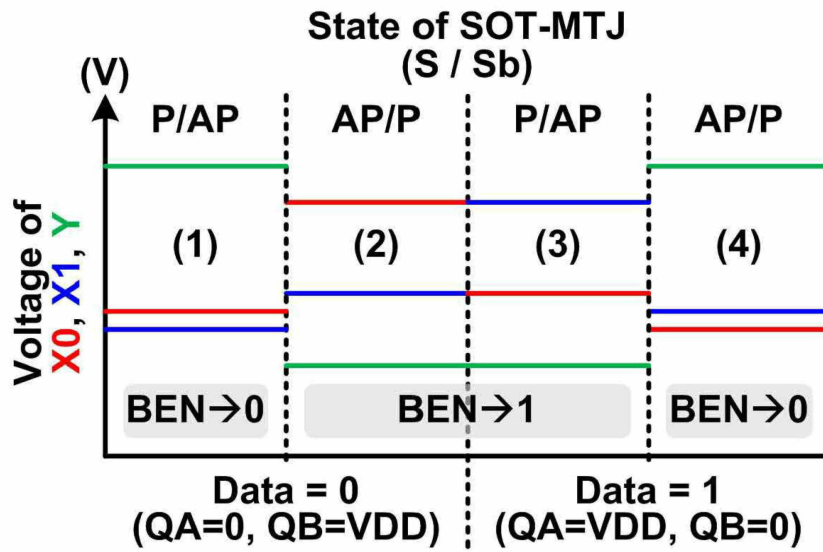
도면8



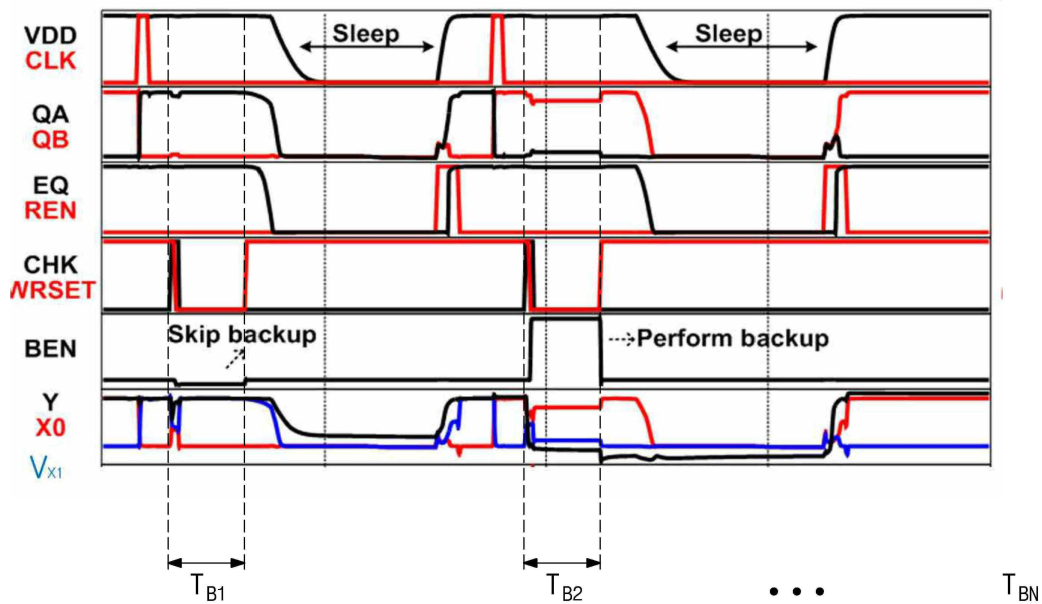
도면9



도면10



도면11



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 8

【변경전】

제1항에 있어서,

상기 감지회로부는, 상기 제1 및 제2 MTJ소자 사이에 직렬로 위치하는 제1 감지 트랜지스터;

상기 제1 감지 트랜지스터의 드레인 측에 게이트가 연결되는 제2 감지 트랜지스터;

상기 제1 감지 트랜지스터의 소스 측에 게이트가 연결되는 제3 감지 트랜지스터; 및

상기 제3 감지 트랜지스터의 소스 측과 접지전원 사이에 위치하는 제4 트랜지스터를 포함하는, 비휘발성 메모리 기반의 플립플롭.

【변경후】

제1항에 있어서,

상기 감지회로부는, 상기 제1 및 제2 MTJ소자 사이에 직렬로 위치하는 제1 감지 트랜지스터;

상기 제1 감지 트랜지스터의 드레인 측에 게이트가 연결되는 제2 감지 트랜지스터;

상기 제1 감지 트랜지스터의 소스 측에 게이트가 연결되는 제3 감지 트랜지스터; 및

상기 제3 감지 트랜지스터의 소스 측과 접지전원 사이에 위치하는 제4 감지 트랜지스터를 포함하는, 비휘발성 메모리 기반의 플립플롭.