

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-128448

(P2004-128448A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl.⁷

H01L 21/8244

H01L 27/11

F I

H01L 27/10 381

テーマコード (参考)

5F083

審査請求 未請求 請求項の数 68 O L (全 92 頁)

(21) 出願番号 特願2003-97210 (P2003-97210)
 (22) 出願日 平成15年3月31日(2003.3.31)
 (31) 優先権主張番号 特願2002-224254 (P2002-224254)
 (32) 優先日 平成14年7月31日(2002.7.31)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区神田駿河台四丁目6番地
 (71) 出願人 000233169
 株式会社日立超エル・エス・アイ・システムズ
 東京都小平市上水本町5丁目22番1号
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 茶木原 啓
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内
 (72) 発明者 奥山 幸祐
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内
 最終頁に続く

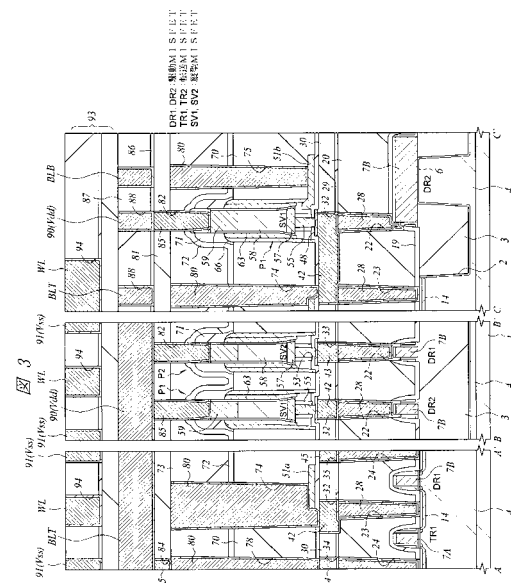
(54) 【発明の名称】 半導体記憶装置およびその製造方法、縦型MISFETの製造方法および縦型MISFET、半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】セルサイズを縮小することのできるSRAMを提供する。

【解決手段】駆動MISFETおよび転送MISFETの上部には、縦型MISFETが形成されている。縦型MISFETは、下部半導体層(ドレイン)57、中間半導体層58、上部半導体層(ソース)59を積層した四角柱状の積層体(P₁、P₂)と、この積層体(P₁、P₂)の側壁にゲート絶縁膜63を介して形成されたゲート電極66とによって構成されている。縦型MISFETは、下部半導体層57がドレインを構成し、中間半導体層58が基板(チャネル領域)を構成し、上部半導体層59がソースを構成している。下部半導体層57、中間半導体層58、上部半導体層59の夫々は、シリコン膜で構成され、下部半導体層57および上部半導体層59はp型にドーピングされ、p型シリコン膜で構成される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

一対の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有する半導体記憶装置であって、

前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T は、半導体基板の主面に形成され、

前記第 1 および第 2 縦型 M I S F E T は、前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T のそれぞれよりも上部に形成され、前記第 1 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャンネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャンネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 1 および第 2 縦型 M I S F E T のそれぞれのソースは、前記第 1 および第 2 積層体よりも上部に形成された電源電圧線に電氣的に接続されていることを特徴とする半導体記憶装置。

【請求項 2】

前記第 1 転送 M I S F E T のソース、ドレインの一方に電氣的に接続される前記相補性データ線の一方と、前記第 2 転送 M I S F E T のソース、ドレインの一方に電氣的に接続される前記相補性データ線の他方は、前記電源電圧線と同一の配線層に形成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 および第 2 転送 M I S F E T のそれぞれのゲート電極に電氣的に接続される前記ワード線は、前記電源電圧線および前記相補性データ線よりも上層の配線層に形成されていることを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記第 1 および第 2 駆動 M I S F E T のそれぞれのソースに電氣的に接続される基準電圧線は、前記ワード線と同一の配線層に形成されていることを特徴とする請求項 1 ～ 3 の何れか一項に記載の半導体記憶装置。

【請求項 5】

前記基準電圧線は、前記第 1 駆動 M I S F E T のソース電氣的に接続される第 1 基準電圧線と、前記第 2 駆動 M I S F E T のソースに電氣的に接続される第 2 基準電圧線とからなり、第 1 基準電圧線と前記第 2 基準電圧線は、前記ワード線をそれらの間に挟んで第 1 方向に延在していることを特徴とする請求項 1 ～ 4 の何れか一項に記載の半導体記憶装置。

【請求項 6】

前記相補性データ線の一方と、前記相補性データ線の他方は、前記電源電圧線をそれらの間に挟んで、前記第 1 方向と交差する第 2 方向に延在していることを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】

前記相補性データ線、前記電源電圧線、前記基準電圧線および前記ワード線は、銅を主成分とするメタル膜で構成されていることを特徴とする請求項 1 ～ 6 の何れか一項に記載の半導体記憶装置。

【請求項 8】

一対の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T

10

20

30

40

50

Tおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、

前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、半導体基板の主面に形成され、

前記第1縦型MISFETは、前記第2駆動MISFETのゲート電極の一端部上に配置され、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第2縦型MISFETは、前記第1駆動MISFETのゲート電極の一端部上に配置され、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有することを特徴とする半導体記憶装置。 10

【請求項9】

前記半導体基板の主面に平行な平面において、平面的に見て、前記第1および第2縦型MISFETは、前記第1転送MISFETおよび前記第1駆動MISFET形成領域と、前記第2転送MISFETおよび前記第2駆動MISFET形成領域との間に配置されていることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】

一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、 20

前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、半導体基板の主面に形成され、

前記第1および第2縦型MISFETは、前記第1および第2転送MISFETと、前記第1および第2駆動MISFETのそれぞれよりも上部に形成され、前記第1縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成された第1ゲート電極とを有し、 30

前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成された第2ゲート電極とを有し、

前記第1縦型MISFETのドレインと、前記第2駆動MISFETのゲート電極と、前記第1駆動MISFETのドレインとは、第1中間導電層を介して互いに電氣的に接続され、

前記第2縦型MISFETのドレインと、前記第1駆動MISFETのゲート電極と、前記第2駆動MISFETのドレインとは、第2中間導電層を介して互いに電氣的に接続され、

前記第1縦型MISFETの第1ゲート電極は、前記第1ゲート電極と接するように形成された第1ゲート引き出し電極と、前記第1ゲート引き出し電極および前記第2中間導電層とに接するように形成された第1接続孔内の第1導電層とを介して前記第2中間導電層と電氣的に接続され、 40

前記第2縦型MISFETの第2ゲート電極は、前記第2ゲート電極と接するように形成された第2ゲート引き出し電極と、前記第2ゲート引き出し電極および前記第1中間導電層とに接するように形成された第2接続孔内の第2導電層とを介して前記第1中間導電層と電氣的に接続されていることを特徴とする半導体記憶装置。

【請求項11】

前記半導体基板の主面に周辺回路の複数のMISFETがさらに形成され、前記周辺回路のMISFET間を接続する配線と、前記第1および第2中間導電層とは、同一の配線層 50

に形成されていることを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 12】

前記第 1 および第 2 中間導電層はメタル膜からなり、前記第 1 縦型 MISFET のドレインと前記第 1 中間導電層との間に第 1 バリア層が形成され、前記第 2 縦型 MISFET のドレインと前記第 2 中間導電層との間に第 2 バリア層が形成されていることを特徴とする請求項 10 または 11 記載の半導体記憶装置。

【請求項 13】

前記第 1 および第 2 中間導電層はタングステン膜からなり、前記第 1 および第 2 バリア層は、窒化タングステン (WN) 膜からなることを特徴とする請求項 12 記載の半導体記憶装置。

10

【請求項 14】

前記第 1 および第 2 中間導電層は、耐酸化性導電膜からなることを特徴とする請求項 10 ～ 13 の何れか一項に記載の半導体記憶装置。

【請求項 15】

前記第 1 縦型 MISFET の第 1 ゲート電極は、その下端部で前記第 1 ゲート引き出し電極と電氣的に接続され、前記第 2 縦型 MISFET の第 2 ゲート電極は、その下端部で前記第 2 ゲート引き出し電極と電氣的に接続されていることを特徴とする請求項 10 ～ 14 の何れか一項に記載の半導体記憶装置。

【請求項 16】

前記第 1 縦型 MISFET の第 1 ゲート電極および前記第 2 縦型 MISFET の第 2 ゲート電極のそれぞれは、2 層の導電膜で構成されていることを特徴とする請求項 10 ～ 15 の何れか一項に記載の半導体記憶装置。

20

【請求項 17】

前記第 2 中間導電層と、前記第 1 ゲート引き出し電極と、前記第 1 接続孔とは、互いに平面的に重なる部分を有するように配置され、前記第 1 中間導電層と、前記第 2 ゲート引き出し電極と、前記第 2 接続孔とは、互いに平面的に重なる部分を有するように配置されていることを特徴とする請求項 10 ～ 16 の何れか一項に記載の半導体記憶装置。

【請求項 18】

前記第 1 接続孔は、前記第 1 ゲート引き出し電極を貫通して前記第 2 中間導電層に接続され、前記第 2 接続孔は、前記第 2 ゲート引き出し電極を貫通して前記第 1 中間導電層に接続されていることを特徴とする請求項 10 ～ 17 の何れか一項に記載の半導体記憶装置。

30

【請求項 19】

前記第 1 ゲート引き出し電極は、前記第 1 積層体の側壁部で前記第 1 縦型 MISFET の第 1 ゲート電極と接しており、前記第 2 ゲート引き出し電極は、前記第 2 積層体の側壁部で前記第 2 縦型 MISFET の第 2 ゲート電極と接していることを特徴とする請求項 10 ～ 18 の何れか一項に記載の半導体記憶装置。

【請求項 20】

前記第 1 ゲート引き出し電極は、前記第 1 縦型 MISFET の第 1 ゲート電極と一体に構成されており、前記第 2 ゲート引き出し電極は、前記第 2 縦型 MISFET の第 2 ゲート電極と一体に構成されていることを特徴とする請求項 10 ～ 19 のいずれか一項に記載の半導体記憶装置。

40

【請求項 21】

前記第 1 縦型 MISFET のゲート電極は、前記第 1 積層体の側壁部の周囲を囲むように形成され、前記第 2 縦型 MISFET のゲート電極は、前記第 2 積層体の側壁部の周囲を囲むように形成されていることを特徴とする請求項 10 ～ 20 のいずれか一項に記載の半導体記憶装置。

【請求項 22】

前記第 1 および第 2 ゲート引き出し電極は、シリコン系の導電膜とその表面に形成されたシリサイド膜とで構成されていることを特徴とする請求項 10 ～ 21 のいずれか一項に記載の半導体記憶装置。

50

【請求項 2 3】

前記第 1 および第 2 転送 M I S F E T と、前記第 1 および第 2 駆動 M I S F E T は、n チャンネル型 M I S F E T で構成され、前記第 1 および第 2 縦型 M I S F E T は、p チャンネル型 M I S F E T で構成されていることを特徴とする請求項 1 ～ 2 2 のいずれか一項に記載の半導体記憶装置。

【請求項 2 4】

一対の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有し、

10

前記第 1 縦型 M I S F E T は、半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャンネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャンネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、

(a) 半導体基板の主面の第 1 領域に第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T を形成する工程、

(b) 前記第 1 および第 2 転送 M I S F E T と前記第 1 および第 2 駆動 M I S F E T の上部に、前記第 2 駆動 M I S F E T のゲート電極と、前記第 1 駆動 M I S F E T のドレインとを電氣的に接続する第 1 中間導電層を形成し、前記第 1 駆動 M I S F E T のゲート電極と、前記第 2 駆動 M I S F E T のドレインとを電氣的に接続する第 2 中間導電層を形成する工程、

20

(c) 前記第 1 および第 2 中間導電層の上部に第 1 絶縁膜を介して第 1 および第 2 ゲート引き出し電極を形成する工程、

(d) 前記 (c) 工程の後、前記第 1 および第 2 ゲート引き出し電極の上部に第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを電氣的に接続し、前記第 2 積層体に形成された第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを電氣的に接続する工程、

(e) 前記第 1 積層体の側壁部にゲート絶縁膜を介して形成された前記第 1 縦型 M I S F E T のゲート電極と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成された前記第 2 縦型 M I S F E T のゲート電極と前記第 2 ゲート引き出し電極とを電氣的に接続する工程、(f) 前記第 1 ゲート引き出し電極の上部に、前記第 1 ゲート引き出し電極と前記第 2 中間導電層とに接するように第 1 接続孔を形成してその内部に第 1 導電層を埋め込み、前記第 2 ゲート引き出し電極の上部に、前記第 2 ゲート引き出し電極と前記第 1 中間導電層とに接するように第 2 接続孔を形成してその内部に第 2 導電層を埋め込む工程を含むことを特徴とする半導体記憶装置の製造方法。

30

【請求項 2 5】

前記 (c) 工程は、前記第 1 および第 2 中間導電層の表面にバリア層を形成する工程と、前記バリア層が形成された前記第 1 および第 2 中間導電層の上部に前記第 1 絶縁膜を介して前記第 1 および第 2 ゲート引き出し電極を形成する工程を含み、

40

前記 (d) 工程は、前記第 1 絶縁膜と、前記第 1 および第 2 ゲート引き出し電極とを覆う第 2 絶縁膜を形成する工程と、前記第 2 絶縁膜と前記第 1 絶縁膜とをエッチングして、前記第 1 中間導電層の表面の前記バリア層を露出する第 1 開口および、前記第 2 中間導電層の表面の前記バリア層を露出する第 2 開口を形成する工程と、前記第 1 および第 2 開口の内部に導電層を埋め込む工程と、前記第 2 絶縁膜の上部に前記第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された前記第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを前記バリア層と前記第 1 開口の内部の導電層とを介して電氣的に接続し、前記第 2 積層体に形成された前記第 2 縦型 M I S F E T のドレインと前記第 2

50

中間導電層とを前記バリア層と前記第 2 開口の内部の導電層とを介して電氣的に接続する工程を含み、

前記 (e) 工程は、前記第 1 および第 2 ゲート引き出し電極と、前記第 1 および第 2 開口内の導電膜が前記第 2 絶縁膜によって覆われた状態で前記半導体基板を熱処理することによって、前記第 1 および第 2 積層体のそれぞれの側壁部に前記ゲート絶縁膜を形成する工程と、前記半導体基板上に堆積した第 1 ゲート電極材料をエッチングして前記第 1 および第 2 積層体のそれぞれの側壁部に第 1 ゲート電極層を形成する工程と、前記第 2 絶縁膜をエッチングして前記第 1 および第 2 ゲート引き出し電極を露出する工程と、前記半導体基板上に堆積した第 2 ゲート電極材料をエッチングして前記第 1 ゲート電極層が形成された前記第 1 および第 2 積層体のそれぞれの側壁部に第 2 ゲート電極層を形成し、前記第 1 積層体の側壁に形成された前記第 2 ゲート電極層と前記第 1 ゲート引き出し電極とを電氣的に接続し、前記第 1 積層体の側壁に形成された前記第 2 ゲート電極層と前記第 1 ゲート引き出し電極とを電氣的に接続する工程を含むことを特徴とする請求項 2 4 記載の半導体記憶装置の製造方法。 10

【請求項 2 6】

一对の相補性データ線とワード線との交差部に配置された第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T と、第 1 および第 2 縦型 M I S F E T とを備え、前記第 1 駆動 M I S F E T および前記第 1 縦型 M I S F E T と、前記第 2 駆動 M I S F E T および前記第 2 縦型 M I S F E T とが交差結合したメモリセルを有し、前記第 1 縦型 M I S F E T は、半導体基板の主面に垂直な方向に延在する第 1 積層体に形成されたソース、チャンネル領域およびドレインと、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、 20

前記第 2 縦型 M I S F E T は、前記半導体基板の主面に垂直な方向に延在する第 2 積層体に形成されたソース、チャンネル領域およびドレインと、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、

(a) 半導体基板の主面の第 1 領域に第 1 および第 2 転送 M I S F E T と、第 1 および第 2 駆動 M I S F E T を形成する工程、

(b) 前記第 1 および第 2 転送 M I S F E T と前記第 1 および第 2 駆動 M I S F E T の上部に、前記第 2 駆動 M I S F E T のゲート電極と、前記第 1 駆動 M I S F E T のドレインとを電氣的に接続する第 1 中間導電層を形成し、前記第 1 駆動 M I S F E T のゲート電極と、前記第 2 駆動 M I S F E T のドレインとを電氣的に接続する第 2 中間導電層を形成する工程、 30

(c) 前記 (b) 工程の後、前記第 1 および第 2 中間導電層の上部に第 1 および第 2 積層体を形成することによって、前記第 1 積層体に形成された第 1 縦型 M I S F E T のドレインと前記第 1 中間導電層とを電氣的に接続し、前記第 2 積層体に形成された第 2 縦型 M I S F E T のドレインと前記第 2 中間導電層とを電氣的に接続する工程、

(d) 前記 (c) 工程後、前記第 1 積層体の側壁部にゲート絶縁膜を介して形成された前記第 1 縦型 M I S F E T のゲート電極と接するように第 1 ゲート引き出し電極を形成し、前記第 2 積層体の側壁部にゲート絶縁膜を介して形成された前記第 2 縦型 M I S F E T のゲート電極と接するように第 2 ゲート引き出し電極を形成する工程、 40

(e) 前記第 1 ゲート引き出し電極の上部に、前記第 1 ゲート引き出し電極と前記第 2 中間導電層とに接するように第 1 接続孔を形成してその内部に第 1 導電層を埋め込み、前記第 2 ゲート引き出し電極の上部に、前記第 2 ゲート引き出し電極と前記第 1 中間導電層とに接するように第 2 接続孔を形成してその内部に第 2 導電層を埋め込む工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項 2 7】

前記 (e) 工程の後、前記第 1 および第 2 積層体の上部に、前記第 1 および第 2 縦型 M I S F E T のそれぞれのソースと電氣的に接続される電源電圧線を形成する工程をさらに含むことを特徴とする請求項 2 4、2 5 または 2 6 記載の半導体記憶装置の製造方法。

【請求項 2 8】

前記電源電圧線を形成する工程で、前記第1転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の一方と、前記第2転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の他方を形成する工程をさらに含むことを特徴とする請求項27記載の半導体記憶装置の製造方法。

【請求項29】

前記電源電圧線の上層に前記第1および第2転送MISFETのそれぞれのゲート電極に電氣的に接続される前記ワード線と、前記第1および第2駆動MISFETのそれぞれのソースに電氣的に接続される基準電圧線とを形成する工程をさらに含むことを特徴とする請求項27記載の半導体記憶装置の製造方法。

【請求項30】

第1および第2駆動MISFETと、第1および第2縦型MISFETとを備えたメモリセルを有する半導体記憶装置であって、
前記駆動MISFETは、半導体基板の主面に形成され、
前記駆動MISFETの上部に絶縁膜を介して金属膜が形成され、
前記金属膜の上部に前記縦型MISFETが形成されたことを特徴とする半導体記憶装置。

10

【請求項31】

第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、
前記駆動MISFETは、半導体基板の主面に形成され、
前記駆動MISFETの上部に絶縁膜を介して、前記第1および第2駆動MISFETのゲートおよびドレインを交差結合する金属膜が形成され、
前記金属膜の上部に、前記金属膜に接続する前記縦型MISFETが形成されたことを特徴とする半導体記憶装置。

20

【請求項32】

前記金属膜はタングステン膜を有し、
前記第1および第2縦型MISFETと前記タングステン膜とはバリア膜を介して電氣的に接続されたことを特徴とする請求項30または31項に記載の半導体記憶装置。

30

【請求項33】

第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、
前記駆動MISFETは、半導体基板の主面に形成され、
前記駆動MISFETの上部に絶縁膜を介して形成された前記縦型MISFETのゲートは、ゲートの下部で下層の導電膜に電氣的に接続されることで、前記駆動MISFETのゲートまたはドレインに電氣的に接続されることを特徴とする半導体記憶装置。

40

【請求項34】

第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、
前記駆動MISFETは、半導体基板の主面に形成され、
前記駆動MISFETの上部に絶縁膜を介して前記縦型MISFETが形成され、
前記駆動MISFETのゲートまたはドレインと、前記縦型MISFETのゲートとの間の電流パスは、導電膜を介して前記縦型MISFETのゲートの下部を経由して形成されることを特徴とする半導体記憶装置。

50

【請求項35】

第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、

前記駆動MISFETは、半導体基板の主面に形成され、

前記駆動MISFETの上部に絶縁膜を介して、前記駆動MISFETのゲートまたはドレインに電氣的に接続される導電膜が形成され、

前記導電膜の上部に前記縦型MISFETが形成され、

前記縦型MISFETのゲートは、サイドウォールスペーサ状に形成され、かつ前記導電膜に電氣的に接続されることを特徴とする半導体記憶装置。

10

【請求項36】

第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、

前記駆動MISFETは、半導体基板の主面に形成され、

前記駆動MISFETの上部に絶縁膜を介して、前記駆動MISFETのゲート電極またはドレインに電氣的に接続される導電膜が形成され、

前記導電膜の上部に前記縦型MISFETが形成され、

前記縦型MISFETのゲート電極は、自己整合的に前記導電膜に電氣的に接続されることを特徴とする半導体記憶装置。

20

【請求項37】

前記導電膜の上部に絶縁膜を介して前記縦型MISFETが形成され、

前記縦型MISFETのゲート電極は、サイドウォールスペーサ状に形成された第1膜と第2膜とを含み、

前記第1膜に自己整合的に前記導電膜が開口され、

前記第2膜は、前記導電膜に電氣的に接続されることを特徴とする請求項33～36の何れか一項に記載の半導体記憶装置。

【請求項38】

第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、

30

前記駆動MISFETは、半導体基板の主面に形成され、

前記駆動MISFETの上部に絶縁膜を介して、前記駆動MISFETのゲートまたはドレインに電氣的に接続される第1導電膜が形成され、

前記第1導電膜の上部に、第2導電膜が形成され、

前記第2導電膜の上部に、前記縦型MISFETが形成され、

前記縦型MISFETのゲートは、前記第2導電膜に電氣的に接続され、

前記前記縦型MISFETのドレインは前記第2導電膜を介さずに前記第1導電膜に電氣的に接続されることを特徴とする半導体記憶装置。

40

【請求項39】

前記第2導電膜の上部に絶縁膜を介して前記縦型MISFETが形成され、

前記縦型MISFETのゲートは、サイドウォールスペーサ状に形成された第1膜と第2膜を含み、

前記第1膜に自己整合的に前記第2導電膜が開口され、

前記第2膜は、前記第2導電膜に電氣的に接続されることを特徴とする請求項38に記載の半導体記憶装置。

【請求項40】

前記第1導電膜は金属膜で構成され、

50

前記第２導電膜はシリコン膜で構成され、

前記第１導電膜は、バリア膜を介して前記縦型ＭＩＳＦＥＴのドレインに電氣的に接続されることを特徴とする請求項３８または３９項に記載の半導体記憶装置。

【請求項４１】

前記第１導電膜と同層の導電膜で、周辺回路用ＭＩＳＦＥＴのゲートおよびドレイン間を電氣的に接続する導電膜が形成されることを特徴とする請求項３８～４０の何れか一項に記載の半導体記憶装置。

【請求項４２】

第１および第２駆動ＭＩＳＦＥＴと、第１および第２縦型ＭＩＳＦＥＴとを備えたメモリセルと、周辺回路用ＭＩＳＦＥＴとを有する半導体記憶装置であって、

10

前記駆動ＭＩＳＦＥＴは、半導体基板の主面に形成され、

前記駆動ＭＩＳＦＥＴのゲートおよびドレイン間を電氣的に接続する導電膜が、前記駆動ＭＩＳＦＥＴの上部に絶縁膜を介して形成され、

前記導電膜の上部に、前記縦型ＭＩＳＦＥＴが形成され、

前記導電膜と同層の導電膜で、前記周辺回路用ＭＩＳＦＥＴのゲートおよびドレイン間を電氣的に接続する導電膜が形成されることを特徴とする半導体記憶装置。

【請求項４３】

前記導電膜は金属膜で構成され、

前記導電膜は、バリア膜を介して前記縦型ＭＩＳＦＥＴのドレインに電氣的に接続されることを特徴とする請求項４２に記載の半導体記憶装置。

20

【請求項４４】

前記縦型ＭＩＳＦＥＴを覆う絶縁膜を介して金属配線層が形成され、

前記金属配線層により、前記周辺回路用ＭＩＳＦＥＴのゲートおよびドレイン間を電氣的に接続する配線が形成されることを特徴とする請求項４２または４３に記載の半導体記憶装置。

【請求項４５】

第１および第２駆動ＭＩＳＦＥＴと、第１および第２縦型ＭＩＳＦＥＴとを備えたメモリセルを有する半導体記憶装置であって、

前記駆動ＭＩＳＦＥＴは、半導体基板の主面に形成され、

前記駆動ＭＩＳＦＥＴのゲートまたはドレインに電氣的に接続する導電膜が、前記駆動ＭＩＳＦＥＴの上部に絶縁膜を介して形成され、

30

前記導電膜の上部に、前記縦型ＭＩＳＦＥＴが形成され、

前記導電膜と、前記縦型ＭＩＳＦＥＴのゲート電極とは、前記縦型ＭＩＳＦＥＴを覆う絶縁膜に形成された接続孔において、前記接続孔に埋め込まれたプラグにより電氣的に接続されることを特徴とする半導体記憶装置。

【請求項４６】

前記導電膜と同層の導電膜で、周辺回路用ＭＩＳＦＥＴのゲートおよびドレイン間を電氣的に接続する導電膜が形成されることを特徴とする請求項４５に記載の半導体記憶装置。

【請求項４７】

前記縦型ＭＩＳＦＥＴは、前記半導体基板の主面に垂直な方向に延在する積層体に形成されたソース、チャネル領域およびドレインと、前記積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

40

前記積層体はシリコン膜で構成されることを特徴とする請求項３０～４７の何れか一項に記載の半導体記憶装置。

【請求項４８】

第１および第２駆動ＭＩＳＦＥＴと、第１および第２縦型ＭＩＳＦＥＴとを備えたメモリセルを有する半導体記憶装置の製造方法であって、

半導体基板の主面に駆動ＭＩＳＦＥＴを形成する工程と、

前記駆動ＭＩＳＦＥＴの上部に絶縁膜を介して、前記駆動ＭＩＳＦＥＴのゲートまたはドレインに電氣的に接続する導電膜を形成する工程と、

50

前記導電膜の上部に、前記縦型M I S F E Tを形成する工程と、
前記縦型M I S F E Tを覆う絶縁膜に接続孔を形成する工程と、
前記接続孔にプラグを埋め込むことにより、前記接続孔内で、前記導電膜と、前記縦型M I S F E Tのゲート電極とを電氣的に接続する工程と、
を含むことを特徴とする半導体記憶装置の製造方法。

【請求項 49】

前記導電膜と同層の導電膜で、周辺回路用M I S F E Tのゲートおよびドレイン間を電氣的に接続する導電膜が形成されることを特徴とする請求項 48 に記載の半導体記憶装置の製造方法。

【請求項 50】

第1および第2駆動M I S F E Tと、第1および第2縦型M I S F E Tとを備えたメモリセルを有する半導体記憶装置の製造方法であって、
半導体基板の主面に駆動M I S F E Tを形成する工程と、
前記駆動M I S F E Tの上部に絶縁膜を介して、ドレイン・チャネル・ソースとなる半導体膜、およびキャップ絶縁膜を形成する工程と、
前記半導体膜、およびキャップ絶縁膜を柱状形状にパターニングする工程と、柱状のキャップ絶縁膜の側壁にエッチングストッパ膜をサイドスペーサ状に形成する工程と、
前記キャップ絶縁膜およびエッチングストッパ膜上に層間絶縁膜を形成する工程と、
前記エッチングストッパ膜をストッパに用いて、前記層間絶縁膜およびキャップ絶縁膜をエッチングした後、前記エッチングストッパ膜をエッチングして、半導体膜を開口する接続孔を形成する工程と、
を含むことを特徴とする半導体記憶装置の製造方法。

【請求項 51】

前記第1および第2ゲート引き出し電極は、窒化金属膜からなることを特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 52】

前記第1および第2ゲート引き出し電極は、窒化金属膜からなり、前記第1縦型M I S F E Tの第1ゲート電極を構成する前記2層の導電膜のうち、前記第1ゲート引き出し電極と接する導電膜、および前記第2縦型M I S F E Tの第2ゲート電極を構成する前記2層の導電膜のうち、前記第2ゲート引き出し電極と接する導電膜は、それぞれ金属膜からなることを特徴とする請求項 16 に記載の半導体記憶装置。

【請求項 53】

前記第1縦型M I S F E Tのドレインは、シリコン膜からなる第1プラグを介して前記第1バリア層に電氣的に接続され、
前記第2縦型M I S F E Tのドレインは、シリコン膜からなる第2プラグを介して前記第2バリア層に電氣的に接続され、
前記第1プラグと前記第1バリア層との間には、両者の反応を防ぐための第1反応層が形成され、
前記第2プラグと前記第2バリア層との間には、両者の反応を防ぐための第2反応層が形成されていることを特徴とする請求項 12 に記載の半導体記憶装置。

【請求項 54】

前記第1および第2反応層のそれぞれの表面に凹凸を設けたことを特徴とする請求項 53 に記載の半導体記憶装置。

【請求項 55】

前記第1および第2プラグを構成する前記シリコン膜は、ジシランを含むソースガスを用いたC V D法で堆積したアモルファスシリコン膜を熱処理して形成したものであることを特徴とする請求項 53 に記載の半導体記憶装置。

【請求項 56】

一对の相補性データ線とワード線との交差部に配置された第1および第2転送M I S F E Tと、第1および第2駆動M I S F E Tと、第1および第2縦型M I S F E Tとを備え、

10

20

30

40

50

前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、
前記第1縦型MISFETは、半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成された第1ゲート電極とを有し、
前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成された第2ゲート電極とを有する半導体記憶装置の製造方法であって、

前記第1縦型MISFETの第1ゲート電極および前記第2縦型MISFETの第2ゲート電極を形成する工程は、 10

(a) 前記半導体基板上にアモルファスシリコン膜を堆積し、前記アモルファスシリコン膜を異方的にエッチングすることによって、前記第1および第2積層体のそれぞれの側壁にサイドウォールスペーサ状のアモルファスシリコン層を形成する工程、

(b) 前記(a)工程の後、前記半導体基板上に多結晶シリコン膜を堆積し、前記多結晶シリコン膜を異方的にエッチングすることによって、前記第1および第2積層体のそれぞれの側壁に形成された前記アモルファスシリコン層の表面にサイドウォールスペーサ状の多結晶シリコン層を形成する工程、

(c) 前記アモルファスシリコン層を多結晶化するための熱処理工程、
を含むことを特徴とする半導体記憶装置の製造方法。 20

【請求項57】

一対の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、
前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、
前記第1縦型MISFETは、半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、
前記第1および第2転送MISFETのゲート電極と、前記第1および第2駆動MISFETのゲート電極とを形成する工程は、 30

(a) 前記第1および第2転送MISFETのゲート電極と、前記第1および第2駆動MISFETのゲート電極とを構成する第1導電膜の上部にマスク層を形成する工程、

(b) 前記マスク層を前記半導体基板の主面の第1方向に沿ってパターニングする第1工程、

(c) 前記マスク層を前記第1方向と交差する第2方向に沿ってパターニングする第2工程、

(d) 前記(c)工程の後、前記マスク層をマスクにして前記第1導電膜をパターニングする工程、
を含むことを特徴とする半導体記憶装置の製造方法。 40

【請求項58】

一対の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、
前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、
前記第1縦型MISFETは、半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、前記第1および第2縦型MISFETのそれぞれのチャンネル領域を形成する工程は、

(a) 前記第1および第2縦型MISFETのそれぞれのソースを構成する導電層の上部に、ジシランをソースガスに用いたCVD法でアモルファスシリコン膜を堆積する工程、
(b) 前記アモルファスシリコン層を多結晶化するための熱処理工程、
を含むことを特徴とする半導体記憶装置の製造方法。

【請求項59】

半導体基板の主面に垂直な方向に延在する積層体に形成されたソース、チャンネル領域およびドレインと、前記積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極を有する縦型MISFETの製造方法であって、前記ゲート電極を形成する工程は、

(a) 半導体基板上にアモルファスシリコン膜を堆積し、前記アモルファスシリコン膜を異方的にエッチングすることによって、前記積層体の側壁にサイドウォールスペーサ状のアモルファスシリコン層を形成する工程、

(b) 前記(a)工程の後、前記半導体基板上に多結晶シリコン膜を堆積し、前記多結晶シリコン膜を異方的にエッチングすることによって、前記積層体の側壁に形成された前記アモルファスシリコン層の表面にサイドウォールスペーサ状の多結晶シリコン層を形成する工程、

(c) 前記アモルファスシリコン層を多結晶化するための熱処理工程、
とを含む縦型MISFETの製造方法。

【請求項60】

半導体装置の製造方法であって、

(a) 第1MISFETのゲート電極と、第2駆動MISFETのゲート電極とを構成する第1導電膜の上部にマスク層を形成する工程、

(b) 前記マスク層を前記半導体基板の主面の第1方向に沿ってパターニングする第1工程、

(c) 前記マスク層を前記第1方向と交差する第2方向に沿ってパターニングする第2工程、

(d) 前記(c)工程の後、前記マスク層をマスクにして前記第1導電膜をパターニングする工程、

とを含む半導体装置の製造方法。

【請求項61】

半導体基板の主面に垂直な方向に延在する積層体に形成されたソース、チャンネル領域およびドレインと、前記積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極を有する縦型MISFETの製造方法であって、前記第1および第2縦型MISFETのそれぞれのチャンネル領域を形成する工程は、

(a) 前記第1および第2縦型MISFETのそれぞれのソースを構成する導電層の上部に、ジシランをソースガスに用いたCVD法でアモルファスシリコン膜を堆積する工程、

(b) 前記アモルファスシリコン層を多結晶化するための熱処理工程、
を含む縦型MISFETの製造方法。

【請求項62】

半導体基板の主面に垂直な方向に延在する積層体に形成されたソース、チャンネル領域およびドレインと、前記積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極を有する縦型MISFETであって、

前記縦型MISFETのゲートは、前記積層体に対してサイドウォールスペーサ状に自己整合的に形成された第1膜と、前記第1膜に対してサイドウォールスペーサ状に自己整合的に形成された第2膜とを含む縦型MISFET。

【請求項63】

MISFETと縦型MISFETとを有する半導体装置であって、前記MISFETは、

半導体基板の主面に形成され、前記MISFETの上部に絶縁膜を介して金属膜が形成され、前記金属膜の上部に前記縦型MISFETが形成される半導体装置。

【請求項64】

MISFETと縦型MISFETとを有する半導体装置であって、前記MISFETは、半導体基板の主面に形成され、前記MISFETの上部に絶縁膜を介して形成された縦型MISFETのゲートは、そのゲートの下部で下層の導電膜に電氣的に接続されることで、前記MISFETのゲートまたはドレインに電氣的に接続される半導体装置。

【請求項65】

MISFETと縦型MISFETとを有する半導体装置であって、前記MISFETは、半導体基板の主面に形成され、前記MISFETの上部に絶縁膜を介して前記縦型MISFETが形成され、前記MISFETのゲートまたはドレインと、前記縦型MISFETのゲートとの間の電流パスは、導電膜を介して前記縦型MISFETのゲートの下部を経由して形成される半導体装置。 10

【請求項66】

MISFETと縦型MISFETとを有する半導体装置であって、前記MISFETは、半導体基板の主面に形成され、前記MISFETの上部に絶縁膜を介して、前記MISFETのゲートまたはドレインに電氣的に接続される導電膜が形成され、前記導電膜の上部に前記縦型MISFETが形成され、前記縦型MISFETのゲートは、サイドウォールスペーサ状に形成され、かつ前記導電膜に電氣的に接続される半導体装置。

【請求項67】

MISFETと、縦型MISFETとを有する半導体装置であって、前記MISFETは、半導体基板の主面に形成され、前記MISFETの上部に絶縁膜を介して、前記MISFETのゲートまたはドレインに電氣的に接続される導電膜が形成され、前記導電膜の上部に前記縦型MISFETが形成され、前記縦型MISFETのゲートは、自己整合的に前記導電膜に電氣的に接続される半導体装置。 20

【請求項68】

第1MISFETと縦型MISFETとを有する第1回路と、第2MISFETとを有する第2回路とを備えた半導体装置であって、前記第1MISFETは、半導体基板の主面に形成され、前記第1MISFETのゲートおよびドレイン間を電氣的に接続する導電膜が、前記第1MISFETの上部に絶縁膜を介して形成され、前記導電膜の上部に、前記縦型MISFETが形成され、前記導電膜と同層の導電膜で、前記第2MISFETのゲートおよびドレイン間を電氣的に接続する導電膜が形成されることを特徴とする半導体装置。 30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置およびその製造技術、縦型MISFETの製造方法および縦型MISFET、半導体装置の製造方法および半導体装置に関し、特に、メモリセルを縦型MISFETを用いて構成したSRAM(Static Random Access Memory)を有する半導体記憶装置に適用して有効な技術に関する。 40

【0002】

【従来の技術】

汎用の大容量半導体記憶装置の一種であるSRAM(Static Random Access Memory)は、例えば4個のnチャネル型MISFET(Metal-Insulator-Semiconductor-Field-Effect-Transistor)と2個のpチャネル型MISFETとでメモリセルを構成している。しかし、この種のいわゆる完全CMOS(Complementary-Metal-Oxide-Semiconductor)型SRAMは、半導体基板の主面に6個のMISFETを平面的に配置するので、メモリセルサイズの縮小が困難である。すなわち、CMO 50

Sを形成するためのpおよびn型ウェル領域およびnチャネル型MISFETとpチャネル型MISFETとを分離するウェル分離領域が必要となる完全CMOS型SRAMは、メモリセルサイズの縮小が困難である。

【0003】

【発明が解決しようとする課題】

そこで、6個のMISFETで構成したSRAMセルについて、例えば特開平8-88328号公報に記載されているように、メモリセルを構成するMISFETの一部を溝の側壁にチャネル部を形成し、溝を埋め込むようにゲートを形成したMISFETを用いて構成することによって、メモリセルサイズの縮小を図る技術が提案されているが、この場合、溝を埋め込むように形成されたゲートは、MISFET上を絶縁膜を介してパターンニングにより形成された導電膜で構成され、かつ他のMISFETに接続されるので、フォトリソグラフィーのための合わせ余裕を含めたスペースを必要とし、メモリセルサイズが増大する。

【0004】

また、例えば特開平5-206394号公報に記載されているように4個のnチャネル型MISFETと2個のpチャネル型MISFETを半導体基板上に並べて配置する完全CMOS型SRAMの場合は、トランジスタ6個分のスペースを必要とし、メモリセルサイズが増大すると共に、製造工程が複雑になる。

【0005】

また、縦型トランジスタについては、例えば特開平11-87541号公報に記載されている。この公報に示されるように、縦型トランジスタのソース、ドレインおよびゲートは、縦型トランジスタを覆う絶縁膜に形成された接続孔を介して絶縁膜上に形成された金属配線層に電氣的に接続される。

【0006】

本発明者はこの種の縦型トランジスタを検討した結果、この縦型トランジスタでは、ソース、ドレインおよびゲートを金属配線層に接続するために基板の主面と平行な平面に配置するので、その延在方向にそれぞれの領域が必要となり、また縦型トランジスタに接続する金属配線層の配置などの領域が必要となり、トランジスタサイズが増大する恐れがあることを見出した。

【0007】

本発明の目的は、SRAMのメモリセルサイズを縮小することのできる技術を提供することにある。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要について説明すれば、次のとおりである。

【0010】

本発明の半導体記憶装置は、一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、

前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、半導体基板の主面に形成され、

前記第1および第2縦型MISFETは、前記第1および第2転送MISFETと、前記第1および第2駆動MISFETのそれぞれよりも上部に形成され、前記第1縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース

、チャネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成された第1ゲート電極とを有し、

前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成された第2ゲート電極とを有し、

前記第1縦型MISFETのソースと、前記第2駆動MISFETのゲート電極と、前記第1駆動MISFETのドレインとは、第1中間導電層を介して互いに電氣的に接続され、

前記第2縦型MISFETのソースと、前記第1駆動MISFETのゲート電極と、前記第2駆動MISFETのドレインとは、第2中間導電層を介して互いに電氣的に接続され

10

、前記第1縦型MISFETの第1ゲート電極は、前記第1ゲート電極と接するように形成された第1ゲート引き出し電極と、前記第1ゲート引き出し電極および前記第2中間導電層とに接するように形成された第1接続孔内の第1導電層とを介して前記第2中間導電層と電氣的に接続され、

前記第2縦型MISFETの第2ゲート電極は、前記第2ゲート電極と接するように形成された第2ゲート引き出し電極と、前記第2ゲート引き出し電極および前記第1中間導電層とに接するように形成された第2接続孔内の第2導電層とを介して前記第1中間導電層と電氣的に接続されているものである。

【0011】

20

また、上記半導体記憶装置は、例えば下記の工程(a)～工程(f)によって製造される。

(a) 半導体基板の主面の第1領域に第1および第2転送MISFETと、第1および第2駆動MISFETを形成する工程、

(b) 前記第1および第2転送MISFETと前記第1および第2駆動MISFETの上部に、前記第2駆動MISFETのゲート電極と、前記第1駆動MISFETのドレインとを電氣的に接続する第1中間導電層を形成し、前記第1駆動MISFETのゲート電極と、前記第2駆動MISFETのドレインとを電氣的に接続する第2中間導電層を形成する工程、

(c) 前記第1および第2中間導電層の上部に第1絶縁膜を介して第1および第2ゲート引き出し電極を形成する工程、

30

(d) 前記(c)工程の後、前記第1および第2ゲート引き出し電極の上部に第1および第2積層体を形成することによって、前記第1積層体に形成された第1縦型MISFETのドレインと前記第1中間導電層とを電氣的に接続し、前記第2積層体に形成された第2縦型MISFETのドレインと前記第2中間導電層とを電氣的に接続する工程、

(e) 前記第1積層体の側壁部にゲート絶縁膜を介して形成された前記第1縦型MISFETのゲート電極と前記第1ゲート引き出し電極とを電氣的に接続し、前記第2積層体の側壁部にゲート絶縁膜を介して形成された前記第2縦型MISFETのゲート電極と前記第2ゲート引き出し電極とを電氣的に接続する工程、(f) 前記第1ゲート引き出し電極の上部に、前記第1ゲート引き出し電極と前記第2中間導電層とに接するように第1接続孔を形成してその内部に第1導電層を埋め込み、前記第2ゲート引き出し電極の上部に、前記第2ゲート引き出し電極と前記第1中間導電層とに接するように第2接続孔を形成してその内部に第2導電層を埋め込む工程。

40

【0012】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0013】

(実施の形態1)

50

図1は、本発明の一実施の形態であるSRAMのメモリセルの等価回路図である。図1に示すように、このSRAMのメモリセル(MC)は、一対の相補性データ線(BLT、BLB)とワード線(WL)との交差部に配置された2個の転送MISFET(TR₁、TR₂)、2個の駆動MISFET(DR₁、DR₂)および2個の縦型MISFET(SV₁、SV₂)によって構成されている。

【0014】

メモリセル(MC)を構成する上記6個のMISFETのうち、2個の転送MISFET(TR₁、TR₂)および2個の駆動MISFET(DR₁、DR₂)は、nチャネル型MISFETで構成されている。また、2個の縦型MISFET(SV₁、SV₂)は、pチャネル型MISFETで構成されている。この縦型MISFET(SV₁、SV₂)は、周知の完全CMOS型SRAMにおける負荷MISFETに相当するものであるが、通常の負荷MISFETとは異なり、後述するような縦型構造で構成されており、かつ駆動MISFET(DR₁、DR₂)および転送MISFET(TR₁、TR₂)形成領域の上部に配置されている。

【0015】

メモリセル(MC)の駆動用MISFET(DR₁)および縦型MISFET(SV₁)は第1のインバータINV₁を構成し、駆動用MISFET(DR₂)および縦型MISFET(SV₂)は第2のインバータINV₂を構成している。

これら一対のインバータINV₁、INV₂はメモリセル(MC)内で交差結合され、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。

【0016】

すなわち、駆動用MISFET(DR₁)のドレインと、縦型MISFET(SV₁)のドレインと、駆動用MISFET(DR₂)のゲートと、縦型MISFET(SV₂)のゲートとは互いに電氣的に接続され、メモリセルの一方の蓄積ノード(A)を構成する。駆動用MISFET(DR₂)のドレインと、縦型MISFET(SV₂)のドレインと、駆動用MISFET(DR₁)のゲートと、縦型MISFET(SV₁)のゲートとは互いに電氣的に接続され、メモリセルの他方の蓄積ノード(B)を構成する。

【0017】

上記フリップフロップ回路の一方の入出力端子は、転送MISFET(TR₁)のソース、ドレインの一方に電氣的に接続され、もう一方の入出力端子は、転送MISFET(TR₂)のソース、ドレインの一方に電氣的に接続されている。転送MISFET(TR₁)のソース、ドレインの他方は、一対の相補性データ線の内の一方のデータ線BLTに電氣的に接続され、転送MISFET(TR₂)のソース、ドレインの他方は、一対の相補性データ線の内の他方のデータ線BLBに電氣的に接続されている。また、フリップフロップ回路の一端、すなわち2個の縦型MISFET(SV₁、SV₂)のソースは、基準電圧(Vss)よりも電位の高い例えば3Vの電源電圧(Vdd)を供給する電源電圧線(Vdd)に電氣的に接続され、他端、すなわち2個の駆動MISFET(DR₁、DR₂)のソースは、例えば0Vの基準電圧(Vss)を供給する基準電圧線(Vss)に電氣的に接続されている。転送MISFET(TR₁、TR₂)、のゲート電極は、ワード線(WL)に電氣的に接続されている。上記メモリセル(MC)は、一対の蓄積ノード(A、B)の一方をHigh、他方をLowにすることにより情報を記憶する。

【0018】

上記メモリセル(MC)における情報の保持、読み出しおよび書き込み動作は、周知の完全CMOS型SRAMのそれと基本的に同じである。すなわち、情報の読み出し時には、選択されたワード線(WL)に例えば電源電圧(Vdd)を印加し、転送MISFET(TR₁、TR₂)をONにして一対の蓄積ノード(A、B)の電位差を相補性データ線(BLT、BLB)で読み取る。また、書き込み時には、選択されたワード線(WL)に例えば電源電圧(Vdd)を印加して、転送MISFET(TR₁、TR₂)をONにすると共に、相補性データ線(BLT、BLB)の一方を電源電圧(Vdd)に接続し、他方を基準電圧(Vss)に接続することによって、駆動MISFET(DR₁、DR₂)の

10

20

30

40

50

ON、OFFを反転させる。

【0019】

図2は、上記メモリセル(MC)の具体的な構造を示す平面図、図3の左側部分は、図2のA-A'線に沿った断面図、中央部分は、図2のB-B'線に沿った断面図、右側部分は、図2のC-C'線に沿った断面図である。なお、図2に示す4個の(+)印で囲んだ矩形の領域は、メモリセル1個の占有領域(メモリセル形成領域)を示しているが、この(+)印は図を解り易くするために示した印であり、実際に半導体基板上に形成されるものではない。また、図2は、図を解り易くするためにメモリセルを構成する主要な導電層とそれらの接続領域のみを示しており、導電層間に形成される絶縁膜などの図示は省略してある。

10

【0020】

例えばp型の単結晶シリコンからなる半導体基板(以下、基板という)1の主面には、p型ウエル4が形成されている。このp型ウエル4の素子分離溝2によって周囲を規定された活性領域(L)には、メモリセル(MC)の一部を構成する2個の転送MISFET(TR_1 、 TR_2)および2個の駆動MISFET(DR_1 、 DR_2)が形成されている。素子分離溝2には、例えばシリコン酸化膜などからなる絶縁膜3が埋め込まれ、素子分離部を構成している。

【0021】

なお、図示しないが、周辺回路領域の基板1のn型ウエル5とp型ウエルに、周辺回路を構成するnチャネルおよびpチャネルMISFETが構成される。周辺回路用MISFETによってXデコーダ回路、Yデコーダ回路、センスアンプ回路、入出力回路、論理回路などが構成されるが、これらに限らず、マイクロプロセッサ、CPUなどの論理回路を構成してもよい。

20

【0022】

図2に示すように、活性領域(L)は、図の縦方向(Y方向)に延在する略長方形の平面パターンを有しており、メモリセル1個の占有領域には、2個の活性領域(L、L)が互いに平行に配置されている。2個の転送MISFET(TR_1 、 TR_2)および2個の駆動MISFET(DR_1 、 DR_2)のうち、一方の転送MISFET(TR_1)および駆動MISFET(DR_1)は、一方の活性領域(L)に形成され、それらのソース、ドレインの一方を互いに共有している。また、他方の転送MISFET(TR_2)および駆動MISFET(DR_2)は、他方の活性領域(L)に形成され、それらのソース、ドレインの一方を互いに共有している。

30

【0023】

一方の転送MISFET(TR_1)および駆動MISFET(DR_1)と、他方の転送MISFET(TR_2)および駆動MISFET(DR_2)とは、素子分離部を介して図の横方向(X方向)に離隔して配置され、かつメモリセル形成領域の中心点に対して点対称に配置される。また、駆動MISFET(DR_2)および駆動MISFET(DR_1)のゲート電極7Bは、図の横方向(X方向)に延在するように配置され、X方向において、一方の転送MISFET(TR_1)および駆動MISFET(DR_1)と、他方の転送MISFET(TR_2)および駆動MISFET(DR_2)との間の素子分離部上でその一端が終端し、その一端部上に後述する縦型MISFET(SV_1 、 SV_2)が形成される。これにより、メモリセルサイズを縮小できる。また、縦型MISFET(SV_1 、 SV_2)は図の縦方向(Y方向)に隣接して配置され、縦型MISFET(SV_1 、 SV_2)の上部に、縦型MISFET(SV_1 、 SV_2)のソースに電氣的に接続される電源電圧線(Vdd)90が図の縦方向(Y方向)に延在するように配置される。これにより、メモリセルサイズを縮小できる。また、電源電圧線(Vdd)90と相補性データ線BLT、BLBとを同じ配線層に形成し、図の縦方向(Y方向)に延在する相補性データ線BLT、BLBの間に電源電圧線(Vdd)90を形成することにより、メモリセルサイズを縮小できる。すなわち、図の横方向(X方向)において、一方の転送MISFET(TR_1)および駆動MISFET(DR_1)と、他方の転送MISFET(TR_2)および駆

40

50

動MISFET (DR₂) との間の縦型MISFET (SV₁、SV₂) を配置するとともに、図の横方向 (X方向) において、相補性データ線BLT、BLBの間に電源電圧線 (Vdd) 90を配置することによりメモリセルサイズを縮小できる。

【0024】

転送MISFET (TR₁、TR₂) は、主としてp型ウエル4の表面に形成されたゲート絶縁膜6と、ゲート絶縁膜6の上部に形成されたゲート電極7Aと、ゲート電極7Aの両側のp型ウエル4に形成されたn⁺型半導体領域14 (ソース、ドレイン) とによって構成されている。また、駆動MISFET (DR₁、DR₂) は、主としてp型ウエル4の表面に形成されたゲート絶縁膜6と、ゲート絶縁膜6の上部に形成されたゲート電極7Bと、ゲート電極7Bの両側のp型ウエル4に形成されたn⁺型半導体領域14 (ソース、ドレイン) とによって構成されている。 10

【0025】

転送MISFET (TR₁) のソース、ドレインの一方と、駆動MISFET (DR₁) のドレインとはn⁺型半導体領域14により一体に形成され、このn⁺型半導体領域14の上部には、プラグ28が埋め込まれたコンタクトホール23が形成されている。また駆動MISFET (DR₂) のゲート電極7Bの上部には、プラグ28が埋め込まれたコンタクトホール22が形成され、コンタクトホール22、23の上部には、コンタクトホール22内のプラグ28とコンタクトホール23内のプラグ28とを接続する中間導電層42が形成されている。そして、転送MISFET (TR₁) のソース、ドレインの一方および駆動MISFET (DR₁) ドレインであるn⁺型半導体領域14と駆動MISFET (DR₂) のゲート電極7Bとは、これらのプラグ28、28と中間導電層42とを介して互いに電氣的に接続されている。 20

【0026】

転送MISFET (TR₂) のソース、ドレインの一方と、駆動MISFET (DR₂) のドレインとはn⁺型半導体領域14により一体に形成され、このn⁺型半導体領域14の上部には、プラグ28が埋め込まれたコンタクトホール23が形成されている。駆動MISFET (DR₁) のゲート電極7Bの上部には、プラグ28が埋め込まれたコンタクトホール22が形成されて、コンタクトホール22、23の上部には、コンタクトホール22内のプラグ28とコンタクトホール23内のプラグ28とを接続する中間導電層43が形成されている。そして、転送MISFET (TR₂) のソース、ドレインの一方および駆動MISFET (DR₂) のドレインであるn⁺型半導体領域14と駆動MISFET (DR₁) のゲート電極7Bとは、これらのプラグ28、28と中間導電層43とを介して互いに電氣的に接続されている。 30

【0027】

プラグ28は、例えばタングステン (W) 等の金属 (メタル) 膜で構成され、中間導電層42、43は、例えばタングステン (W) 等の金属 (メタル) 膜で構成される。このように、中間導電層42、43を金属膜で構成することにより、抵抗を低減でき、メモリセルの特性を向上できる。

【0028】

また、後述するようにプラグ28および中間導電層42、43と同層のプラグ28および中間導電層46、47により、周辺回路を構成するnチャネルおよびpチャネルMISFETのソース・ドレインおよびゲート間が電氣的に接続される。これにより、周辺回路を構成するMISFET間の電氣的接続の自由度を向上でき、高集積化が可能となる。また、中間導電層46、47を金属膜で構成することにより、MISFET間の接続抵抗を低減でき、回路の動作スピードを向上できる。すなわち、後述するように、上層に形成される金属 (メタル) 配線層89は、縦型MISFET (SV₁、SV₂) よりも上部に形成されるので、その上層の金属配線層89のみで、MISFET間の電氣的接続を行う場合よりも、配線の自由度を向上できるとともに、高集積化できる。 40

【0029】

駆動MISFET (DR₂) のゲート電極7Bの一端部上には、縦型MISFET (SV 50

1) が形成され、駆動MISFET (DR₁) のゲート電極7Bの一端部上には、縦型MISFET (SV₂) が形成されている。

【0030】

縦型MISFET (SV₁) は、下部半導体層 (ドレイン) 57、中間半導体層58、上部半導体層 (ソース) 59を積層した四角柱状の積層体 (P₁) と、この積層体 (P₁) の側壁にゲート絶縁膜63を介して形成されたゲート電極66とによって構成されている。縦型MISFET (SV₁) の下部半導体層 (ドレイン) 57は、その下部に形成されたプラグ55およびバリア層48を介して前記中間導電層42に接続されており、さらにこの中間導電層42およびその下部の前記プラグ28、28を介して前記転送MISFET (TR₁) のソース、ドレインの一方および駆動MISFET (DR₁) のドレインであるn⁺型半導体領域14と、駆動MISFET (DR₂) のゲート電極7Bとに電氣的に接続されている。 10

【0031】

縦型MISFET (SV₂) は、下部半導体層 (ドレイン) 57、中間半導体層58、上部半導体層 (ソース) 59を積層した四角柱状の積層体 (P₂) と、この積層体 (P₂) の側壁にゲート絶縁膜63を介して形成されたゲート電極66とによって構成されている。縦型MISFET (SV₂) の下部半導体層 (ドレイン) 57は、その下部に形成されたプラグ55およびバリア層48を介して前記中間導電層43に接続されており、さらにこの中間導電層43およびその下部の前記プラグ28、28を介して前記転送MISFET (TR₂) のソース、ドレインの一方および駆動MISFET (DR₂) のソースであるn⁺型半導体領域14、と駆動MISFET (DR₁) のゲート電極7Bとに電氣的に接続されている。 20

【0032】

縦型MISFET (SV₁、SV₂) は、下部半導体層57がドレインを構成し、中間半導体層58が基板 (チャネル領域) を構成し、上部半導体層59がソースを構成している。下部半導体層57、中間半導体層58、上部半導体層59の夫々は、シリコン膜で構成され、下部半導体層57および上部半導体層59はp型にドーピングされ、p型シリコン膜で構成される。すなわち、縦型MISFET (SV₁、SV₂) は、シリコン膜で形成されたpチャネル型MISFETで構成される。

【0033】

また、プラグ55を構成するシリコン膜は、縦型MISFET (SV₁、SV₂) の下部半導体層57を構成する多結晶シリコン膜と同一の導電型 (p型) とするために、成膜時または成膜後にホウ素をドーピングして、p型シリコン膜で構成される。 30

【0034】

ソースである下部半導体層57はシリコン膜で形成されているので、シリコン膜 (プラグ55) とタングステンからなる中間導電層42、43との界面で所望しないシリサイド反応が生じるのを防ぐために、それらの間にバリア層48を設けている。これにより、タングステンからなる中間導電層42、43の上部に、シリコン膜で形成される下部半導体層57、中間半導体層58、上部半導体層59を形成でき、縦型MISFET (SV₁、SV₂) を中間導電層42、43の上部に形成できる。すなわち、中間導電層42、43は、タングステン (W) 等の金属膜で構成し、バリア層48を介して中間導電層42、43の上部にシリコン膜で形成された縦型MISFETを形成することにより、MISFET間の接続抵抗を低減でき、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。 40

【0035】

なお、バリア層48は、例えばWN膜、Ti膜、TiN膜の単層膜、またはWN膜とW膜との積層膜、TiN膜とW膜との積層膜など、それらの膜を2種類以上積層した積層膜で構成される。

【0036】

縦型MISFET (SV₁、SV₂) のそれぞれのゲート電極66は、四角柱状の積層体 50

(P_1 、 P_2)のそれぞれの側壁を囲むように形成される。なお、後述するように、ゲート電極66は、サイドウォール状に、四角柱状の積層体(P_1 、 P_2)に対して自己整合的に形成される。

【0037】

このように、縦型MISFET(SV_1 、 SV_2)は、ソース、基板(チャンネル領域)、ドレインが基板の主面に対して垂直方向に積層され、チャンネル電流が基板の主面に対して垂直方向に流れる、いわゆる縦型チャンネルMISFETを構成する。すなわち、縦型MISFET(SV_1 、 SV_2)のチャンネル長方向は基板の主面に対して垂直な方向であり、チャンネル長は基板の主面に対して垂直な方向における下部半導体層57と上部半導体層59との間の長さで規定される。縦型MISFET(SV_1 、 SV_2)のチャンネル幅は四角柱状の積層体の側壁一周の長さで規定される。これにより、縦型MISFET(SV_1 、 SV_2)のチャンネル幅を大きくすることができる。

【0038】

縦型MISFET(SV_1)のゲート電極66は、その下端部に形成されたゲート引き出し電極51(51b)に電氣的に接続されている。後述するように縦型MISFET(SV_1)のゲート電極66を四角柱状の積層体(P_1)に対して自己整合的にサイドウォール状に形成する工程を利用して、縦型MISFET(SV_1)のゲート電極66は、ゲート電極66の下部において、例えばゲート電極66の底面がゲート引き出し電極51(51b)に対して自己整合的に接続される。これにより、メモリセルサイズを縮小できる。

【0039】

このゲート引き出し電極51(51b)の上部にはプラグ80が埋め込まれたスルーホール75が形成されている。また、このプラグ80は、その一部が前記中間導電層43に接続されており、縦型MISFET(SV_1)のゲート電極66は、ゲート引き出し電極51(51b)、プラグ80、中間導電層43およびその下部の前記プラグ28、28を介して前記転送MISFET(TR_2)のソース、ドレインの一方および駆動MISFET(DR_2)のドレインである n^+ 型半導体領域14と、駆動MISFET(DR_1)のゲート電極7Bとに電氣的に接続されている。後述するようにプラグ80は、プラグ80より上層の配線とは電氣的に接続されず、相補性データ線BLTが平面的にみてプラグ80と重なるように、プラグ80の上部を図の縦方向(Y方向)に延在して配置される。このように、プラグ80の底部を用いて、ゲート引き出し電極51(51b)と中間導電層43とを電氣的に接続することにより、メモリセルサイズを縮小できる。また、プラグ80の上部に相補性データ線BLTを配置することができ、メモリセルサイズを縮小できる。

【0040】

縦型MISFET(SV_2)のゲート電極66は、その下端部に形成されたゲート引き出し電極51(51a)に電氣的に接続されている。後述するように縦型MISFET(SV_2)のゲート電極66を四角柱状の積層体(P_2)に対して自己整合的にサイドウォール状に形成する工程を利用して、縦型MISFET(SV_2)のゲート電極66は、ゲート電極66の下部において、例えばゲート電極66の底面がゲート引き出し電極51(51a)に対して自己整合的に接続される。これにより、メモリセルサイズを縮小できる。

【0041】

上記ゲート引き出し電極51(51a)の上部にはプラグ80が埋め込まれたスルーホール74が形成されている。また、このプラグ80は、その一部が前記中間導電層42に接続されており、縦型MISFET(SV_2)のゲート電極66は、ゲート引き出し電極51(51a)、プラグ80、中間導電層42およびその下部の前記プラグ28、28を介して前記転送MISFET(TR_1)のソース、ドレインの一方および駆動MISFET(DR_2)のドレインである n^+ 型半導体領域14と、駆動MISFET(DR_2)のゲート電極7Bとに電氣的に接続されている。

【0042】

後述するようにプラグ80は、プラグ80より上層の配線(金属配線層)とは電氣的に接

続されず、相補性データ線BLBが平面的にみてプラグ80と重なるように、プラグ80の上部を延在して配置される。このように、プラグ80の底部を用いて、ゲート引き出し電極51(51a)と中間導電層42とを電氣的に接続することにより、メモリセルサイズを縮小できる。また、プラグ80の上部に相補性データ線BLBを配置することができ、メモリセルサイズを縮小できる。プラグ80は、例えばタングステン(W)等の金属(メタル)膜で構成される。

【0043】

このように、縦型MISFET(SV₁、SV₂)のゲート電極66は、ゲート電極66の下部において、例えばゲート電極66の底面が導電膜であるゲート引き出し電極51(51a、51b)に接触するように、ゲート引き出し電極51(51a、51b)に対して自己整合的にサイドウォール状に接続される。これにより、メモリセルサイズを縮小できる。 10

【0044】

前記駆動MISFETの上部に絶縁膜を介して形成された前記縦型MISFET(SV₁、SV₂)のゲート(66)は、ゲート(66)の下部で下層の導電膜あるゲート引き出し電極51(51a、51b)に電氣的に接続される。また、前記縦型MISFET(SV₁、SV₂)のゲート(66)と、前記駆動MISFET(SV₁、SV₂)のゲート(7B)またはドレイン(14)との間の電流パスは、導電膜であるゲート引き出し電極51(51a、51b)を介して前記縦型MISFET(SV₁、SV₂)のゲート(66)の下部を経由して形成される。すなわち、前記縦型MISFET(SV₁、SV₂)のゲート(66)は、ゲート引き出し電極51(51a、51b)に対して自己整合的に接続され、かつそのゲート(66)の下部において、電流パスが基板の主面に対して垂直方向に流れるように、ゲート引き出し電極51(51a、51b)、導電膜である中間導電層42、43、プラグ28を経由し、その下部に形成される前記駆動MISFET(SV₁、SV₂)のゲート(7B)またはドレイン(14)に電氣的に接続される。すなわち、前記縦型MISFET(SV₁、SV₂)のゲート(66)は、プラグ28の上部に、プラグ28および前記縦型MISFET(SV₁、SV₂)のゲート(66)とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。 20

【0045】

また、プラグ80はプラグ28の上部に、プラグ28とプラグ80とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。 30

【0046】

縦型MISFET(SV₁)の一部を構成する積層体(P₁)および縦型MISFET(SV₂)の一部を構成する積層体(P₂)のそれぞれの上部には、層間絶縁膜を介して電源電圧線(Vdd)90が形成されている。電源電圧線(Vdd)90は、積層体(P₁)の上部のスルーホール82内に埋め込まれたプラグ85を介して縦型MISFET(SV₁)の上部半導体層(ソース)59と電氣的に接続され、かつ積層体(P₂)の上部のスルーホール82内に埋め込まれたプラグ85を介して縦型MISFET(SV₂)の上部半導体層(ソース)59と電氣的に接続されている。 40

【0047】

上記電源電圧線(Vdd)90と同じ配線層には、相補性データ線BLT、BLBが形成されている。電源電圧線(Vdd)90および相補性データ線BLT、BLBは、図2のY方向に沿って平行に延在している。すなわち、相補性データ線BLTは、平面的に見て一方の転送MISFET(TR₁)および駆動MISFET(DR₁)と重なるように転送MISFET(TR₁)および駆動MISFET(DR₁)の上部を図2のY方向に沿って延在するように配置される。相補性データ線BLBは、平面的に見て他方の転送MISFET(TR₂)および駆動MISFET(DR₂)と重なるように転送MISFET(TR₂)および駆動MISFET(DR₂)の上部を図2のY方向に沿って延在するよ 50

うに配置される。これにより、メモリセルサイズを縮小できる。

【0048】

相補性データ線BLTは、前記プラグ85と同層のプラグ85、前記プラグ80と同層のプラグ80、前記中間導電層42、43と同層の中間導電層44、および前記プラグ28と同層のプラグ28を介して転送MISFET (TR₁) のソース、ドレイン (n⁺ 型半導体領域14) の他方と電氣的に接続されている。

また、相補性データ線BLBは、前記プラグ85と同層のプラグ85、前記プラグ80と同層のプラグ80、前記中間導電層42、43と同層の中間導電層44、および前記プラグ28と同層のプラグ28を介して転送MISFET (TR₂) のソース、ドレイン (n⁺ 型半導体領域14) の他方と電氣的に接続されている。電源電圧線 (Vdd) 90および相補性データ線BLT、BLBは、例えば銅 (Cu) を主体とする金属膜で構成されている。 10

【0049】

このように、縦型MISFET (SV₁、SV₂) は図の縦方向 (Y方向) に隣接して配置され、縦型MISFET (SV₁、SV₂) の上部に、縦型MISFET (SV₁、SV₂) のソースに電氣的に接続される電源電圧線 (Vdd) 90が図の縦方向 (Y方向) に延在するように配置される。これにより、メモリセルサイズを縮小できる。また、電源電圧線 (Vdd) 90と相補性データ線BLT、BLBとを同じ配線層に形成し、図の縦方向 (Y方向) に延在する相補性データ線BLT、BLBの間に電源電圧線 (Vdd) 90を形成することにより、メモリセルサイズを縮小できる。すなわち、図の横方向 (X方向) において、一方の転送MISFET (TR₁) および駆動MISFET (DR₁) と、他方の転送MISFET (TR₂) および駆動MISFET (DR₂) との間の縦型MISFET (SV₁、SV₂) を配置し、縦型MISFET (SV₁、SV₂) の上部に図の縦方向 (Y方向) に延在する電源電圧線 (Vdd) 90を配置し、転送MISFET (TR₁、TR₂) および駆動MISFET (DR₁、DR₂) の上部に図の縦方向 (Y方向) に延在する相補性データ線BLT、BLBを配置することにより、メモリセルサイズを縮小できる。 20

【0050】

上記電源電圧線 (Vdd) 90および相補性データ線BLT、BLBの上層には、絶縁膜93を介して、図2のX方向に沿って平行に延在するワード線 (WL) および基準電圧線 (Vss) 91が形成されている。ワード線 (WL) は、図2のY方向において、基準電圧線 (Vss) 91の間に配置される。ワード線 (WL) は、前記プラグや中間導電層と同層のプラグおよび中間導電層を介して転送MISFET (TR₁、TR₂) のゲート電極7Aと電氣的に接続され、基準電圧線 (Vss) 91は、同じく前記プラグや中間導電層と同層のプラグおよび中間導電層を介して駆動MISFET (DR₁、DR₂) のn⁺ 型半導体領域 (ソース) 14に電氣的に接続されている。ワード線 (WL) および基準電圧線 (Vss) 91は、例えば銅 (Cu) を主体とする金属膜で構成されている。 30

【0051】

プラグ80、85、電源電圧線 (Vdd) 90および相補性データ線BLT、BLBと同層のプラグ80、83、85および第1金属配線層89により、周辺回路を構成するnチャンネルおよびpチャンネルMISFETのソース・ドレインおよびゲート間が電氣的に接続される。図示しないプラグ、基準電圧線91 (Vss)、ワード線 (WL) と同層のプラグおよび第2金属配線層により、周辺回路を構成するnチャンネルおよびpチャンネルMISFETのソース・ドレインおよびゲート間が電氣的に接続される。第1金属配線層89と第2金属配線層とは図示しないプラグにより電氣的に接続される。 40

【0052】

このように、周辺回路を構成するMISFET間の電氣的接続を、縦型MISFET (SV₁、SV₂) よりも下部に形成されるプラグ28および中間導電層46、47で行うとともに、縦型MISFET (SV₁、SV₂) よりも上部に形成されるプラグ、第1および第2金属配線層を用いて行うことにより、配線の自由度を向上でき、高集積化できる。 50

また、M I S F E T間の接続抵抗を低減でき、回路の動作スピード向上できる。

【0053】

このように、本実施の形態のS R A Mは、2個の転送M I S F E T ($T R_1$ 、 $T R_2$) および2個の駆動M I S F E T ($D R_1$ 、 $D R_2$) を基板1のp型ウエル4に形成し、これら4個のM I S F E T ($T R_1$ 、 $T R_2$ 、 $D R_1$ 、 $D R_2$) の上部に2個の縦型M I S F E T ($S V_1$ 、 $S V_2$) を形成している。

【0054】

この構成により、メモリセルの占有面積は、実質的に4個のM I S F E T ($T R_1$ 、 $T R_2$ 、 $D R_1$ 、 $D R_2$) の占有面積に相当するので、6個のM I S F E Tで構成された同一デザインルールの完全C M O S型メモリセルに比べて1個のメモリセルの占有面積を縮小することができる。また、本実施の形態のS R A Mは、pチャネル型の縦型M I S F E T ($S V_1$ 、 $S V_2$) を4個のM I S F E T ($T R_1$ 、 $T R_2$ 、 $D R_1$ 、 $D R_2$) の上方に形成するので、pチャネル型の縦型M I S F E Tを基板のn型ウエルに形成する完全C M O S型メモリセルと異なり、メモリセル1個の占有領域内にp型ウエルとn型ウエルとを分離する領域が不要である。従って、メモリセルの占有面積をさらに縮小することができるので、高速、大容量のS R A Mを実現することができる。

【0055】

次に、図4～図61を用いて本実施の形態のS R A Mのさらに詳細な構造をその製造方法と共に説明する。S R A Mの製造方法を説明する各断面図において、符号A、A'を付した部分は、前記図2のA-A'線に沿ったメモリセルの断面、符号B、B'を付した部分は、前記図2のB-B'線に沿ったメモリセルの断面、符号C、C'を付した部分は、前記図2のC-C'線に沿ったメモリセルの断面、その他の部分は、周辺回路領域の一部の断面を示している。S R A Mの周辺回路は、nチャネル型M I S F E Tとpチャネル型M I S F E Tで構成されるが、これら2種類のM I S F E Tは、導電型が互いに逆になっていることを除けば、ほぼ同一の構造を有しているので、図にはその一方(pチャネル型M I S F E T)のみを示す。S R A Mの製造方法を説明する各平面図(メモリアレイの平面図)には、メモリセルを構成する主要な導電層とそれらの接続領域のみを示し、導電層間に形成される絶縁膜などの図示は原則として省略する。また、各平面図中、4個の(+)印で囲んだ矩形の領域は、メモリセル1個の占有領域を示している。なお、周辺回路を構成するnチャネルおよびpチャネルM I S F E TによってXデコーダ回路、Yデコーダ回路、センスアンプ回路、入出力回路、論理回路などが構成されるが、これらに限らず、マイクロプロセッサ、C P Uなどの論理回路を構成してもよい。

【0056】

まず、図4および図5に示すように、例えばp型の単結晶シリコンからなる基板1の主面の素子分離領域に素子分離溝2を形成する。素子分離溝2を形成するには、例えば基板1の主面をドライエッチングして溝を形成し、続いてこの溝の内部を含む基板1上にC V D法で酸化シリコン膜3などの絶縁膜を堆積した後、溝の外部の不要な酸化シリコン膜3を化学的機械研磨(Chemical Mechanical Polishing; C M P)法で研磨、除去することによって、溝の内部に酸化シリコン膜3を残す。この素子分離溝2を形成することにより、メモリアレイの基板1の主面には、素子分離溝2によって周囲を規定された島状の活性領域(L)が形成される。

【0057】

次に、図6に示すように、例えば基板1の一部にリン(P)をイオン注入し、他の一部にホウ素(B)をイオン注入した後、基板1を熱処理してこれらの不純物を基板1中に拡散させることにより、基板1の主面にp型ウエル4およびn型ウエル5を形成する。同図に示すように、メモリアレイの基板1には、p型ウエル4のみが形成され、n型ウエル5は形成されない。一方、周辺回路領域の基板1には、n型ウエル5と図示しないp型ウエルとが形成される。

【0058】

次に、図7に示すように、基板1を熱酸化してp型ウエル4およびn型ウエル5のそれぞれ

れの表面に、例えば酸化シリコンからなる膜厚 3 nm ～ 4 nm 程度のゲート絶縁膜 6 を形成する。続いて、図 8 に示すように、例えば p 型ウエル 4 のゲート絶縁膜 6 上に導電膜として n 型多結晶シリコン膜 7 n を形成し、n 型ウエル 5 のゲート絶縁膜 6 上に導電膜として p 型多結晶シリコン膜 7 p を形成した後、n 型多結晶シリコン膜 7 n および p 型多結晶シリコン膜 7 p のそれぞれの上部にキャップ絶縁膜として例えば CVD 法で酸化シリコン膜 8 を堆積する。

【0059】

n 型多結晶シリコン膜 7 n および p 型多結晶シリコン膜 7 p を形成するには、例えばゲート絶縁膜 6 上に CVD 法でノンドープの多結晶シリコン膜（またはアモルファスシリコン膜）を堆積した後、p 型ウエル 4 上のノンドープ多結晶シリコン膜（またはアモルファスシリコン膜）にリン（またはヒ素）をイオン注入し、n 型ウエル 5 上のノンドープ多結晶シリコン膜（またはアモルファスシリコン膜）にホウ素をイオン注入する。

【0060】

次に、図 9 および図 10 に示すように、n 型多結晶シリコン膜 7 n および p 型多結晶シリコン膜 7 p を例えばドライエッチングすることにより、メモリアレイの p 型ウエル 4 上に n 型多結晶シリコン膜 7 n からなるゲート電極 7 A、7 B を形成し、周辺回路領域の n 型ウエル 5 上に p 型多結晶シリコン膜 7 p からなるゲート電極 7 C を形成する。図示はしないが、周辺回路領域の p 型ウエル 4 上には、n 型多結晶シリコン膜 7 n からなるゲート電極が形成される。

【0061】

ゲート電極 7 A は、転送 MISFET (TR_1 、 TR_2) のゲート電極を構成し、ゲート電極 7 B は、駆動 MISFET (DR_1 、 DR_2) のゲート電極を構成する。また、ゲート電極 7 C は、周辺回路の p チャネル型 MISFET のゲート電極を構成する。図 9 に示すように、メモリアレイに形成されたゲート電極 7 A、7 B は、同図の X 方向に延在する長方形の平面パターンを有しており、Y 方向の幅、すなわちゲート長は、例えば 0.13 ～ 0.14 μm である。

【0062】

ゲート電極 7 A、7 B、7 C を形成するには、例えばフォトリソ膜をマスクにしたドライエッチングで酸化シリコン膜 8 をゲート電極 7 A、7 B、7 C と同じ平面形状となるようにパターニングし、続いて、パターニングした酸化シリコン膜 8 をマスクにして n 型多結晶シリコン膜 7 n および p 型多結晶シリコン膜 7 p をドライエッチングする。酸化シリコンは、フォトリソ膜に比べて多結晶シリコンに対するエッチング選択比が大きいので、フォトリソ膜をマスクにして酸化シリコン膜 8 と多結晶シリコン膜 (7 n、7 p) を連続してエッチングする場合に比べて、微細なゲート長を有するゲート電極 7 A、7 B、7 C を精度よくパターニングすることができる。

【0063】

次に、図 11 に示すように、例えば p 型ウエル 4 に n 型の不純物としてリンまたはヒ素をイオン注入することによって、比較的低濃度の n⁻ 型半導体領域 9 を形成し、n 型ウエル 5 に p 型の不純物としてホウ素をイオン注入することによって、比較的低濃度の p⁻ 型半導体領域 10 を形成する。n⁻ 型半導体領域 9 は、転送 MISFET (TR_1 、 TR_2)、駆動 MISFET (DR_1 、 DR_2) および周辺回路の n チャネル型 MISFET のそれぞれのソース、ドレインを LDD (lightly doped drain) 構造にするために形成し、p⁻ 型半導体領域 10 は、周辺回路の p チャネル型 MISFET のソース、ドレインを LDD 構造にするために形成する。

【0064】

次に、図 12 に示すように、ゲート電極 7 A、7 B、7 C のそれぞれの側壁に絶縁膜からなるサイドウォールスペーサ 13 を形成する。サイドウォールスペーサ 13 を形成するには、例えば基板 1 上に CVD 法で酸化シリコン膜および窒化シリコン膜を堆積した後、この窒化シリコン膜と酸化シリコン膜とを異方性エッチングする。このとき、ゲート電極 7 A、7 B、7 C のそれぞれの上面を覆う酸化シリコン膜 8 および基板 1 の表面の酸化シリ

コン膜（ゲート絶縁膜 6）をエッチングすることにより、ゲート電極 7 A、7 B、7 C のそれぞれの表面、および n^- 型半導体領域 9、 p^- 型半導体領域 10 のそれぞれの表面を露出させる。

【0065】

次に、図 13 に示すように、 p 型ウエル 4 に n 型の不純物としてリンまたはヒ素をイオン注入することによって比較的高濃度の n^+ 型半導体領域 14 を形成し、 n 型ウエル 5 に p 型の不純物としてホウ素をイオン注入することによって比較的高濃度の p^+ 型半導体領域 15 を形成する。メモリアレイの p 型ウエル 4 に形成された n^+ 型半導体領域 14 は、転送 M I S F E T ($T R_1$ 、 $T R_2$) および駆動 M I S F E T ($D R_1$ 、 $D R_2$) のそれぞれのソース、ドレインを構成し、周辺回路領域の n 型ウエル 5 に形成された p^+ 型半導体領域 15 は、 p チャネル型 M I S F E T のソース、ドレインを構成する。また、周辺回路領域の図示しない p 型ウエルには、 n 型の不純物としてリンまたはヒ素をイオン注入し、 n チャネル型 M I S F E T のソース、ドレインを構成する比較的高濃度の n^+ 型半導体領域を形成する。

10

【0066】

次に、図 14 に示すように、例えば基板 1 上にスパッタリング法でコバルト (C o) 膜 17 を堆積する。続いて、図 15 に示すように、基板 1 を熱処理して C o 膜 17 とゲート電極 7 A、7 B、7 C との界面、および C o 膜 17 と基板 1 との界面にシリサイド反応を生じさせた後、未反応の C o 膜 17 をエッチングで除去する。これにより、ゲート電極 7 A、7 B、7 C の表面とソース、ドレイン (n^+ 型半導体領域 14、 p^+ 型半導体領域 15) の表面とにシリサイド層である C o シリサイド層 18 が形成される。図 15 および図 16 に示すように、ここまでの工程により、メモリアレイに n チャネル型の転送 M I S F E T ($T R_1$ 、 $T R_2$) および駆動 M I S F E T ($D R_1$ 、 $D R_2$) が形成され、周辺回路領域に p チャネル型 M I S F E T ($Q p$) および n チャネル型 M I S F E T (図示せず) が形成される。

20

【0067】

図 16 に示すように、一方の転送 M I S F E T ($T R_1$) および駆動 M I S F E T ($D R_1$) と、他方の転送 M I S F E T ($T R_2$) および駆動 M I S F E T ($D R_2$) とは、素子分離部を介して図の横方向 (X 方向) に離隔して配置され、かつメモリセル形成領域の中心点に対して点対称に配置される。また、駆動 M I S F E T ($D R_2$) および駆動 M I S F E T ($D R_1$) のゲート電極 7 B は、図の横方向 (X 方向) に延在するように配置され、X 方向において、一方の転送 M I S F E T ($T R_1$) および駆動 M I S F E T ($D R_1$) と、他方の転送 M I S F E T ($T R_2$) および駆動 M I S F E T ($D R_2$) との間の素子分離部上でその一端が終端し、その一端部上に後述する縦型 M I S F E T ($S V_1$ 、 $S V_2$) が形成される。

30

【0068】

次に、図 17 に示すように、M I S F E T ($T R_1$ 、 $T R_2$ 、 $D R_1$ 、 $D R_2$ 、 $Q p$) を覆う絶縁膜として、例えば C V D 法で窒化シリコン膜 19 および酸化シリコン膜 20 を堆積し、続いて化学的機械研磨法で酸化シリコン膜 20 の表面を平坦化する。

【0069】

次に、図 18 および図 19 に示すように、フォトリジスト膜をマスクにして上記酸化シリコン膜 20 および窒化シリコン膜 19 をドライエッチングすることにより、転送 M I S F E T ($T R_1$ 、 $T R_2$) のゲート電極 7 A の上部にコンタクトホール 21 を形成し、駆動 M I S F E T ($D R_1$ 、 $D R_2$) のゲート電極 7 B の上部にコンタクトホール 22 を形成する。また、転送 M I S F E T ($T R_1$ 、 $T R_2$) および駆動 M I S F E T ($D R_1$ 、 $D R_2$) のそれぞれのソース、ドレイン (n^+ 型半導体領域 14) の上部にコンタクトホール 23、24、25 を形成し、周辺回路領域の p チャネル型 M I S F E T ($Q p$) のゲート電極 7 C およびソース、ドレイン (p^+ 型半導体領域 15) のそれぞれの上部にコンタクトホール 26、27 を形成する。

40

【0070】

50

次に、図 20 に示すように、上記コンタクトホール 21～27 の内部にプラグ 28 を形成する。プラグ 28 を形成するには、例えばコンタクトホール 21～27 の内部を含む酸化シリコン膜 20 上にスパッタリング法でチタン (Ti) 膜および窒化チタン (TiN) 膜を堆積し、続いて CVD 法で TiN 膜および金属膜としてタングステン (W) 膜を堆積した後、コンタクトホール 21～27 の外部の W 膜、TiN 膜および Ti 膜を化学的機械研磨法によって除去する。

【0071】

次に、図 21 に示すように、絶縁膜として、例えば基板 1 上に CVD 法で窒化シリコン膜 29 および酸化シリコン膜 30 を堆積した後、図 22 および図 23 に示すように、フォトレジスト膜をマスクにして酸化シリコン膜 29 および窒化シリコン膜 30 をドライエッチングすることにより、上記コンタクトホール 21～27 のそれぞれの上部に溝 31～37 を形成する。これらの溝 31～37 のうち、メモリアレイに形成される溝 32、33 は、図 22 に示すように、コンタクトホール 22 の上部とコンタクトホール 23 の上部とに跨るように形成される。

10

【0072】

酸化シリコン膜 30 の下層の窒化シリコン膜 29 は、酸化シリコン膜 30 をエッチングする際のストッパ膜として使用される。すなわち、溝 31～37 を形成する際は、まず酸化シリコン膜 30 をエッチングして下層の窒化シリコン膜 29 の表面でエッチングを停止し、その後、窒化シリコン膜 29 をエッチングする。

これにより、フォトマスクの合わせずれによって溝 31～37 とその下層のコンタクトホール 21～27 の相対的な位置がずれた場合でも、溝 31～37 の下層の酸化シリコン膜 20 が過剰にエッチングされることはない。

20

【0073】

次に、図 24 および図 25 に示すように、メモリアレイに形成された溝 31～35 のそれぞれの内部に中間導電層 41～45 を形成し、周辺回路領域に形成された溝 36、37 のそれぞれの内部に第 1 層配線 46、47 を形成する。中間導電層 41～45 および第 1 層配線 46、47 を形成するには、例えば溝 31～37 の内部を含む酸化シリコン膜 30 上にスパッタリング法で TiN 膜を堆積し、続いて金属膜として CVD 法で W 膜を堆積した後、溝 31～37 の外部の W 膜および TiN 膜を化学的機械研磨法によって除去する。

【0074】

メモリアレイに形成された中間導電層 41～45 のうち、中間導電層 41 は、転送 MISFET (TR₁、TR₂) のゲート電極 7A と、後の工程で形成されるワード線 (WL) とを電気的に接続するために使用される。また、中間導電層 44 は、転送 MISFET (TR₁、TR₂) の n⁺ 型半導体領域 14 (ソース、ドレインの一方) と相補性データ線 (BLT、BLB) とを電気的に接続するために使用される。さらに、中間導電層 45 は、駆動 MISFET (DR₁、DR₂) の n⁺ 型半導体領域 14 (ソース) と後の工程で形成される基準電圧線 91 (Vss) とを電気的に接続するために使用される。

30

【0075】

各メモリセル領域のほぼ中央部に形成された一対の中間導電層 42、43 の一方 (中間導電層 42) は、転送 MISFET (TR₁) のソース、ドレインの一方および駆動 MISFET (DR₁) のドレインを構成する n⁺ 型半導体領域 14 と、駆動 MISFET (DR₂) のゲート電極 7B と、後の工程で形成される縦型 MISFET (SV₁) の下部半導体層 57 (ドレイン) とを電気的に接続する局所配線として使用される。また、他方 (中間導電層 43) は、転送 MISFET (TR₂) のソース、ドレインの一方および駆動 MISFET (DR₂) のドレインを構成する n⁺ 型半導体領域 14 と、駆動 MISFET (DR₁) のゲート電極 7B と、後の工程で形成される縦型 MISFET (SV₂) の下部半導体層 57 (ドレイン) とを電気的に接続する局所配線として使用される。

40

【0076】

上記中間導電層 41～45 は、W 膜などのメタル膜で構成する。これにより、中間導電層 41～45 を形成する工程で周辺回路のメタル配線 (第 1 層配線 46、47) を同時に形

50

成することができるので、SRAMの製造工程数およびマスク数を減らすことができる。

【0077】

タングステンなどの金属膜からなるプラグ28および中間導電層42、43と同層のプラグ28および中間導電層46、47により、周辺回路を構成するnチャネルおよびpチャネルMISFETのソース・ドレインおよびゲート間が電氣的に接続される。これにより、周辺回路を構成するMISFET間の電氣的接続の自由度を向上でき、高集積化が可能となるとともに、MISFET間の接続抵抗を低減でき、回路の動作スピードを向上できる。

【0078】

次に、図26および図27に示すように、中間導電層42、43のそれぞれの表面にバリア層48を形成する。バリア層48は、中間導電層42、43の表面領域のうち、主として縦型MISFET(SV₁、SV₂)が形成される領域の下方に位置する領域に形成される。バリア層48を形成するには、基板1上にスパッタリング法でWN膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでWN膜をパターンニングする。このように、シリコン膜と中間導電層42、43との界面で所望しないシリサイド反応が生じるのを防ぐことができるバリア層48を、シリコン膜と、中間導電層42、43を構成するW膜との間に介在させる。

【0079】

バリア層48は、WN膜の他、Ti膜、TiN膜、WN膜とW膜との積層膜、TiN膜とW膜との積層膜、Ti膜とTiN膜との積層膜、Coシリサイド膜、Wシリサイド膜などで構成してもよい。Ti系薄膜はWN膜に比べて酸化シリコン膜との密着性や耐熱性がよいという特徴を有する。一方、WN膜は酸化により容易に不動態化するため、装置汚染の可能性が低く簡便に扱える。密着性、耐熱性、簡便性のいずれを重視するかにより選択が可能である。従って、MISFETを形成した後の配線形成工程のように、Ti系薄膜が基板1に再付着してもMISFETの特性を変動させる虞れが少ない工程でバリア膜を必要とする場合などは、WN膜よりもTi系薄膜を使用した方がよい。

【0080】

このように、中間導電層42、43は、タングステン(W)等の金属膜で構成し、バリア層48を介して中間導電層42、43の上部にシリコン膜で形成された縦型MISFETを形成することにより、MISFET間の接続抵抗を低減でき、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

なお、バリア層48を形成する手段に代えてタングステンからなる中間導電層42、43の表面を窒化処理して窒化タングステンに変えてもよい。このようにするとバリア層48を形成するためのマスクが不要となる。

【0081】

次に、図28に示すように、基板1上にCVD法で窒化シリコン膜49を堆積し、続いて窒化シリコン膜49の上部にCVD法で多結晶シリコン膜(またはアモルファスシリコン膜)50を堆積する。窒化シリコン膜49は、後の工程で窒化シリコン膜49の上部に堆積する酸化シリコン膜(52)をエッチングする際に、下層の酸化シリコン膜20がエッチングされるのを防ぐエッチングストップ膜として使用される。多結晶シリコン膜50は、縦型MISFET(SV₁、SV₂)のゲート電極(66)を構成する多結晶シリコン層(64、65)と同一の導電型(例えばp型)とするために、成膜時または成膜後にホウ素をドーピングする。

【0082】

次に、図29および図30に示すように、フォトレジスト膜をマスクにしたドライエッチングで多結晶シリコン膜50をパターンニングすることにより、窒化シリコン膜49の上部に一对のゲート引き出し電極51(51a、51b)を形成する。ゲート引き出し電極51(51a、51b)は、後の工程で形成される縦型MISFET(SV₁、SV₂)に隣接する領域に配置され、縦型MISFET(SV₁、SV₂)のゲート電極(66)と下層の転送MISFET(TR₁、TR₂)および駆動MISFET(DR₁、DR₂)

との接続に使用される。

【0083】

次に、図31に示すように、窒化シリコン膜48の上部に絶縁膜としてCVD法で酸化シリコン膜52を堆積することによって、ゲート引き出し電極51の上部を被覆した後、フォトリソスト膜をマスクにして酸化シリコン膜52をドライエッチングすることにより、バリア層48の上部領域、すなわち縦型MISFET(SV₁、SV₂)が形成される領域の酸化シリコン膜52にスルーホール53を形成する。

【0084】

次に、図32に示すように、スルーホール53の側壁に絶縁膜からなるサイドウォールスペーサ54を形成する。サイドウォールスペーサ54を形成するには、スルーホール53の内部を含む酸化シリコン膜52上にCVD法で酸化シリコン膜を堆積し、続いてこの酸化シリコン膜を異方性エッチングしてスルーホール53の側壁に残す。このとき、上記酸化シリコン膜のエッチングに続いてスルーホール53の底部の窒化シリコン膜49をエッチングすることにより、スルーホール53の底部にバリア層48を露出させる。

【0085】

このように、側壁に絶縁膜からなるサイドウォールスペーサ54を形成してスルーホール53の径を小さくすることにより、図33に示すように、バリア層48の上部にその面積よりも小さい径を有するスルーホール53が形成される。これにより、フォトマスクの合わせずれによってスルーホール53の位置がバリア層48に対してずれた場合でも、スルーホール53の底部にバリア層48のみを露出させることができるので、次の工程でスルーホール53の内部に形成されるプラグ(55)とバリア層48の接触面積を確保することができる。

【0086】

次に、図34に示すように、スルーホール53の内部にプラグ55を形成する。プラグ55を形成するには、スルーホール53の内部を含む酸化シリコン膜52上にCVD法で多結晶シリコン膜(またはアモルファスシリコン膜)を堆積した後、スルーホール53の外部の多結晶シリコン膜(またはアモルファスシリコン膜)を化学的機械研磨法(またはエッチバック法)によって除去する。プラグ55を構成する多結晶シリコン膜(またはアモルファスシリコン膜)は、縦型MISFET(SV₁、SV₂)の下部半導体層(57)を構成する多結晶シリコン膜と同一の導電型(p型)とするために、成膜時または成膜後にホウ素をドーピングする。

【0087】

スルーホール53の内部に形成されたプラグ55は、バリア層48を介して下層の中間導電層42、43と電氣的に接続される。プラグ55を構成する多結晶シリコン膜(またはアモルファスシリコン膜)と中間導電層42、43を構成するW膜との間にWN膜からなるバリア層48を介在させることにより、プラグ55と中間導電層42、43との界面で所望しないシリサイド反応が生じるのを防ぐことができる。なお、プラグ55は多結晶シリコン膜(またはアモルファスシリコン膜)に代えてタングステンで構成し、その表面を窒化処理して窒化タングステンに変えてもよい。このようにするとバリア層48を形成するためのマスクが不要となる。

【0088】

次に、図35に示すように、酸化シリコン膜52の上部にp型シリコン膜57p、シリコン膜58iおよびp型シリコン膜59pを形成する。これら3層のシリコン膜(57p、58i、59p)を形成するには、例えばホウ素をドーピングしたアモルファスシリコン膜およびノンドープのアモルファスシリコン膜をCVD法で順次堆積した後、熱処理を行ってこれらのアモルファスシリコン膜を結晶化することにより、p型シリコン膜57pおよびシリコン膜58iを形成する。次に、シリコン膜58iにチャンネル形成用のn型またはp型不純物をイオン注入した後、シリコン膜58iの上部にホウ素をドーピングしたアモルファスシリコン膜をCVD法で堆積し、続いて熱処理によってこのアモルファスシリコン膜を結晶化することにより、p型シリコン膜59pを形成する。

【0089】

このように、アモルファスシリコン膜を結晶化してシリコン膜（57p、58i、59p）を形成することにより、多結晶シリコン膜に比べて膜中の結晶粒を大きくできるので、縦型MISFET（SV₁、SV₂）の特性が向上する。なお、シリコン膜58iにチャネル形成用の不純物をイオン注入する際は、シリコン膜58iの表面に酸化シリコン膜からなるスルー絶縁膜を形成し、このスルー絶縁膜を通して不純物をイオン注入してもよい。また、アモルファスシリコン膜の結晶化は、後述するゲート絶縁膜を形成するための熱酸化工程などを利用して行ってもよい。

【0090】

次に、図36に示すように、p型シリコン膜59pの上部にCVD法で酸化シリコン膜61および窒化シリコン膜62を順次堆積した後、フォトレジスト膜をマスクにして窒化シリコン膜62をドライエッチングすることにより、縦型MISFET（SV₁、SV₂）を形成する領域の上部に窒化シリコン膜62を残す。 10

この窒化シリコン膜62は、3層のシリコン膜（57p、58i、59p）をエッチングする際のマスクとして使用される。窒化シリコンは、シリコンに対するエッチング選択比がフォトレジストに比べて大きいので、フォトレジスト膜をマスクにしたエッチングに比べて、シリコン膜（57p、58i、59p）を精度よくパターニングすることができる。

【0091】

次に、図37および図38に示すように、窒化シリコン膜62をマスクにして3層のシリコン膜（57p、58i、59p）をドライエッチングする。これにより、p型シリコン膜57pからなる下部半導体層57、シリコン膜58iからなる中間半導体層58、p型シリコン膜59pからなる上部半導体層59によって構成される四角柱状の積層体（P₁、P₂）が形成される。 20

【0092】

上記積層体（P₁）の下部半導体層57は、縦型MISFET（SV₁）のドレインを構成し、上部半導体層59は、ソースを構成する。下部半導体層57と上部半導体層59との間に位置する中間半導体層58は、実質的に縦型MISFET（SV₁）の基板を構成し、その側壁はチャネル領域を構成する。また、積層体（P₂）の下部半導体層57は、縦型MISFET（SV₂）のドレインを構成し、上部半導体層59は、ソースを構成する。中間半導体層58は、実質的に縦型MISFET（SV₂）の基板を構成し、その側壁はチャネル領域を構成する。 30

【0093】

また、平面的に見た場合、積層体（P₁）は、その下層のスルーホール53、バリア層48、中間導電層42の一端部、コンタクトホール22および駆動MISFETDR₂のゲート電極7Bの一端部と重なるように配置される。また、積層体（P₂）は、その下層のスルーホール53、バリア層48、中間導電層43の一端部、コンタクトホール22および駆動MISFETDR₁のゲート電極7Bの一端部と重なるように配置される。

【0094】

上記シリコン膜（57p、58i、59p）をドライエッチングする際には、例えば図38に示すように、積層体（P₁、P₂）の側壁底部にテーパを形成し、積層体（P₁、P₂）の下部（下部半導体層57）の面積を上部（中間半導体層58および上部半導体層59）の面積より大きくしてもよい。このようにすると、フォトマスクの合わせずれによって積層体（P₁、P₂）の位置がスルーホール53に対してずれた場合でも、スルーホール53内のプラグ55と下部半導体層57との接触面積の減少が防止されるので、下部半導体層57とプラグ55のコンタクト抵抗の増加を抑制することができる。 40

【0095】

また、積層体（P₁、P₂）を形成する際、上部半導体層59と中間半導体層58との界面近傍、下部半導体層57と中間半導体層58との界面近傍、中間半導体層58の一部などに窒化シリコン膜などで構成される1層または複数層のトンネル絶縁膜を設けてもよい 50

。このようにすると、下部半導体層 57 や上部半導体層 59 を構成する p 型シリコン膜 (57p、59p) 中の不純物が中間半導体層 58 の内部に拡散するのを防ぐことができるので、縦型 MISFET (SV_1 、 SV_2) の性能を向上させることができる。この場合、トンネル絶縁膜は、縦型 MISFET (SV_1 、 SV_2) のドレイン電流 (I_{ds}) の低下を抑制できる程度の薄い膜厚 (数 nm 以下) で形成する。

【0096】

次に、図 39 に示すように、基板 1 を熱酸化することによって、積層体 (P_1 、 P_2) を構成する下部半導体層 57、中間半導体層 58 および上部半導体層 59 のそれぞれの側壁表面に酸化シリコン膜からなるゲート絶縁膜 63 を形成する。このとき、積層体 (P_1 、 P_2) の下層に形成されている多結晶シリコン膜からなるゲート引き出し電極 51 やスルーホール 53 の内部のプラグ 55 は、酸化シリコン系の絶縁膜 (酸化シリコン膜 52、サイドウォールスペーサ 54) で被覆されているので、ゲート引き出し電極 51 やプラグ 55 の表面が酸化されて抵抗が大きくなる虞はない。また、積層体 (P_1 、 P_2) とその上部の窒化シリコン膜 62 との間には酸化シリコン膜 61 が形成されているので、上部半導体層 59 の表面に形成されるゲート絶縁膜 63 と窒化シリコン膜 62 との接触が防止され、積層体 (P_1 、 P_2) の上端部近傍におけるゲート絶縁膜 63 の耐圧低下を防ぐことができる。

【0097】

積層体 (P_1 、 P_2) の側壁のゲート絶縁膜 63 は、例えば 800℃ 以下の低温熱酸化 (例えばウェット酸化) によって形成されるが、これに限定されず、例えば CVD 法で堆積した酸化シリコン膜や、CVD 法で堆積した酸化ハフニウム (HfO_2)、酸化タンタル (Ta_2O_5) などの高誘電体膜で構成してもよい。この場合は、ゲート絶縁膜 63 をさらに低温で形成することができるので、不純物の拡散などに起因する縦型 MISFET (SV_1 、 SV_2) のしきい値電圧の変動を抑制することができる。

【0098】

次に、図 40 に示すように、四角柱状の積層体 (P_1 、 P_2) およびその上部の窒化シリコン膜 62 の側壁に縦型 MISFET (SV_1 、 SV_2) のゲート電極 (66) の一部を構成する導電膜として、例えば第 1 多結晶シリコン層 64 を形成する。第 1 多結晶シリコン層 64 を形成するには、酸化シリコン膜 52 の上部に CVD 法で多結晶シリコン膜を堆積した後、この多結晶シリコン膜を異方的にエッチングすることによって、四角柱状の積層体 (P_1 、 P_2) および窒化シリコン膜 62 の側壁を囲むようにサイドウォールスペーサ状に残す。このように、ゲート電極 (66) の一部を構成する第 1 多結晶シリコン層 64 は、四角柱状の積層体 (P_1 、 P_2) およびゲート絶縁膜 63 に対して自己整合的に形成されるので、メモリセルサイズを縮小できる。第 1 多結晶シリコン層 64 を構成する多結晶シリコン膜は、その導電性を p 型とするためにホウ素をドーピングする。

【0099】

上記多結晶シリコン膜をエッチングして第 1 多結晶シリコン層 64 を形成する際は、多結晶シリコン膜のエッチングに引き続いて下層の酸化シリコン膜 52 をエッチングする。これにより、四角柱状の積層体 (P_1 、 P_2) の直下を除いた領域の酸化シリコン膜 52 が除去され、ゲート引き出し電極 51 および窒化シリコン膜 49 が露出する。なお、第 1 多結晶シリコン層 64 の下端部とゲート引き出し電極 51 との間には酸化シリコン膜 52 が残っているので、第 1 多結晶シリコン層 64 とゲート引き出し電極 51 とは電氣的に接続されない。

【0100】

次に、図 41 に示すように、第 1 多結晶シリコン層 64 の表面に導電膜として、例えば第 2 多結晶シリコン層 65 を形成する。第 2 多結晶シリコン層 65 を形成するには、基板 1 の表面を洗浄液でウェット洗浄した後、酸化シリコン膜 52 の上部に CVD 法で多結晶シリコン膜を堆積し、続いて、この多結晶シリコン膜を異方的にエッチングすることによって、第 1 多結晶シリコン層 64 の表面を囲むようにサイドウォールスペーサ状に残す。第 2 多結晶シリコン層 65 を構成する多結晶シリコン膜は、その導電性を p 型とするために

ホウ素をドーピングする。

【0101】

第2多結晶シリコン層65を構成する上記多結晶シリコン膜は、四角柱状の積層体 (P_1 、 P_2) の直下に残った酸化シリコン膜52の側壁やゲート引き出し電極51の表面にも堆積されるので、この多結晶シリコン膜を異方的にエッチングすると、その下端部がゲート引き出し電極51の表面と接触する。

【0102】

このように、下端部がゲート引き出し電極51に電氣的に接続する第2多結晶シリコン層65を第1多結晶シリコン層64に対して自己整合的に形成されるので、メモリセルサイズを縮小できる。

10

【0103】

ここまでの工程により、四角柱状の積層体 (P_1 、 P_2) および窒化シリコン膜62の側壁に、第1多結晶シリコン層64と第2多結晶シリコン膜65の積層膜からなる縦型MISFET (SV_1 、 SV_2) のゲート電極66が形成される。このゲート電極66は、その一部を構成する第2多結晶シリコン膜65を介してゲート引き出し電極51と電氣的に接続される。

【0104】

すなわち、縦型MISFET (SV_1) のゲート電極66を構成する第1多結晶シリコン層64と第2多結晶シリコン膜65は、下端部がゲート引き出し電極51bに電氣的に接続され、縦型MISFET (SV_2) のゲート電極66を構成する第1多結晶シリコン層64と第2多結晶シリコン膜65は、下端部がゲート引き出し電極51aに電氣的に接続される。

20

【0105】

このように、ゲート電極(66)の一部を構成する第1多結晶シリコン層64を、四角柱状の積層体 (P_1 、 P_2) およびゲート絶縁膜63に対してサイドウォールスペーサ状に自己整合的に形成する。下端部がゲート引き出し電極51a、51bに電氣的に接続する第2多結晶シリコン層65を第1多結晶シリコン層64に対してサイドウォールスペーサ状に自己整合的に形成する。これにより、メモリセルサイズを縮小できる。すなわち、ゲート電極(66)を、四角柱状の積層体 (P_1 、 P_2) およびゲート絶縁膜63に対して自己整合的に形成する。また、ゲート電極(66)をゲート引き出し電極51a、51bに対して自己整合的に接続する。これにより、メモリセルサイズを縮小できる。

30

【0106】

上記のように、ゲート電極66を2層の導電膜(第1多結晶シリコン層64および第2多結晶シリコン膜65)で構成する場合は、第2多結晶シリコン膜65に代えてWシリサイド膜やW膜を用いることにより、ゲート電極66を低抵抗のシリサイド構造あるいはポリメタル構造にすることもできる。

【0107】

次に、図42に示すように、基板1上に絶縁膜として例えばCVD法で酸化シリコン膜70を堆積した後、化学的機械研磨法でその表面を平坦化する。酸化シリコン膜70は、平坦化後の表面の高さが窒化シリコン膜62の表面より高くなるように厚い膜厚で堆積し、平坦化処理時に窒化シリコン膜62の表面が削れないようにする。

40

【0108】

次に、図43に示すように、酸化シリコン膜70をエッチングしてその表面を積層体 (P_1 、 P_2) の中途部まで後退させた後、図44に示すように、積層体 (P_1 、 P_2) および窒化シリコン膜62の側壁に形成されたゲート電極66をエッチングしてその上端部を下方に後退させる。

【0109】

上記ゲート電極66のエッチングは、後の工程で積層体 (P_1 、 P_2) の上部に形成される電源電圧線(90)とゲート電極66との短絡を防ぐために行う。従って、ゲート電極66は、その上端部が上部半導体層59の上端部よりも下方に位置するまで後退させる。

50

但し、ゲート電極 66 と上部半導体層（ソース）59 とのオフセットを防ぐため、ゲート電極 66 の上端部が中間半導体層 58 の上端部より上方に位置するようにエッチング量を制御する。

【0110】

図 44 および図 45 に示すように、ここまでの工程により、メモリアレイの各メモリセル領域に、下部半導体層（ドレイン）57、中間半導体層（基板）58 および上部半導体層（ソース）からなる積層体（ P_1 、 P_2 ）と、積層体（ P_1 、 P_2 ）の側壁に形成されたゲート絶縁膜 63 およびゲート電極 66 とを有する p チャネル型の縦型 MISFET（ SV_1 、 SV_2 ）が形成される。

【0111】

次に、図 46 に示すように、酸化シリコン膜 70 の上部に露出した縦型 MISFET（ SV_1 、 SV_2 ）のゲート電極 66 および上部半導体層 59 とその上部の窒化シリコン膜 62 の側壁に酸化シリコン膜からなるサイドウォールスペーサ 71 を形成した後、酸化シリコン膜 70 の上部に CVD 法で窒化シリコン膜 72 を堆積する。サイドウォールスペーサ 71 は、CVD 法で堆積した酸化シリコン膜を異方性エッチングすることによって形成する。

【0112】

次に、図 47 に示すように、窒化シリコン膜 72 の上部に CVD 法で酸化シリコン膜 73 を堆積した後、酸化シリコン膜 73 の表面を化学的機械研磨法で平坦化する。

【0113】

次に、図 48 および図 49 に示すように、フォトリジスト膜をマスクにして酸化シリコン膜 73、窒化シリコン膜 72 および酸化シリコン膜 70 をドライエッチングすることにより、ゲート引き出し電極 51 および中間導電層 42 の表面が露出するスルーホール 74 と、ゲート引き出し電極 51 および中間導電層 43 の表面が露出するスルーホール 75 を形成する。またこのとき、図 48 に示すように、中間導電層 41、44、45 のそれぞれの表面が露出するスルーホール 76、77、78 を形成し、周辺回路の第 1 層配線 46、47 の表面が露出するスルーホール 79 を形成する。

【0114】

次に、図 50 に示すように、上記スルーホール 74～79 の内部にプラグ 80 を形成する。プラグ 80 を形成するには、例えばスルーホール 74～79 の内部を含む酸化シリコン膜 73 上にスパッタリング法で Ti 膜および TiN 膜を堆積し、続いて CVD 法で TiN 膜および W 膜を堆積した後、スルーホール 74～79 の外部の W 膜、TiN 膜および Ti 膜を化学的機械研磨法によって除去する。

【0115】

ここまでの工程により、ゲート引き出し電極 51a と、プラグ 80 と、中間導電層 42 と、プラグ 28 とを介して、縦型 MISFET（ SV_2 ）のゲート電極 66 と、転送 MISFET（ TR_1 ）のソース、ドレインの一方および駆動 MISFET（ DR_1 ）のソースを構成する n^+ 型半導体領域 14 と、駆動 MISFET（ DR_2 ）のゲート電極 7B とが互いに電氣的に接続される。また、ゲート引き出し電極 51b と、プラグ 80 と、中間導電層 43 と、プラグ 28 とを介して、縦型 MISFET（ SV_1 ）のゲート電極 66 と、転送 MISFET（ TR_2 ）のソース、ドレインの一方および駆動 MISFET（ DR_2 ）のソースを構成する n^+ 型半導体領域 14 と、駆動 MISFET（ DR_1 ）のゲート電極 7B とが互いに電氣的に接続される。

【0116】

また、ここまでの工程により、2 個の転送 MISFET（ TR_1 、 TR_2 ）、2 個の駆動 MISFET（ DR_1 、 DR_2 ）および 2 個の縦型 MISFET（ SV_1 、 SV_2 ）によって構成されるメモリセルが略完成する。

【0117】

次に、図 51 に示すように、酸化シリコン膜 73 の上部に絶縁膜として CVD 法で酸化シリコン膜 81 を堆積した後、フォトリジスト膜をマスクにしたドライエッチングで積層体

10

20

30

40

50

(P_1 、 P_2)の上部の酸化シリコン膜81、73および窒化シリコン膜72、62を除去することにより、縦型MISFET(SV_1 、 SV_2)の上部半導体層(ソース)59が露出するスルーホール82を形成する。

【0118】

上記ドライエッチングを行う際は、まず積層体(P_1 、 P_2)の上部の酸化シリコン膜81、73が除去された段階でエッチングを一旦停止し、次に窒化シリコン膜72、62をエッチングする。このとき、図52に示すように、フォトマスクの合わせずれによって、スルーホール82と上部半導体層59の相対的な位置が例えばB-B'線方向にずれた場合でも、窒化シリコン膜62および上部半導体層59の側壁には酸化シリコン膜からなるサイドウォールスペーサ71が形成されているので、窒化シリコン膜72、62をエッチングしたときに、ゲート電極66の上部がサイドウォールスペーサ71によって保護され、ゲート電極66の露出が防止される。

10

【0119】

次に、図53に示すように、周辺回路のスルーホール79の上部を覆っている酸化シリコン膜81をエッチングしてスルーホール83を形成することにより、スルーホール79に埋め込まれたプラグ80の表面を露出させる。また、メモリアレイに形成されたスルーホール76~78の上部を覆っている酸化シリコン膜81をエッチングしてスルーホール84(図54)を形成することにより、スルーホール76~78に埋め込まれたプラグ80の表面を露出させる。

【0120】

20

次に、図55に示すように、スルーホール82、83、84の内部にプラグ85を形成する。プラグ85を形成するには、例えばスルーホール82、83、84の内部を含む酸化シリコン膜81上にスパッタリング法でTiN膜を堆積し、続いてCVD法でTiN膜およびW膜を堆積した後、スルーホール82、83、84の外部のTiN膜およびW膜を化学的機械研磨法によって除去する。

【0121】

次に、図56および図57に示すように、酸化シリコン膜81の上部にCVD法で炭化シリコン膜86と酸化シリコン膜87とを堆積した後、フォトレジスト膜をマスクにしてスルーホール82、83、84の上部の酸化シリコン膜87と炭化シリコン膜86とをドライエッチングすることにより、配線溝88を形成する。図57に示すように、縦型MISFET(SV_1 、 SV_2)の上方に位置するスルーホール82の上部に形成された配線溝88と、この配線溝88の両側に隣接して形成された2つの配線溝88は、Y方向に延在する帯状の平面パターンを有している。また、メモリセルの端部に形成された4つの配線溝88は、Y方向に長辺を有する矩形の平面パターンを有している。

30

【0122】

次に、図58および図59に示すように、縦型MISFET(SV_1 、 SV_2)の上方を通る配線溝88の内部に電源電圧線90(Vdd)を形成し、周辺回路領域の配線溝88の内部に第2層配線89を形成する。また、転送MISFET(TR_1)および駆動MISFET(DR_1)の n^+ 型半導体領域14(ソース、ドレ)およびプラグ80の上方を通る配線溝88の内部に相補性データ線(BLT、BLB)の一方(データ線BLT)を形成し、転送MISFET(TR_2)および駆動MISFET(DR_2)の n^+ 型半導体領域14(ソース、ドレイン)およびプラグ80の上方を通る配線溝88の内部に相補性データ線(BLT、BLB)の他方(データ線BLB)を形成する。さらに、メモリセルの端部に形成された4つの配線溝88の内部に引き出し配線92を形成する。

40

【0123】

電源電圧線90(Vdd)、相補性データ線(BLT、BLB)、第2層配線89および引き出し配線92を形成するには、配線溝88の内部を含む酸化シリコン膜87上に導電性バリア膜として例えばスパッタリング法で窒化タンタル(TaN)膜またはTa膜を堆積し、さらにスパッタリング法またはメッキ法で金属膜であるCu膜を堆積した後、配線溝88の外部の不要なCu膜およびTa₂N膜を化学的機械研磨法で除去する。

50

【0124】

電源電圧線90 (V_{dd})は、プラグ85を介して縦型MISFET (S_{V1}、S_{V2})の上部半導体層(ソース)59と電氣的に接続される。また、相補性データ線(BLT、BLB)の一方(データ線BLT)は、プラグ84、80、中間導電層44およびプラグ28を介して転送MISFET (T_{R1})のn⁺型半導体領域14(ソース、ドレインの他方)と電氣的に接続され、他方(データ線BLB)は、プラグ84、80、中間導電層44およびプラグ28を介して転送MISFET (T_{R2})のn⁺型半導体領域14(ソース、ドレインの他方)と電氣的に接続される。

【0125】

次に、図60および図61に示すように、上記電源電圧線90 (V_{dd})、相補性データ線(BLT、BLB)、第2層配線89および引き出し配線92が形成された配線層の上部に基準電圧線91 (V_{ss})およびワード線(WL)を形成する。基準電圧線91 (V_{ss})およびワード線(WL)は、図61のX方向に延在する帯状の平面パターンを有している。 10

【0126】

基準電圧線91 (V_{ss})およびワード線(WL)を形成するには、まず酸化シリコン膜87の上部に絶縁膜93を堆積した後、この絶縁膜93に配線溝94を形成し、続いてこの配線溝94の内部を含む絶縁膜93上に前述した方法でCu膜およびTa_N膜を堆積した後、配線溝94の外部の不要なCu膜およびTa_N膜を化学的機械研磨法で除去する。絶縁膜93は、例えばCVD法で堆積した酸化シリコン膜と炭化シリコン膜と酸化シリコン膜との積層膜で構成する。また、絶縁膜93に配線溝94を形成する際には、メモリセルの端部に形成された4つの引き出し配線92のそれぞれの上部の配線溝94に開口94aを形成し、これらの開口94aを通じて4つの引き出し配線92のそれぞれの一部を配線溝94の底部に露出させる。 20

【0127】

基準電圧線91 (V_{ss})は、引き出し配線92、プラグ84、80、中間導電層45およびプラグ28を介して駆動MISFET (D_{R1}、D_{R2})のそれぞれの上部のn⁺型半導体領域14(ソース)と電氣的に接続される。また、ワード線(WL)は、引き出し配線92、プラグ84、80、中間導電層41およびプラグ28を介して転送MISFET (T_{R1}、T_{R2})のそれぞれの上部のn⁺型半導体領域14(ソース、ドレインの他方)と電氣的に接続される。ここまでの工程により、前記図2、図3に示す本実施の形態のSRAMが完成する。 30

【0128】

このように、周辺回路を構成するMISFET間の電氣的接続を、縦型MISFET (S_{V1}、S_{V2})よりも下部に形成されるプラグ28および中間導電層46、47で行うとともに、縦型MISFET (S_{V1}、S_{V2})よりも上部に形成されるプラグ、第1および第2金属配線層を用いて行うことにより、配線の自由度を向上でき、高集積化できる。また、MISFET間の接続抵抗を低減でき、回路の動作スピード向上できる。

【0129】

(実施の形態2)

縦型MISFET (S_{V1}、S_{V2})の下部のプラグ55およびバリア層48は、次のような方法で形成することもできる。 40

【0130】

まず、図62に示すように、前記実施の形態1と同様の方法で転送MISFET (T_{R1}、T_{R2})および駆動MISFET (D_{R1}、D_{R2})を形成し、それらの上部に中間導電層42を形成する。

【0131】

次に、本実施の形態では、中間導電層42の上部にバリア層48を構成するWN膜48aをスパッタリング法で堆積し、さらにその上部にプラグ55を構成する多結晶シリコン膜(またはアモルファスシリコン膜)55aをCVD法で堆積し、さらにその上部にCV 50

D法で酸化シリコン膜101を堆積する。多結晶シリコン膜50は、縦型MISFET (SV_1 、 SV_2) のゲート電極(66)を構成する多結晶シリコン膜(64、65)と同一の導電型(例えばp型)とするためにホウ素をドーピングする。

【0132】

次に、図63に示すように、フォトリソ膜をマスクにして酸化シリコン膜101をドライエッチングすることにより、プラグ55を形成する領域に酸化シリコン膜101を残し、続いてこの酸化シリコン膜101をマスクにして多結晶シリコン膜50およびWN膜48aをドライエッチングすることにより、プラグ55およびバリア層48を形成する。

【0133】

次に、図64に示すように、CVD法で堆積した酸化シリコン膜102を化学的機械研磨法で平坦化する。このとき、プラグ55の上部に残ったエッチングマスク用の酸化シリコン膜101をプラグ55の表面が露出するまで研磨する。 10

【0134】

上記の方法によれば、プラグ55およびバリア層48を1回のエッチングで同時に形成するので、バリア層48を形成するためのフォトリソが不要となり、工程を簡略化できる。

【0135】

(実施の形態3)

縦型MISFET (SV_1 、 SV_2) のゲート電極と下層の転送MISFET (TR_1 、 TR_2) および駆動MISFET (DR_1 、 DR_2) との接続に使用されるゲート引き出し電極は、次のような方法で形成することもできる。 20

【0136】

まず、図65に示すように、前記実施の形態1と同様の方法で転送MISFET (TR_1 、 TR_2) および駆動MISFET (DR_1 、 DR_2) の上部に積層体 (P_1 、 P_2) を形成した後、例えば基板1を熱酸化することによって、中間半導体層58および上部半導体層59のそれぞれの側壁表面に酸化シリコン膜からなるゲート絶縁膜63を形成する。

【0137】

次に、積層体 (P_1 、 P_2) の上部にゲート引き出し電極用の多結晶シリコン膜(またはアモルファスシリコン膜)103をCVD法で堆積し、続いて、CVD法で酸化シリコン膜104を堆積した後、化学的機械研磨法でその表面を平坦化する。酸化シリコン膜104は、平坦化後の表面の高さが窒化シリコン膜62の表面より高くなるように厚い膜厚で堆積し、平坦化処理時に窒化シリコン膜62の表面が削れないようにする。 30

【0138】

次に、図66に示すように、フォトリソ膜をマスクにしたドライエッチングでゲート引き出し電極形成領域の酸化シリコン膜104を積層体 (P_1 、 P_2) の中途部まで除去することによって、ゲート引き出し電極形成領域の酸化シリコン膜104に溝105を形成する。次に、例えばフォトリソ膜106または反射防止膜のように、酸化シリコン膜104とはエッチングの選択比が異なる材料を溝105の内部に埋め込む。フォトリソ膜106を埋め込む場合は、溝105の内部を含む酸化シリコン膜104上にフォトリソ膜106を塗布した後、露光、現像を行い、溝105の内部に未露光のフォトリソ膜106を残す。 40

【0139】

次に、図67に示すように、溝105の内部に埋め込んだフォトリソ膜106をマスクにして酸化シリコン膜104をドライエッチングすることにより、ゲート引き出し電極形成領域のみに酸化シリコン膜104を残す。

【0140】

次に、酸化シリコン膜104上のフォトリソ膜106を除去した後、図68に示すように、酸化シリコン膜104をマスクにして多結晶シリコン膜103を異方性エッチングし、積層体 (P_1 、 P_2) の側壁および酸化シリコン膜104の下部に、多結晶シリコン膜103からなる縦型MISFET (SV_1 、 SV_2) のゲート電極107を形成する。 50

このとき、酸化シリコン膜 104 の下部に残ったゲート電極 107 の一部がゲート引き出し電極となる。ここまでの工程により、縦型 MISFET (SV₁、SV₂) が完成する。

【0141】

次に、酸化シリコン膜 104 を除去した後、図 69 に示すように、縦型 MISFET (SV₁、SV₂) の上部に CVD 法で酸化シリコン膜 98 および窒化シリコン膜 99 を堆積し、続いて前記実施の形態 1 と同様の方法でスルーホール 74、75 およびプラグ 80 を形成することによって、ゲート電極 107 の一部 (ゲート引き出し電極) および中間導電層 42、43 のそれぞれとプラグ 80 を電氣的に接続する。その後、図 70 に示すように、縦型 MISFET (SV₁、SV₂) の上部にプラグ 85、電源電圧線 90 (Vdd) および相補性データ線 (BLT、BLB) を形成する。 10

【0142】

上記の方法によれば、縦型 MISFET (SV₁、SV₂) のゲート電極 107 とゲート引き出し電極とを同時に形成することができると共に、ゲート電極 107 を一層の多結晶シリコン膜 103 で構成できるので、縦型 MISFET (SV₁、SV₂) の形成工程を簡略化できる。

【0143】

(実施の形態 4)

縦型 MISFET (SV₁、SV₂) の上部半導体層 59 と相補性データ線 (BLT、BLB) を接続するスルーホールは、次のような方法で形成することもできる。 20

【0144】

まず、図 71 に示すように、前記実施の形態 1 と同様の方法で積層体 (P₁、P₂) の側壁にゲート電極 66 を形成した後、基板 1 上に堆積した酸化シリコン膜 70 をエッチングしてその表面を積層体 (P₁、P₂) の中途部まで後退させた後、積層体 (P₁、P₂) および窒化シリコン膜 62 の側壁に形成されたゲート電極 66 をエッチングしてその上端部を下方に後退させる。ここまでの工程は、前記実施の形態 1 と同じ (図 44 参照) である。

【0145】

次に、図 72 に示すように、酸化シリコン膜 70 上に CVD 法で堆積した窒化シリコン膜 108 を異方性エッチングすることにより、酸化シリコン膜 70 の上部に露出した積層体 (P₁、P₂) およびゲート電極 66 の側壁に窒化シリコン膜 108 からなるサイドウォールスペーサ 108a を形成する。このとき、積層体 (P₁、P₂) の上部に形成された窒化シリコン膜 62 もエッチングされ、その膜厚が薄くなる。 30

【0146】

次に、図 73 に示すように、酸化シリコン膜 70 上に CVD 法で酸化シリコン膜 109 を堆積した後、前記実施の形態 1 と同様の方法でゲート引き出し電極 51 の上部にスルーホール 75 を形成し、スルーホール 75 の内部にプラグ 80 を形成する。

【0147】

次に、図 74 に示すように、酸化シリコン膜 109 上に CVD 法で酸化シリコン膜 110 を堆積した後、フォトリソ膜をマスクにして、積層体 (P₁、P₂) の上部の酸化シリコン膜 110、109 および窒化シリコン膜 62 を順次ドライエッチングすることにより、積層体 (P₁、P₂) の上部に上部半導体層 59 が露出するスルーホール 82 を形成する。 40

【0148】

このとき、フォトマスクの合わせずれによって、スルーホール 82 と上部半導体層 59 の相対的な位置がずれた場合でも、上部半導体層 59 の上部の窒化シリコン膜 62 は、ゲート電極 66 の上部の窒化シリコン膜 108 からなるサイドウォールスペーサ 108a に比べて膜厚が薄いため、サイドウォールスペーサ 108a で覆われた領域のゲート電極 66 が露出する前に上部半導体層 59 を露出させることができる。

【0149】

図示は省略するが、その後、前記実施の形態 1 と同様の方法でスルーホール 8 2 の内部にプラグ (8 5) を形成し、さらにプラグ (8 5) の上部に相補性データ線 (B L T、B L B) を形成する。

【0150】

上記スルーホール 8 2 は、次のような方法で形成することもできる。この方法は、図 7 5 に示すように、縦型 M I S F E T (S V₁、S V₂) の上部半導体層 5 9 を構成する p 型シリコン膜 (5 9 p) とその上部の窒化シリコン膜 6 2 との間に介在する酸化シリコン膜 6 1 の膜厚を前記実施の形態 1 よりも厚く形成しておき、その後、前記実施の形態 1 と同様の方法で積層体 (P₁、P₂) を形成する。

【0151】

次に、図 7 6 に示すように、前記実施の形態 1 と同様の方法で積層体 (P₁、P₂) の側壁にゲート電極 6 6 を形成した後、基板 1 上に堆積した酸化シリコン膜 7 0 をエッチングしてその表面を積層体 (P₁、P₂) の中途部まで後退させ、さらに積層体 (P₁、P₂) および窒化シリコン膜 6 2 の側壁に形成されたゲート電極 6 6 をエッチングしてその上端部を下方に後退させる。

【0152】

次に、図 7 7 に示すように、酸化シリコン膜 7 0 上に C V D 法で堆積した窒化シリコン膜 1 0 8 を異方性エッチングすることにより、酸化シリコン膜 7 0 の上部に露出した積層体 (P₁、P₂) およびゲート電極 6 6 の側壁に窒化シリコン膜 1 0 8 からなるサイドウォールスペーサ 1 0 8 a を形成する。このとき、積層体 (P₁、P₂) の上部に形成された窒化シリコン膜 6 2 を同時にエッチングし、その下層の酸化シリコン膜 6 1 を露出させる。

【0153】

次に、図 7 8 に示すように、酸化シリコン膜 7 0 上に C V D 法で酸化シリコン膜 1 0 9 を堆積した後、前記実施の形態 1 と同様の方法でゲート引き出し電極 5 1 の上部にスルーホール 7 5 を形成し、スルーホール 7 5 の内部にプラグ 8 0 を形成する。

【0154】

次に、図 7 9 に示すように、酸化シリコン膜 1 0 9 上に C V D 法で酸化シリコン膜 1 1 0 を堆積した後、フォトレジスト膜をマスクにして、積層体 (P₁、P₂) の上部の酸化シリコン膜 1 0 9 および酸化シリコン膜 6 1 をドライエッチングすることにより、積層体 (P₁、P₂) の上部に上部半導体層 5 9 が露出するスルーホール 8 2 を形成する。

【0155】

このとき、フォトマスクの合わせずれによって、スルーホール 8 2 と上部半導体層 5 9 の相対的な位置がずれた場合でも、ゲート電極 6 6 の上部は、窒化シリコン膜 1 0 8 からなるサイドウォールスペーサ 1 0 8 a で覆われているので、ゲート電極 6 6 を露出させることなく、上部半導体層 5 9 を露出させることができる。

【0156】

図示は省略するが、その後、前記実施の形態 1 と同様の方法でスルーホール 8 2 の内部にプラグ (8 5) を形成し、さらにプラグ (8 5) の上部に相補性データ線 (B L T、B L B) を形成する。

【0157】

(実施の形態 5)

縦型 M I S F E T (S V₁、S V₂) のゲート電極と下層の転送 M I S F E T (T R₁、T R₂) および駆動 M I S F E T (D R₁、D R₂) との接続は、次のような方法で行うこともできる。

【0158】

まず、図 8 0 に示すように、p 型ウェル 4 の主面に転送 M I S F E T (T R₁、T R₂) および駆動 M I S F E T (D R₁、D R₂) を形成し、続いて転送 M I S F E T (T R₁、T R₂) および駆動 M I S F E T (D R₁、D R₂) の上部を覆う酸化シリコン膜にコンタクトホール 2 2 ~ 2 4 を形成した後、コンタクトホール 2 2 ~ 2 4 の内部に W 膜を主

10

20

30

40

50

成分とするプラグ28を埋め込む。そして、酸化シリコン膜20の上部に窒化シリコン膜29と酸化シリコン膜30とを堆積した後、フォトレジスト膜をマスクにして酸化シリコン膜29および窒化シリコン膜30をドライエッチングすることにより、コンタクトホール22～24のそれぞれの上部に溝31～34を形成する。ここまでの工程は、前記実施の形態1の図4～図23に示す工程と同じである。

【0159】

次に、図81に示すように、溝31～34の内部に中間導電層42～44を形成する。中間導電層42～44は、例えばWシリサイド(WSi_2)膜のような耐酸化性の導電膜で構成する。中間導電層42～44をWシリサイド膜で構成する場合は、例えば溝31～34の内部を含む酸化シリコン膜30上にスパッタリング法でTiN膜などの接着層を堆積し、次にスパッタリング法でその上部にWシリサイド膜を堆積した後、溝31～34の外部のWシリサイド膜およびTiN膜を化学的機械研磨法によって除去する。 10

【0160】

中間導電層42～44をWシリサイド膜のような耐酸化性の導電膜で構成した場合は、中間導電層42～44の表面にバリア層(48)を形成したり、バリア層(48)の上部に多結晶シリコン膜からなるプラグ(55)を形成したりする工程が不要となる。

【0161】

次に、図82に示すように、前記実施の形態1の図35～図38に示す工程に従って、酸化シリコン膜20の上部に3層のシリコン膜(57p、58i、59p)と酸化シリコン膜61および窒化シリコン膜62を堆積し、続いて窒化シリコン膜62をマスクにして3層のシリコン膜(57p、58i、59p)をドライエッチングすることにより、p型シリコン膜57pからなる下部半導体層57、シリコン膜58iからなる中間半導体層58、p型シリコン膜59pからなる上部半導体層59によって構成される積層体(P_1 、 P_2)を形成する。 20

【0162】

次に、図83に示すように、基板1を熱酸化することによって、積層体(P_1 、 P_2)を構成する下部半導体層57、中間半導体層58および上部半導体層59のそれぞれの側壁表面に酸化シリコン膜からなるゲート絶縁膜63を形成する。このとき、積層体(P_1 、 P_2)で覆われていない領域の中間導電層42～44も酸化雰囲気中に晒されるが、中間導電層42～44は、耐酸化性の導電膜で構成されているので、表面が酸化されても、内部まで酸化されることはない。 30

【0163】

次に、図84に示すように、前記実施の形態1の図40～図42に示す工程に従って、積層体(P_1 、 P_2)およびその上部の窒化シリコン膜62の側壁に縦型MISFET(SV_1 、 SV_2)のゲート電極66を形成し、続いて、基板1上にCVD法で酸化シリコン膜70を堆積した後、化学的機械研磨法でその表面を平坦化する。ゲート電極66は、例えばp型の多結晶シリコン膜で構成するが、図に示すように、1層の多結晶シリコン膜で構成することもできる。

【0164】

次に、図85に示すように、フォトレジスト膜をマスクにして酸化シリコン膜70をドライエッチングすることにより、積層体(P_1 、 P_2)の周囲を開口する溝95を形成する。 40

【0165】

次に、図86に示すように、溝95の内部を含む酸化シリコン膜70上にCVD法でp型多結晶シリコン膜を堆積した後、溝95の外部の多結晶シリコン膜を化学的機械研磨またはエッチバックによって除去する。続いて、溝95の内部の多結晶シリコン膜およびゲート電極63をエッチバックすることによって、多結晶シリコン膜およびゲート電極63のそれぞれの上面を酸化シリコン膜70の上面よりも下方に後退させ、溝95の内部に多結晶シリコン膜からなるゲート引き出し電極96を形成する。その後、ゲート引き出し電極96の表面に例えばCoシリサイドなどのシリサイド層を形成することによって、次の工 50

程でゲート引き出し電極 9 6 の上部に形成するプラグ (8 0) とゲート引き出し電極 9 6 のコンタクト抵抗を低減してもよい。

【0166】

次に、図 8 7 に示すように、溝 9 5 の内部に酸化シリコン膜 9 7 を埋め込んでその表面を平坦化した後、前記実施の形態 1 の図 4 8 ～図 5 0 に示す工程に従って、酸化シリコン膜 7 0 をドライエッチングすることにより、ゲート引き出し電極 9 6 および中間導電層 4 2 の表面が露出するスルーホール 7 4 を形成し、続いてスルーホール 7 4 の内部にプラグ 8 0 を形成する。プラグ 8 0 を形成するには、例えばスルーホール 7 4 ～7 9 の内部を含む酸化シリコン膜 7 3 上にスパッタリング法で T i 膜および T i N 膜を堆積し、続いて C V D 法で T i N 膜および W 膜を堆積した後、スルーホール 7 4 ～7 9 の外部の W 膜、T i N 膜および T i 膜を化学的機械研磨法によって除去する。これにより、ゲート引き出し電極 9 6 と、プラグ 8 0 と、中間導電層 4 2 と、プラグ 2 8 とを介して、縦型 M I S F E T (S V ₂) のゲート電極 6 6 と、転送 M I S F E T (T R ₁) および駆動 M I S F E T (D R ₁) に共通の n⁺ 型半導体領域 1 4 (ソースまたはドレイン) と、駆動 M I S F E T (D R ₂) のゲート電極 7 B とが互いに電氣的に接続される。

【0167】

本実施の形態によれば、縦型 M I S F E T (S V ₁ 、 S V ₂) のゲート電極 6 6 とゲート引き出し電極 9 6 との接触面積を広くすることができるので、ゲート電極 6 6 とゲート引き出し電極 9 6 のコンタクト抵抗を低減することができる。

【0168】

(実施の形態 6)

図 8 8 は、本実施の形態のメモリセルの平面図、図 8 9 は、図 8 8 の A - A ' ' 線に沿った断面図である。

【0169】

前記図 2 9 に示すように、実施の形態 1 のメモリセルは、縦型 M I S F E T (S V ₁ 、 S V ₂) のゲート電極 6 6 に接続されるゲート引き出し電極 5 1 を図の X 方向に長辺を有する矩形の平面パターンで構成している。これに対し、図 8 8 に示すように、本実施の形態のメモリセルは、ゲート引き出し電極 5 1 を図の Y 方向に長辺を有する矩形の平面パターンで構成している。

【0170】

ゲート引き出し電極 5 1 をこのような平面パターンで構成した場合は、ゲート引き出し電極 5 1 の X 方向の寸法が小さくなった分、積層体 (P ₁ 、 P ₂) の X 方向の寸法を大きくすることができる。これにより、縦型 M I S F E T (S V ₁ 、 S V ₂) の面積を大きくできるので、縦型 M I S F E T (S V ₁ 、 S V ₂) のドレイン電流 (I d s) を増大することができる。

【0171】

また、ゲート引き出し電極 5 1 をこのような平面パターンで構成した場合は、図 8 9 に示すように、ゲート引き出し電極 5 1 とスルーホール 7 4 と中間導電層 4 2 、4 3 の平面パターンが重なりあうので、フォトマスクの合わせずれによってゲート引き出し電極 5 1 とスルーホール 7 4 との相対的な位置がずれた場合でも、両者の接触面積の減少を抑制することができる。この場合、スルーホール 7 4 は、ゲート引き出し電極 5 1 を貫通して下層の中間導電層 4 2 、4 3 の表面に達することになるので、スルーホール 7 4 内のプラグ 8 0 は、スルーホール 7 4 の内壁に露出したゲート引き出し電極 5 1 の側面に接触する。

【0172】

(実施の形態 7)

図 9 0 は本実施の形態のメモリセルの平面図、図 9 1 は図 9 0 の要部断面図である。図 9 0 に示すように、本実施の形態と、実施の形態 1 とは、中間導電膜 4 2 、4 3 およびゲート引き出し電極 5 1 a 、5 1 b の平面パターンが異なる以外は、同じである。なお、図 9 0 は実施の形態 1 の図 4 8 に対応し、図 9 1 は実施の形態 1 の図 3 に対応する。

【0173】

10

20

30

40

50

図90および図91に示すように、ゲート引き出し電極51a、51bは、縦型MISFET (SV_1 、 SV_2) のゲート電極66 (第2多結晶シリコン層65) の下端部を覆うような平面パターンで構成される。これにより、ゲート電極66 (第2多結晶シリコン層65) は、サイドウォールスペーサ状に形成されたゲート電極66 (第2多結晶シリコン層65) の下端部のほぼ全周ゲートに渡って引き出し電極51a、51bと接触するので、引き出し電極51a、51bと、縦型MISFET (SV_1 、 SV_2) のゲート電極66 (第2多結晶シリコン層65) との接触面積を増大することができ、接続抵抗を低減でき、メモリセルの特性を向上できる。なお、ゲート引き出し電極51a、51bと、プラグ55とは絶縁膜からなるサイドウォールスペーサ54および絶縁膜52により電氣的に分離されている。なお、本実施の形態の製造工程は実質的に実施の形態1と同様である。 10

図92～図94に、本実施の形態の製造工程を示す要部断面図を示す。図92は実施の形態1の図30に対応し、図93は実施の形態1の図31に対応し、図94は実施の形態1の図32に対応する。図92、図93に示すように、ゲート引き出し電極51a、51bにスルーホール53が形成され、図94に示すように、スルーホール53の側壁に絶縁膜からなるサイドウォールスペーサ54が、スルーホール53に対して自己整合的に形成される。このように、ゲート引き出し電極51a、51bと、プラグ55とは絶縁膜からなるサイドウォールスペーサ54および絶縁膜52により電氣的に分離されている。

【0174】

また、図90および図91に示すように、中間導電膜42はゲート引き出し電極51bと合わせ余裕が許される範囲内で平面的に見て重なるように構成され、中間導電膜43はゲート引き出し電極51aと合わせ余裕が許される範囲内で平面的に見て重なるように構成される。これにより、中間導電膜42を一方の電極とし、ゲート引き出し電極51bを他方の電極とし、その間に形成された窒化シリコン膜49を容量絶縁膜とした第1容量素子が形成される。また、中間導電膜43を一方の電極とし、ゲート引き出し電極51aを他方の電極とし、その間に形成された窒化シリコン膜49を容量絶縁膜とした第2容量素子が形成される。 20

第1容量素子および第2容量素子の夫々は、一方の電極が蓄積ノードAに電氣的に接続され、他方の電極が蓄積ノードBに電氣的に接続される。すなわち、第1容量素子および第2容量素子は、一对の蓄積ノードA、B間に付加され、メモリセルのソフトエラー耐性を向上することができる。また、容量絶縁膜を、シリコン酸化膜よりも誘電率の高い窒化シリコン膜49で構成しているので、容量値を増大することができる。 30

【0175】

(実施の形態8)

前記実施の形態1のメモリセルは、縦型MISFET (SV_1 、 SV_2) のゲート電極66と蓄積ノードを接続するゲート引き出し電極51 (51a、51b) をp型の多結晶シリコン膜50で構成している。

【0176】

上記ゲート引き出し電極51a、51bは、積層体 (P_1 、 P_2) の側壁に縦型MISFET (SV_1 、 SV_2) のゲート電極66の一部を構成する第1多結晶シリコン層64を形成する工程 (図40参照)、ゲート電極66の他部を構成する第2多結晶シリコン層65を形成する工程 (図41参照) およびゲート引き出し電極51a、51bの上部にスルーホール74、75を形成する工程 (図49参照) でその表面がエッチングされる。そのため、ゲート引き出し電極51a、51bを多結晶シリコン膜50で構成した場合は、上記した3回のエッチング工程を経た後にゲート引き出し電極51a、51bの膜厚が薄くなり、最悪の場合は、スルーホール74、75の内部に形成されるプラグ80とゲート引き出し電極51a、51bの接触抵抗が大幅に増加する虞れがある。 40

【0177】

その対策として、ゲート引き出し電極51a、51bをWN膜やTiN膜のような窒化金属膜で構成することが有効である。

【0178】

窒化金属膜は、絶縁膜に対するエッチング選択が多結晶シリコン膜に比べて大きいので、上記した3回のエッチングによる膜の削れが少ない。そのため、ゲート引き出し電極51a、51bの膜厚を当初から薄くすることができるので、ゲート引き出し電極51a、51bを覆う酸化シリコン膜52の膜厚も薄くできる。これにより、酸化シリコン膜52に形成されるスルーホール53（図31参照）のアスペクト比を小さくできるので、プロセスマージンが向上する。

【0179】

また、窒化金属膜はバリア性が高いので、多結晶シリコン膜で構成された縦型MISFET（ SV_1 、 SV_2 ）のゲート電極66との接触界面に不所望の反応生成物が生じる虞れない。

10

【0180】

また、ゲート引き出し電極51a、51bの上部にスルーホール74、75を形成する工程（図49参照）では、TiN膜とW膜の積層膜からなる中間導電層42、43の表面もエッチングされるが、ゲート引き出し電極51a、51bと中間導電層42、43を共に金属系材料で構成した場合は、両者のエッチング選択比の差が少なくなるので、スルーホール74、75の加工が容易になる。ゲート引き出し電極51a、51bは、Wシリサイド膜、Tiシリサイド膜のような金属シリサイド膜で構成することもできる。

【0181】

また、ゲート引き出し電極51a、51bを上記のような金属系材料で構成した場合は、縦型MISFET（ SV_1 、 SV_2 ）のゲート電極66を構成する2層の多結晶シリコン層（64、65）のうち、ゲート引き出し電極51a、51bと接する第2多結晶シリコン層65をWなどの金属膜に置き換えてもよい。このようにすると、ゲート引き出し電極51a、51bとゲート電極66とが接触する部分は、面積が小さくても金属系材料同士の接触となるので、両者の接触抵抗を小さくすることができる。また、ゲート電極66を構成する第1多結晶シリコン層64と上記金属膜とが接触する部分は、金属系材料同士の接触に比べて単位面積当たりの接触抵抗は大きくなるが、両者の接触面積が大きいので、全体の接触抵抗は小さくなる。

20

【0182】

（実施の形態9）

前記実施の形態1のメモリセルは、縦型MISFET（ SV_1 、 SV_2 ）と下層のMISFET（ DR_1 、 DR 、 TR_1 、 TR_2 ）とを接続する中間導電層42、43の表面にWN膜などからなるバリア層48を形成することによって、W膜からなる中間導電層42、43と、その上部のスルーホール53内に形成された多結晶シリコン膜からなるプラグ55との界面で所望しないシリサイド反応が生じるのを防いでいる。

30

【0183】

しかし、バリア層48をWN膜で構成した場合は、多結晶シリコン膜からなるプラグ55とバリア層48との界面の接触抵抗が比較的高いことが問題となる。

特に、プラグ55が埋め込まれるスルーホール53は、その径が非常に小さいことから、メモリセルの微細化に伴って上記接触抵抗が大きくなり、縦型MISFET（ SV_1 、 SV_2 ）のドレイン電流の低減を引き起こす。

40

【0184】

プラグ55とバリア層48の界面の接触抵抗が大きくなる原因は、バリア層48を構成するWN膜が熱的に不安定であるために、製造工程中の熱処理でWNの一部がWとNとに分解し、このNがプラグ55を構成する多結晶シリコン膜と反応することによって、プラグ55とバリア層48との界面に高抵抗の窒化シリコン層が生成するからであると考えられる。

【0185】

その対策として、本実施の形態では、図95に示すように、プラグ55とバリア層48との間に、両者の反応を防ぐための反応層56を設ける。

【0186】

50

バリア層 48 は、前述したように、例えば W N 膜、T i 膜、T i N 膜などの単層膜や、W N 膜と W 膜、T i N 膜と W 膜などの積層膜で構成される。一方、反応層 56 は、例えば C o 膜、T i 膜、W 膜などのように、プラグ 55 を構成する多結晶シリコン膜と反応してシリサイドを形成する金属膜で構成する。また、C o シリサイド膜、T i シリサイド膜、W シリサイド膜などのような、あらかじめシリサイド化された金属膜を用いてもよい。

【0187】

上記反応層 56 を形成するには、前記実施の形態 1 の図 27 に示す工程で、基板 1 上にスパッタリング法でバリア層材料（例えば W N 膜）と反応層材料（例えば C o 膜）とを連続して堆積した後、フォトレジスト膜をマスクにしたドライエッチングでバリア層材料と反応層材料とをパターンニングすればよい。

10

【0188】

また、図 96 に示すように、反応層 56 の表面に微小な凹凸を形成し、反応層 56 とプラグ 55 との接触面積を増やすことにより、両者の接触抵抗をさらに低減することができる。この凹凸は、例えば反応層 56 を構成する材料（C o 膜など）を成膜する際、膜中の結晶粒の成長速度を制御することによって形成することができる。

【0189】

このように、中間導電層 42、43 とプラグ 55 との界面にバリア層 48 および反応層 56 を介在させる本実施の形態によれば、プラグ 55 から中間導電層 42、43 へのシリコンの拡散をバリアすることができると共に、上記界面の接触抵抗の増大を抑制することができるので、縦型 M I S F E T（ $S V_1$ 、 $S V_2$ ）のドレイン電流の低減を抑制すること

20

【0190】

なお、一般に L S I 製造工程の熱処理温度は、半導体素子の微細化に伴って低下する傾向にある。従って、S R A M の場合も、製造工程の熱処理温度が低くなれば、例えば W シリサイド膜のような金属シリサイド膜の単層膜でバリア層 48 と反応層 56 を兼用させたり、バリア層 48 や反応層 56 を省略し、中間導電層 42、43 の表面に直接プラグ 55 を接触させたりすることも可能である。

【0191】

中間導電層 42、43 の表面にプラグ 55 を直接接触させる場合は、例えば図 97 に示すように、プラグ 55 と同じ導電型の多結晶シリコン膜 60 を中間導電層 42、43 の表面全体に形成してもよい。あるいは、中間導電層 42、43 を W 膜と多結晶シリコン膜 60 の積層膜で構成してもよい。このようにした場合は、中間導電層 42、43 を構成する W 膜と多結晶シリコン膜 60 とが広い面積で接触するので、中間導電層 42、43 の表面に面積が小さいプラグ 55 を直接接触させる場合に比べて、中間導電層 42、43 とプラグ 55 の接触抵抗を低くすることができる。

30

【0192】

（実施の形態 10）

前記実施の形態 1 のメモリセルは、縦型 M I S F E T（ $S V_1$ 、 $S V_2$ ）のゲート電極 6 を 2 層の多結晶シリコン膜（第 1 多結晶シリコン層 64 および第 2 多結晶シリコン層 65）で構成しているが、メモリセルサイズを微細化しようとする、これら 2 層の多結晶シリコン膜を薄い膜厚で形成する必要がある。

40

【0193】

しかし、上記 2 層の多結晶シリコン膜を薄くしようとする、積層体（ P_1 、 P_2 ）の側壁に第 1 多結晶シリコン層 64 を形成した後、その表面に第 2 多結晶シリコン層 65 を形成する工程に先立って、基板 1 の表面を洗浄液でウェット洗浄する際、洗浄液の一部が薄い第 1 多結晶シリコン層 64 の結晶粒界を伝ってゲート絶縁膜 63 の表面に達し、ゲート絶縁膜 63 の一部を溶解、消失させる虞れがある。

【0194】

その対策として、本実施の形態では、第 1 多結晶シリコン層 64 に代えてアモルファスシリコン膜を使用する。すなわち、本実施の形態のゲート電極形成方法は、積層体（ P_1 、

50

P₂)の側壁表面に酸化シリコン膜からなるゲート絶縁膜63を形成(図39参照)した後、まず図98に示すように、基板1上にCVD法でアモルファスシリコン膜を堆積し、続いてこのアモルファスシリコン膜を異方的にエッチングすることによって、積層体(P₁、P₂)の側壁にサイドウォールスペーサ状のアモルファスシリコン層67を形成する。

【0195】

次に、アモルファスシリコン層67の表面の異物を除去するために、基板1の表面を洗浄液でウェット洗浄する。アモルファスシリコン層67は、膜中に結晶粒が実質的に存在しないので、膜の表面は極めて平坦である。従って、その膜厚を薄くしても洗浄液がゲート絶縁膜63の表面に達することはないので、ゲート絶縁膜63の局所的な溶解、消失を防ぐことができる。

【0196】

次に、図99に示すように、アモルファスシリコン層67の表面に前記実施の形態1と同じ方法で第2多結晶シリコン層65を形成することにより、積層体(P₁、P₂)の側壁にアモルファスシリコン層67と第2多結晶シリコン膜65の積層膜からなるゲート電極66を形成する。

【0197】

次に、基板1を熱処理して上記アモルファスシリコン層67を多結晶化する。
なお、アモルファスシリコン層67は、その後の工程で行われる熱処理によって多結晶化されるので、アモルファスシリコン層67を多結晶化するための特別の熱処理工程は省略することもできる。

【0198】

このように、ゲート電極66を構成する2層の導電膜のうち、1層目の導電膜をアモルファスシリコン膜で構成することにより、これら2層の導電膜の膜厚を薄くすることができるので、縦型MISFET(SV₁、SV₂)の横方向の面積を縮小してメモリセルサイズの微細化を推進することができる。

【0199】

なお、転送MISFET(TR₁、TR₂)および駆動MISFET(DR₁、DR₂)の上部に縦型MISFET(SV₁、SV₂)を配置するSRAMにおいては、縦型MISFET(SV₁、SV₂)を形成するプロセスをできるだけ低温化することによって、下層のMISFET(TR₁、TR₂、DR₁、DR₂)の特性劣化を抑える必要がある。従って、本実施の形態のように、縦型MISFET(SV₁、SV₂)のゲート電極66の一部をアモルファスシリコン層67で構成する場合は、アモルファスシリコン層67を多結晶化するための熱処理をできるだけ低温で行う必要がある。

【0200】

本実施の形態では、アモルファスシリコン層67の表面に2層目の導電膜として第2多結晶シリコン層65を形成するので、アモルファスシリコン層67を熱処理する時に第2多結晶シリコン層65が種結晶として機能する。そのため、アモルファスシリコン層67を多結晶化する際の熱処理温度を低くしても、アモルファスシリコン層67が速やかに多結晶化される。すなわち、本実施の形態によれば、縦型MISFET(SV₁、SV₂)を形成する工程でアモルファスシリコン膜を使用しても、その多結晶化を低い温度で行うことができるので、下層のMISFET(TR₁、TR₂、DR₁、DR₂)の特性の劣化を回避することができる。

【0201】

(実施の形態11)

SRAMのメモリセルサイズを微細化していくと、転送MISFET(TR₁、TR₂)のゲート電極7Aおよび駆動MISFET(DR₁、DR₂)のゲート電極7Bは、それらの幅(ゲート長)が露光光の波長に極めて近くなる。この場合、前記実施の形態1のように、ゲート電極7A、7Bを1回のエッチングでパターンニングすると、図100に示すように、ゲート電極7A、7Bのそれぞれの四隅が露光光の干渉によって円くなり、ゲー

ト電極 7 A、7 B の端部が活性領域 (L) の内側へ後退する結果、活性領域 (L) の周縁部でゲート長が狭くなり、M I S F E T (T R₁、T R₂、D R₁、D R₂) の特性が劣化するという問題が生じる。

【0202】

そこで、あらかじめゲート電極 7 A、7 B の端部を活性領域 (L) から遠く離しておけば、それらの四隅が丸くなくても活性領域 (L) の周縁部でゲート長が狭くなることはない。上記の問題を回避することができる。しかし、この場合は、図 100 の X 方向に沿って隣接する 2 つのゲート電極 7 A、7 B の距離が接近するのを防ぐために、2 つの活性領域 (L) のスペースを広くしなければならないので、メモリセルサイズを微細化することができなくなる。

10

【0203】

その対策として、本実施の形態では、次のような方法でゲート電極 7 A、7 B を形成する。まず、図 101 に示すように、ゲート電極材料 (n 型多結晶シリコン膜 7 n) を覆うキャップ絶縁膜 (酸化シリコン膜 8) の上部に第 1 のフォトレジスト膜 16 a を形成し、このフォトレジスト膜 16 a をマスクにしたドライエッチングで酸化シリコン膜 8 をパターンニングする。このとき、酸化シリコン膜 8 は、図 102 に示すように、その平面パターンが X 方向に沿って帯状に延在するようにパターンニングされる。

【0204】

次に、フォトレジスト膜 16 a を除去した後、図 103 に示すように、第 2 のフォトレジスト膜 16 b をマスクにしたドライエッチングで酸化シリコン膜 8 をパターンニングする。このとき、酸化シリコン膜 8 は、図 104 に示すように、その平面パターンがゲート電極 7 A、7 B と同一になるようにパターンニングされる。その後、図 105 に示すように、酸化シリコン膜 8 をマスクにして n 型多結晶シリコン膜 7 n をドライエッチングすることにより、ゲート電極 7 A、7 B を形成する。

20

【0205】

上記したゲート電極 7 A、7 B の形成方法は、ゲート電極 7 A、7 B と同一の平面形状を有する酸化シリコン膜 8 を、2 枚のフォトマスクを使った 2 回のエッチングで形成するので、露光光の干渉の影響が無くなる結果、酸化シリコン膜 8 の四隅の丸みが少なくなる。従って、この酸化シリコン膜 8 をマスクにしたドライエッチングで得られるゲート電極 7 A、7 B の四隅の丸みも少なくなるので、それらの端部を活性領域 (L) から遠く離さなくとも、活性領域 (L) の周縁部でゲート長が狭くなることはない。また、酸化シリコンは、フォトレジストに比べて多結晶シリコンに対するエッチング選択比が大きいので、フォトレジスト膜をマスクにして多結晶シリコン膜 (7 n、7 p) をエッチングしたり、酸化シリコン膜 8 と多結晶シリコン膜 (7 n、7 p) とを連続してエッチングしたりする場合に比べて、ゲート電極 7 A、7 B を精度よくパターンニングすることができる。

30

【0206】

これに対し、1 回のエッチングでゲート電極 7 A、7 B を形成した場合は、図 100 に示したように、ゲート電極 7 A、7 B の四隅の丸みが大きくなる。従って、この場合は、ゲート電極 7 A、7 B の端部を活性領域 (L) から遠く離してしておかないと、それらの端部の丸みが活性領域 (L) の内側にまで達し、M I S F E T (T R₁、T R₂、D R₁、D R₂) の特性を劣化させる。

40

【0207】

このように、上記したゲート電極 7 A、7 B の形成方法によれば、フォトマスクの枚数とエッチングの回数は増えるが、ゲート電極 7 A、7 B の端部が活性領域 (L) の内側へ後退する量を減らすことができる。これにより、ゲート電極 7 A、7 B の端部を活性領域 (L) の近傍に配置することが可能となるので、その分、2 つの活性領域 (L) のスペースを狭くすることができ、メモリセルサイズを微細化することができる。

【0208】

なお、S R A M の周辺回路の一部には、例えば電源回路のように、ゲート長が比較的長い M I S F E T を比較的低密度に配置する回路がある。このような回路の M I S F E T は、

50

ゲート電極 7 C の端部を活性領域 (L) から遠く離しても支障がないので、1 回のエッチングでゲート電極 7 C を形成してもよい。すなわち、前述した 2 枚のマスクを使った 2 回のエッチング工程のうち、いずれか一方の工程でゲート電極 7 C を形成すればよい。他方、S R A M の周辺回路のうち、ゲート長の短い M I S F E T を含む回路や M I S F E T が高密度に配置される回路においては、これらの回路を構成する M I S F E T のゲート電極 7 C を形成する際、2 枚の異なるマスクを使った 2 回のエッチングでゲート電極材料 (多結晶シリコン膜) をパターンニングすることが望ましい。

【0209】

また、2 枚のフォトマスクを使った 2 回のエッチングでゲート電極 7 A、7 B と同一の平面形状を有する酸化シリコン膜 8 を形成する場合は、第 1 のフォトレジスト膜 16 a にパターンを転写する際の露光光源に A r F (フッ化アルゴン) を用い、第 2 のフォトレジスト膜 16 B にパターンを転写する際の露光光源に K r F (フッ化クリプトン) を用いることもできる。 10

【0210】

すなわち、第 1 のフォトレジスト膜 16 a をマスクにして酸化シリコン膜 8 をドライエッチングする時は、酸化シリコン膜 8 をゲート電極 7 A、7 B のゲート長と同じ幅に加工するので、第 2 のフォトレジスト膜 16 b をマスクにして酸化シリコン膜 8 をドライエッチングする時に比べて高い加工精度が要求される。従って、第 1 のフォトレジスト膜 16 a にフォトマスクのパターンを転写する時には、K r F よりも波長が短い A r F を露光光源として用いることにより、酸化シリコン膜 8 を高精度にドライエッチングすることができる。他方、A r F 用のフォトレジストは、K r F 用のフォトレジストよりも高価であることから、第 2 のフォトレジスト膜 16 B にフォトマスクのパターンを転写する時の露光光源として K r F を用いれば、安価な K r F 用フォトレジストを使ってフォトレジスト膜 16 B を構成することができる。 20

【0211】

なお、図 106 に示すように、第 2 のフォトレジスト膜 16 B にパターンを転写するフォトマスク (M) に形成される遮光パターン (斜線を付した部分) と光透過パターンとの境界部が活性領域 (L) の一部 (丸印を付した部分) と重なると、エッチング工程で上記活性領域 (L) の一部の基板 1 が削られる恐れがある。従って、例えば図 107 に示すように、遮光パターンと光透過パターンとの境界部は、活性領域 (L) と重ならないようにレイアウトすることが望ましい。 30

【0212】

(実施の形態 12)

前記実施の形態 1 では、縦型 M I S F E T ($S V_1$ 、 $S V_2$) と下層の M I S F E T ($D R_1$ 、 $D R$ 、 $T R_1$ 、 $T R_2$) とを接続するスルーホール 53 の内部に多結晶シリコン膜からなるプラグ 55 を形成する (図 34 参照)。

【0213】

この場合、プラグ 55 を構成する多結晶シリコン膜の成膜温度が高いと、スルーホール 53 の底部に露出したバリア層 48 の表面が酸化され易くなり、バリア層 48 とプラグ 55 の接触抵抗が上昇する虞れがある。例えば、シラン ($S i H_4$) とボラン ($B H_3$) をソースガスに用いた C V D 法で p 型多結晶シリコン膜を形成する場合は、スルーホール 53 の底部に露出したバリア層 48 の表面が 540℃ 程度の高温に曝される。 40

【0214】

その対策として、本実施の形態 12 では、プラグ 55 を構成する導電膜を低温で堆積する。具体的には、ジシラン ($S i_2 H_6$) とジボラン ($B_2 H_6$) をソースガスに用いた C V D 法で p 型アモルファスシリコン膜を形成する。これらのソースガスを用いた場合は、390℃ 程度の低温でスルーホール 53 内部に p 型アモルファスシリコン膜を埋め込むことができるので、スルーホール 53 の底部に露出したバリア層 48 の酸化を抑制することができる。また、上記 p 型アモルファスシリコン膜の成膜に用いる C V D 装置のチャンバ内を非酸化性雰囲気にすることによって、バリア層 48 の酸化をさらに抑制することがで 50

きる。

【0215】

(実施の形態13)

前記実施の形態1で説明したように、縦型MISFET (SV_1 、 SV_2) のチャネル領域を構成する中間半導体層58は、CVD法で堆積したノンドープのアモルファスシリコン膜を熱処理によって結晶化したシリコン膜58iからなる(図35参照)。

【0216】

上記中間半導体層58を構成するシリコン膜58i中の結晶粒サイズと縦型MISFET (SV_1 、 SV_2) のドレイン電流との間には相関関係があり、一般にシリコン膜58i中の結晶粒サイズが大きくなるとドレイン電流も増大する。また、ノンドープのアモルファスシリコン膜を成膜する際、ソースガスとしてシラン(SiH_4)を用いた場合とジシラン(Si_2H_6)を用いた場合とでは、後者を用いた方がシリコン膜58i中の結晶粒サイズが大きくなる。従って、中間半導体層58を形成する際にジシラン(Si_2H_6)を用いることにより、シリコン膜58i中の結晶粒サイズを大きくすることができるので、縦型MISFET (SV_1 、 SV_2) のドレイン電流を増やすことができる。

【0217】

(実施の形態14)

前記実施の形態1では、縦型MISFET (SV_1 、 SV_2) の上部半導体層59の上部にスルーホール82を形成する際、スルーホール82と上部半導体層59の相対的な位置が生じた場合でも、スルーホール82内のプラグ85とゲート電極66が短絡しないようにするために、ゲート電極66の上部を酸化シリコン膜からなるサイドウォールスペーサ71で保護している(図52参照)。

【0218】

本実施の形態では、スルーホール82内のプラグ85とゲート電極66の短絡をより確実に防ぐため、上部半導体層59の上部にスルーホール82を形成する工程(図51)の後、図108に示すように、スルーホール82の側壁に第2のサイドウォールスペーサ111を形成する。このサイドウォールスペーサ111を形成するには、上部半導体層59の上部にスルーホール82を形成した後、例えばスルーホール82の内部を含む基板1上にCVD法で窒化シリコン膜を堆積し、続いてこの窒化シリコン膜を異方性エッチングしてスルーホール82の側壁に残せばよい。

【0219】

スルーホール82の側壁に上記のようなサイドウォールスペーサ111を形成した場合は、図109に示すように、スルーホール82内に埋め込んだプラグ85とゲート電極66との間がサイドウォールスペーサ111によって確実に分離されるので、メモリセルサイズを微細化した場合でも、プラグ85とゲート電極66の短絡を確実に防ぐことができる。

【0220】

また、スルーホール82内にプラグ85を埋め込む工程に先立ち、例えば図110に示すように、スルーホール82の底部に露出した上部半導体層59の表面にCoシリサイドなどの金属シリサイド層112を形成してもよい。このようにうすると、スルーホール82の側壁にサイドウォールスペーサ111を形成したことによって上部半導体層59とプラグ85の接触面積が小さくなった場合でも、両者の接触抵抗の低減を抑制することができる。

【0221】

以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0222】

前記実施の形態9では、バリア層48の上部に形成した反応層56の表面に微小な凹凸を形成し、反応層56とその上部のプラグ55との接触面積を増やすことによって、両者の

接触抵抗を低減している（図 9 6 参照）が、例えば図 1 1 1 や図 1 1 2 に示すように、W や A 1 などのメタル配線 1 1 3 の表面に微小な突起や段差を形成することによって、その上部のプラグ 1 1 4 との接触面積を増やすようにすることも可能である。

【0 2 2 3】

また、例えば図 1 1 3 に示すように、表面に C o シリサイド層 1 1 6 が形成された半導体領域（ソース、ドレイン）1 1 5 とプラグ 1 1 7 を接続する際、活性領域（L）と素子分離溝 2 の境界部にコンタクトホール 1 1 8 を配置し、コンタクトホール 1 1 8 を形成する際の基板 1 と素子分離溝 2 のエッチング選択比を利用してコンタクトホール 1 1 8 の底部の面積を広くし、これによって半導体領域 1 1 5 とプラグ 1 1 7 との接触抵抗を低減することも可能である。また、コンタクトホール内のプラグとゲート電極、あるいはコンタクトホール内のプラグとソース、ドレインとを接続する際、ゲート電極やソース、ドレインの表面に凹凸を設けることによって、接触抵抗を低減することも可能である。

10

【0 2 2 4】

本発明は、例えば下層の M I S F E T と上層の縦型 M I S F E T を有する半導体装置、縦型 M I S F E T を有する半導体装置に適用できることは言うまでもない。

【0 2 2 5】

また、前記実施の形態において説明した形成方法は、縦型 M I S F E T を有する半導体装置の形成方法として適用できることは言うまでもない。このように、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

20

【0 2 2 6】

以上、本実施の形態において開示される発明のうち、代表的なものについて簡単に説明すれば、以下のとおりである。

【0 2 2 7】

1. M I S F E T (D R ₁ 、 D R ₂) と、縦型 M I S F E T (S V ₁ 、 S V ₂) とを有し、前記 M I S F E T (D R ₁ 、 D R ₂) は、半導体基板の主面に形成され、前記 M I S F E T (D R ₁ 、 D R ₂) の上部に絶縁膜 (2 0 、 3 0) を介して金属膜 (4 2 、 4 3) が形成され、前記金属膜 (4 2 、 4 3) の上部に前記縦型 M I S F E T (S V ₁ 、 S V ₂) が形成される。

【0 2 2 8】

第 1 M I S F E T (D R ₁) および第 1 縦型 M I S F E T (S V ₁) と、第 2 M I S F E T (D R ₂) および第 2 縦型 M I S F E T (S V ₂) とが交差結合してメモリセルを構成し、前記金属膜 (4 2 、 4 3) により第 1 および第 2 M I S F E T のゲートおよびドレインが交差結合される。

30

【0 2 2 9】

前記金属膜はタングステン膜を有し、前記縦型 M I S F E T と前記タングステン膜とはバリア膜 (4 8) を介して電氣的に接続される。

【0 2 3 0】

金属膜 (4 2 、 4 3) 上に、縦型 M I S F E T (S V ₁ 、 S V ₂) を形成することにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。また、バリア層 (4 8) を介して金属膜 (4 2 、 4 3) の上部にシリコン膜で形成された縦型 M I S F E T (S V ₁ 、 S V ₂) を形成することにより、M I S F E T 間の接続抵抗を低減でき、メモリセルの特性を向上できる。

40

【0 2 3 1】

2. (a) M I S F E T (D R ₁ 、 D R ₂) と、縦型 M I S F E T (S V ₁ 、 S V ₂) とを有し、前記 M I S F E T (D R ₁ 、 D R ₂) は、半導体基板の主面に形成され、前記 M I S F E T (D R ₁ 、 D R ₂) の上部に絶縁膜 (2 0 、 3 0 、 4 9 、 5 2) を介して形成された縦型 M I S F E T (S V ₁ 、 S V ₂) のゲート (6 4 、 6 5 、 6 6) は、そのゲート (6 4 、 6 5 、 6 6) の下部で下層の導電膜 (5 1 、 5 1 a 、 5 1 b) に電氣的に接続されることで、前記 M I S F E T (D R ₁ 、 D R ₂) のゲート (7 B) またはドレイン

50

(14)に電氣的に接続される。

【0232】

(b) MISFET(DR₁、DR₂)と、縦型MISFET(SV₁、SV₂)とを有し、前記MISFET(DR₁、DR₂)は、半導体基板の主面に形成され、前記MISFET(DR₁、DR₂)の上部に絶縁膜(20、30、49、52)を介して前記縦型MISFET(SV₁、SV₂)が形成され、前記MISFET(DR₁、DR₂)のゲート(7B)またはドレイン(14)と、前記縦型MISFET(SV₁、SV₂)のゲート(64、65、66)との間の電流パスは、導電膜(51、51a、51b)を介して前記縦型MISFET(SV₁、SV₂)のゲート(64、65、66)の下部を経由して形成される。

10

【0233】

(c) MISFET(DR₁、DR₂)と、縦型MISFET(SV₁、SV₂)とを有し、前記MISFET(DR₁、DR₂)は、半導体基板の主面に形成され、前記MISFET(DR₁、DR₂)の上部に絶縁膜(20、30、49、52、54)を介して、前記MISFET(DR₁、DR₂)のゲート(7B)またはドレイン(14)に電氣的に接続される導電膜(51、51a、51b)が形成され、前記導電膜(51、51a、51b)の上部に前記縦型MISFET(SV₁、SV₂)が形成され、前記縦型MISFET(SV₁、SV₂)のゲート(64、65、66)は、サイドウォールスペース状に形成され、かつ前記導電膜(51、51a、51b)に電氣的に接続される。

【0234】

20

(d) MISFET(DR₁、DR₂)と、縦型MISFET(SV₁、SV₂)とを有し、前記MISFET(DR₁、DR₂)は、半導体基板の主面に形成され、前記MISFET(DR₁、DR₂)の上部に絶縁膜(20、30、49、52)を介して、前記MISFET(DR₁、DR₂)のゲート(7B)またはドレイン(14)に電氣的に接続される導電膜(51、51a、51b)が形成され、前記導電膜(51、51a、51b)の上部に前記縦型MISFET(SV₁、SV₂)が形成され、前記縦型MISFET(SV₁、SV₂)のゲート(64、65、66)は、自己整合的に前記導電膜(51、51a、51b)に電氣的に接続される。

【0235】

(a)－(d)により、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

30

【0236】

(a)－(d)において、前記導電膜(51、51a、51b)の上部に絶縁膜(49、52)を介して前記縦型MISFET(SV₁、SV₂)が形成され、前記縦型MISFET(SV₁、SV₂)のゲート(64、65、66)は、サイドウォールスペース状に自己整合的に形成された第1膜(64)と第2膜(65)を含み、前記第1膜(64)に自己整合的に前記導電膜(51、51a、51b)が開口され、前記第2膜(65)は、その下端部で前記導電膜(51、51a、51b)に電氣的に接続される。これにより、メモリセルサイズを縮小できる。

【0237】

40

前記縦型MISFET(SV₁、SV₂)のゲート(66)は、プラグ28の上部に、プラグ28および前記縦型MISFET(SV₁、SV₂)のゲート(66)とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0238】

3. MISFET(DR₁、DR₂)と、縦型MISFET(SV₁、SV₂)とを有し、前記MISFET(DR₁、DR₂)は、半導体基板の主面に形成され、前記MISFET(DR₁、DR₂)の上部に絶縁膜(20、30)を介して、前記MISFET(DR₁、DR₂)のゲート(7B)またはドレイン(14)に電氣的に接続される第1導電膜(42、43)が形成され、前記第1導電膜(42、43)の上部に、第2導電膜(5

50

1、51a、51b)が形成され、前記第2導電膜(51、51a、51b)の上部に、前記縦型MISFET(SV₁、SV₂)が形成され、前記縦型MISFET(SV₁、SV₂)のゲート(64、65、66)は、前記第2導電膜(51、51a、51b)に電氣的に接続され、前記前記縦型MISFET(SV₁、SV₂)のドレイン(57)は前記第2導電膜(51、51a、51b)を介さずに前記第1導電膜(42、43)に電氣的に接続される。

【0239】

また、前記第2導電膜(51、51a、51b)の上部に絶縁膜(20、30、49、52、54)を介して前記縦型MISFET(SV₁、SV₂)が形成され、前記縦型MISFET(SV₁、SV₂)のゲート(66)は、サイドウォールスペーサ状に自己整合的に形成された第1膜(64)と第2膜(65)を含み、前記第1膜(64)に自己整合的に前記第2導電膜(51、51a、51b)が開口され、前記第2膜(65)は、その下端部で前記第2導電膜(51、51a、51b)に電氣的に接続される。これにより、メモリセルの特性を向上できる。

【0240】

前記第1導電膜(42、43)はタングステン等の金属膜で構成され、前記第2導電膜(51、51a、51b)はシリコン膜で構成され、前記第1導電膜(42、43)は、バリア膜(48)を介して前記縦型MISFET(SV₁、SV₂)のドレイン(57)に電氣的に接続される。これにより、メモリセルの特性を向上できる。

【0241】

前記第1導電膜(42、43)と同層の導電膜で、周辺回路用MISFET(Qp)のゲート(7C)およびドレイン(15)間を電氣的に接続する導電膜(46、47)が形成される。これにより、周辺回路を構成するMISFET間の電氣的接続の自由度を向上でき、高集積化が可能となるとともに、MISFET間の接続抵抗を低減でき、回路の動作スピードを向上できる。

【0242】

4. MISFET(DR₁、DR₂)と、縦型MISFET(SV₁、SV₂)とを有し、前記MISFET(DR₁、DR₂)は、半導体基板の主面に形成され、前記MISFET(DR₁、DR₂)のゲート(7B)およびドレイン(14)間を電氣的に接続する導電膜(42、43)が、前記MISFET(DR₁、DR₂)の上部に絶縁膜(20、30、49、52、54)を介して形成され、前記導電膜(42、43)の上部に、前記縦型MISFET(SV₁、SV₂)が形成され、前記導電膜(42、43)と同層の導電膜(46、47)で、前記周辺回路用MISFET(Qp)のゲート(7C)およびドレイン(15)間を電氣的に接続する導電膜が形成される。これにより、周辺回路を構成するMISFET間の電氣的接続の自由度を向上でき、高集積化が可能となるとともに、MISFET間の接続抵抗を低減でき、回路の動作スピードを向上できる。

【0243】

前記導電膜(42、43)はタングステン等の金属膜で構成され、前記導電膜(42、43)は、バリア膜(48)を介して前記縦型MISFET(SV₁、SV₂)のドレイン(57)に電氣的に接続される。これにより、メモリセルの特性を向上できる。

【0244】

前記縦型MISFET(SV₁、SV₂)を覆う絶縁膜(70、72、73、81)を介して金属配線層(89)が形成され、前記金属配線層(89)により、前記周辺回路用MISFET(Qp)のゲート(7C)およびドレイン(15)間を電氣的に接続する配線(89)が形成される。このように、周辺回路を構成するMISFET間の電氣的接続を、縦型MISFET(SV₁、SV₂)よりも下部に形成されるプラグ28および導電膜である中間導電層46、47で行うとともに、縦型MISFET(SV₁、SV₂)よりも上部に形成されるプラグ、第1および第2金属配線層を用いて行うことにより、配線の自由度を向上でき、高集積化できる。また、MISFET間の接続抵抗を低減でき、回路の動作スピード向上できる。

【0245】

5. MISFET (DR_1 、 DR_2) と、縦型 MISFET (SV_1 、 SV_2) とを有し、前記 MISFET (DR_1 、 DR_2) は、半導体基板の主面に形成され、前記 MISFET (DR_1 、 DR_2) のゲート (7B) またはドレイン (14) に電氣的に接続する導電膜 (42、43) が、前記駆動 MISFET の上部に絶縁膜を介して形成され、前記導電膜 (42、43) の上部に、前記縦型 MISFET (SV_1 、 SV_2) が形成され、前記導電膜 (42、43) と、前記縦型 MISFET (SV_1 、 SV_2) のゲート電極 (51、51a、51b、66) とは、前記縦型 MISFET (SV_1 、 SV_2) を覆う絶縁膜 (70、72、73、81) に形成された接続孔 (74) において、前記接続孔 (74) に埋め込まれたプラグ (80) により電氣的に接続される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。 10

【0246】

プラグ 80 はプラグ 28 の上部に、プラグ 28 とプラグ 80 とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0247】

前記導電膜 (42、43) と同層の導電膜 (46、47) で、周辺回路用 MISFET (Q_p) のゲート (7C) およびドレイン (15) 間を電氣的に接続する導電膜 (46、47) が形成される。これにより、周辺回路を構成する MISFET 間の電氣的接続の自由度を向上でき、高集積化が可能となるとともに、MISFET 間の接続抵抗を低減でき、回路の動作スピードを向上できる。 20

【0248】

前記縦型 MISFET は、前記半導体基板の主面に垂直な方向に延在する積層体 (P_1 、 P_2) に形成されたソース (59)、チャンネル領域 (58、基板) およびドレイン (57) と、前記積層体 (P_1 、 P_2) の側壁部にゲート絶縁膜 (63) を介して形成されたゲート電極 (66) とを有し、前記積層体 (P_1 、 P_2) はシリコン膜で構成される。

【0249】

6. 半導体装置の製造方法であって、
半導体基板の主面に MISFET (DR_1 、 DR_2) を形成する工程と、
前記 MISFET (DR_1 、 DR_2) の上部に絶縁膜 (20、30、49、52、54) を介して、前記 MISFET のゲート (7B) またはドレイン (14) に電氣的に接続する導電膜 (42、43) を形成する工程と、
前記導電膜の上部 (42、43) に、縦型 MISFET (SV_1 、 SV_2) を形成する工程と、
前記縦型 MISFET (SV_1 、 SV_2) を覆う絶縁膜 (70、72、73、81) に接続孔 (74) を形成する工程と、
前記接続孔 (74) にプラグ (80) を埋め込むことにより、前記接続孔内で、前記導電膜 (42、43) と、前記縦型 MISFET のゲート電極 (51、51a、51b、66) とを電氣的に接続する工程と、を含む。 30

【0250】

前記導電膜 (42、43) と同層の導電膜 (46、47) で、周辺回路用 MISFET (Q_p) のゲート (7C) およびドレイン (15) 間を電氣的に接続する導電膜 (46、47) が形成される。これにより、メモリセルサイズを縮小できる。 40

【0251】

プラグ 80 はプラグ 28 の上部に、プラグ 28 とプラグ 80 とは、平面的に重なるように配置される。これにより、メモリセルの特性を向上できるとともに、メモリセルサイズを縮小できる。

【0252】

7. 半導体装置の製造方法であって、
半導体基板の主面に MISFET (DR_1 、 DR_2) を形成する工程と、 50

前記MISFET (DR₁、DR₂) の上部に絶縁膜 (20、30、49、50、52) を介して、ドレイン・チャネル・ソースとなる半導体膜 (57、58、59) びキャップ絶縁膜 (61) を形成する工程と、
前記半導体膜、およびキャップ絶縁膜を柱状形状にパターンニングする工程と、柱状のキャップ絶縁膜の側壁にエッチングストッパ膜 (108a) をサイドスペーサ状に形成する工程と、
前記キャップ絶縁膜およびエッチングストッパ膜上に層間絶縁膜 (109) を形成する工程と、
前記エッチングストッパ膜をストッパに用いて、前記層間絶縁膜およびキャップ絶縁膜をエッチングした後、前記エッチングストッパ膜をエッチングして、半導体膜 (59) を開口する接続孔 (82) を形成する工程と、を含む。これにより、メモリセルの特性を向上できる。

10

【0253】

8. 一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、
前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、半導体基板の主面に形成され、
前記第1および第2縦型MISFETは、前記第1および第2転送MISFETと、前記第1および第2駆動MISFETのそれぞれよりも上部に形成され、前記第1縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、
前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、
前記第1および第2縦型MISFETのそれぞれのソースは、前記第1および第2積層体よりも上部に形成された電源電圧線に電氣的に接続されている。

20

30

【0254】

前記第1転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の一方と、前記第2転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の他方は、前記電源電圧線と同一の配線層に形成されている。

【0255】

前記第1および第2転送MISFETのそれぞれのゲート電極に電氣的に接続される前記ワード線は、前記電源電圧線および前記相補性データ線よりも上層の配線層に形成されている。

【0256】

前記第1および第2駆動MISFETのそれぞれのソースに電氣的に接続される基準電圧線は、前記ワード線と同一の配線層に形成されている。

40

【0257】

前記基準電圧線は、前記第1駆動MISFETのソース電氣的に接続される第1基準電圧線と、前記第2駆動MISFETのソースに電氣的に接続される第2基準電圧線とからなり、第1基準電圧線と前記第2基準電圧線は、前記ワード線をそれらの間に挟んで第1方向に延在している。

【0258】

前記相補性データ線の一方と、前記相補性データ線の他方は、前記電源電圧線をそれらの間に挟んで、前記第1方向と交差する第2方向に延在している。

【0259】

50

前記相補性データ線、前記電源電圧線、前記基準電圧線および前記ワード線は、銅を主成分とするメタル膜で構成されている。

【0260】

9. 一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、

前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、半導体基板の主面に形成され、

前記第1縦型MISFETは、前記第2駆動MISFETのゲート電極の一端部上に配置され、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第2縦型MISFETは、前記第1駆動MISFETのゲート電極の一端部上に配置され、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有することを特徴とする半導体記憶装置。

【0261】

10. 前記半導体基板の主面に平行な平面において、平面的に見て、前記第1および第2縦型MISFETは、前記第1転送MISFETおよび前記第1駆動MISFET形成領域と、前記第2転送MISFETおよび前記第2駆動MISFET形成領域との間に配置されている。

【0262】

11. 一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有する半導体記憶装置であって、

前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、半導体基板の主面に形成され、

前記第1および第2縦型MISFETは、前記第1および第2転送MISFETと、前記第1および第2駆動MISFETのそれぞれよりも上部に形成され、前記第1縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成された第1ゲート電極とを有し、

前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成された第2ゲート電極とを有し、

前記第1縦型MISFETのドレインと、前記第2駆動MISFETのゲート電極と、前記第1駆動MISFETのドレインとは、第1中間導電層を介して互いに電氣的に接続され、

前記第2縦型MISFETのドレインと、前記第1駆動MISFETのゲート電極と、前記第2駆動MISFETのドレインとは、第2中間導電層を介して互いに電氣的に接続され、

前記第1縦型MISFETの第1ゲート電極は、前記第1ゲート電極と接するように形成された第1ゲート引き出し電極と、前記第1ゲート引き出し電極および前記第2中間導電層とに接するように形成された第1接続孔内の第1導電層とを介して前記第2中間導電層と電氣的に接続され、

前記第2縦型MISFETの第2ゲート電極は、前記第2ゲート電極と接するように形成

10

20

30

40

50

された第2ゲート引き出し電極と、前記第2ゲート引き出し電極および前記第1中間導電層とに接するように形成された第2接続孔内の第2導電層とを介して前記第1中間導電層と電氣的に接続されている。

【0263】

前記半導体基板の主面に周辺回路の複数のMISFETがさらに形成され、前記周辺回路のMISFET間を接続する配線と、前記第1および第2中間導電層とは、同一の配線層に形成されている。

【0264】

前記第1および第2中間導電層はメタル膜からなり、前記第1縦型MISFETのドレインと前記第1中間導電層との間に第1バリア層が形成され、前記第2縦型MISFETのドレインと前記第2中間導電層との間に第2バリア層が形成されている。 10

【0265】

前記第1および第2中間導電層はタングステン膜からなり、前記第1および第2バリア層は、窒化タングステン(WN)膜からなる。

【0266】

前記第1および第2中間導電層は、耐酸化性導電膜からなる。

【0267】

前記第1縦型MISFETの第1ゲート電極は、その下端部で前記第1ゲート引き出し電極と電氣的に接続され、前記第2縦型MISFETの第2ゲート電極は、その下端部で前記第2ゲート引き出し電極と電氣的に接続されている。 20

【0268】

前記第1縦型MISFETの第1ゲート電極および前記第2縦型MISFETの第2ゲート電極のそれぞれは、2層の導電膜で構成されている。

【0269】

前記第2中間導電層と、前記第1ゲート引き出し電極と、前記第1接続孔とは、互いに平面的に重なる部分を有するように配置され、前記第1中間導電層と、前記第2ゲート引き出し電極と、前記第2接続孔とは、互いに平面的に重なる部分を有するように配置されている。

【0270】

前記第1接続孔は、前記第1ゲート引き出し電極を貫通して前記第2中間導電層に接続され、前記第2接続孔は、前記第2ゲート引き出し電極を貫通して前記第1中間導電層に接続されている。 30

【0271】

前記第1ゲート引き出し電極は、前記第1積層体の側壁部で前記第1縦型MISFETの第1ゲート電極と接しており、前記第2ゲート引き出し電極は、前記第2積層体の側壁部で前記第2縦型MISFETの第2ゲート電極と接している。

【0272】

前記第1ゲート引き出し電極は、前記第1縦型MISFETの第1ゲート電極と一体に構成されており、前記第2ゲート引き出し電極は、前記第2縦型MISFETの第2ゲート電極と一体に構成されている。 40

【0273】

前記第1縦型MISFETのゲート電極は、前記第1積層体の側壁部の周囲を囲むように形成され、前記第2縦型MISFETのゲート電極は、前記第2積層体の側壁部の周囲を囲むように形成されている。

【0274】

前記第1および第2ゲート引き出し電極は、シリコン系の導電膜とその表面に形成されたシリサイド膜とで構成されている。

【0275】

前記第1および第2転送MISFETと、前記第1および第2駆動MISFETは、nチャンネル型MISFETで構成され、前記第1および第2縦型MISFETは、pチャンネル 50

型M I S F E Tで構成されている。

【0276】

12. 一对の相補性データ線とワード線との交差部に配置された第1および第2転送M I S F E Tと、第1および第2駆動M I S F E Tと、第1および第2縦型M I S F E Tとを備え、前記第1駆動M I S F E Tおよび前記第1縦型M I S F E Tと、前記第2駆動M I S F E Tおよび前記第2縦型M I S F E Tとが交差結合したメモリセルを有し、

前記第1縦型M I S F E Tは、半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

前記第2縦型M I S F E Tは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、 10

(a) 半導体基板の主面の第1領域に第1および第2転送M I S F E Tと、第1および第2駆動M I S F E Tを形成する工程、

(b) 前記第1および第2転送M I S F E Tと前記第1および第2駆動M I S F E Tの上部に、前記第2駆動M I S F E Tのゲート電極と、前記第1駆動M I S F E Tのドレインとを電氣的に接続する第1中間導電層を形成し、前記第1駆動M I S F E Tのゲート電極と、前記第2駆動M I S F E Tのドレインとを電氣的に接続する第2中間導電層を形成する工程、

(c) 前記第1および第2中間導電層の上部に第1絶縁膜を介して第1および第2ゲート引き出し電極を形成する工程、 20

(d) 前記(c)工程の後、前記第1および第2ゲート引き出し電極の上部に第1および第2積層体を形成することによって、前記第1積層体に形成された第1縦型M I S F E Tのドレインと前記第1中間導電層とを電氣的に接続し、前記第2積層体に形成された第2縦型M I S F E Tのドレインと前記第2中間導電層とを電氣的に接続する工程、

(e) 前記第1積層体の側壁部にゲート絶縁膜を介して形成された前記第1縦型M I S F E Tのゲート電極と前記第1ゲート引き出し電極とを電氣的に接続し、前記第2積層体の側壁部にゲート絶縁膜を介して形成された前記第2縦型M I S F E Tのゲート電極と前記第2ゲート引き出し電極とを電氣的に接続する工程、(f) 前記第1ゲート引き出し電極の上部に、前記第1ゲート引き出し電極と前記第2中間導電層とに接するように第1接続孔を形成してその内部に第1導電層を埋め込み、前記第2ゲート引き出し電極の上部に、前記第2ゲート引き出し電極と前記第1中間導電層とに接するように第2接続孔を形成してその内部に第2導電層を埋め込む工程を含む。 30

【0277】

前記(c)工程は、前記第1および第2中間導電層の表面にバリア層を形成する工程と、前記バリア層が形成された前記第1および第2中間導電層の上部に前記第1絶縁膜を介して前記第1および第2ゲート引き出し電極を形成する工程を含み、

前記(d)工程は、前記第1絶縁膜と、前記第1および第2ゲート引き出し電極とを覆う第2絶縁膜を形成する工程と、前記第2絶縁膜と前記第1絶縁膜とをエッチングして、前記第1中間導電層の表面の前記バリア層を露出する第1開口および、前記第2中間導電層の表面の前記バリア層を露出する第2開口を形成する工程と、前記第1および第2開口の内部に導電層を埋め込む工程と、前記第2絶縁膜の上部に前記第1および第2積層体を形成することによって、前記第1積層体に形成された前記第1縦型M I S F E Tのドレインと前記第1中間導電層とを前記バリア層と前記第1開口の内部の導電層とを介して電氣的に接続し、前記第2積層体に形成された前記第2縦型M I S F E Tのドレインと前記第2中間導電層とを前記バリア層と前記第2開口の内部の導電層とを介して電氣的に接続する工程を含み、 40

前記(e)工程は、前記第1および第2ゲート引き出し電極と、前記第1および第2開口内の導電膜が前記第2絶縁膜によって覆われた状態で前記半導体基板を熱処理することによって、前記第1および第2積層体のそれぞれの側壁部に前記ゲート絶縁膜を形成する工 50

程と、前記半導体基板上に堆積した第1ゲート電極材料をエッチングして前記第1および第2積層体のそれぞれの側壁部に第1ゲート電極層を形成する工程と、前記第2絶縁膜をエッチングして前記第1および第2ゲート引き出し電極を露出する工程と、前記半導体基板上に堆積した第2ゲート電極材料をエッチングして前記第1ゲート電極層が形成された前記第1および第2積層体のそれぞれの側壁部に第2ゲート電極層を形成し、前記第1積層体の側壁に形成された前記第2ゲート電極層と前記第1ゲート引き出し電極とを電氣的に接続し、前記第1積層体の側壁に形成された前記第2ゲート電極層と前記第1ゲート引き出し電極とを電氣的に接続する工程を含む。

【0278】

13. 一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、前記第1縦型MISFETは、半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、
(a) 半導体基板の主面の第1領域に第1および第2転送MISFETと、第1および第2駆動MISFETを形成する工程、
(b) 前記第1および第2転送MISFETと前記第1および第2駆動MISFETの上部に、前記第2駆動MISFETのゲート電極と、前記第1駆動MISFETのドレインとを電氣的に接続する第1中間導電層を形成し、前記第1駆動MISFETのゲート電極と、前記第2駆動MISFETのドレインとを電氣的に接続する第2中間導電層を形成する工程、
(c) 前記(b)工程の後、前記第1および第2中間導電層の上部に第1および第2積層体を形成することによって、前記第1積層体に形成された第1縦型MISFETのドレインと前記第1中間導電層とを電氣的に接続し、前記第2積層体に形成された第2縦型MISFETのドレインと前記第2中間導電層とを電氣的に接続する工程、
(d) 前記(c)工程後、前記第1積層体の側壁部にゲート絶縁膜を介して形成された前記第1縦型MISFETのゲート電極と接するように第1ゲート引き出し電極を形成し、前記第2積層体の側壁部にゲート絶縁膜を介して形成された前記第2縦型MISFETのゲート電極と接するように第2ゲート引き出し電極を形成する工程、
(e) 前記第1ゲート引き出し電極の上部に、前記第1ゲート引き出し電極と前記第2中間導電層とに接するように第1接続孔を形成してその内部に第1導電層を埋め込み、前記第2ゲート引き出し電極の上部に、前記第2ゲート引き出し電極と前記第1中間導電層とに接するように第2接続孔を形成してその内部に第2導電層を埋め込む工程を含む。

【0279】

前記(e)工程の後、前記第1および第2積層体の上部に、前記第1および第2縦型MISFETのそれぞれのソースと電氣的に接続される電源電圧線を形成する工程をさらに含む。

【0280】

前記電源電圧線を形成する工程で、前記第1転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の一方と、前記第2転送MISFETのソース、ドレインの一方に電氣的に接続される前記相補性データ線の他方を形成する工程をさらに含む。

【0281】

前記電源電圧線の上層に前記第1および第2転送MISFETのそれぞれのゲート電極に電氣的に接続される前記ワード線と、前記第1および第2駆動MISFETのそれぞれの

ソースに電氣的に接続される基準電圧線とを形成する工程をさらに含む。

【0282】

14. 前記11～13において、第1および第2ゲート引き出し電極は、窒化金属膜からなる。

【0283】

前記第1および第2ゲート引き出し電極は、窒化金属膜からなり、前記第1縦型MISFETの第1ゲート電極を構成する前記2層の導電膜のうち、前記第1ゲート引き出し電極と接する導電膜、および前記第2縦型MISFETの第2ゲート電極を構成する前記2層の導電膜のうち、前記第2ゲート引き出し電極と接する導電膜は、それぞれ金属膜からなる。

10

【0284】

前記第1縦型MISFETのドレインは、(多結晶)シリコン膜からなる第1プラグを介して前記第1バリア層に電氣的に接続され、
前記第2縦型MISFETのドレインは、(多結晶)シリコン膜からなる第2プラグを介して前記第2バリア層に電氣的に接続され、
前記第1プラグと前記第1バリア層との間には、両者の反応を防ぐための第1反応層が形成され、
前記第2プラグと前記第2バリア層との間には、両者の反応を防ぐための第2反応層が形成されている。

【0285】

前記第1および第2反応層のそれぞれの表面に凹凸を設けられている。

20

【0286】

前記第1および第2プラグを構成する前記(多結晶)シリコン膜は、ジシランを含むソースガスをを用いたCVD法で堆積したアモルファスシリコン膜を熱処理して形成したものである。

【0287】

15. 半導体基板の主面に垂直な方向に延在する積層体に形成されたソース、チャネル領域およびドレインと、前記積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極を有する縦型MISFETの製造方法であって、前記ゲート電極を形成する工程は、
(a) 半導体基板上にアモルファスシリコン膜を堆積し、前記アモルファスシリコン膜を異方的にエッチングすることによって、前記積層体の側壁にサイドウォールスペーサ状のアモルファスシリコン層を形成する工程、
(b) 前記(a)工程の後、前記半導体基板上に多結晶シリコン膜を堆積し、前記多結晶シリコン膜を異方的にエッチングすることによって、前記積層体の側壁に形成された前記アモルファスシリコン層の表面にサイドウォールスペーサ状の多結晶シリコン層を形成する工程、
(c) 前記アモルファスシリコン層を多結晶化するための熱処理工程、
とを含む縦型MISFETの製造方法。

30

【0288】

一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、
前記第1縦型MISFETは、半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成された第1ゲート電極とを有し、
前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成された第2ゲート電極とを有する半導体記憶装置の製造方法であって、

40

50

前記第1縦型MISFETの第1ゲート電極および前記第2縦型MISFETの第2ゲート電極を形成する工程は、

(a) 前記半導体基板上にアモルファスシリコン膜を堆積し、前記アモルファスシリコン膜を異方的にエッチングすることによって、前記第1および第2積層体のそれぞれの側壁にサイドウォールスペーサ状のアモルファスシリコン層を形成する工程、

(b) 前記(a)工程の後、前記半導体基板上に多結晶シリコン膜を堆積し、前記多結晶シリコン膜を異方的にエッチングすることによって、前記第1および第2積層体のそれぞれの側壁に形成された前記アモルファスシリコン層の表面にサイドウォールスペーサ状の多結晶シリコン層を形成する工程、

(c) 前記アモルファスシリコン層を多結晶化するための熱処理工程、
を含む半導体記憶装置の製造方法。

10

【0289】

16. 半導体装置の製造方法であって、

(a) 第1MISFETのゲート電極と、第2駆動MISFETのゲート電極とを構成する第1導電膜の上部にマスク層を形成する工程、

(b) 前記マスク層を前記半導体基板の主面の第1方向に沿ってパターニングする第1工程、

(c) 前記マスク層を前記第1方向と交差する第2方向に沿ってパターニングする第2工程、

(d) 前記(c)工程の後、前記マスク層をマスクにして前記第1導電膜をパターニングする工程、
を含む半導体装置の製造方法。

20

【0290】

一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、

前記第1縦型MISFETは、半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、

30

前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、前記第1および第2転送MISFETのゲート電極と、前記第1および第2駆動MISFETのゲート電極とを形成する工程は、

(a) 前記第1および第2転送MISFETのゲート電極と、前記第1および第2駆動MISFETのゲート電極とを構成する第1導電膜の上部にマスク層を形成する工程、

(b) 前記マスク層を前記半導体基板の主面の第1方向に沿ってパターニングする第1工程、

(c) 前記マスク層を前記第1方向と交差する第2方向に沿ってパターニングする第2工程、
を含む半導体記憶装置の製造方法。

40

(d) 前記(c)工程の後、前記マスク層をマスクにして前記第1導電膜をパターニングする工程、

を含む半導体記憶装置の製造方法。

【0291】

17. 半導体基板の主面に垂直な方向に延在する積層体に形成されたソース、チャンネル領域およびドレインと、前記積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極を有する縦型MISFETの製造方法であって、前記第1および第2縦型MISFETのそれぞれのチャンネル領域を形成する工程は、

(a) 前記第1および第2縦型MISFETのそれぞれのソースを構成する導電層の上部

50

に、ジシランをソースガスに用いたCVD法でアモルファスシリコン膜を堆積する工程、
(b) 前記アモルファスシリコン層を多結晶化するための熱処理工程、
を含む縦型MISFETの製造方法。

【0292】

一对の相補性データ線とワード線との交差部に配置された第1および第2転送MISFETと、第1および第2駆動MISFETと、第1および第2縦型MISFETとを備え、
前記第1駆動MISFETおよび前記第1縦型MISFETと、前記第2駆動MISFETおよび前記第2縦型MISFETとが交差結合したメモリセルを有し、
前記第1縦型MISFETは、半導体基板の主面に垂直な方向に延在する第1積層体に形成されたソース、チャンネル領域およびドレインと、前記第1積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有し、
前記第2縦型MISFETは、前記半導体基板の主面に垂直な方向に延在する第2積層体に形成されたソース、チャンネル領域およびドレインと、前記第2積層体の側壁部にゲート絶縁膜を介して形成されたゲート電極とを有する半導体記憶装置の製造方法であって、
前記第1および第2縦型MISFETのそれぞれのチャンネル領域を形成する工程は、
(a) 前記第1および第2縦型MISFETのそれぞれのソースを構成する導電層の上部に、ジシランをソースガスに用いたCVD法でアモルファスシリコン膜を堆積する工程、
(b) 前記アモルファスシリコン層を多結晶化するための熱処理工程、
を含む半導体記憶装置の製造方法。

【0293】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0294】

SRAMのメモリセルを4個のMISFETとそれらの上部に形成した2個の縦型MISFETとで構成することにより、メモリセルサイズを大幅に縮小することができる。

【図面の簡単な説明】

【図1】 本発明の一実施の形態であるSRAMのメモリセルの等価回路図である。

【図2】 本発明の一実施の形態であるSRAMの要部平面図である。

【図3】 本発明の一実施の形態であるSRAMの要部断面図である。

【図4】 本発明の一実施の形態であるSRAMの製造方法を示す要部平面図である。

【図5】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図6】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図7】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図8】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図9】 本発明の一実施の形態であるSRAMの製造方法を示す要部平面図である。

【図10】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図11】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図12】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図13】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図14】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図15】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図16】 本発明の一実施の形態であるSRAMの製造方法を示す要部平面図である。

【図17】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図18】 本発明の一実施の形態であるSRAMの製造方法を示す要部平面図である。

【図19】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図20】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図21】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

【図22】 本発明の一実施の形態であるSRAMの製造方法を示す要部平面図である。

【図23】 本発明の一実施の形態であるSRAMの製造方法を示す要部断面図である。

- [illegible]

[illegible]

。

【図 1 1 2】本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である

。

【図 1 1 3】本発明の他の実施の形態である S R A M の製造方法を示す要部断面図である

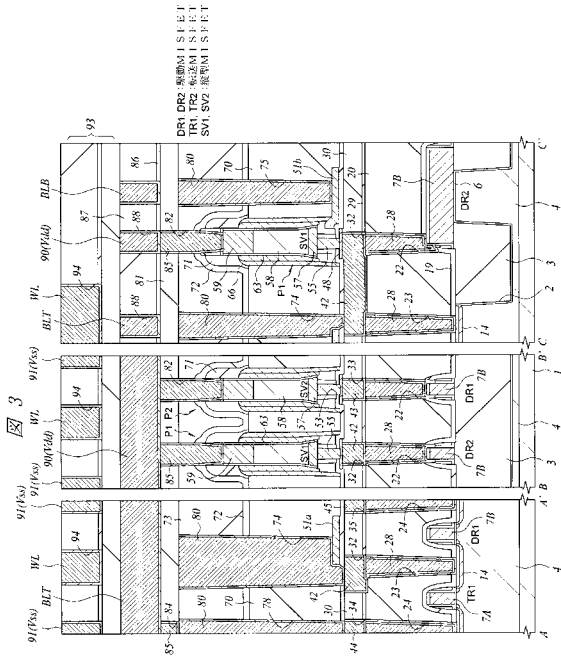
。

【符号の説明】

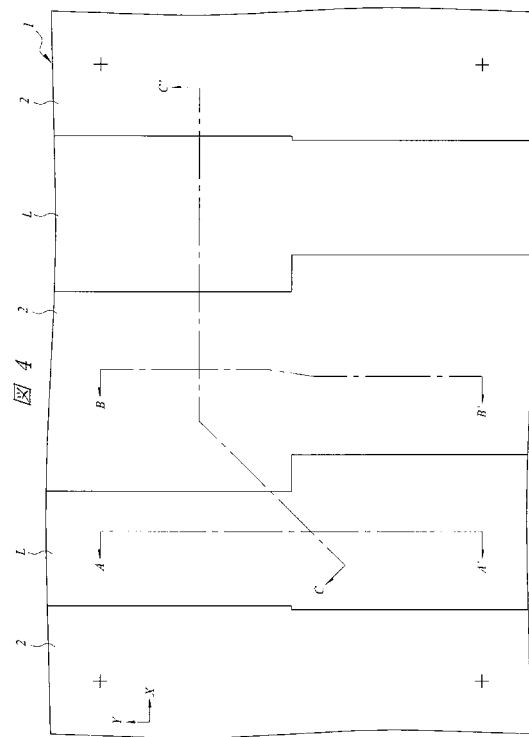
1	半導体基板	
2	素子分離溝	
3	酸化シリコン膜	
4	p 型ウエル	10
5	n 型ウエル	
6	ゲート絶縁膜	
7 A、7 B	ゲート電極	
7 n	n 型多結晶シリコン膜	
7 p	p 型多結晶シリコン膜	
8	酸化シリコン膜	
9	n ⁻ 型半導体領域	
10	p ⁻ 型半導体領域	
13	サイドウォールスペーサ	
14	n ⁺ 型半導体領域 (ソース、ドレイン)	20
15	p ⁺ 型半導体領域 (ソース、ドレイン)	
16 a、16 b	フォトレジスト膜	
17	Co 膜	
18	Co シリサイド層	
19	窒化シリコン膜	
20	酸化シリコン膜	
21 ~ 27	コンタクトホール	
28	プラグ	
29	窒化シリコン膜	
30	酸化シリコン膜	30
31 ~ 37	溝	
41 ~ 45	中間導電層	
46、47	第 1 層配線	
48 a	WN 膜	
48	バリア層	
49	窒化シリコン膜	
50	多結晶シリコン膜	
51、51 a、51 b	ゲート引き出し電極	
52	酸化シリコン膜	
53	スルーホール	40
54	サイドウォールスペーサ	
55 a	多結晶シリコン膜	
55	プラグ	
56	反応層	
57	下部半導体層	
57 p	p 型シリコン膜	
58	中間半導体層	
58 i	シリコン膜	
59	上部半導体層	
59 p	p 型シリコン膜	50

6 0	多結晶シリコン膜	
6 1	酸化シリコン膜	
6 2	窒化シリコン膜	
6 3	ゲート絶縁膜	
6 4	第 1 多結晶シリコン層	
6 5	第 2 多結晶シリコン層	
6 6	ゲート電極	
6 7	アモルファスシリコン層	
7 0	酸化シリコン膜	
7 1	サイドウォールスペーサ	10
7 2	窒化シリコン膜	
7 3	酸化シリコン膜	
7 4 ~ 7 9	スルーホール	
8 0	プラグ	
8 1	酸化シリコン膜	
8 2、8 3、8 4	スルーホール	
8 5	プラグ	
8 6	炭化シリコン膜	
8 7	酸化シリコン膜	
8 8	配線溝	20
8 9	第 2 層配線	
9 0 (V d d)	電源電圧線	
9 1 (V s s)	基準電圧線	
9 2	引き出し配線	
9 3	絶縁膜	
9 4	配線溝	
9 4 a	開口	
9 5	溝	
9 6	ゲート引き出し電極	
9 7、9 8	酸化シリコン膜	30
9 9	窒化シリコン膜	
1 0 1、1 0 2	酸化シリコン膜	
1 0 3	多結晶シリコン膜	
1 0 4	酸化シリコン膜	
1 0 5	溝	
1 0 6	フォトレジスト膜	
1 0 7	ゲート電極	
1 0 8	窒化シリコン膜	
1 0 8 a	サイドウォールスペーサ	
1 0 9、1 1 0	酸化シリコン膜	40
1 1 1	サイドウォールスペーサ	
1 1 2	金属シリサイド層	
1 1 3	配線	
1 1 4	プラグ	
1 1 5	半導体領域 (ソース、ドレイン)	
1 1 6	C o シリサイド層	
1 1 7	プラグ	
1 1 8	コンタクトホール	
B L T、B L B	相補性データ線	
D R ₁ 、D R ₂	駆動 M I S F E T	50

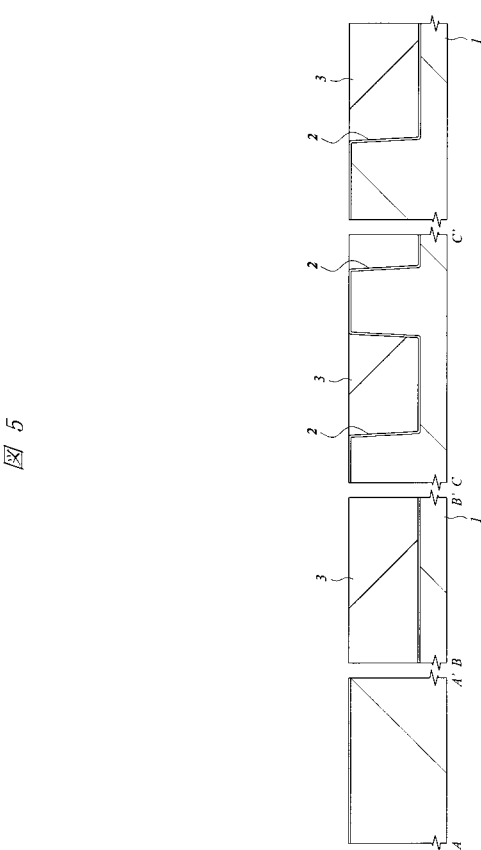
【図 3】



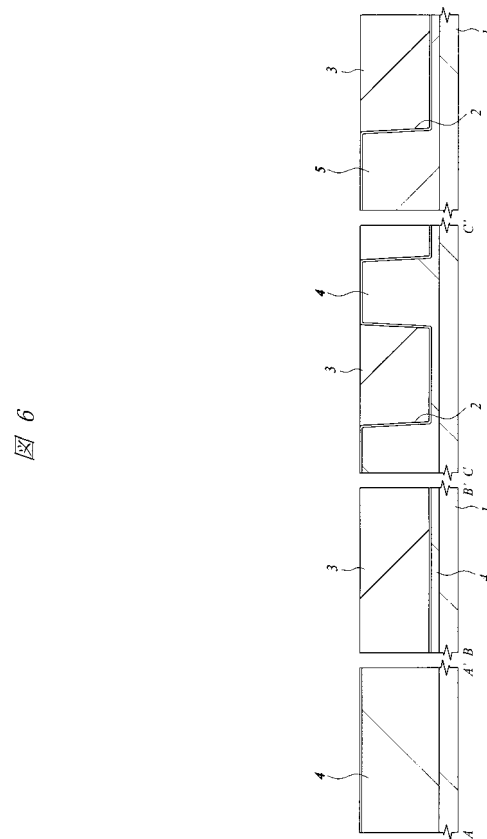
【図 4】



【図 5】

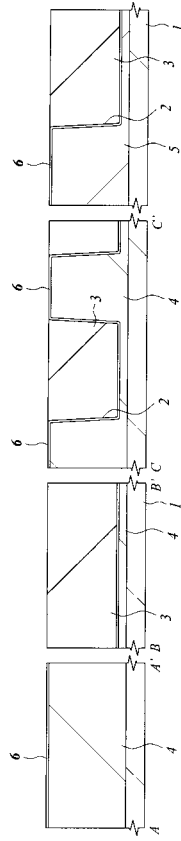


【図 6】



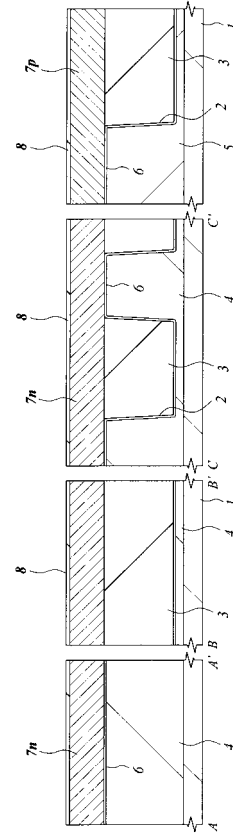
【図 7】

図 7



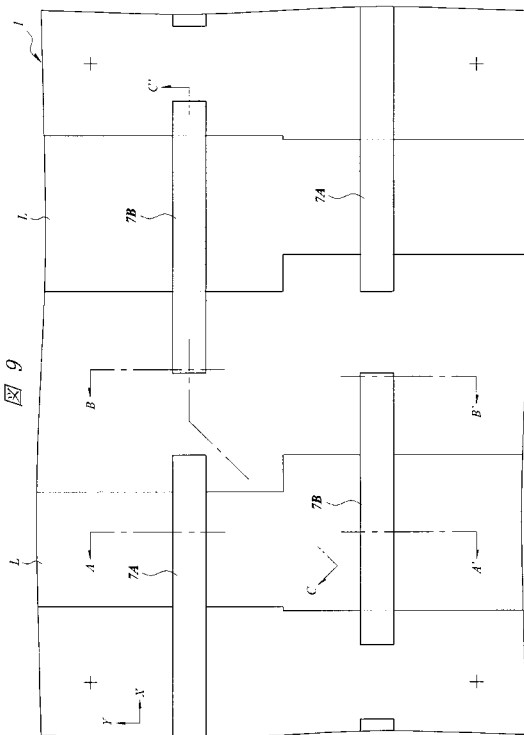
【図 8】

図 8



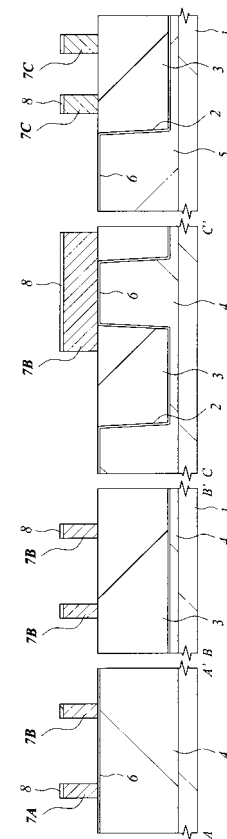
【図 9】

図 9



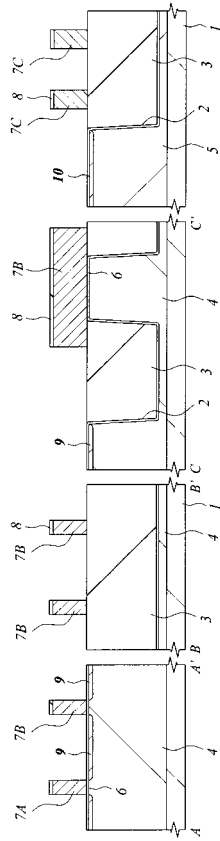
【図 10】

図 10



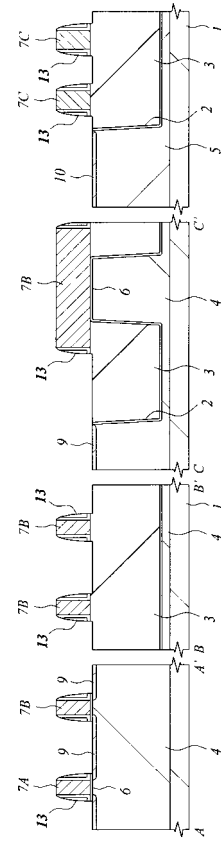
【図 1 1】

図 11



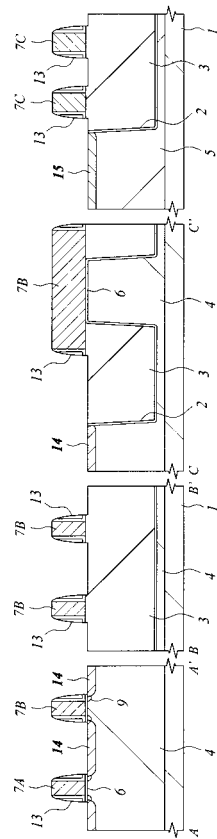
【図 1 2】

図 12



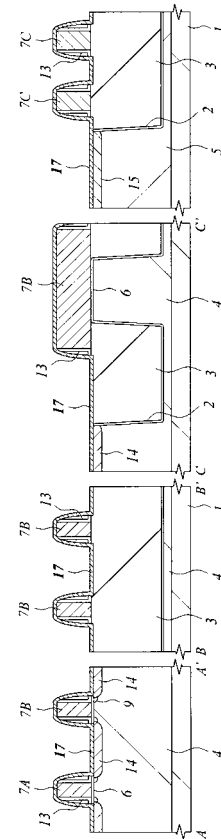
【図 1 3】

図 13



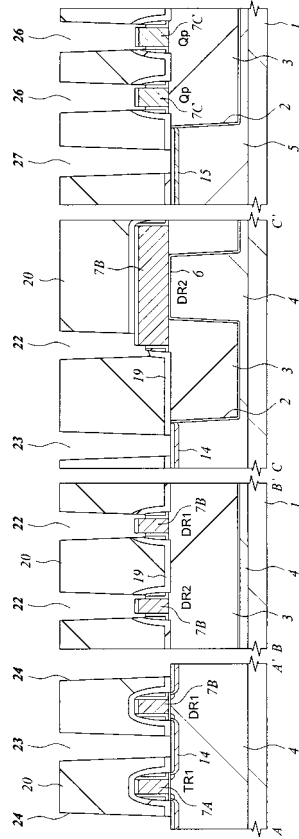
【図 1 4】

図 14



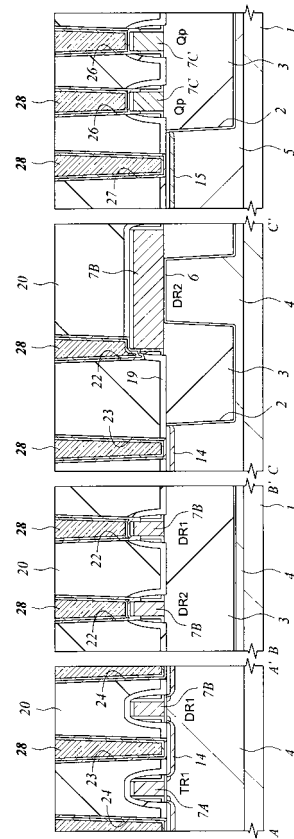
【図 19】

図 19



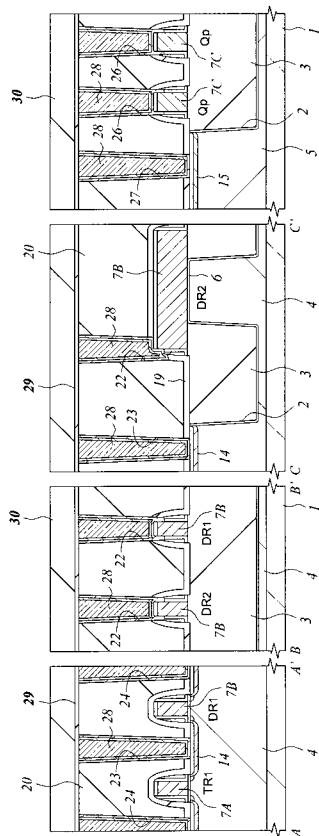
【図 20】

図 20



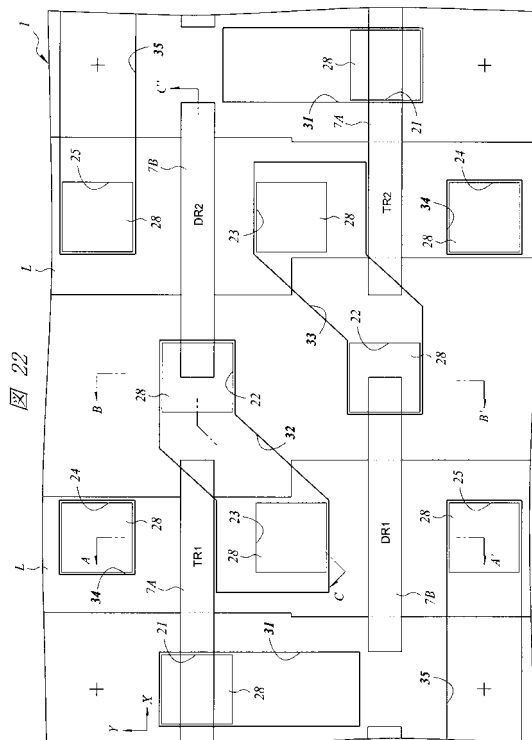
【図 21】

図 21



【図 22】

図 22



【図 2 3】

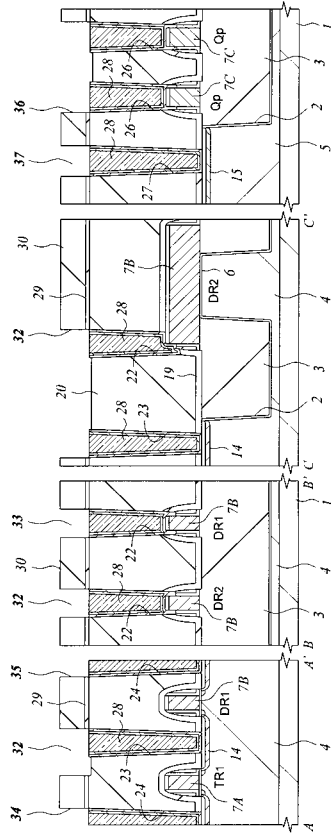


図 23

【図 2 4】

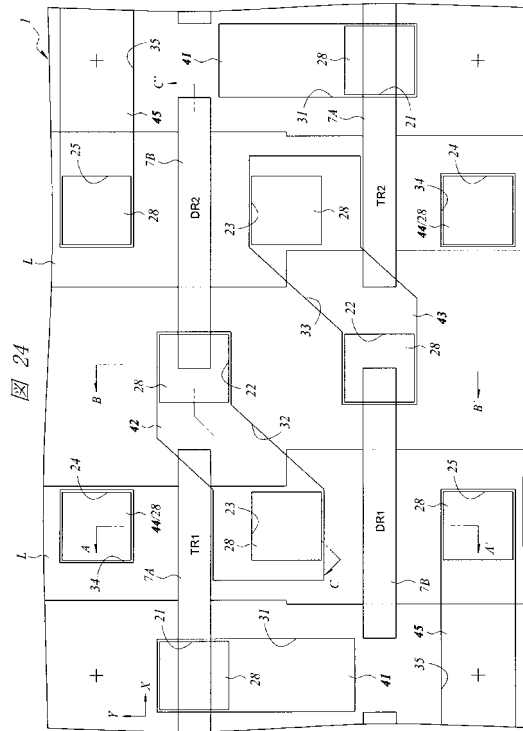


図 24

【図 2 5】

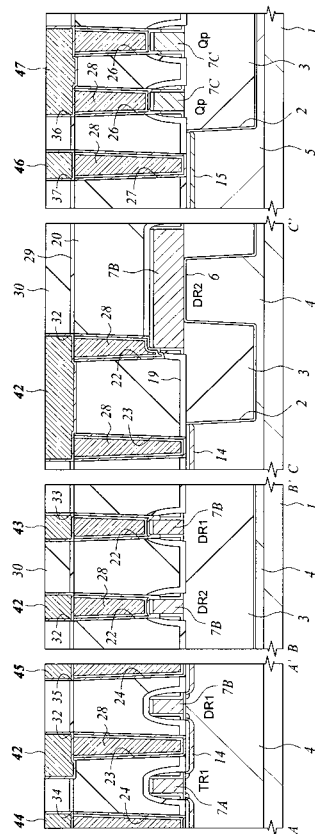


図 25

【図 2 6】

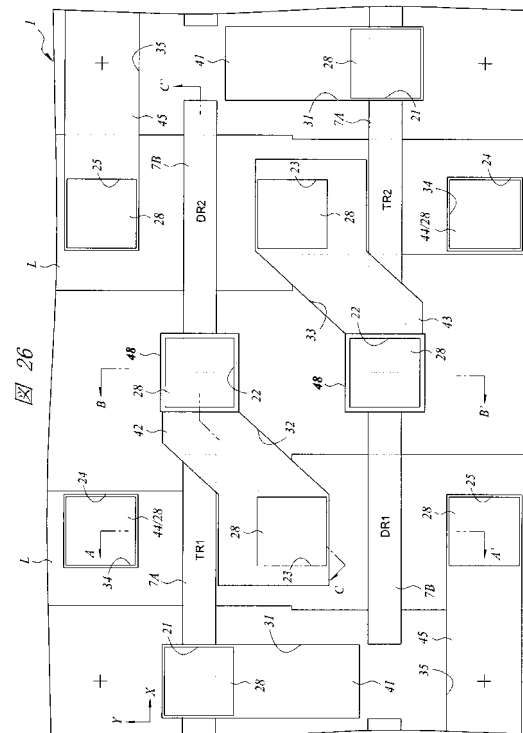
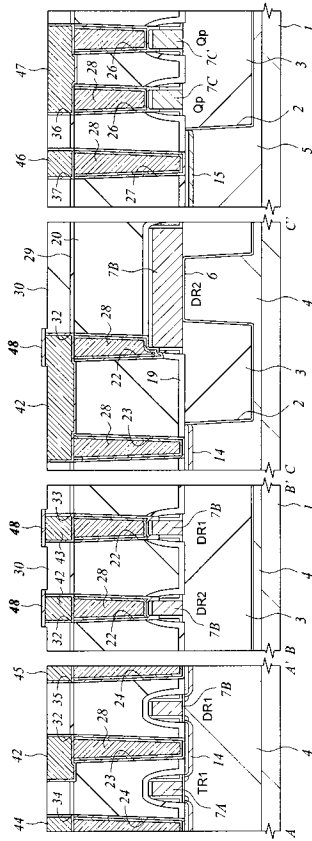


図 26

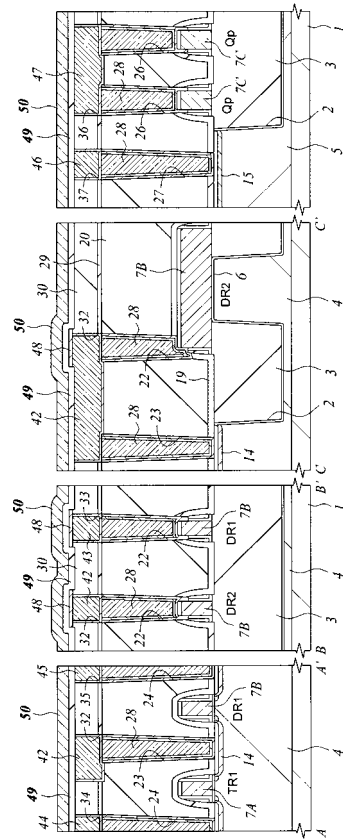
【図 27】

図 27



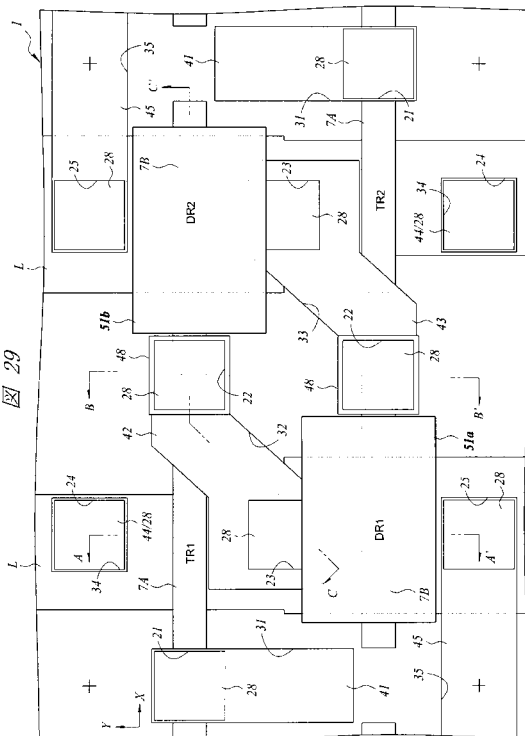
【図 28】

図 28



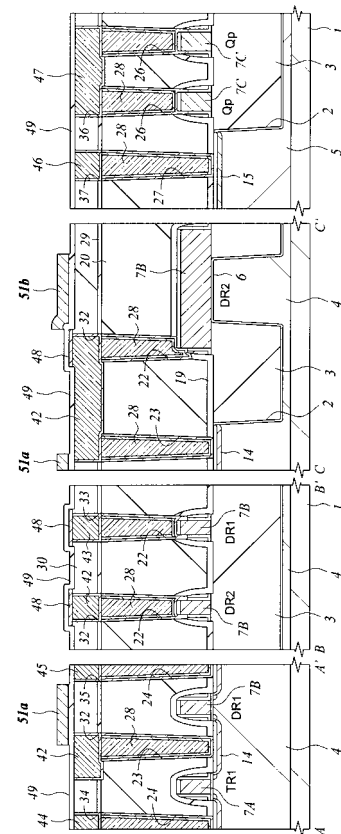
【図 29】

図 29



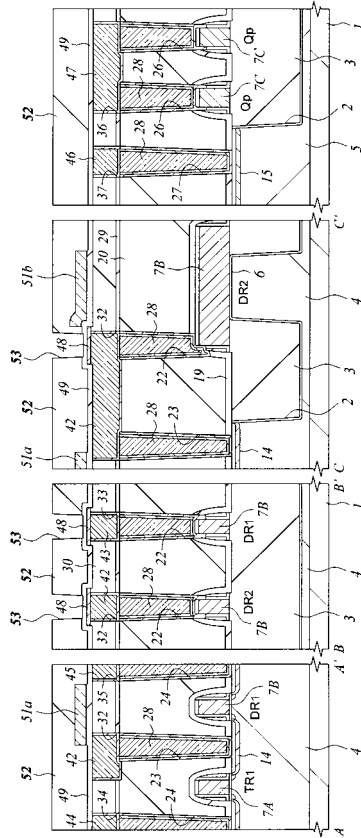
【図 30】

図 30



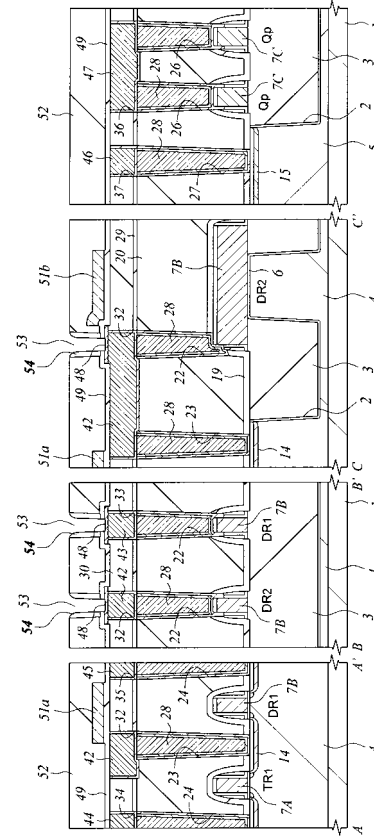
【図 3 1】

図 31



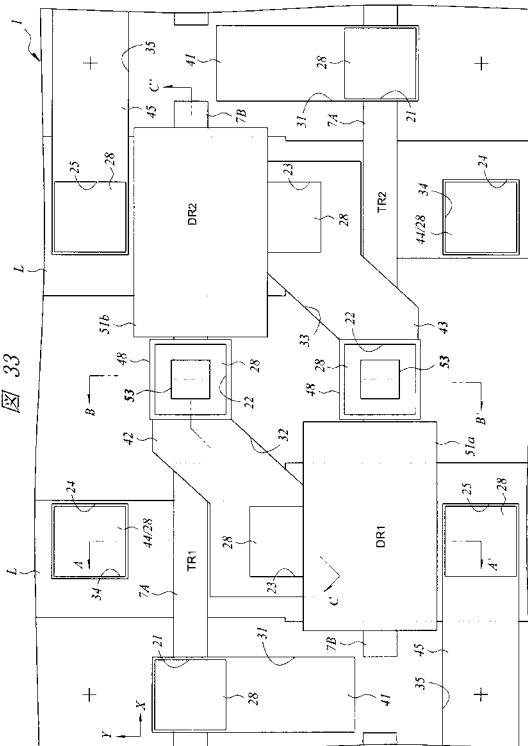
【図 3 2】

図 32



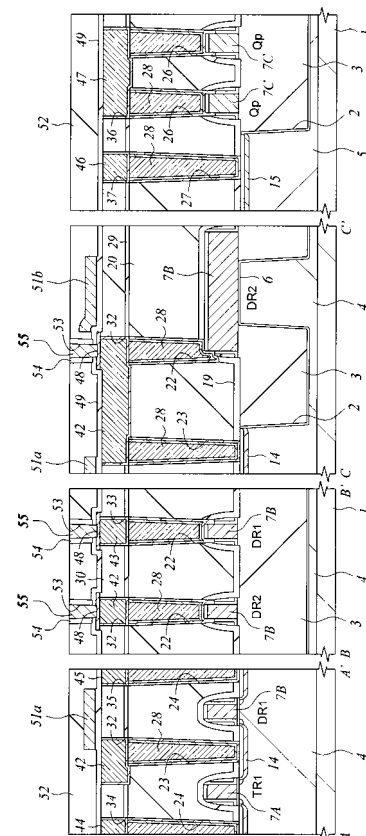
【図 3 3】

図 33



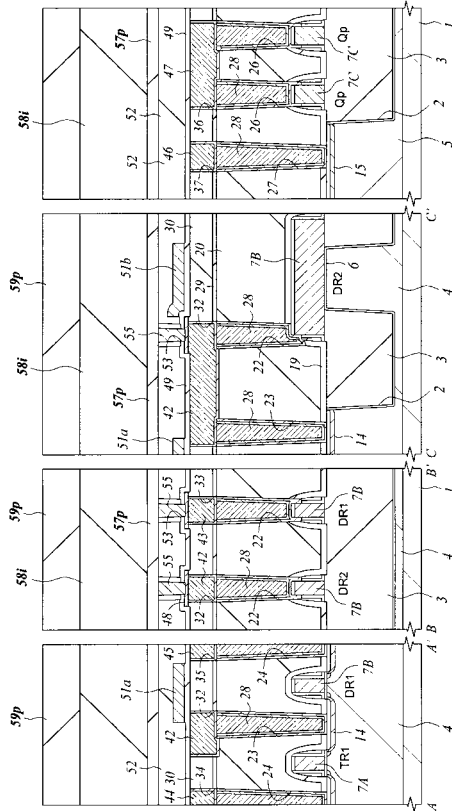
【図 3 4】

図 34



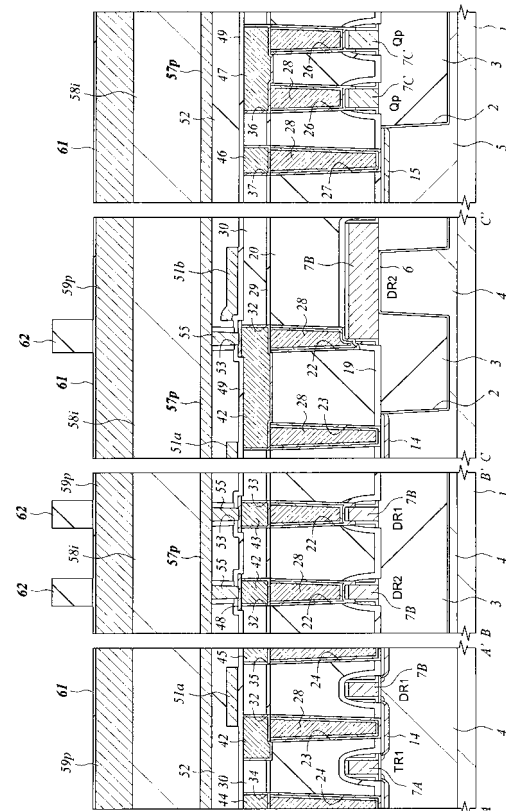
【図 35】

図 35



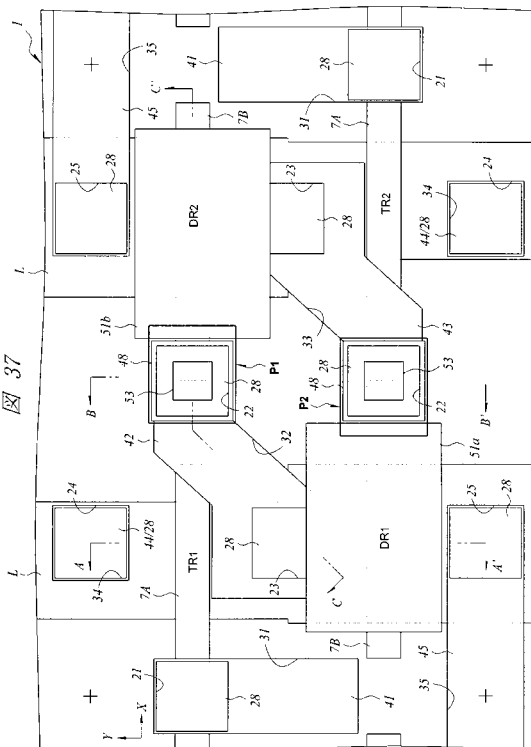
【図 36】

図 36



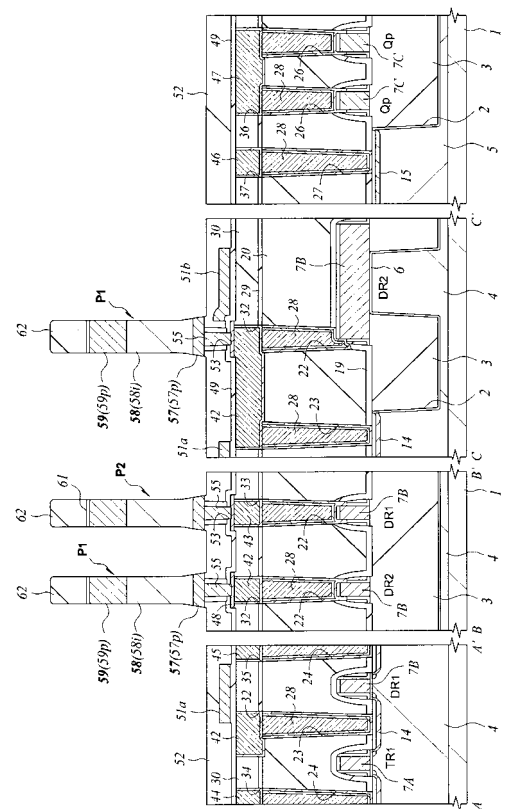
【図 37】

図 37



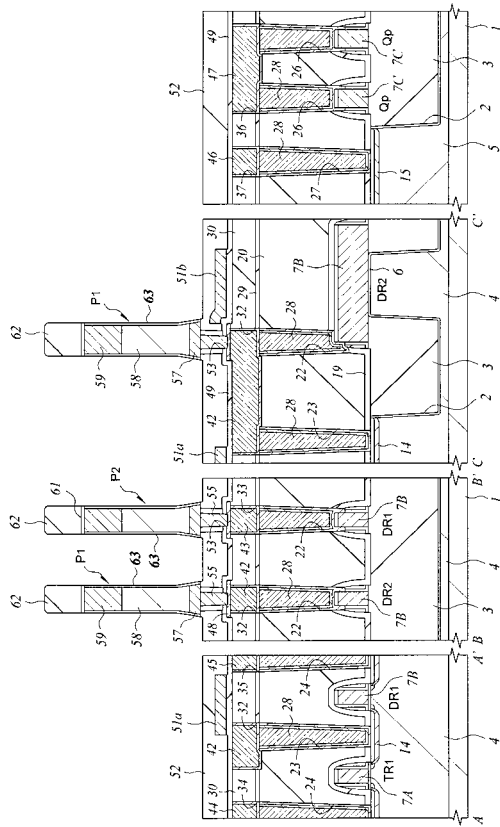
【図 38】

図 38



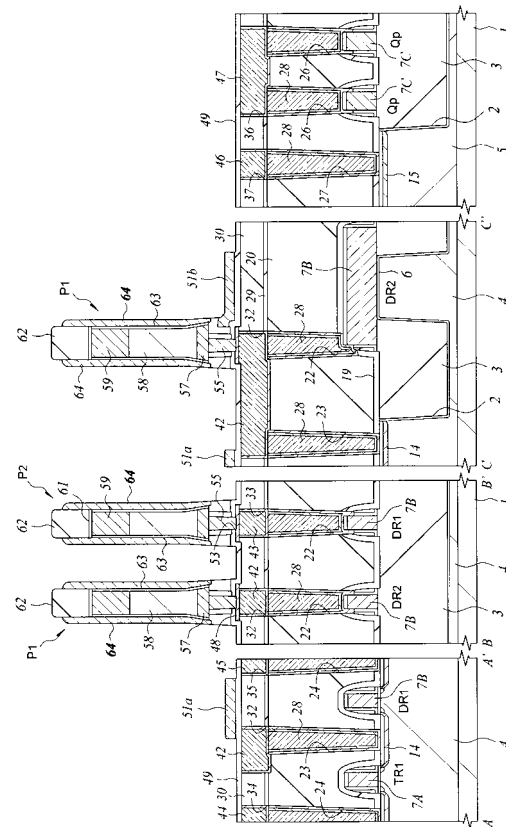
【図 39】

図 39



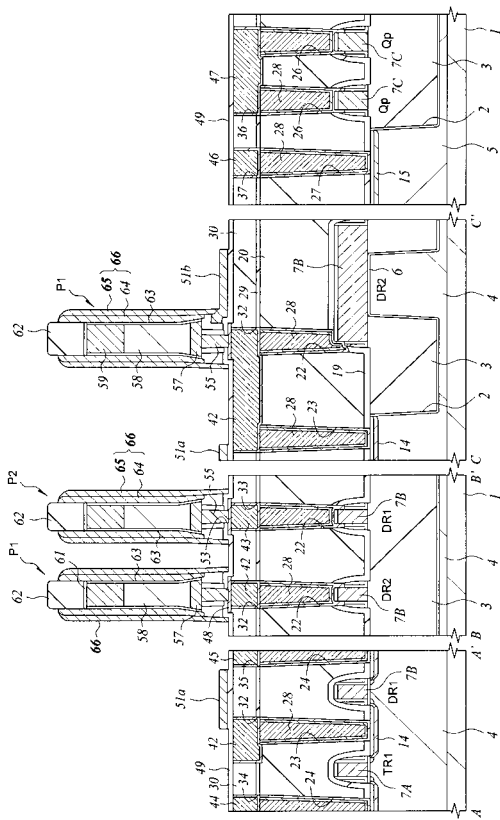
【図 40】

図 40



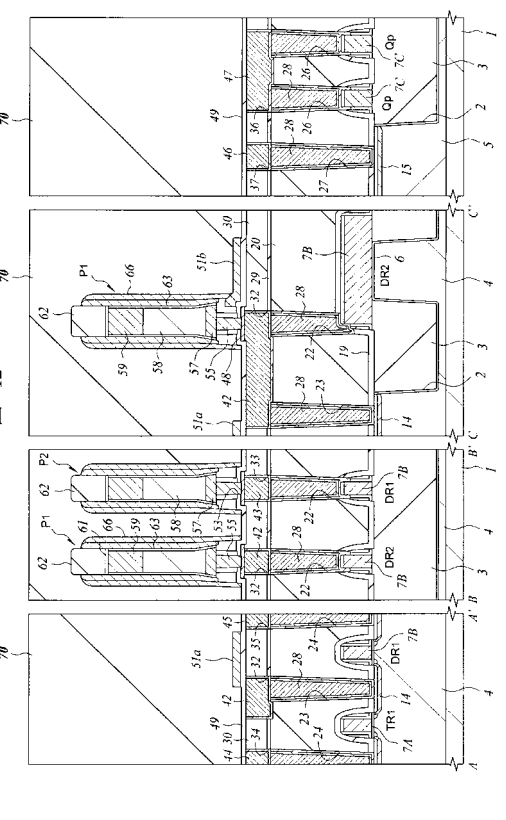
【図 41】

図 41

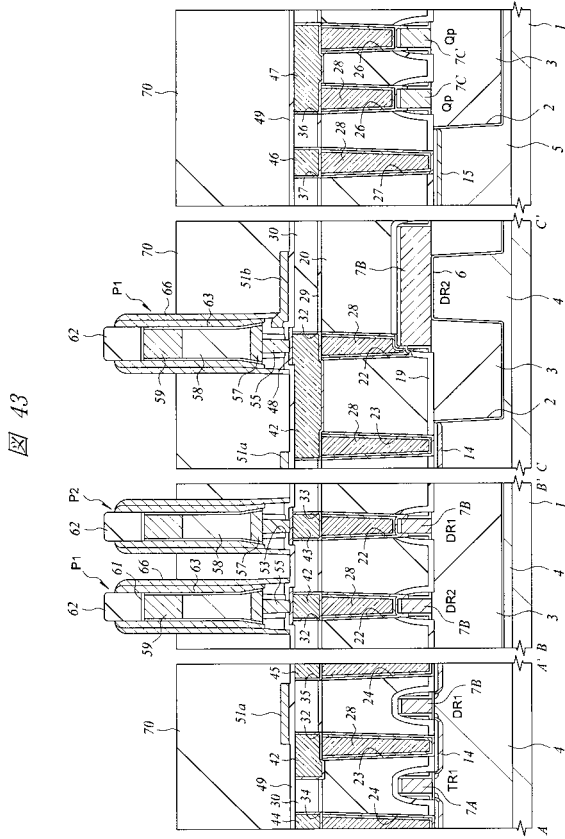


【図 42】

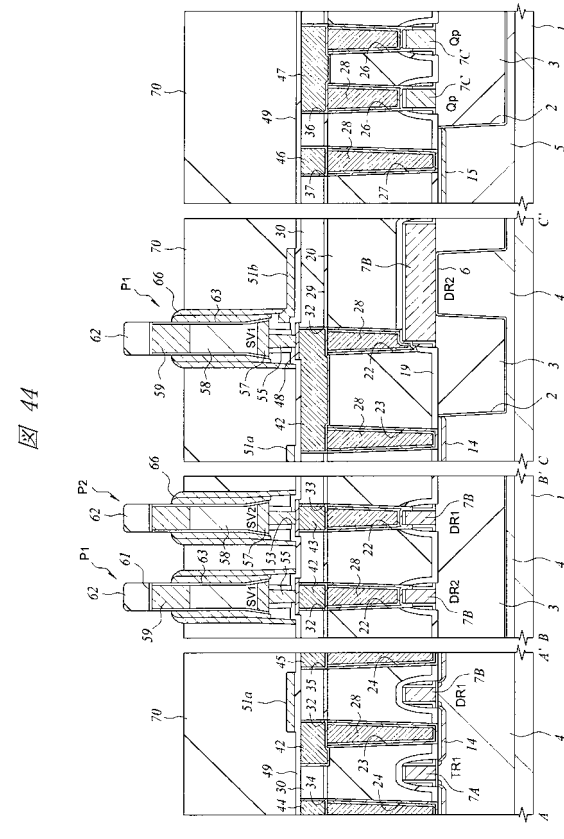
図 42



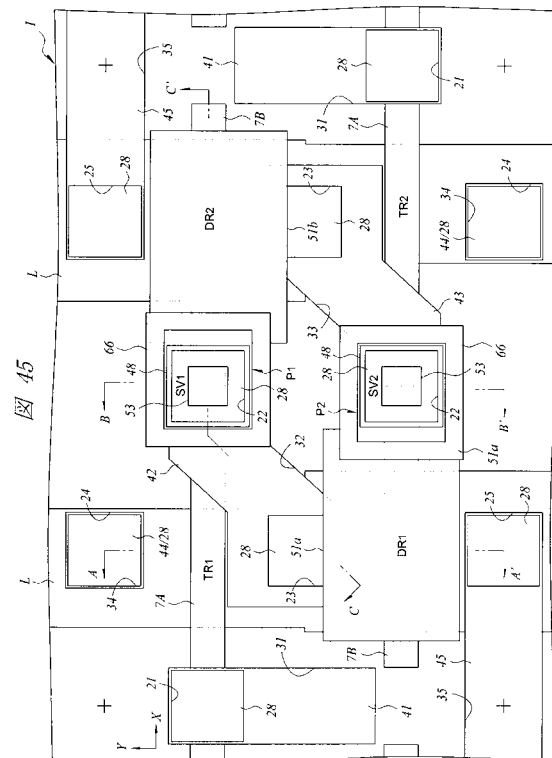
【 図 4 3 】



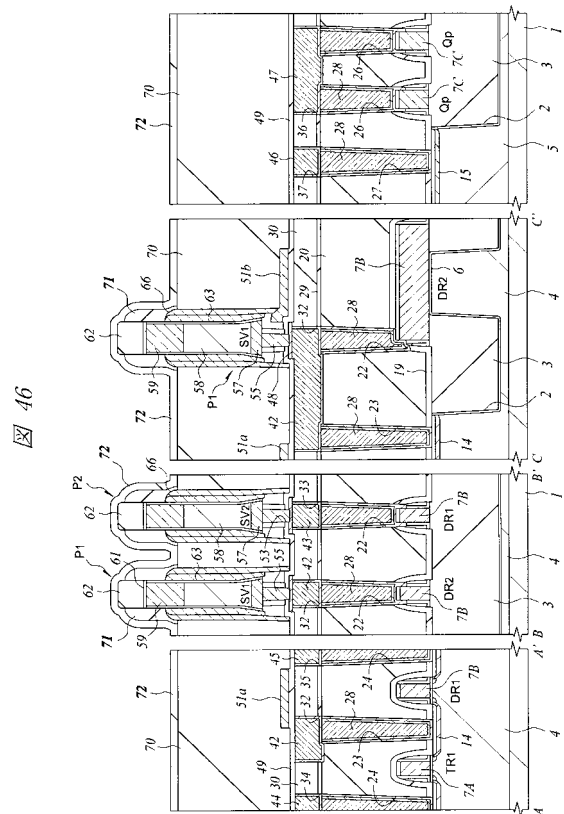
【 図 4 4 】



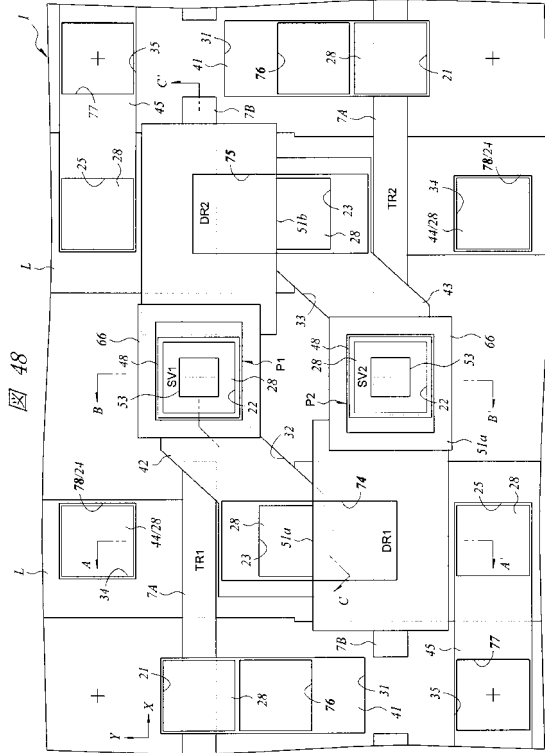
【图 4 5】



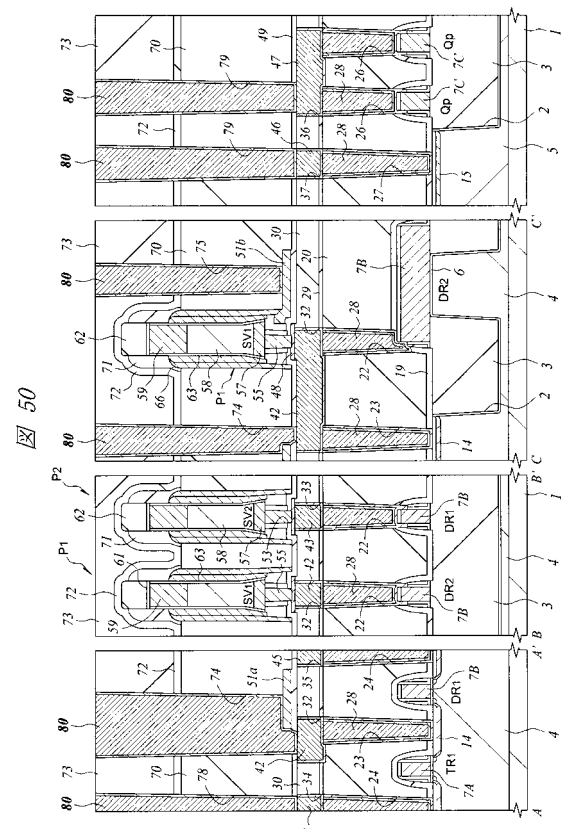
【图 4 6】



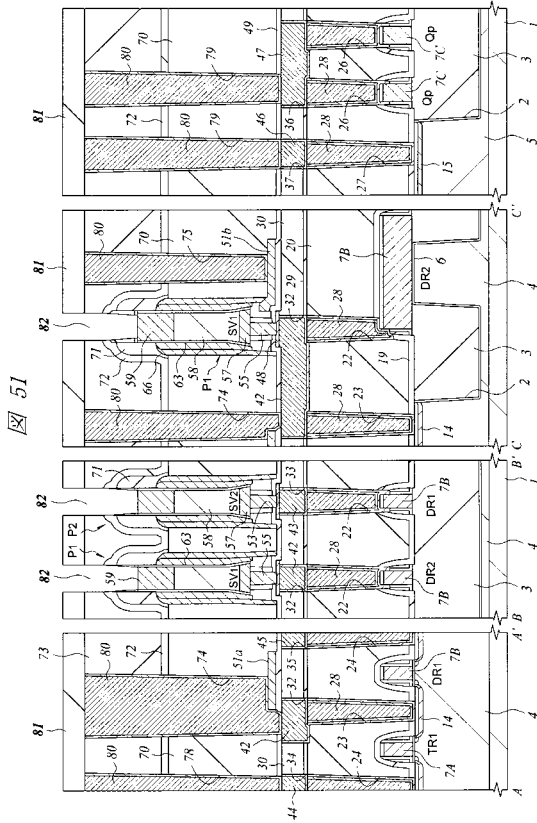
【 図 4 8 】



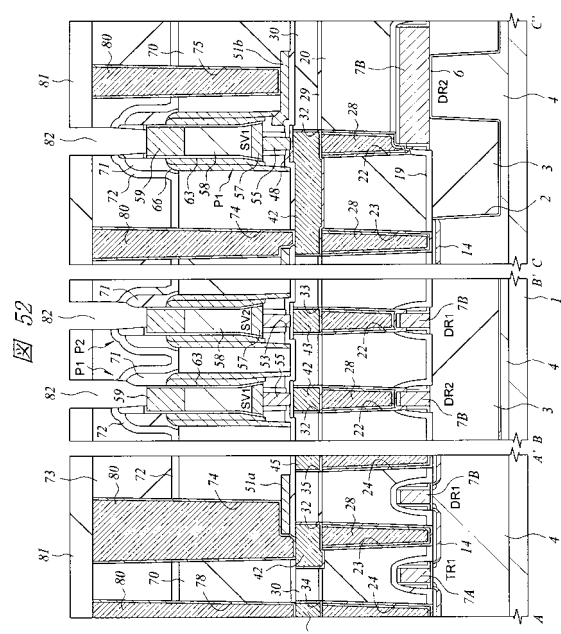
【 図 5 0 】



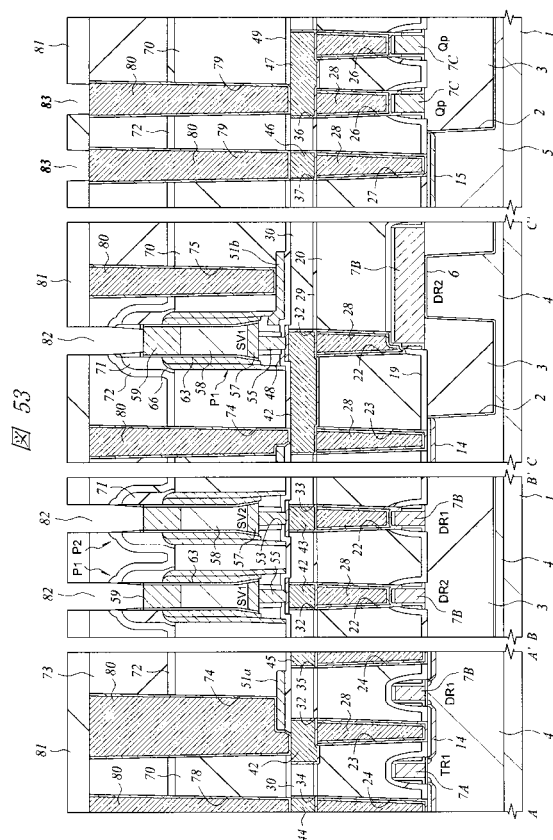
【図 5 1】



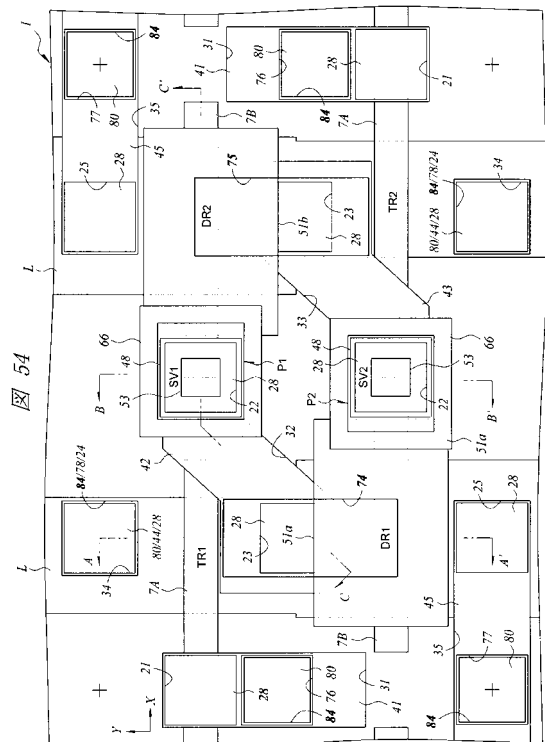
【図 5 2】



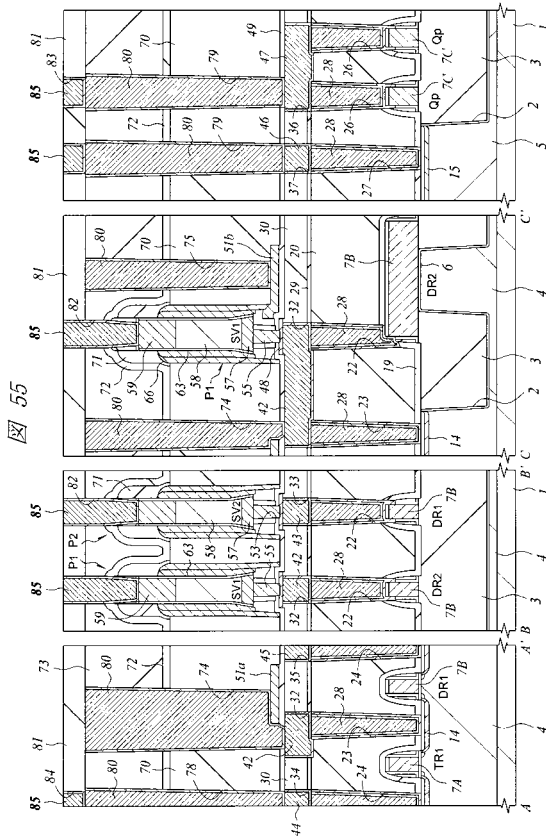
【図 5 3】



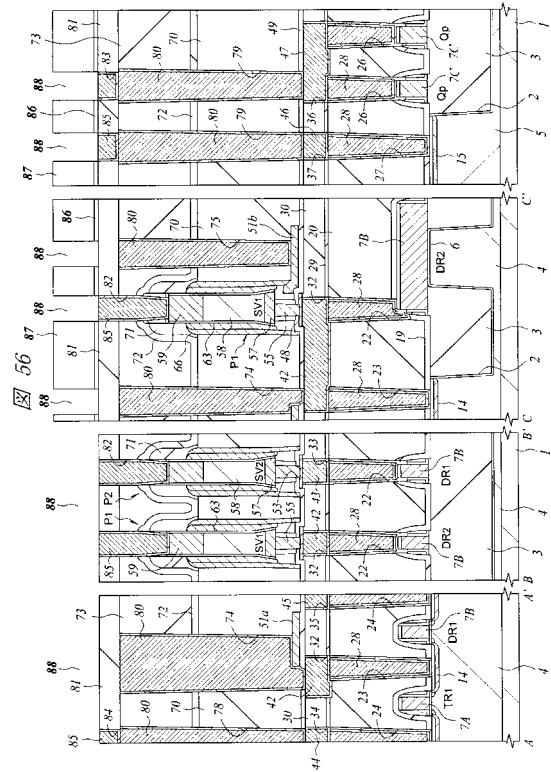
【図 5 4】



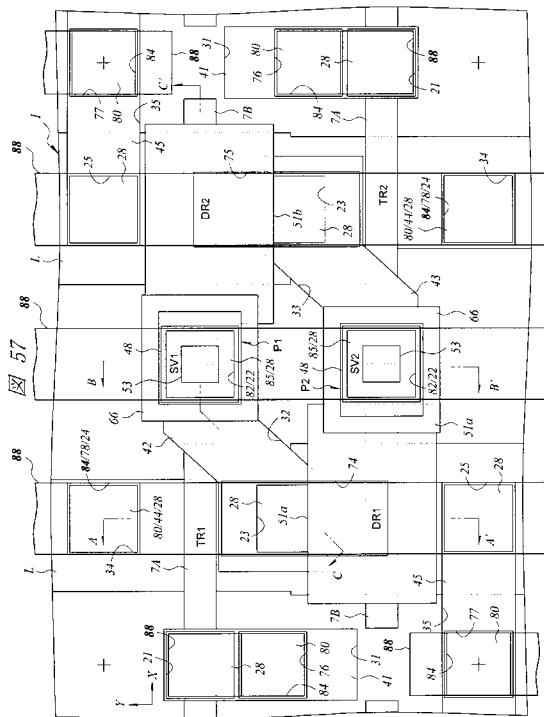
【図 55】



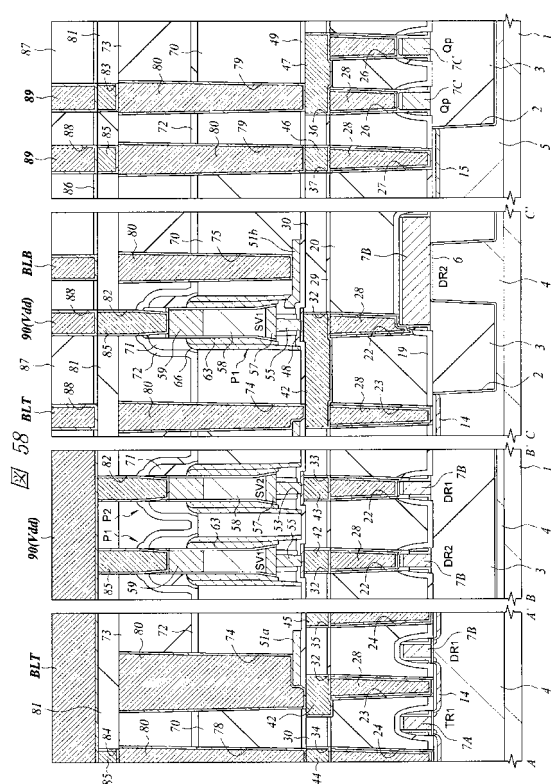
【図 56】



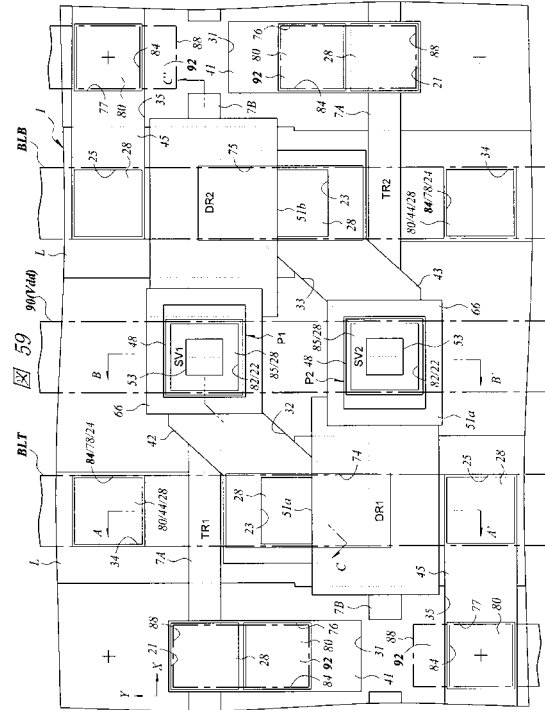
【図 57】



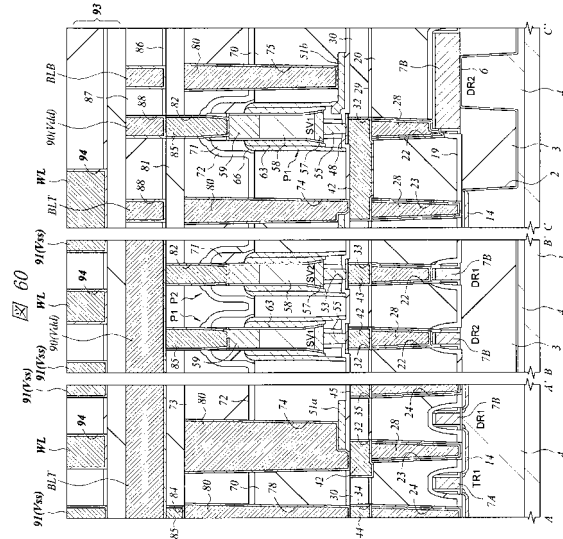
【図 58】



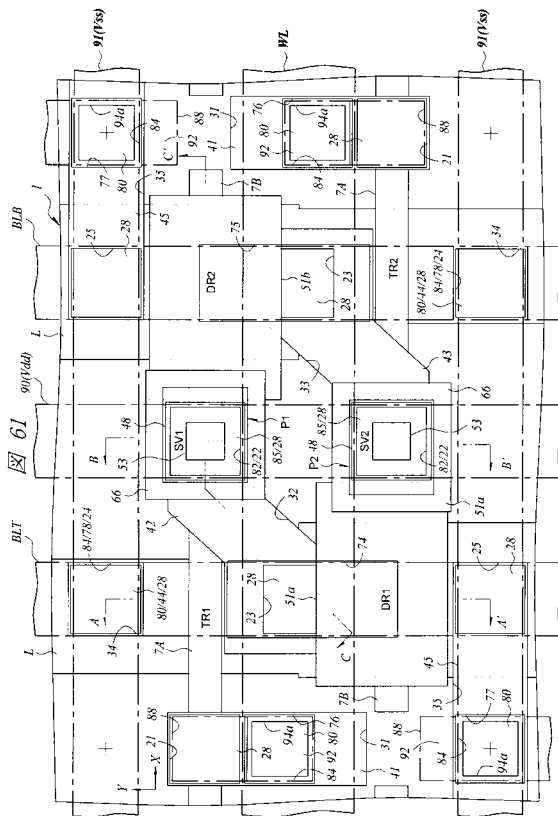
【図 59】



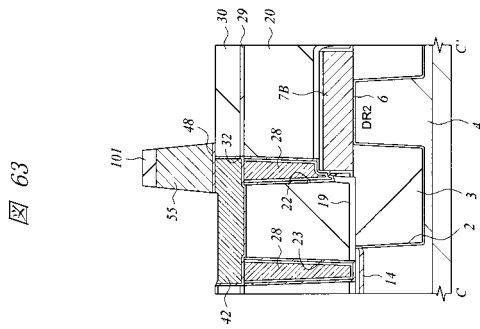
【図 60】



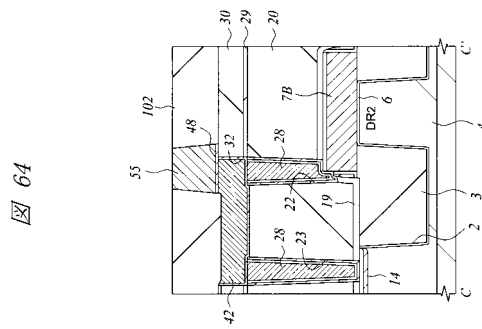
【図 61】



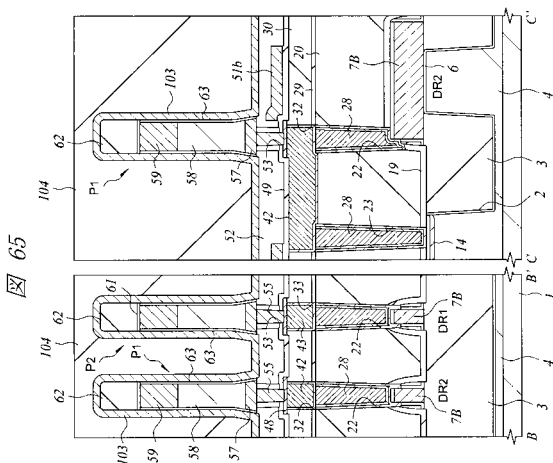
【 図 6 3 】



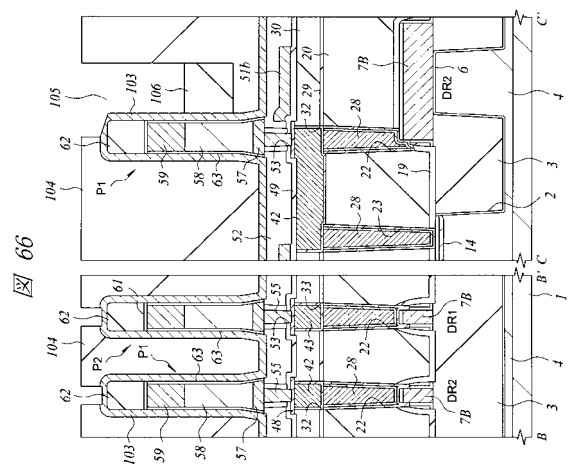
【 図 6 4 】



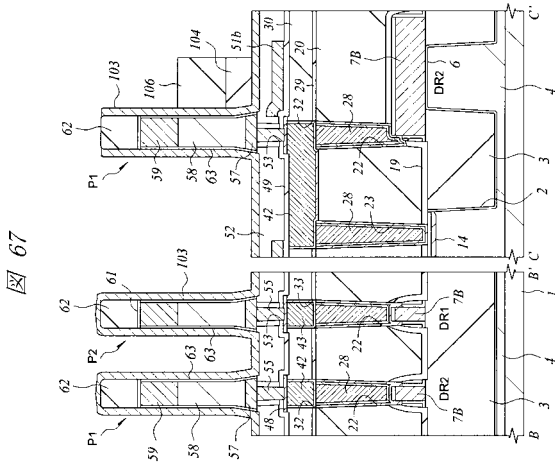
【图 6 5】



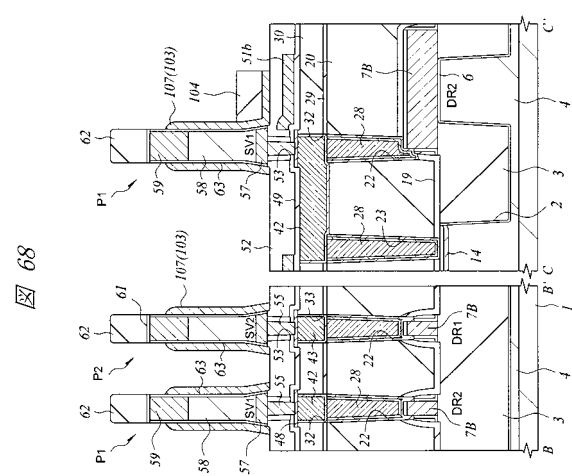
【 図 6 6 】



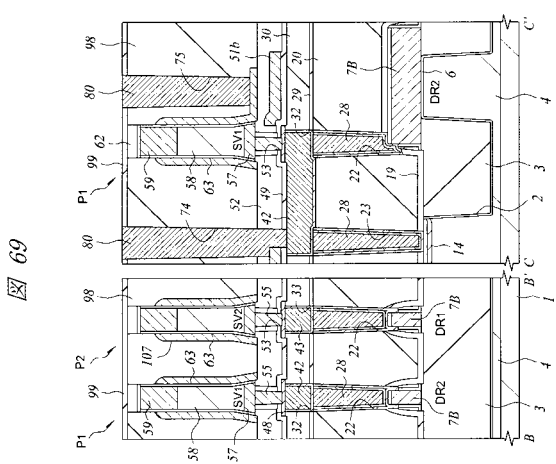
【図 67】



【図 68】

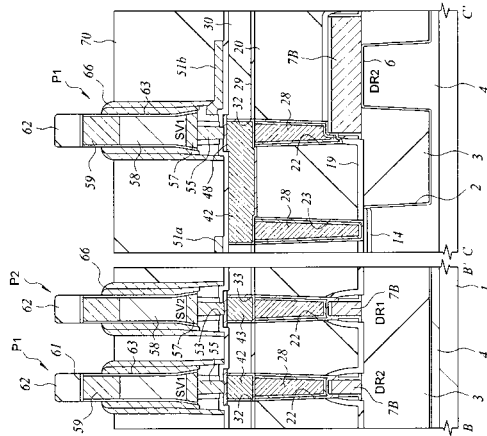


【図 69】



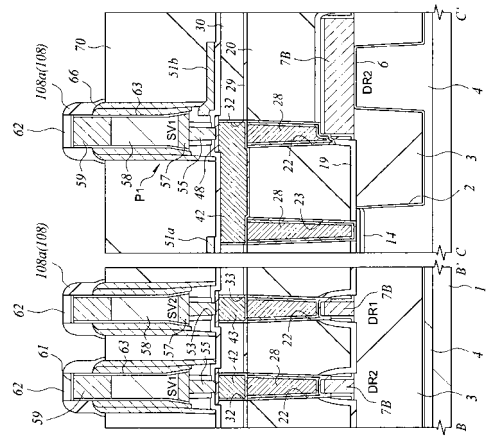
【図 7 1】

図 71



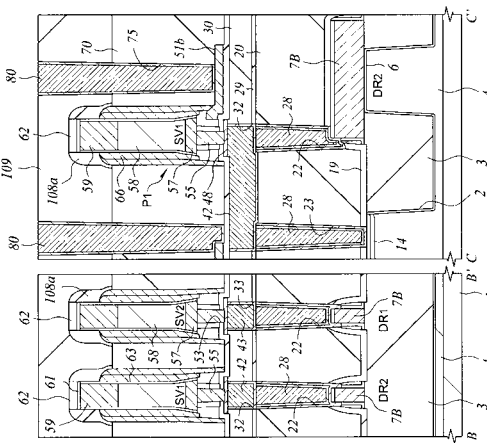
【図 7 2】

図 72



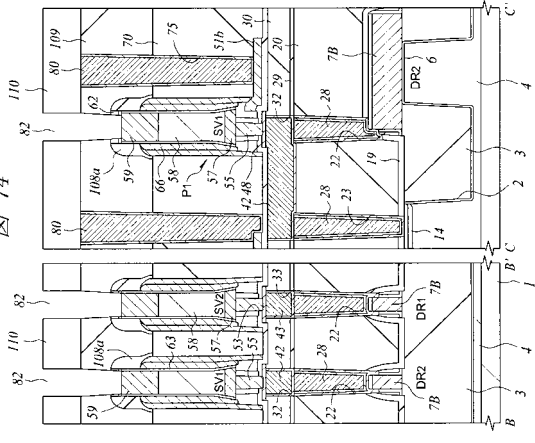
【図 7 3】

図 73



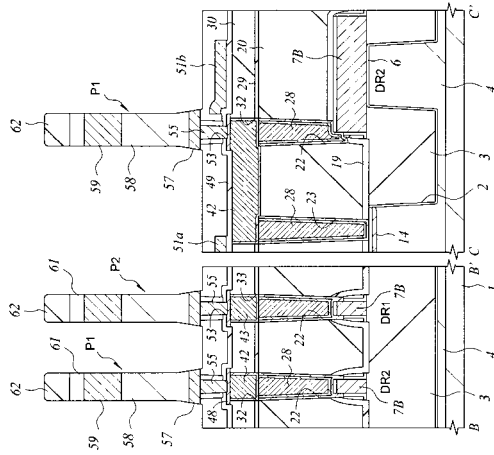
【図 7 4】

図 74



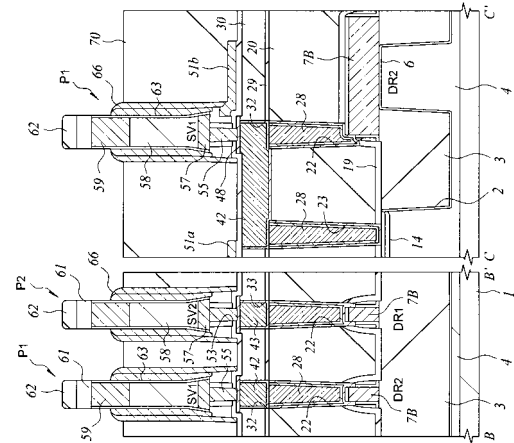
【図 75】

図 75



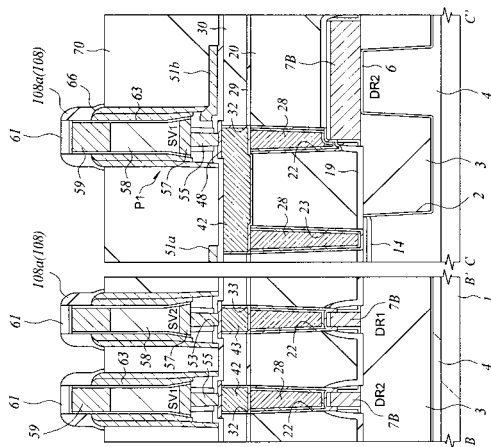
【図 76】

図 76



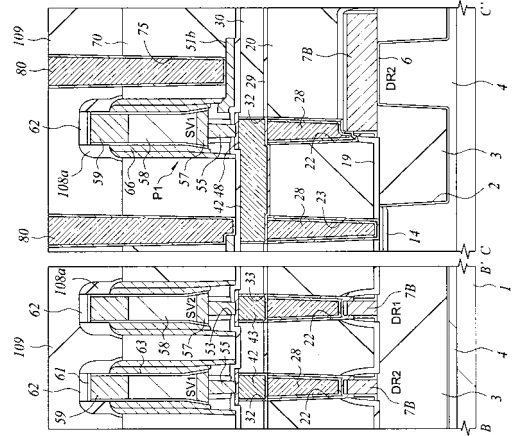
【図 77】

図 77

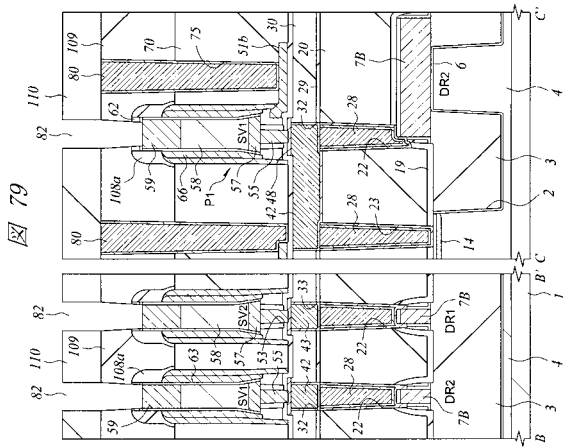


【図 78】

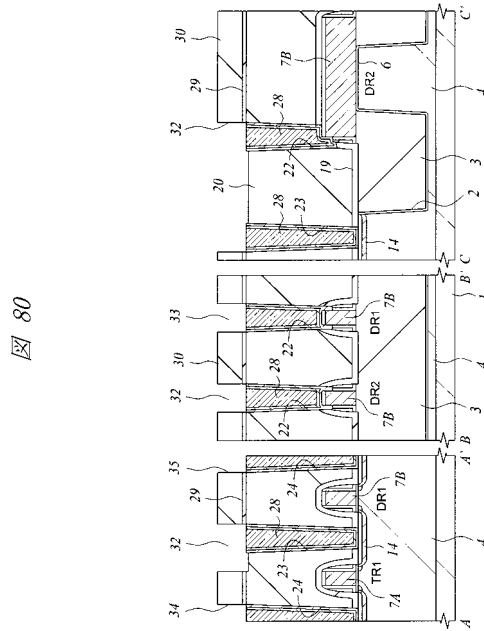
図 78



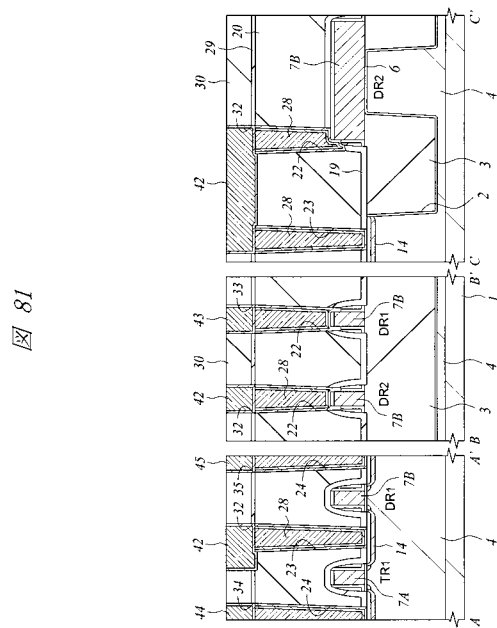
【図 79】



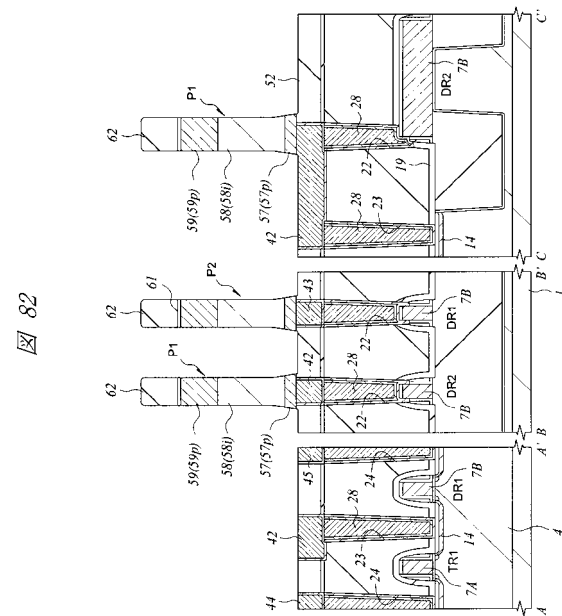
【図 80】



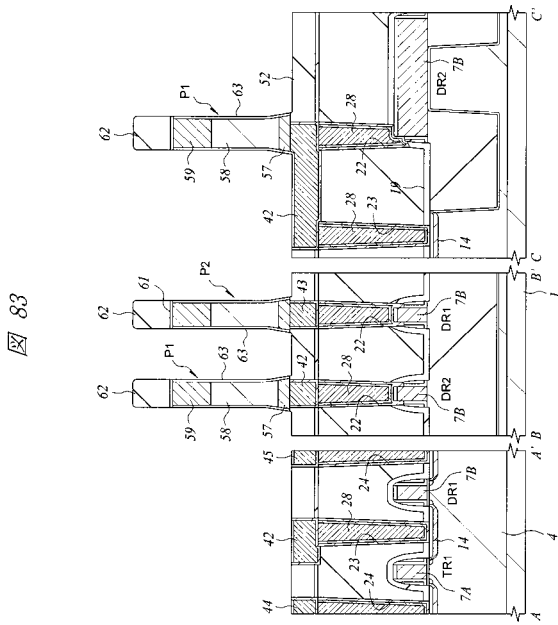
【図 81】



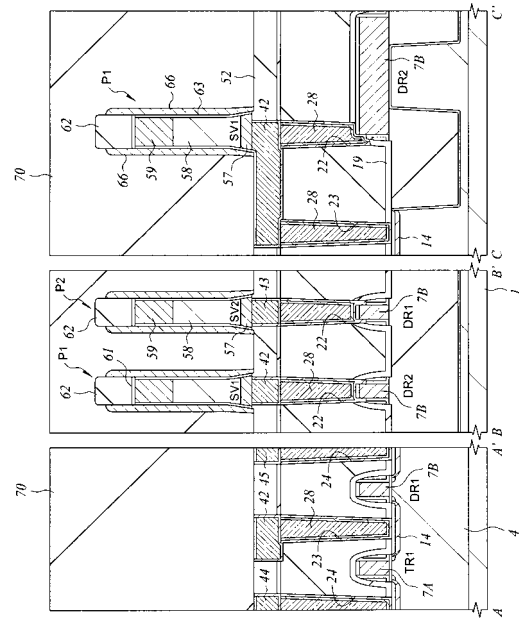
【図 82】



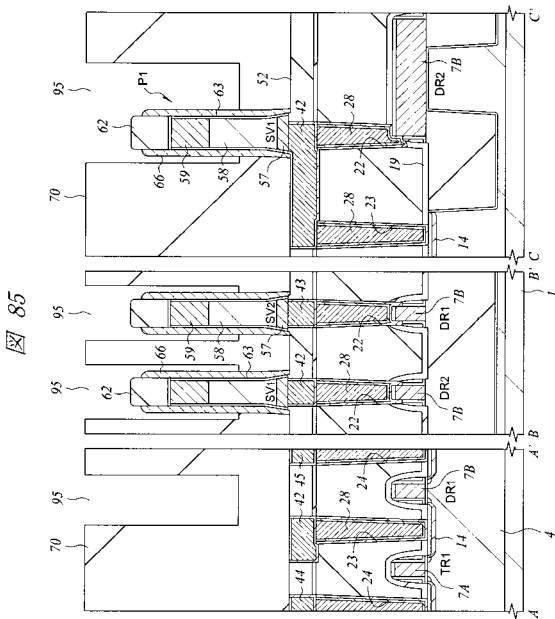
【図 83】



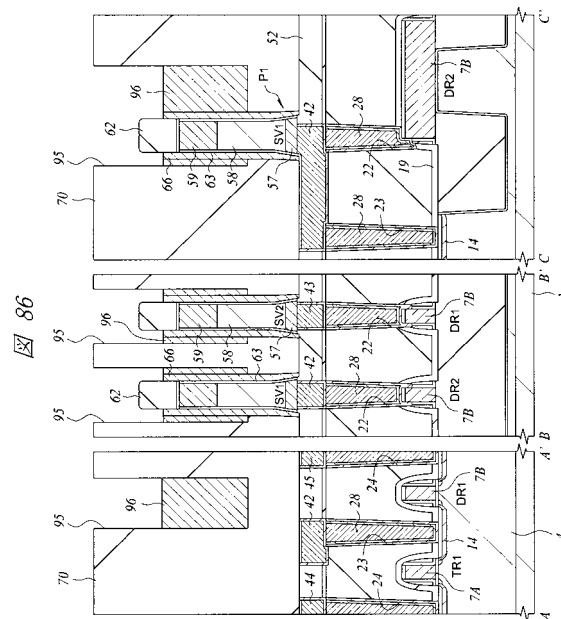
【図 84】



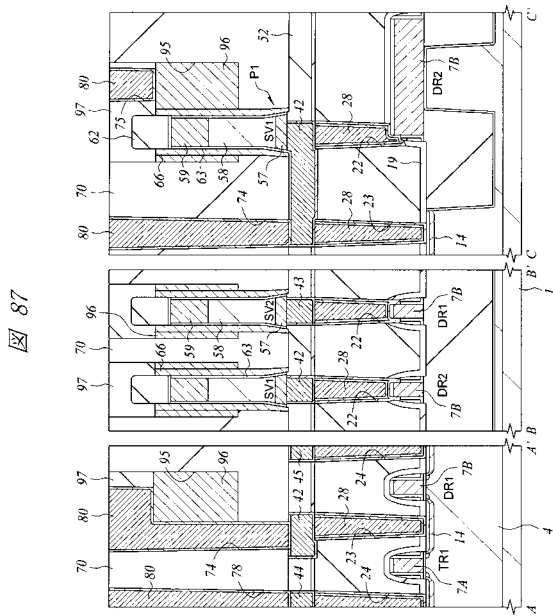
【図 85】



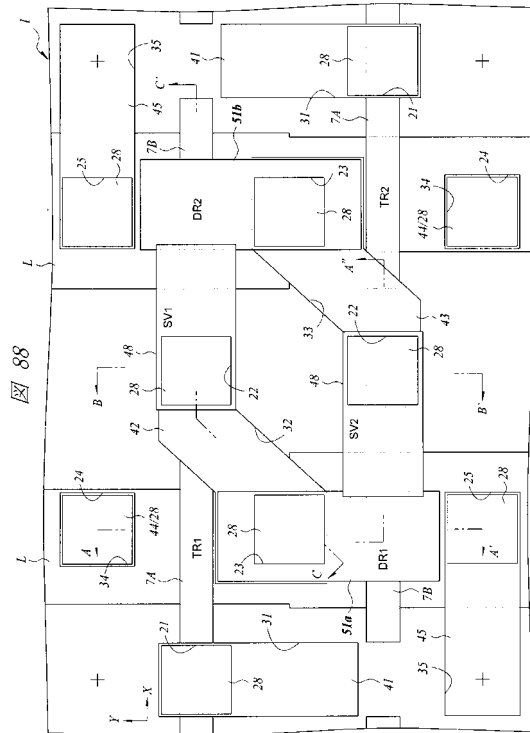
【図 86】



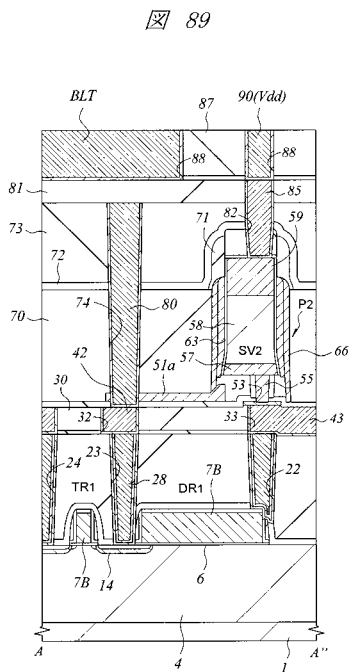
【図 87】



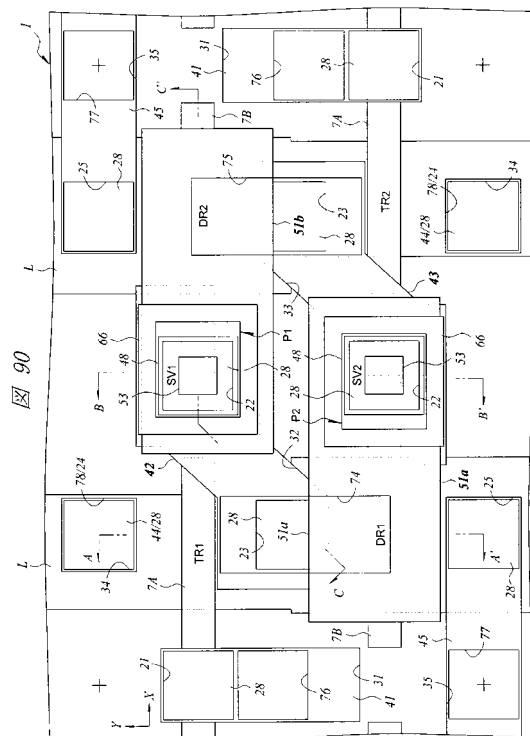
【図 88】



【図 89】

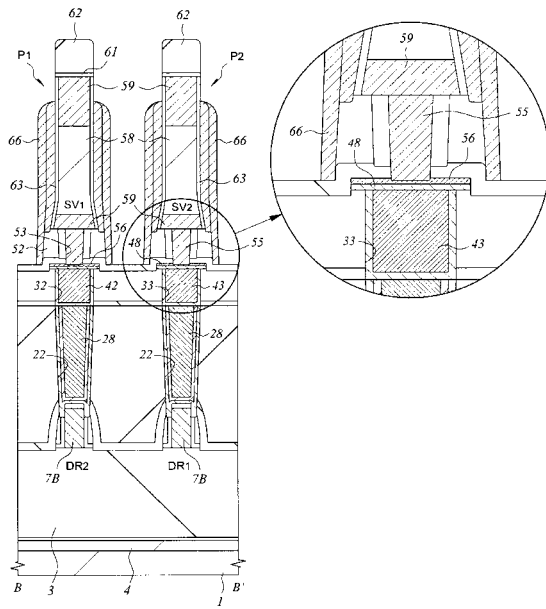


【図 90】



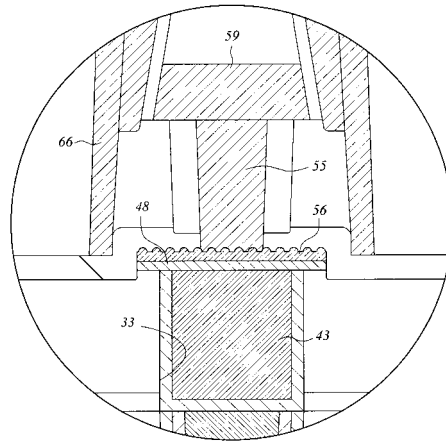
【図 95】

図 95



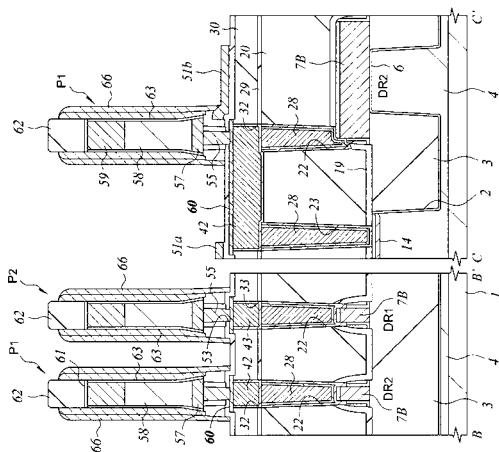
【図 96】

図 96



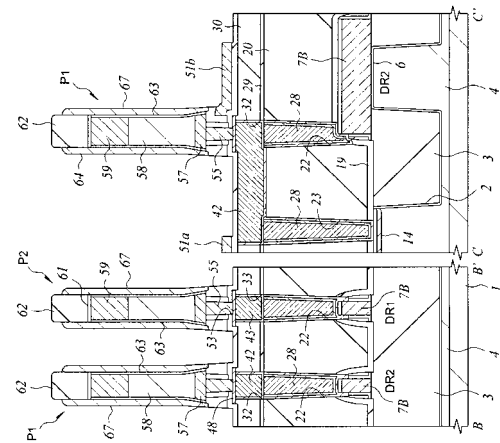
【図 97】

図 97



【図 98】

図 98



【図 103】

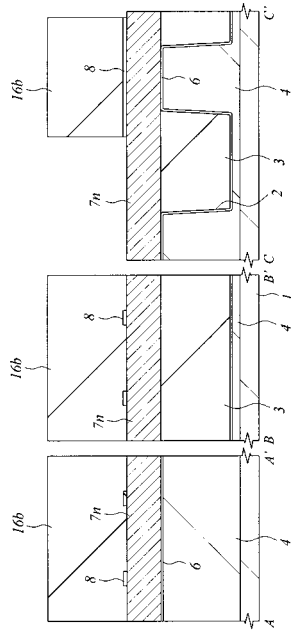


図 103

【図 104】

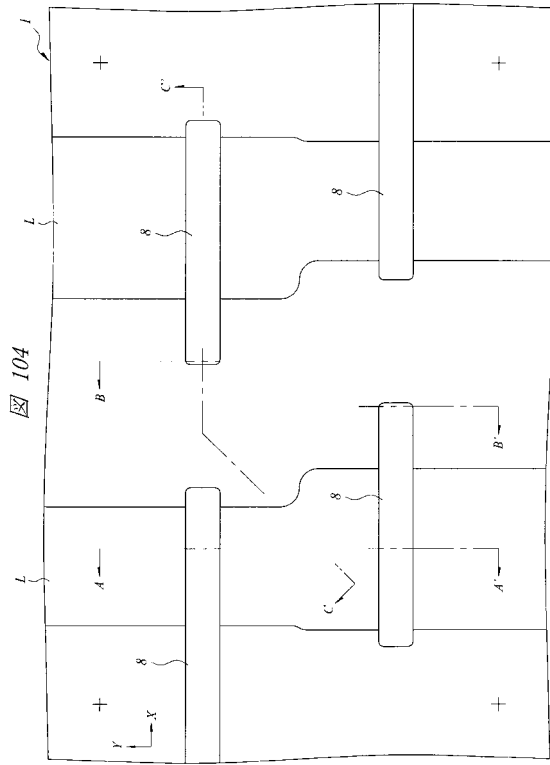


図 104

【図 105】

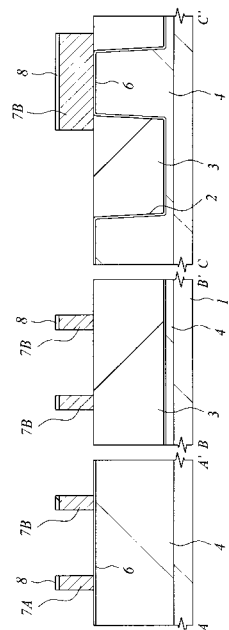


図 105

【図 106】

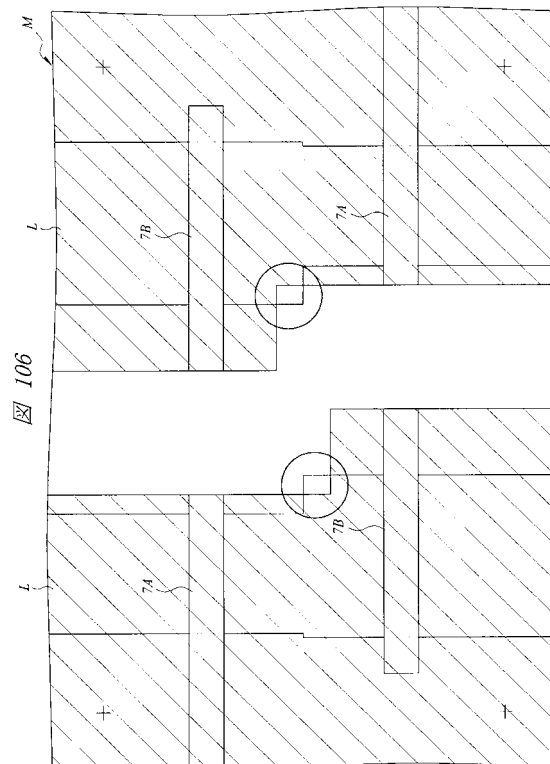
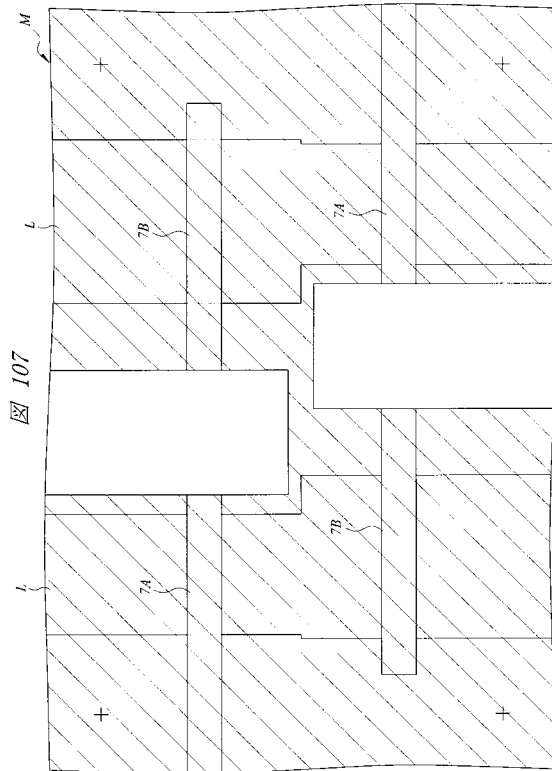
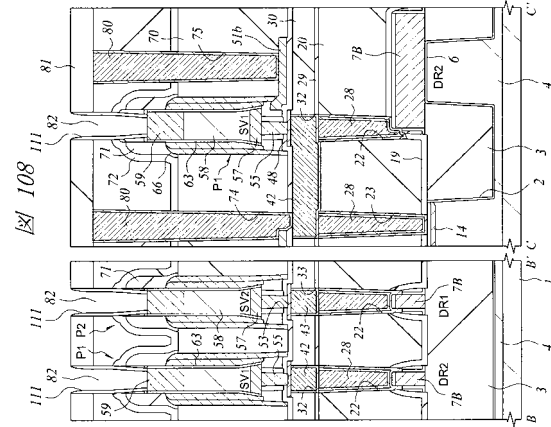


図 106

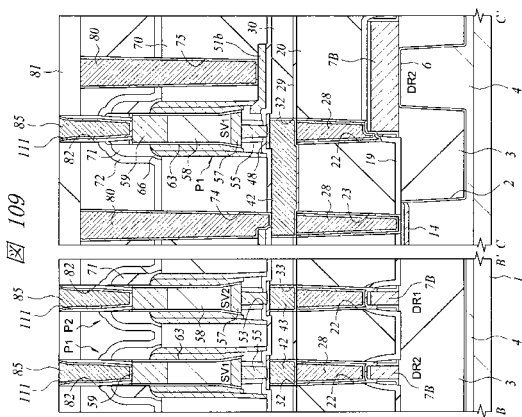
【図 107】



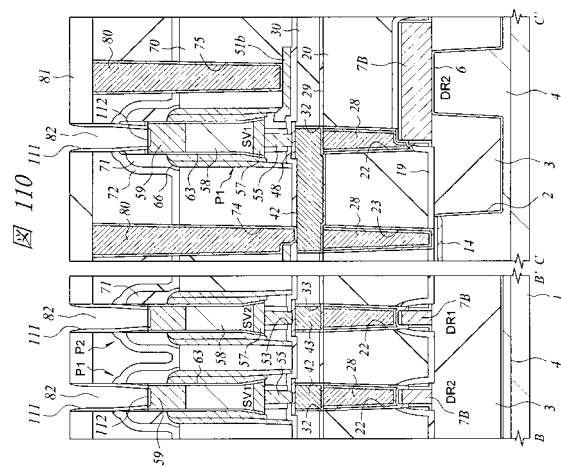
【図 108】



【図 109】

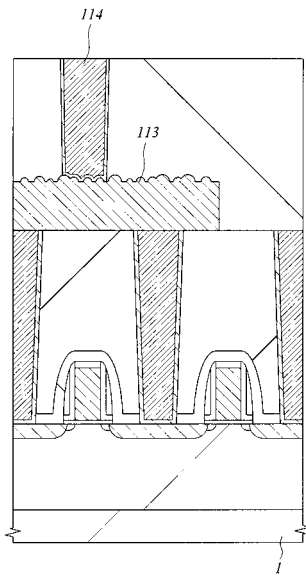


【図 110】



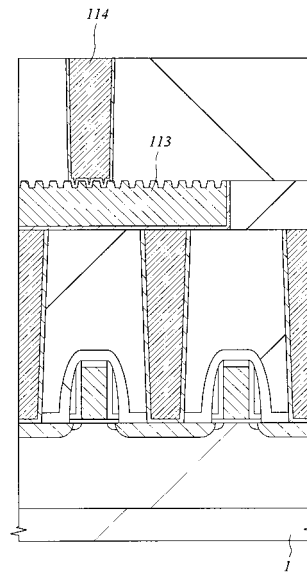
【図 1 1 1】

図 111



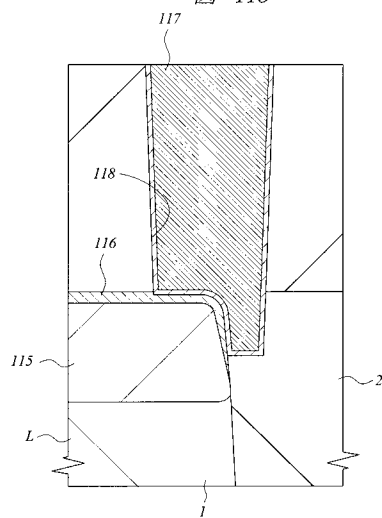
【図 1 1 2】

図 112



【図 1 1 3】

図 113



フロントページの続き

- (72)発明者 茂庭 昌弘
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 水野 真
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 岡本 圭司
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 野口 光弘
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 吉田 正義
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 高橋 保彦
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- (72)発明者 西田 彰男
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内
- Fターム(参考) 5F083 BS05 BS17 BS27 GA09 JA02 JA06 JA19 JA32 JA33 JA35
JA37 JA39 JA40 JA53 JA56 KA05 KA15 KA16 MA05 MA06
MA16 MA19 NA01 PR01 PR03 PR12 PR21 PR36 PR39 PR40
ZA12