

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2024-0159879
(43) 공개일자 2024년11월07일

(51) 국제특허분류(Int. Cl.)
H01L 21/3213 (2006.01) H01J 37/32 (2006.01)
H01L 21/8234 (2006.01)
(52) CPC특허분류
H01L 21/32137 (2013.01)
H01J 37/32899 (2013.01)
(21) 출원번호 10-2024-7026466
(22) 출원일자(국제) 2023년03월07일
심사청구일자 없음
(85) 번역문제출일자 2024년08월06일
(86) 국제출원번호 PCT/US2023/014748
(87) 국제공개번호 WO 2023/172584
국제공개일자 2023년09월14일
(30) 우선권주장
17/690,715 2022년03월09일 미국(US)

(71) 출원인
도쿄엘렉트론가부시키가이샤
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고
(72) 발명자
한 윤
미국 12203 뉴욕 올버니 풀러 로드 255 나노랩
300 사우스 스위트 214
란잔 알록
미국 78741 텍사스 오스틴 그로브 블러바드 2400
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

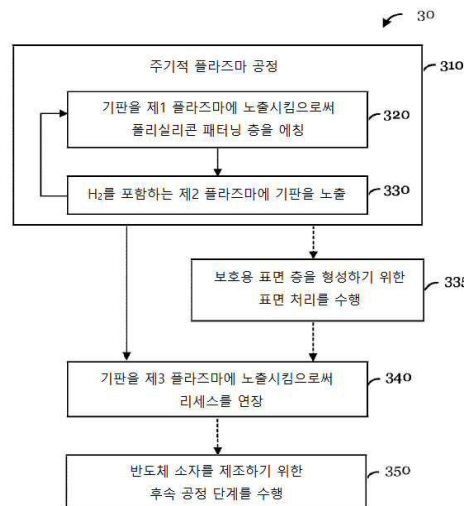
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 다결정질 반도체의 에칭

(57) 요약

기판을 처리하는 방법은, 복수의 사이클을 포함하는 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며, 각각의 복수의 사이클은, 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하거나 리세스를 연장시키도록 다결정질 반도체 재료를 포함하는 패터닝 층을 에칭하는 단계로서, 기판은 산화물 층을 포함하고, 패터닝 층은 산화물 층 위에 형성되는, 단계; 기판을 제2 플라즈마에 노출시키는 단계로서, 제2 플라즈마는 이수소를 포함하는, 단계; 및 기판을 제3 플라즈마에 노출시킴으로써 리세스를 연장시키는 단계로서, 제2 플라즈마는 제1 플라즈마 및 제3 플라즈마와 상이한, 단계를 포함한다.

대표도 - 도3a



(52) CPC특허분류

H01L 21/32139 (2013.01)

H01L 21/823431 (2013.01)

(72) 발명자

오이시 도모유키

일본 981-3629 미야기켄 구로카와군 다이와쵸 테크
노 힐즈 1

오가와 슈헤이

일본 981-3629 미야기켄 구로카와군 다이와쵸 테크
노 힐즈 1

고바야시 켄

일본 981-3629 미야기켄 구로카와군 다이와쵸 테크
노 힐즈 1

비올시 피터

미국 12203 뉴욕 올버니 풀러 로드 255 나노랩 300
사우스 스위트 214

명세서

청구범위

청구항 1

기판을 처리하는 방법으로서,

상기 방법은,

복수의 사이클을 포함하는 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며,

각각의 상기 복수의 사이클은,

상기 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하거나 리세스를 연장시키도록 다결정질 반도체 재료를 포함하는 패터닝 층을 에칭하는 단계로서, 상기 기판은 산화물 층을 포함하고, 상기 패터닝 층은 상기 산화물 층 위에 형성되는, 단계;

상기 기판을 제2 플라즈마에 노출시키는 단계로서, 상기 제2 플라즈마는 이수소를 포함하는, 단계; 및

상기 기판을 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키는 단계로서, 상기 제2 플라즈마는 상기 제1 플라즈마 및 상기 제3 플라즈마와 상이한, 단계를 포함하는,

기판을 처리하는 방법.

청구항 2

제1항에 있어서,

상기 주기적 플라즈마 에칭 공정을 수행하기 전에, 리소그래피 공정 및 에칭에 의해, 상기 패터닝 층 위에 패터닝된 하드 마스크 층을 형성하는 단계를 더 포함하며,

상기 주기적 플라즈마 에칭 공정은, 상기 하드 마스크 층을 에칭 마스크로서 사용하여 수행되는, 방법.

청구항 3

제1항에 있어서,

상기 주기적 플라즈마 에칭 공정을 수행한 후에, 그리고 상기 기판을 상기 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키기 전에, 상기 리세스의 표면 상에 보호용 표면 층을 형성하기 위한 표면 처리를 수행하는 단계를 더 포함하며,

상기 보호용 표면 층은, 상기 기판을 상기 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키는 동안 상기 리세스의 측벽을 보호하는, 방법.

청구항 4

제3항에 있어서,

상기 표면 처리는, 상기 기판을 반응성 가스에 노출시키는 단계를 포함하며,

상기 반응성 가스는 산소를 포함하고, 상기 보호용 표면 층은 산화물을 포함하는, 방법.

청구항 5

제3항에 있어서,

상기 표면 처리는, 상기 기판을 반응성 가스에 노출시키는 단계를 포함하며,

상기 반응성 가스는 질소를 포함하고, 상기 보호용 표면 층은 질화물을 포함하는, 방법.

청구항 6

제1항에 있어서,

상기 제1 플라즈마는 할로젠을 포함하는, 방법.

청구항 7

제6항에 있어서,

상기 제1 플라즈마는 브롬화수소 및 이염소를 포함하는, 방법.

청구항 8

제1항에 있어서,

상기 기판을 상기 제2 플라즈마에 노출시키는 단계는, 상기 리세스의 표면에서 상기 다결정질 반도체 재료를 비정질화하는, 방법.

청구항 9

제1항에 있어서,

상기 기판을 상기 제2 플라즈마에 노출시키는 단계는, 상기 리세스의 측벽의 표면을 평활화하는, 방법.

청구항 10

제1항에 있어서,

상기 제3 플라즈마는 할로젠을 포함하는, 방법.

청구항 11

제1항에 있어서,

상기 제3 플라즈마는 브롬화수소 및 이염소를 포함하는, 방법.

청구항 12

제1항에 있어서,

상기 기판을 상기 제3 플라즈마에 노출시키는 동안의 상기 다결정질 반도체 재료의 에칭률은, 상기 기판을 상기 제1 플라즈마에 노출시키는 동안의 상기 다결정질 반도체 재료의 에칭률보다 더 느린, 방법.

청구항 13

제1항에 있어서,

상기 기판을 상기 제3 플라즈마에 노출시킴으로써 연장되는 상기 리세스는, 약 5 내지 10의 높이 대 폭 비율을 갖는, 방법.

청구항 14

기판을 처리하는 방법으로서,

상기 방법은,

복수의 사이클을 포함하는 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며,

각각의 상기 복수의 사이클은,

제1 지속시간 동안 상기 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하도록 폴리실리콘 층을 에칭하는 단계로서, 상기 기판은 산화물 층을 포함하고, 상기 폴리실리콘 층은 상기 산화물 층 위에 형성되며, 상기 제1 플라즈마는 브롬화수소 및 이염소를 포함하는, 단계; 및

제2 지속시간 동안 상기 기판을 제2 플라즈마에 노출시키는 단계로서, 상기 제2 플라즈마는 이수소를 포함하는, 단계를 포함하는,

기판을 처리하는 방법.

청구항 15

제14항에 있어서,

상기 제1 지속시간은 5초 내지 120초이며, 상기 제2 지속시간은 2초 내지 50초인, 방법.

청구항 16

제14항에 있어서,

상기 기판을 상기 제2 플라즈마에 노출시키는 단계는, 상기 리세스의 표면에서 상기 폴리실리콘 층을 비정질화 하며, 상이한 깊이에서의 상기 리세스의 임계 치수의 표준 편차를 20% 이상만큼 감소시키는, 방법.

청구항 17

제14항에 있어서,

상기 주기적 플라즈마 에칭 공정을 수행한 후에,

상기 리세스의 표면 상에 보호용 표면 층을 형성하기 위한 표면 처리를 수행하는 단계; 및

제3 지속시간 동안 제3 플라즈마를 포함하는 상기 기판을 노출시키는 단계를 포함하는 에칭 공정에 의해, 상기 층 내의 상기 리세스를 추가로 연장시키는 단계로서, 상기 제3 플라즈마는 브롬화수소 및 이염소를 포함하고, 상기 보호용 표면 층은 상기 제3 플라즈마로부터 상기 리세스의 측벽을 보호하는, 단계를 더 포함하는, 방법.

청구항 18

제17항에 있어서,

상기 제3 지속시간은 상기 제1 지속시간보다 더 긴, 방법.

청구항 19

핀 전계 효과 트랜지스터를 제조하는 방법으로서,

상기 방법은,

산화물 층 위에 핀 형상부를 형성하는 단계로서, 상기 산화물 층은 상기 기판 위에 형성되고, 상기 핀 형상부는, 핀 하드 마스크, 및 상기 핀 하드 마스크 아래의 핀을 포함하며, 상기 핀은 실리콘을 포함하는, 단계;

폴리실리콘을 포함하는 더미 게이트 재료를 증착하는 단계;

상기 더미 게이트 재료 위에 게이트 하드 마스크 층을 증착하는 단계;

상기 하드 마스크 층 위에 포토레지스트를 증착하는 단계;

상기 포토레지스트를 패터닝하기 위해 포토리소그래피 공정을 수행하는 단계;

상기 포토레지스트로부터 상기 하드 마스크 층으로 패턴을 전사하기 위해 상기 게이트 하드 마스크 층을 에칭하는 단계; 및

상기 게이트 하드 마스크 층을 에칭 마스크로서 사용하여, 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며,

상기 주기적 플라즈마 에칭 공정은 상기 핀 하드 마스크를 노출시키고, 상기 주기적 플라즈마 에칭 공정은 복수의 사이클을 포함하며,

각각의 상기 복수의 사이클은,

상기 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하도록 상기 더미 게이트 재료를 에칭하는 단계로서, 상기 제1 플라즈마는 할로젠을 포함하는, 단계; 및

상기 기판을 제2 플라즈마에 노출시키는 단계로서, 상기 제2 플라즈마는 수소를 포함하는, 단계를 포함하는, 핀 전계 효과 트랜지스터를 제조하는 방법.

청구항 20

제19항에 있어서,

상기 주기적 플라즈마 에칭 공정을 수행한 후에, 상기 기판을 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키는 단계를 더 포함하며,

상기 제3 플라즈마는 할로젠을 포함하고,

상기 주기적 플라즈마 에칭 공정을 수행하는 단계는, 상기 핀 하드 마스크의 상부 표면을 노출시키며,

상기 기판을 상기 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키는 단계는, 상기 산화물 층을 노출시키는, 방법.

발명의 설명

기술 분야

[0001] 관련 특허 및 출원에 대한 상호 참조

[0002] 본 출원은 2022년 3월 9일자로 출원된 미국 정규 특허출원 번호 제17/690,715호의 출원일에 대한 우선권 및 이익을 주장하며, 이 출원은 그 전체가 본원에 참조로 포함된다.

[0003] 본 발명은 일반적으로 기판을 처리하는 방법에 관한 것이며, 구체적인 실시형태에서, 다결정질 반도체의 에칭에 관한 것이다.

배경 기술

[0004] 일반적으로, 집적 회로(IC)와 같은 반도체 소자는, 모놀리식(monolithic) 구조로 집적되는 전자 부품 및 상호 연결 요소(예를 들어, 트랜지스터, 저항기, 커패시터, 금속 라인, 접점, 및 비아)의 망을 형성하기 위해, 기판 위에 유전체 재료, 전도성 재료, 및 반도체 재료의 층들을 순차적으로 증착 및 패터닝함으로써 제조된다. 반도체 소자의 구성 구조물을 형성하기 위해 사용되는 다수의 공정 단계는, 플라즈마 공정을 사용하여 수행된다.

[0005] 반도체 업계는 구성 요소의 패키징 밀도를 증가시키기 위해, 반도체 소자 내의 최소 형상부(feature) 크기를 수 나노미터까지 반복적으로 감소시켜 왔다. 따라서, 반도체 업계는 흔히 원자 스케일 치수로 정확도, 정밀도, 및 프로파일 제어를 통해 형상부를 패터닝하기 위한 공정을 제공하기 위해 플라즈마 공정 기술을 점점 더 요구하고 있다. 이들 요건은 3차원(3D) 구조물(예를 들어, 핀 전계 효과 트랜지스터(FinFET))에 대해 특히 엄격하며, 반도체 기판 내로 트렌치를 에칭함으로써 형성된 근접하게 이격된 좁고 긴 핀 형상의 반도체 형상부의 3개의 면을 게이트 전극이 둘러싼다. 대량 IC 제조를 위해 필요한 균일성 및 반복성과 함께 이러한 문제를 충족시키기 위해, 플라즈마 공정 기술의 추가적인 혁신이 필요하다.

발명의 내용

[0006] 본 발명의 일 실시형태에 따라, 기판을 처리하는 방법은, 복수의 사이클을 포함하는 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며, 각각의 복수의 사이클은, 기판을 제1 플라즈마에 노출시킴으로써, 리세스(recess)를 형성하거나 리세스를 연장시키도록 다결정질 반도체 재료를 포함하는 패터닝 층을 에칭하는 단계로서, 기판은 산화물 층을 포함하고, 패터닝 층은 산화물 층 위에 형성되는, 단계; 기판을 제2 플라즈마에 노출시키는 단계로서, 제2 플라즈마는 이수소(dihydrogen)를 포함하는, 단계; 및 기판을 제3 플라즈마에 노출시킴으로써 리세스를 연장시키는 단계로서, 제2 플라즈마는 제1 플라즈마 및 제3 플라즈마와 상이한, 단계를 포함한다.

[0007] 본 발명의 일 실시형태에 따라, 기판을 처리하는 방법은, 복수의 사이클을 포함하는 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며, 각각의 복수의 사이클은, 제1 지속시간 동안 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하도록 폴리실리콘 층을 에칭하는 단계로서, 기판은 산화물 층을 포함하고, 폴리실리콘 층은 산화물 층 위에 형성되며, 제1 플라즈마는 브롬화수소 및 이염소(dichlorine)를 포함하는, 단계; 및 제2 지속시간 동안 기판을 제2 플라즈마에 노출시키는 단계로서, 제2 플라즈마는 이수소를 포함하는, 단계를

포함한다.

[0008] 본 발명의 일 실시형태에 따라, 핀 전계 효과 트랜지스터를 제조하는 방법은, 산화물 층 위에 핀 형상부(fin feature)를 형성하는 단계로서, 산화물 층은 기판 위에 형성되고, 핀 형상부는, 핀 하드 마스크, 및 핀 하드 마스크 아래의 핀을 포함하며, 핀은 실리콘을 포함하는, 단계; 폴리실리콘을 포함하는 더미(dummy) 게이트 재료를 증착하는 단계; 더미 게이트 재료 위에 게이트 하드 마스크 층을 증착하는 단계; 하드 마스크 층 위에 포토레지스트를 증착하는 단계; 포토레지스트를 패터닝하기 위해 포토리소그래피 공정을 수행하는 단계; 포토레지스트로부터 하드 마스크 층으로 패턴을 전사하기 위해 게이트 하드 마스크 층을 에칭하는 단계; 및 게이트 하드 마스크 층을 에칭 마스크로서 사용하여, 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며, 주기적 플라즈마 에칭 공정은 핀 하드 마스크를 노출시키고, 주기적 플라즈마 에칭 공정은 복수의 사이클을 포함하며, 각각의 복수의 사이클은, 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하도록 더미 게이트 재료를 에칭하는 단계로서, 제1 플라즈마는 할로젠을 포함하는, 단계; 및 기판을 제2 플라즈마에 노출시키는 단계로서, 제2 플라즈마는 수소를 포함하는, 단계를 포함한다.

도면의 간단한 설명

[0009] 이제 본 발명, 및 이의 이점에 대한 보다 완전한 이해를 위해, 첨부된 도면과 함께 고려되는 이하의 설명을 참조하며, 첨부된 도면으로서:

도 1a 내지 도 1g는 다양한 실시형태에 따라, 다양한 단계에서의 예시적인 주기적 플라즈마 공정 동안의 예시적인 기판의 단면도를 도시하는 것으로서, 도 1a는 폴리실리콘, 하드 마스크 층, 및 패터닝된 포토레지스트 층을 포함하는 인입 기판을 도시하고, 도 1b는 하드 마스크 개방 단계 후의 기판을 도시하며, 도 1c는 주기적 플라즈마 공정의 제1 플라즈마를 통한 제1 메인 에칭 후의 기판을 도시하고, 도 1d는 제2 플라즈마를 통한 주기적 플라즈마 공정의 제1 수소 처리 후의 기판을 도시하며, 도 1e는 주기적 플라즈마 공정의 단계의 사이클 후의 기판을 도시하고, 도 1f는 보호용 표면 층을 형성하기 위한 표면 처리 후의 기판을 도시하며, 도 1g는 제3 플라즈마를 통한 소프트 랜딩(soft-landing) 에칭 후의 기판을 도시한다;

도 2a 내지 도 2e는 다양한 실시형태에 따라, 다양한 단계에서 3차원(3D) 반도체 소자를 제조하기 위한 예시적인 주기적 플라즈마 공정 동안의 예시적인 기판의 사시도를 도시하는 것으로서, 도 2a는 산화물 층, 핀 형상부, 폴리실리콘 층, 하드 마스크 층, 및 패터닝된 포토레지스트 층을 포함하는 인입 기판을 도시하고, 도 2b는 하드 마스크 개방 단계 후의 기판을 도시하며, 도 2c는 주기적 플라즈마 공정의 단계의 사이클 후의 기판을 도시하고, 도 2d는 보호용 표면 층을 형성하기 위한 표면 처리 후의 기판을 도시하며, 도 2e는 핀 형상부를 둘러싸는 더미 게이트 형상부를 형성하는 소프트 랜딩 에칭 후의 기판을 도시한다; 그리고

도 3a 내지 도 3c는 다양한 실시형태에 따른 주기적 플라즈마 공정의 방법의 공정 흐름도를 도시하는 것으로서, 도 3a는 일부 실시형태의 공정 흐름을 도시하고, 도 3b는 대안적인 실시형태의 공정 흐름을 도시하며, 도 3c는 또 다른 실시형태의 공정 흐름을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 출원은 기판을 처리하는 방법에 관한 것으로서, 보다 구체적으로는, 고종횡비(HAR)를 갖는 형상부의 에칭 프로파일 제어를 가능하게 하는 주기적 플라즈마 공정의 방법에 관한 것이다. 반도체 소자 제조 시에, HAR 형상부의 좋지 않은 에칭 프로파일 제어는, HAR 형상부에 걸친 임계 치수(CD)의 편차, 및 좋지 않은 라인 에지 거칠기(LER)를 야기할 수 있다. 이러한 문제는, 첨단 로직 노드의 라인 전단(FEOL) 제조에 사용되는 폴리실리콘의 플라즈마 에칭 동안 특히 어려울 수 있다. 폴리실리콘의 상이한 실리콘 결정 방향 및 결정립계는 측방향 에칭물의 편차를 유발하는 경향이 있으며, 이는 표면 거칠기와 함께 좋지 않은 측벽 프로파일을 유발할 수 있다. 따라서, 더 나은 에칭 프로파일 제어를 통한 HAR 형상부의 폴리실리콘에 대한 플라즈마 에칭 기술이 요구될 수 있다. 본 출원의 실시형태는 측벽 평활화(smoothening)를 위한 수소 플라즈마 처리 단계 및 메인 플라즈마 에칭 단계를 포함하는 주기적 플라즈마 공정의 방법을 개시한다. 주기적 플라즈마 공정은, 마지막 메인 플라즈마 에칭 단계 후에 수행될 소프트 랜딩 에칭을 더 포함할 수 있다.

[0011] 본 개시물에서 설명된 방법은, 바람직하게는 폴리실리콘을 포함하는 층 내에 형성된 HAR 형상부의 LER을 감소시킬 수 있다. 이는 핀 전계 효과 트랜지스터(핀펄)와 같은 3D 반도체 소자 내의 폴리실리콘 게이트 또는 더미 게이트를 제조하기 위해 특히 유용할 수 있다. 또한, 본원의 방법은, 측벽 상의 균일하고 제어된 측방향 에칭물을 제공함으로써, HAR 형상부의 임계 치수(CD) 제어를 개선할 수 있다. 다양한 실시형태에서, 10:1 이상의 종횡비

(형상부의 높이 대 형상부의 폭의 비율)를 갖는 형상부가 주기적 플라즈마 공정에 의해 가능해질 수 있다.

[0012] 이하에서, 다양한 실시형태에 따라, 측벽 평활화를 위한 수소 플라즈마 처리 단계 및 메인 플라즈마 에칭 단계를 포함하는 주기적 플라즈마 공정의 단계가 도 1a 내지 도 1g를 참조하여 먼저 설명된다. 그 다음, 핀 전계 효과 트랜지스터(핀펄)를 제조하는 동안 게이트 에칭을 위해 적용되는 주기적 플라즈마 공정의 일부 실시형태가 도 2a 내지 도 2e를 참조하여 설명된다. 예시적인 공정 흐름도는 도 3a 내지 도 3c에 도시된다. 형상부의 종횡비를 포함하는, 본 개시물의 모든 도면은 예시 목적만을 위해 도시되며, 일정한 비율로 도시되지 않는다.

[0013] 도 1a는 폴리실리콘 층(120)을 포함하는 인입 기관(100)의 단면도를 도시한다.

[0014] 도 1a에서, 기관(100)은 다양한 실시형태의 반도체 기관을 포함한다. 하나 이상의 실시형태에서, 기관(100)은 실리콘 웨이퍼, 또는 실리콘-온-절연체(SOI) 웨이퍼일 수 있다. 특정 실시형태에서, 기관(100)은 실리콘 게르마늄 웨이퍼, 탄화 규소 웨이퍼, 갈륨 비소 웨이퍼, 질화 갈륨 웨이퍼, 및 다른 화합물 반도체를 포함할 수 있다. 다른 실시형태에서, 기관(100)은, 실리콘 게르마늄 온 실리콘, 질화 갈륨 온 실리콘, 실리콘 탄소 온 실리콘과 같은 이중 층 뿐만 아니라, 실리콘 온 실리콘 층 또는 SOI 기관을 포함한다. 기관(100)은, 예를 들어, 반도체 구조물을 제조하기 위한 통상적인 공정을 따르는 다수의 공정 단계를 거쳤을 수 있다. 따라서, 기관(100) 내에 다양한 소자 영역이 형성되었을 수 있다. 이러한 단계에서, 예를 들어, 기관(100)은, 얇은 트랜치 절연(STI) 영역과 같은 절연 영역 뿐만 아니라, 그 안에 형성된 다른 영역을 포함할 수 있다.

[0015] 기관(100)은 절연 층(110)을 더 포함할 수 있다. 다양한 실시형태에서, 절연 층(110)은, 실리콘 산화물과 같은 산화물을 포함할 수 있다. 특정 실시형태에서, 절연 층(110)은 열산화에 의해 형성될 수 있다. 하나 이상의 실시형태에서, 절연 층(110)은, 반도체 소자 내의 매설 산화물(BOX) 층과 같은, 절연 영역으로서 제조될 층이다. 일 실시형태에서, 절연 층(110)은 약 10 nm 내지 약 1 μm 의 두께를 가질 수 있다.

[0016] 절연 층(110) 위에 폴리실리콘 층(120)이 형성된다. 도 1a에 도시된 폴리실리콘 층(120)은, 고종횡비(HAR) 형상부를 형성하기 위한 실시형태의 방법에 의해 패터닝된 층이다. 예를 들어, HAR 형상부의 종횡비(폭 대 높이)는, 일부 실시형태에서, 1:5 이상, 예를 들어, 1:10 이상일 수 있다. 다양한 실시형태에서, 폴리실리콘 층(120)은, 반도체 소자를 위한 게이트 또는 더미 게이트를 형성하도록 패터닝된다. 폴리실리콘 층(120)에 사용되는 폴리실리콘은, 전기적 특성을 포함하는 원하는 재료 특성을 갖기 위한 도핑된 폴리실리콘을 포함할 수 있다. 폴리실리콘 층(120)은, 화학 기상 증착(CVD), 물리 기상 증착(PVD)을 포함하는 기상 증착과 같은 적절한 증착 기술 뿐만 아니라, 플라즈마 강화 CVD(PECVD), 스퍼터링, 및 다른 공정과 같은 다른 플라즈마 공정을 사용하여, 절연 층(110) 위에 증착될 수 있다. 하나 이상의 실시형태에서, 폴리실리콘 층(120)은 약 50 nm 내지 약 500 nm의 두께를 가질 수 있다. 폴리실리콘은 실리콘의 다결정질 형태이기 때문에, 이는 도 1a에 도시된 바와 같이, 다수의 결정자(crystallite)(125), 및 개별 결정자 사이의 결정립계를 포함한다.

[0017] 도 1a를 계속 참조하면, 폴리실리콘 층(120) 위에 하드 마스크 층(130)이 형성될 수 있다. 하드 마스크 층(130)은, 일 실시형태에서 실리콘 산화물을 포함할 수 있다. 다양한 실시형태에서, 하드 마스크 층(130)은, 실리콘 질화물, 실리콘 카보나이트라이드(SiCN), 또는 실리콘 옥시카바이드(SiOC)를 포함할 수 있다. 대안적인 실시형태에서, 하드 마스크 층(130)은 티타늄 질화물을 포함할 수 있다. 하나 이상의 실시형태에서, 하드 마스크 층(130)은, 스핀온 카본 하드 마스크(SOH) 재료와 같은 다른 적합한 유기 재료를 포함할 수 있다. 또한, 하드 마스크 층(130)은, 예를 들어, 2개의 상이한 재료를 사용하는 2개 이상의 층을 포함하는 적층형 하드 마스크일 수 있다. 그러한 일부 실시형태에서, 하드 마스크 층(130)의 제1 하드 마스크는, 티타늄 질화물, 티타늄, 탄탈륨 질화물, 탄탈륨, 텅스텐계 화합물, 루테튬계 화합물, 또는 알루미늄계 화합물과 같은 금속계 층을 포함할 수 있으며, 하드 마스크 층(130)의 제2 하드 마스크 재료는, 실리콘 산화물, 실리콘 질화물, SiCN, SiOC, 실리콘 옥시나이트라이드, 또는 실리콘 카바이드와 같은 유전체 층을 포함할 수 있다. 하드 마스크 층(130)은, 화학 기상 증착(CVD), 물리 기상 증착(PVD)을 포함하는 기상 증착과 같은 적합한 증착 기술 뿐만 아니라, 플라즈마 강화 CVD(PECVD), 스퍼터링, 및 습식 공정을 포함하는 다른 공정과 같은 다른 플라즈마 공정을 사용하여 증착될 수 있다. 하드 마스크 층(130)은, 다양한 실시형태에서 약 5 nm 내지 약 50 nm의 두께를 가질 수 있다. 하나 이상의 실시형태에서, 실리콘 함유 반사방지 코팅 막(SiARC) 또는 다른 ARC 막과 같은 추가적인 층이 하드 마스크 층(130) 위에 형성될 수 있다.

[0018] 패터닝된 포토레지스트 층(140)이 하드 마스크 층(130) 위에 형성될 수 있다. 다양한 실시형태에서, 패터닝된 포토레지스트 층(140)은, 폴리실리콘 층(120) 내에 각각의 형상부를 형성하기 위한 패턴을 제공한다. 도시된 실시예에서, 아래에 설명되는 바와 같이, 패터닝된 포토레지스트 층(140)은, 하드 마스크 층(130) 내에 각각의 형상부를 형성할 때 제1 에칭 마스크로서 작용하며(도 1b), 후속적으로, 하드 마스크 층(130) 내의 형성된 형상부

는, 폴리실리콘을 에칭하기 위한 주기적 플라즈마 공정 동안 제2 에칭 마스크로서 작용할 수 있으므로, 패터닝된 포토레지스트 층(140)의 형상부가 폴리실리콘 층(120)으로 전사될 것이다. 특정 실시형태에서, 패터닝된 포토레지스트 층(140)은, 248 nm 레지스트, 193 nm 레지스트, 157 nm 레지스트, EUV(극자외선) 레지스트, 또는 전자빔(EB) 감응형 레지스트를 포함할 수 있다. 다양한 실시형태에서, 건식 공정 또는 습식 공정, 예를 들어 스핀 코팅 기술을 사용하여, 하드 마스크 층(130) 위에 포토레지스트가 증착될 수 있다. 그 다음, 증착된 포토레지스트는 적절한 리소그래피 공정으로 패터닝되어, 패터닝된 포토레지스트 층(140)을 형성할 수 있다. 일 실시형태에서, 패터닝된 포토레지스트 층(140)은 20 nm 내지 100 nm의 두께를 갖는다. 패터닝된 포토레지스트 층(140)을 사용하여 패터닝될 형상부는, 패터닝될 층에 대해, 원하는 임계 치수(CD) 또는 폭을 가질 수 있다. 일부 실시형태에서, CD는 10 nm 내지 100 nm일 수 있다. 하나 이상의 실시형태에서, CD는 10 nm 내지 40 nm일 수 있다.

[0019] 도 1b는 일 실시형태에 따라, 하드 마스크 개방 단계 후의 제조 동안의 반도체 구조물의 단면도를 도시한다.

[0020] 하드 마스크 개방 단계는, 하드 마스크 층(130) 내에 리세스(150)를 형성하기 위해, 플라즈마 에칭 공정, 예를 들어 반응성 이온 에칭(RIE) 공정을 사용하여 수행될 수 있다. 패터닝된 포토레지스트 층(140)에 의해 마스크되지 않는 하드 마스크 층(130)의 섹션은 제거될 수 있으므로, 패터닝된 포토레지스트 층(140)에 의해 한정된 패턴을 하드 마스크 층(130)으로 전사할 수 있다. 도 1b에 도시된 바와 같이, 하드 마스크 개방 단계 후에, 폴리실리콘 층(120)의 적어도 일부분은 리세스(150)의 하부에서 노출될 수 있다. 하나 이상의 실시형태에서, 기판(100)은, 하드 마스크 층(130) 위에 및/또는 아래에 추가적인 층을 포함할 수 있으며, 추가적인 층은 또한 하드 마스크 개방 단계 동안 제거될 수 있다. 특정 실시형태에서, 하드 마스크 개방 단계 후에, 패터닝된 포토레지스트 층(140)의 나머지 부분은 후속 단계를 수행하기 전에 제거될 수 있다. 하나 이상의 실시형태에서, 패터닝된 포토레지스트 층(140)의 일부는 도 1b 내지 도 1g에 도시된 바와 같이 후속 단계 동안 남아 있을 수 있지만, 다른 실시형태에서는 임의의 단계에서 제거될 수 있다.

[0021] 도 1c는 주기적 플라즈마 공정의 제1 플라즈마를 통한 제1 메인 에칭 후의 제조 동안의 반도체 구조물의 단면도를 도시한다.

[0022] 주기적 플라즈마 공정은, 제어된 에칭 프로파일 및 측벽을 갖는 폴리실리콘을 에칭하기 위해 적용될 수 있다. 다양한 실시형태에 따른 주기적 플라즈마 공정의 사이클은, 기판(100)을 제1 플라즈마에 노출시킴으로써 메인 에칭으로 시작될 수 있다. 메인 에칭은, 리세스(150)를 폴리실리콘 층(120) 내로 연장시키도록 이방성일 수 있다. 주기적 에칭 공정은, 유도성 결합 플라즈마(ICP), 용량성 결합 플라즈마(CCP), 마이크로파 플라즈마(MW) 등과 같은, 하나 이상의 플라즈마 소스를 구비한 적합한 플라즈마 공정 챔버 내에서 수행될 수 있다. 다양한 실시형태에서, 메인 에칭은 반응성 이온 에칭(RIE) 공정일 수 있으며, 예를 들어, 할로젠 가스를 포함하는 제1 에칭 가스를 사용할 수 있다. 특정 실시형태에서, 제1 에칭 가스는 브롬화수소(HBr) 및 이염소(Cl_2)일 수 있다. 제1 에칭 가스는, 이산화탄소(O_2) 및/또는 희가스(예를 들어, He, Ne, Ar, Kr 등)와 같은 첨가제 가스를 더 포함할 수 있다. 제1 에칭 가스는, 폴리실리콘을 에칭하기 위한 제1 플라즈마가 높은 선택비 및 높은 폴리실리콘 에칭률을 갖도록 선택될 수 있다. 선택비는, 하드 마스크 층(130)의 마스크 재료, 예를 들어, 실리콘 산화물, 실리콘 질화물, 또는 SiON 에 대한 것일 수 있다. 유사하게, 메인 에칭을 위한 플라즈마 조건은, 원하는 선택비 및 에칭률을 달성하도록 결정될 수 있다.

[0023] 특정 실시형태에서, 메인 에칭은, 50 sccm 내지 1000 sccm의 총 가스 유량, 5 mTorr 내지 300 mTorr의 압력, -10°C 내지 150°C 의 온도, 및 100 kHz 내지 10 GHz의 작동 주파수로 수행될 수 있다. 하나 이상의 실시형태에서, HBr의 유량은 약 0 sccm 내지 500 sccm의 범위로 유지되며, Cl_2 유량은 약 0 sccm 내지 100 sccm이다. 일 실시형태에서, 첨가제 가스의 총 유량은 약 50 sccm 내지 500 sccm의 범위일 수 있다. 다양한 실시형태에서, 메인 에칭은, 5초 내지 120초, 예를 들어, 일 실시형태에서 10초 내지 30초의 공정 시간으로 수행될 수 있다.

[0024] 메인 에칭은 주로 리세스(150)를 수직으로 연장시키기 위한 수직 방향성을 갖는 이방성 에칭일 수 있지만, 리세스(150)의 측벽 상의 일부 측방향 에칭이 이루어질 수 있다. 측방향 에칭의 영향은, 패터닝 층의 대부분의 표면이 이의 측벽인, 좁은 리세스 및 HAR 형상부의 CD 제어에 특히 중요할 수 있다. 측방향 에칭은 CD 손실 및 라인 에지 거칠기(LER)를 유발할 수 있으므로, 소자 성능 및 수율을 크게 저해할 수 있다. 이러한 원하지 않는 측방향 에칭 문제는 폴리실리콘의 에칭 시에 더 악화될 수 있다. 도 1c에 도시된 바와 같이, 폴리실리콘 층(120)의 결정자(125)의 다양한 방향으로 인해, 리세스(150)의 측벽은 상이한 결정립을 포함하며, 상이한 결정면이 표면 상에서 노출된다. 실리콘의 에칭률은 결정면의 유형에 따라 좌우되기 때문에, 메인 에칭 동안의 측방향 에칭률

은, 상부로부터 하부로 측벽에 걸쳐서 가변될 수 있다. 결과적으로, 측벽의 표면은 평활하지 않을 수 있으며, 좋지 않은 LER을 가질 수 있다. 본 개시물의 발명자들은, 아래에서 수소 처리로 지칭되는, 주기적 플라즈마 공정에서 수소(예를 들어, H_2)를 포함하는 제2 플라즈마로의 후속 노출을 구현하는 것이 아래에 추가로 설명되는 바와 같이 측벽 표면을 평활화함으로써 이러한 문제를 완화시킬 수 있음을 확인하였다.

[0025] 제1 메인 에칭 공정 후의 이러한 단계에서, 리세스(150)의 깊이는, 3개의 층(즉, 폴리실리콘 층(120), 하드 마스크 층(130), 및 패터닝된 포토레지스트 층(140))의 총 두께 미만일 수 있다. 즉, 리세스(150)는 폴리실리콘 층(120)의 바닥까지 도달하지 않는다. 주기적 플라즈마 공정의 메인 에칭을 반복하여 폴리실리콘 층(120)의 고종횡비(HAR) 형상부를 형성함으로써, 리세스(150)가 단계적으로 연장된다. 도 1d 내지 도 1f를 참조하여 추가로 설명되는 바와 같이, 주기적 플라즈마 공정에 의한 폴리실리콘의 단계적 제거는, 바람직하게는 주기적 플라즈마 공정의 단계들 사이에 측벽 평활화를 여러 번 수행할 수 있게 한다.

[0026] 도 1d는 제2 플라즈마를 통한 주기적 플라즈마 공정의 제1 수소 처리 후의 제조 동안의 반도체 구조물의 단면도를 도시한다.

[0027] 다양한 실시형태에서, 수소를 포함하는 제2 플라즈마에 기판을 노출시킴으로써, 수소 처리가 수행될 수 있다. 특정 실시형태에서, 제2 플라즈마는 분자 수소, 즉 이수소(H_2)를 포함한다. 수소 처리는 도 1d에 도시된 바와 같이, 측벽의 표면을 평활화한다. 어떤 이론에 의해 제한되기를 원하지는 않지만, 제2 플라즈마 내의 H-함유 라디칼 종은, 표면 상의 폴리실리콘의 일부분의 비정질화(amorphization) 및 실리콘 원자의 에칭을 유도할 수 있으며, 이는 평활화를 유발할 수 있다. 이는 리세스(150)의 표면 상에 형성된 표면 변형된 실리콘 층(160)으로서 도 1d에 도시된다. 하나 이상의 실시형태에서, 수소 처리 후에, CD 편차, 예를 들어, 3시그마(형성되는 리세스(150)의 상이한 게이트 높이 또는 깊이에서 측정된 CD의 평균으로부터의 표준 편차)는, 수소 처리 전보다 20% 이상만큼 감소될 수 있다. 일 실시형태에서, 수소 처리 후에, CD 표준 편차는 1.0 nm 미만일 수 있다. 특정 실시형태에서, 표면 거칠기는, 높이 편차의 실효값(RMS), 거칠기 평균(R_a), 및 피크 대 밸리 높이(h)와 같은, 다른 지표로 표현될 수 있다. 바람직하게는, 수소 처리는, 평활화 효과와 더불어, 측벽이 비정질 실리콘으로 커버될 수 있고 더 이상 표면 상에서 노출되는 상이한 결정면을 갖지 않기 때문에, 주기적 플라즈마 공정에서 다음 사이클의 에칭 균일성을 개선할 수 있다.

[0028] 특정 실시형태에서, 수소 처리는, 불활성 가스(예를 들어, He, Ne, Ar, Kr 등)의 선택적인 혼합물을 플라즈마 공정 챔버 내로 유동하는 단계를 더 포함할 수 있다. 특정 실시형태에서, 제2 플라즈마로의 노출은, 50 sccm 내지 500 sccm의 총 가스 유량, 5 mTorr 내지 300 mTorr의 압력, $-10^{\circ}C$ 내지 $200^{\circ}C$ 의 온도, 및 100 kHz 내지 10 GHz의 작동 주파수로 수행될 수 있다. 다양한 실시형태에서, 제2 플라즈마로의 노출은, 2초 내지 50초, 예를 들어, 일 실시형태에서 5초 내지 10초의 공정 시간으로 수행될 수 있다. 더 나은 공정 효율을 위해 공정 시간을 가능한 한 짧게 유지하면서, 측벽 표면의 충분한 변형을 제공하도록, 유량, 압력과 같은 일부 공정 파라미터가 선택될 수 있다. 또한, 수소 플라즈마 단계를 위한 공정 파라미터는, 주기적 플라즈마 공정의 이전 단계(예를 들어, 도 1c)와 관련하여 최적화될 수 있다. 특정 실시형태에서, 유도성 결합 플라즈마(ICP), 마이크로파 플라즈마(MW), 또는 용량성 결합 플라즈마(CCP)가 수소를 포함하는 제2 플라즈마를 위해 사용될 수 있다. 일 실시예에서, ICP 플라즈마 챔버 내에서, 30 내지 80 mTorr의 챔버 압력, 250 내지 1000 W의 소스 전력, 및 100 내지 200 sccm의 H_2 유량을 갖는 공정 조건이 사용될 수 있다.

[0029] 다양한 실시형태에서, 메인 에칭 및 수소 처리의 단계는, 리세스(150)에 대한 원하는 깊이에 도달하기 위해 주기적 플라즈마 공정에서 반복될 수 있다. 예를 들어, 리세스(150)를 수직으로 연장시키기 위해, 제2 메인 에칭이 제1 수소 처리(예를 들어, 도 1d) 후에 수행될 수 있다. 측벽 표면은 제1 수소 처리에 의해 평활화되고 비정질화될 수 있으며, 제2 메인 에칭은 제1 메인 에칭에 비해 더 나은 에칭 프로파일 제어로 진행될 수 있다. 제2 메인 에칭의 공정 조건은 일부 실시형태에서 제1 메인 에칭과 동일할 수 있지만, 다른 실시형태에서는 상이할 수 있다. 제2 메인 에칭 후에, 리세스(150)의 새롭게 노출된 측벽 및 하부 표면을 처리하여 평활화하기 위해, 제2 수소 처리가 수행될 수 있으므로, 표면 변형된 실리콘 층(160)을 보충할 수 있다. 제2 수소 처리의 공정 조건은 일부 실시형태에서 제1 수소 처리와 동일할 수 있지만, 다른 실시형태에서는 상이할 수 있다. 하나 이상의 실시형태에서, 메인 에칭 및 수소 처리를 반복하는 사이클 동안, 메인 에칭 또는 수소 처리의 하나 이상의 단계는 생략될 수 있거나, 공정 방식에 따라 상이한 중간 공정 단계로 대체될 수 있다.

[0030] 도 1e는 주기적 플라즈마 공정의 단계의 사이클 후의 기판(100)을 도시한다.

[0031] 도 1e에서, 리세스(150)는, 단계의 사이클 후에 폴리실리콘 층(120) 내에서 수직으로 연장된다. 또한, 표면 변

형된 실리콘 층(160)이 최종 수소 처리 후에 연장될 수 있다. 다양한 실시형태에 따라 주기적 에칭 공정의 복수의 사이클을 수행함으로써, 리세스(150)는 리세스 상부로부터 하부로 임계 치수(CD)의 큰 편차 없이 정합되게 그리고 단계적으로 연장될 수 있다. 다양한 실시형태에서, 원하는 레벨의 에칭이 달성될 수 있을 때까지, 임의의 수의 사이클이 수행될 수 있다. 특정 실시형태에서, 사이클은 메인 에칭으로 종료될 수 있고, 최종 수소 처리는 생략될 수 있다. 최종 수소 처리가 필요한지 여부는, 막 깊이에서의 표면 변형된 실리콘 층(160)의 다결정질 상태에 의해 주로 결정되는 최종 에칭 프로파일에 따라 좌우될 수 있다. 하나 이상의 실시형태에서, 최종 메인 에칭 및 최종 수소 처리 후에, 리세스(150)의 하부는, 도 1e에 도시된 바와 같이 여전히 절연 층(110) 위에 있을 수 있으며, 소프트 랜딩 에칭을 포함하는 후속 단계는 아래와 같이 리세스(150)를 추가로 연장시킬 수 있다.

[0032] 도 1f는 보호용 표면 층(170)을 형성하기 위한 표면 처리 후의 제조 동안의 반도체 구조물의 단면도를 도시한다.

[0033] 메인 에칭 및 수소 처리의 사이클 후에, 표면 처리를 수행하여 보호용 표면 층(170)을 형성할 수 있다. 보호용 표면 층(170)은, 후속 소프트 랜딩 에칭 동안 측벽 보호를 제공하기 위한 것이다. 특정 실시형태에서, 표면 처리는, 측벽 상의 실리콘 원자와의 표면 반응을 유도하는 반응성 가스에 기판을 노출시키는 단계를 포함한다. 예를 들어, 반응성 가스는 산소(예를 들어, O_2 , CO 또는 CO_2)를 포함하며, 산화물(예를 들어, 실리콘 산화물)을 포함하는 얇은 층이 보호용 표면 층(170)으로서 형성될 수 있다. 대안적인 실시형태에서, 반응성 가스는 질소(예를 들어, N_2 , NH_3 등)를 포함할 수 있으며, 보호용 표면 층(170)은 질화물(예를 들어, 실리콘 질화물)을 포함할 수 있다. 하나 이상의 실시형태에서, 표면 처리는 플라즈마 공정이다. 표면 처리 시에, 실리콘 위에 보호용 표면 층(170)을 위한 새로운 재료를 증착하는 것도 가능하다. 일부 실시형태에서, 화학 기상 증착(CVD), 물리 기상 증착(PVD), 원자층 증착(ALD)을 포함하는 기상 증착과 같은, 다양한 증착 기술이 사용될 수 있을 뿐만 아니라, 플라즈마 강화 CVD(PECVD) 및 다른 공정과 같은 다른 플라즈마 공정이 사용될 수 있다. 일 실시예에서, ICP 플라즈마 챔버 내에서, 80 내지 120 mTorr의 챔버 압력, 100 내지 300 W의 소스 전력 및 0 내지 50 W의 바이어스 전력, 및 200 내지 500 sccm의 Ar 유량과 함께 100 내지 200 sccm의 O_2 유량을 갖는 공정 조건이 사용된다.

[0034] 도 1g는 제3 플라즈마를 통한 소프트 랜딩 에칭 후의 제조 동안의 반도체 구조물의 단면도를 도시한다.

[0035] 다양한 실시형태에서, 주기적 플라즈마 공정은, 메인 에칭과 상이한 공정 조건을 갖는, 본 개시물에서 소프트 랜딩 에칭으로 지칭되는, 다른 에칭 공정을 더 포함할 수 있다. 소프트 랜딩 에칭의 목적은, 기판(100) 상의 다른 구성 요소 또는 형상부의 임의의 손상을 방지하면서, 폴리실리콘 층(120) 내에 타겟 고종형비(HAR) 형상부를 제조하기 위해 폴리실리콘을 추가로 제거하는 것이다. 예를 들어, 소프트 랜딩 에칭은, 절연 층(110) 및 다른 가능한 형상부(예를 들어, 아래에서 도 2a 내지 도 2e에 도시된 바와 같은 핀 형상부)가 영향을 받지 않도록, 메인 에칭보다 더 높은 에칭 선택비(예를 들어, 폴리실리콘 대 산화물 선택비)를 가질 수 있다. 도 1g에 도시된 바와 같이, 소프트 랜딩 에칭은 리세스(150)를 추가로 연장시키며, 다양한 실시형태에서 절연 층(110)을 노출시킬 수 있다. 소프트 랜딩 에칭은 반응성 이온 에칭(RIE) 공정일 수 있으며, 예를 들어 할로젠 가스를 포함하는 제2 에칭 가스를 사용할 수 있다. 특정 실시형태에서, 제2 에칭 가스는 브롬화수소(HBr) 및 이염소(Cl_2)일 수 있다. 제2 에칭 가스는, 이산화(O_2) 및/또는 희가스(예를 들어, He, Ne, Ar, Kr 등)와 같은 첨가제 가스를 더 포함할 수 있다. 일부 실시형태에서, 소프트 랜딩 에칭을 위한 제2 에칭 가스의 조성은, 메인 에칭을 위한 제1 에칭 가스와 동일할 수 있지만, 다른 실시형태에서는 상이할 수 있다. 제2 에칭 가스는, 소프트 랜딩 에칭 동안 폴리실리콘을 에칭하기 위한 제3 플라즈마가 메인 에칭 동안의 제1 플라즈마의 선택비보다 더 높은 선택비를 갖도록 선택될 수 있다. 선택비는, 하드 마스크 층(130)의 마스크 재료, 절연 층(110), 핀 구조물, 또는 다른 형상부에 대한 것일 수 있다. 유사하게, 소프트 랜딩 에칭을 위한 플라즈마 조건은, 원하는 선택비를 달성하도록 결정될 수 있다. 이러한 이유로, 일 실시형태에서, 소프트 랜딩 에칭의 에칭률은 메인 에칭의 에칭률 미만일 수 있다. 따라서, 소프트 랜딩 에칭의 공정 시간은 메인 에칭의 공정 시간보다 더 길 수 있다. 따라서, 도 1f를 참조하여 전술한 보호용 표면 층(170)의 형성은, 소프트 랜딩 에칭 동안 측벽 보호에 특히 유용할 수 있다. 다양한 실시형태에서, 소프트 랜딩 에칭에 의해 에칭될 폴리실리콘의 양은, 메인 에칭의 사이클에 의해 에칭될 폴리실리콘의 양 미만이다.

[0036] 특정 실시형태에서, 소프트 랜딩 에칭은, 100 sccm 내지 1000 sccm의 총 가스 유량, 10 mTorr 내지 800 mTorr의 압력, $-10^{\circ}C$ 내지 $200^{\circ}C$ 의 온도, 및 100 kHz 내지 10 GHz의 작동 주파수로 수행될 수 있다. 하나 이상의 실시형태에서, HBr의 유량은 약 100 sccm 내지 500 sccm의 범위로 유지되며, Cl_2 유량은 약 0 sccm 내지 300 sccm

이다. 일 실시형태에서, 첨가제 가스의 총 유량은 약 0 sccm 내지 200 sccm의 범위일 수 있다. 다양한 실시형태에서, 메인 에칭은, 2초 내지 120초, 예를 들어, 일 실시형태에서 10초 내지 50초의 공정 시간으로 수행될 수 있다. 소프트 랜딩 단계에서 높은 선택비를 달성하기 위해, 메인 에칭 공정 조건에 비해, 더 많은 표면 증착을 위해 더 높은 챔버 압력, 더 낮은 바이어스 전력, 더 높은 첨가제 유량(예를 들어, O_2 , CO_2 , 또는 N_2)을 갖는 조건에서, 공정이 수행될 수 있다.

[0037] 도 2a 내지 도 2e는 다양한 실시형태에 따라, 다양한 단계에서 3차원(3D) 반도체 소자를 제조하기 위한 예시적인 주기적 플라즈마 공정 동안의 예시적인 기관의 사시도를 도시한다. 본 개시물의 다양한 실시형태에 따른 주기적 플라즈마 공정이 적용될 수 있으며, 특히 3D 반도체 소자를 제조하는데 유용할 수 있다. 도 2a 내지 도 2e는 핀 전계 효과 트랜지스터(핀펫)에 대한 일 실시예를 도시하지만, 본 개시물에서 설명된 폴리실리콘을 에칭하는 방법을 사용하여, 다른 3D 반도체 소자가 제조될 수 있다. 공정 세부사항은 이미 기술한 것과 동일할 수 있으며, 반복되지 않을 수 있다.

[0038] 도 2a에서, 기관(100)은, 절연 층(110), 폴리실리콘 층(120), 하드 마스크 층(130), 및 패터닝된 포토레지스트 층(140)을 포함하는, 위의 도 1a에서 도시된 것과 동일한 형상부를 포함한다. 또한, 도 2a의 기관(100)은, 반도체 재료를 포함하는 핀(200), 및 핀(200) 위에 형성된 핀 하드 마스크(210)를 갖는 핀 형상부를 포함한다. 예시 목적을 위해 2개의 핀(200)이 도 2a에 도시되지만, 핀의 수는 제한되지 않음을 유의해야 한다. 다양한 실시형태에서, 핀(200)은, 제조의 종료 시에, 핀펫 소자 내에 트랜지스터 채널을 형성할 수 있다. 하나 이상의 실시형태에서, 핀(200)은, 약 20 nm 내지 약 100 nm의 높이, 및 약 5 nm 내지 약 30 nm의 폭을 가질 수 있다. SOI 핀펫의 제조는 도 2a 내지 도 2e에 도시되지만, 주기적 플라즈마 공정은 대량 핀펫의 제조에 적용 가능하며, 핀(200)은 기관(100)과 직접 결합되어 연결될 것이다.

[0039] 특정 실시형태에서, 핀(200)은, 실리콘, 실리콘 게르마늄, 또는 다른 반도체 재료를 포함한다. 일부 실시형태에서, n형 전계 효과 트랜지스터 또는 p형 전계 효과 트랜지스터는, 핀(200)을 위해 사용되는 상이한 유형의 재료로 형성될 수 있다. 예를 들어, n-FET는 높은 전자 이동도를 갖는 핀(200)을 위한 재료를 사용하여 제조될 수 있는 반면에, p-FET는 높은 정공 이동도를 갖는 핀(200)을 위한 재료를 사용하여 제조될 수 있다. 하나 이상의 실시형태에서, 핀(200)은 주기율표의 III-V족으로부터 선택된 재료로 선택될 수 있다.

[0040] 핀 형상부는, 예를 들어, 핀(200)을 위한 재료 층을 증착하고, 핀 하드 마스크(210)를 증착하며, 핀 하드 마스크를 패터닝하여 핀(200)을 위한 패턴을 한정하고, 패터닝된 핀 하드 마스크를 에칭 마스크로서 사용하여 핀(200)을 위한 재료를 에칭함으로써, 통상적인 방법에 의해 형성될 수 있다. 일부 실시형태에서, 핀(200)을 위한 재료 층의 증착은, 증착 공정에 의해, 예를 들어 화학 기상 증착(CVD) 방법에 의해 에피택셜로 형성될 수 있다.

[0041] 일 실시형태에서, 핀 하드 마스크(210)는 실리콘 산화물을 포함할 수 있다. 다양한 실시형태에서, 핀 하드 마스크(210)는, 실리콘 질화물, 실리콘 카보나이트라이드($SiCN$), 또는 실리콘 옥시카바이드($SiOC$)를 포함할 수 있다. 핀 하드 마스크(210)는, 화학 기상 증착(CVD), 물리 기상 증착(PVD)을 포함하는 기상 증착과 같은 적합한 증착 기술 뿐만 아니라, 플라즈마 강화 CVD(PECVD), 스퍼터링, 및 다른 공정과 같은 다른 플라즈마 공정을 사용하여 증착될 수 있다. 그 다음, 핀 하드 마스크(210)는 예를 들어, 리소그래피 공정 및 에칭 공정에 의해 패터닝될 수 있다. 특정 실시형태에서, 핀 하드 마스크(210)는, 폴리실리콘 층(120)을 형성하기 전에 제거될 수 있다.

[0042] 그 다음, 핀 형상부는, 폴리실리콘 층(120)을 증착한 후에 폴리실리콘 층(120) 내에 매설될 수 있다. 일 실시형태에서, 폴리실리콘 층(120)은 더미 게이트를 형성하기 위해 사용될 수 있다. 폴리실리콘 층(120)의 증착, 및 하드 마스크 층(130)을 증착하여 패터닝된 포토레지스트를 형성하는 후속 단계는, 도 1a를 참조하여 앞서 설명된 바와 같이 수행될 수 있다.

[0043] 도 2b는 하드 마스크 개방 단계 후의 제조 동안의 반도체 구조물의 사시도를 도시한다.

[0044] 하드 마스크 개방 단계는, 도 1b를 참조하여 앞서 설명된 바와 같이, 플라즈마 에칭 공정, 예를 들어 반응성 이온 에칭(RIE) 공정을 사용하여 수행될 수 있다. 따라서, 패터닝된 포토레지스트 층(140)의 패턴이 하드 마스크 층(130)에 전사될 수 있다. 도 2b에 도시된 바와 같이, 패터닝된 포토레지스트 층(140)의 나머지 부분은, 하드 마스크 개방 단계 후에, 예를 들어 애싱(ashing)에 의해 제거될 수 있다.

[0045] 도 2c는 주기적 플라즈마 공정의 단계의 사이클 후의 제조 동안의 반도체 구조물의 사시도를 도시한다.

[0046] 이전의 실시형태와 유사하게, 에칭 마스크로서 패터닝된 하드 마스크 층(130)을 통해 폴리실리콘 층(120)을 에

칭하기 위해, 메인 에칭 및 수소 처리의 사이클이 수행될 수 있다. 예시 목적을 위해 단지 하나의 라인 형상부만이 도시되지만, 복수의 라인 및 리세스를 포함하는 고종형비(HAR) 형상부가 다양한 실시형태에서 가정된다. 도 2c에 도시된 바와 같이, 주기적 플라즈마 공정의 사이클은 최종 수소 처리로 종료될 수 있으며, 이에 따라 표면 변형된 실리콘 층(160)은, 메인 에칭에 의해 노출된 폴리실리콘 층의 표면을 커버할 수 있다. 다른 실시형태에서, 최종 수소 처리는 생략될 수 있으며, 폴리실리콘 층(120)의 측벽이 노출될 수 있다. 다양한 실시형태에서, 핀 형상부의 상부 표면(예를 들어, 도 2c의 핀 하드 마스크(210)의 상부 표면)이 먼저 노출되어, 폴리실리콘 층(120) 내의 폴리실리콘의 추가적인 제거가 보다 선택적 에칭(예를 들어, 아래에 설명되는 바와 같은 소프트 랜딩 에칭)에 의해 별개로 수행될 수 있는 경우, 사이클은 종료될 수 있다.

[0047] 도 2d는 보호용 표면 층(170)을 형성하기 위한 표면 처리 후의 제조 동안의 반도체 구조물의 사시도를 도시한다.

[0048] 도 2e에 도시된 바와 같은 소프트 랜딩 에칭 전에, 보호용 표면 층(170)을 형성하기 위한 표면 처리가 도 1f를 참조하여 앞서 설명된 바와 같이 수행될 수 있다. 보호용 표면 층(170)은, 표면 변형된 실리콘 층(160)의 표면, 및 폴리실리콘 층(120)의 임의의 노출된 부분을 커버하거나 대체할 수 있다.

[0049] 도 2e는 핀 형상부를 둘러싸는 더미 게이트 형상부를 형성하는 소프트 랜딩 에칭 후의 제조 동안의 반도체 구조물의 사시도를 도시한다.

[0050] 그 다음, 소프트 랜딩 에칭을 수행하여, 메인 에칭의 선택비보다 더 높은 선택비로 폴리실리콘을 추가로 에칭할 수 있다. 폴리실리콘에 대한 소프트 랜딩 에칭의 공정 조건은, 절연 층(110) 및 핀(200), 그리고 핀 하드 마스크(210)와 같은 다른 구성 요소의 손상을 최소화하거나 없애도록 선택될 수 있다. 소프트 랜딩 에칭 후에, 핀셋과 같은 반도체 소자를 제조하기 위한 후속 공정 단계가 후속될 수 있다. 일 실시형태에서, 이러한 단계는, 게이트 스페이서 형성, 게이트 주입, 핀 리세스 및 소스/드레인 형성, 채널 방출, 및 라인 중간(middle-of-line: MOL)/라인 후단(BEOL) 공정을 포함할 수 있지만, 이에 제한되지 않는다.

[0051] 도 3a 내지 도 3c는 다양한 실시형태에 따른 주기적 플라즈마 공정의 방법의 공정 흐름도를 도시한다. 공정 흐름은 위에 설명된 도면을 따를 수 있으므로, 또 다시 설명되지 않을 것이다.

[0052] 도 3a에서, 공정 흐름(30)은, 기판을 제1 플라즈마에 노출시킴으로써 리세스를 형성하기 위해, 폴리실리콘을 포함하는 패터닝 층을 에칭하는 단계를 메인 에칭으로서 포함하는 주기적 플라즈마 공정(310)으로 시작된다(블록(320), 도 1c). 그 다음, 주기적 플라즈마 공정(310)의 루프에서, 수소 처리로서, 기판은 이수소(H_2)를 포함하는 제2 플라즈마에 노출될 수 있다(블록(330), 도 1d). 메인 에칭 및 수소 처리는 임의의 횟수로 반복되어, 리세스를 연장시킬 수 있다(예를 들어, 도 1e). 그 다음, 기판은 소프트 랜딩 에칭을 위해 제3 플라즈마에 노출되어, 리세스를 추가로 연장시킬 수 있다(블록(340), 도 1g). 특정 실시형태에서, 보호용 표면 층을 형성하기 위한 선택적인 표면 처리가 소프트 랜딩 에칭(블록(340)) 전에 수행될 수 있다(블록(335), 도 1f). 특정 실시형태에서, 반도체 소자를 제조하는 후속 제조 공정 단계(예를 들어, 게이트 스페이서 형성)가 수행될 수 있다(블록(350)).

[0053] 도 3b에서, 다른 공정 흐름(32)은, 제1 지속시간 동안 브롬화수소(HBr) 및 이염소(Cl_2)를 포함하는 제1 플라즈마에 기판을 노출시킴으로써, 리세스를 형성하도록 폴리실리콘 층을 에칭하는 단계를 메인 에칭으로서 포함하는 주기적 플라즈마 공정(312)으로 시작된다(블록(322), 도 1c). 그 다음, 수소 처리로서, 기판은 제2 지속시간 동안 이수소(H_2)를 포함하는 제2 플라즈마에 노출될 수 있다(블록(332), 도 1d). 메인 에칭 및 수소 처리는 임의의 횟수로 반복되어, 리세스를 연장시킬 수 있다(예를 들어, 도 1e). 특정 실시형태에서, 보호용 표면 층을 형성하기 위한 표면 처리가 수행될 수 있으며(블록(335), 도 1f), 소프트 랜딩 에칭이 후속되어, 기판은 제3 지속시간 동안 브롬화수소(HBr) 및 이염소(Cl_2)를 포함하는 제3 플라즈마에 노출될 수 있다(블록(342), 도 1g).

[0054] 도 3c에서, 또 다른 공정 흐름(34)은, 핀 하드 마스크 및 실리콘 핀을 포함하는 핀 형상부를 산화물 층 위에 형성하는 단계로 시작된다(블록(301)). 그 다음, 폴리실리콘을 포함하는 더미 게이트 재료가 증착될 수 있으며(블록(302)), 그 후에 더미 게이트 재료 위에 게이트 하드 마스크 층을 증착하는 단계(블록(303))가 후속될 수 있다. 그 다음, 게이트 하드 마스크 층 위에 포토레지스트가 증착되며(블록(304)), 포토리소그래피 공정을 수행함으로써 패터닝된다(블록(305), 도 2a). 게이트 하드 마스크 층이 에칭되어, 포토레지스트로부터 하드 마스크 층으로 패턴을 전사할 수 있다(블록(306), 도 2b). 패터닝된 게이트 하드 마스크 층을 에칭 마스크로서 사용하여 더미 게이트 재료를 에칭하기 위해, 주기적 플라즈마 공정(블록(314))이 후속될 수 있다. 주기적 플라즈마 공정

은, 더미 게이트 재료 내에 리세스를 형성하거나 리세스를 연장시키기 위해, 할로젠을 포함하는 제1 플라즈마에 기판을 노출시킴으로써 메인 에칭으로 시작될 수 있다(블록(324)). 그 다음, 수소 처리로서, 기판은 수소를 포함하는 제2 플라즈마에 노출될 수 있다(블록(334)). 메인 에칭 및 수소 처리는 임의의 횟수로 반복되어, 리세스를 연장시킬 수 있다. 하나 이상의 실시형태에서, 주기적 플라즈마 공정은, 핀 하드 마스크의 상부 표면이 리세스의 하부에서 노출될 때까지 계속될 수 있다(예를 들어, 도 2c). 특정 실시형태에서, 공정 흐름(34)은 보호용 표면 층을 형성하기 위한 표면 처리(블록(335), 도 2d)를 위해 계속되며, 그 후에 소프트 랜딩 에칭이 후속되어, 기판은 할로젠을 포함하는 제3 플라즈마에 노출될 수 있다(블록(344), 도 1g). 하나 이상의 실시형태에서, 소프트 랜딩 에칭은 산화물 층을 노출시키도록 리세스를 연장시킬 수 있다.

- [0055] 예시적인 실시형태가 여기에 요약된다. 본원에 제출된 청구범위 뿐만 아니라 명세서 전체로부터 다른 실시형태도 이해될 수 있다.
- [0056] 실시예 1. 기판을 처리하는 방법으로서, 복수의 사이클을 포함하는 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며, 각각의 상기 복수의 사이클은, 상기 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하거나 리세스를 연장시키도록 다결정질 반도체 재료를 포함하는 패터닝 층을 에칭하는 단계로서, 상기 기판은 산화물 층을 포함하고, 상기 패터닝 층은 상기 산화물 층 위에 형성되는, 단계; 상기 기판을 제2 플라즈마에 노출시키는 단계로서, 상기 제2 플라즈마는 이수소를 포함하는, 단계; 및 상기 기판을 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키는 단계로서, 상기 제2 플라즈마는 상기 제1 플라즈마 및 상기 제3 플라즈마와 상이한, 단계를 포함하는, 기판을 처리하는 방법.
- [0057] 실시예 2. 실시예 1에 있어서, 상기 주기적 플라즈마 에칭 공정을 수행하기 전에, 리소그래피 공정 및 에칭에 의해, 상기 패터닝 층 위에 패터닝된 하드 마스크 층을 형성하는 단계를 더 포함하며, 상기 주기적 플라즈마 에칭 공정은, 상기 하드 마스크 층을 에칭 마스크로서 사용하여 수행되는, 방법.
- [0058] 실시예 3. 실시예 1 또는 2 중 어느 하나에 있어서, 상기 주기적 플라즈마 에칭 공정을 수행한 후에, 그리고 상기 기판을 상기 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키기 전에, 상기 리세스의 표면 상에 보호용 표면 층을 형성하기 위한 표면 처리를 수행하는 단계를 더 포함하며, 상기 보호용 표면 층은, 상기 기판을 상기 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키는 동안 상기 리세스의 측벽을 보호하는, 방법.
- [0059] 실시예 4. 실시예 1 내지 3 중 어느 하나에 있어서, 상기 표면 처리는, 상기 기판을 반응성 가스에 노출시키는 단계를 포함하며, 상기 반응성 가스는 산소를 포함하고, 상기 보호용 표면 층은 산화물을 포함하는, 방법.
- [0060] 실시예 5. 실시예 1 내지 4 중 어느 하나에 있어서, 상기 표면 처리는, 상기 기판을 반응성 가스에 노출시키는 단계를 포함하며, 상기 반응성 가스는 질소를 포함하고, 상기 보호용 표면 층은 질화물을 포함하는, 방법.
- [0061] 실시예 6. 실시예 1 내지 5 중 어느 하나에 있어서, 상기 제1 플라즈마는 할로젠을 포함하는, 방법.
- [0062] 실시예 7. 실시예 1 내지 6 중 어느 하나에 있어서, 상기 제1 플라즈마는 브롬화수소 및 이염소를 포함하는, 방법.
- [0063] 실시예 8. 실시예 1 내지 7 중 어느 하나에 있어서, 상기 기판을 상기 제2 플라즈마에 노출시키는 단계는, 상기 리세스의 표면에서 상기 다결정질 반도체 재료를 비정질화하는, 방법.
- [0064] 실시예 9. 실시예 1 내지 8 중 어느 하나에 있어서, 상기 기판을 상기 제2 플라즈마에 노출시키는 단계는, 상기 리세스의 측벽의 표면을 평활화하는, 방법.
- [0065] 실시예 10. 실시예 1 내지 9 중 어느 하나에 있어서, 상기 제3 플라즈마는 할로젠을 포함하는, 방법.
- [0066] 실시예 11. 실시예 1 내지 10 중 어느 하나에 있어서, 상기 제3 플라즈마는 브롬화수소 및 이염소를 포함하는, 방법.
- [0067] 실시예 12. 실시예 1 내지 11 중 어느 하나에 있어서, 상기 기판을 상기 제3 플라즈마에 노출시키는 동안의 상기 다결정질 반도체 재료의 에칭률은, 상기 기판을 상기 제1 플라즈마에 노출시키는 동안의 상기 다결정질 반도체 재료의 에칭률보다 더 느린, 방법.
- [0068] 실시예 13. 실시예 1 내지 12 중 어느 하나에 있어서, 상기 기판을 상기 제3 플라즈마에 노출시킴으로써 연장되는 상기 리세스는, 약 5 내지 10의 높이 대 폭 비율을 갖는, 방법.
- [0069] 실시예 14. 기판을 처리하는 방법으로서, 복수의 사이클을 포함하는 주기적 플라즈마 에칭 공정을 수행하는 단

계를 포함하며, 각각의 상기 복수의 사이클은, 제1 지속시간 동안 상기 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하도록 폴리실리콘 층을 에칭하는 단계로서, 상기 기판은 산화물 층을 포함하고, 상기 폴리실리콘 층은 상기 산화물 층 위에 형성되며, 상기 제1 플라즈마는 브롬화수소 및 이염소를 포함하는, 단계; 및 제2 지속시간 동안 상기 기판을 제2 플라즈마에 노출시키는 단계로서, 상기 제2 플라즈마는 이수소를 포함하는, 단계를 포함하는, 기판을 처리하는 방법.

[0070] 실시예 15. 실시예 14에 있어서, 상기 제1 지속시간은 5초 내지 120초이며, 상기 제2 지속시간은 2초 내지 50초인, 방법.

[0071] 실시예 16. 실시예 14 또는 15 중 어느 하나에 있어서, 상기 기판을 상기 제2 플라즈마에 노출시키는 단계는, 상기 리세스의 표면에서 상기 폴리실리콘 층을 비정질화하며, 상이한 깊이에서의 상기 리세스의 임계 치수의 표준 편차를 20% 이상만큼 감소시키는, 방법.

[0072] 실시예 17. 실시예 14 내지 16 중 어느 하나에 있어서, 상기 주기적 플라즈마 에칭 공정을 수행한 후에, 상기 리세스의 표면 상에 보호용 표면 층을 형성하기 위한 표면 처리를 수행하는 단계; 및 제3 지속시간 동안 제3 플라즈마를 포함하는 상기 기판을 노출시키는 단계를 포함하는 에칭 공정에 의해, 상기 층 내의 상기 리세스를 추가로 연장시키는 단계로서, 상기 제3 플라즈마는 브롬화수소 및 이염소를 포함하고, 상기 보호용 표면 층은 상기 제3 플라즈마로부터 상기 리세스의 측벽을 보호하는, 단계를 더 포함하는, 방법.

[0073] 실시예 18. 실시예 14 내지 17 중 어느 하나에 있어서, 상기 제3 지속시간은 상기 제1 지속시간보다 더 긴, 방법.

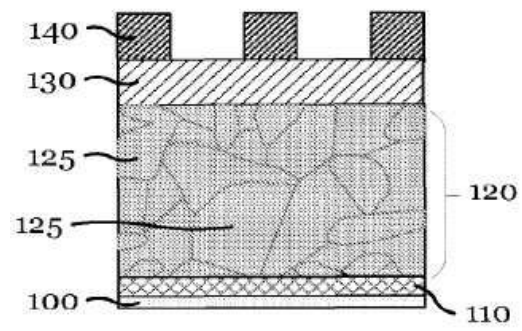
[0074] 실시예 19. 핀 전개 효과 트랜지스터를 제조하는 방법으로서, 산화물 층 위에 핀 형상부를 형성하는 단계로서, 상기 산화물 층은 상기 기판 위에 형성되고, 상기 핀 형상부는, 핀 하드 마스크, 및 상기 핀 하드 마스크 아래의 핀을 포함하며, 상기 핀은 실리콘을 포함하는, 단계; 폴리실리콘을 포함하는 더미 게이트 재료를 증착하는 단계; 상기 더미 게이트 재료 위에 게이트 하드 마스크 층을 증착하는 단계; 상기 하드 마스크 층 위에 포토레지스트를 증착하는 단계; 상기 포토레지스트를 패터닝하기 위해 포토리소그래피 공정을 수행하는 단계; 상기 포토레지스트로부터 상기 하드 마스크 층으로 패턴을 전사하기 위해 상기 게이트 하드 마스크 층을 에칭하는 단계; 및 상기 게이트 하드 마스크 층을 에칭 마스크로서 사용하여, 주기적 플라즈마 에칭 공정을 수행하는 단계를 포함하며, 상기 주기적 플라즈마 에칭 공정은 상기 핀 하드 마스크를 노출시키고, 상기 주기적 플라즈마 에칭 공정은 복수의 사이클을 포함하며, 각각의 상기 복수의 사이클은, 상기 기판을 제1 플라즈마에 노출시킴으로써, 리세스를 형성하도록 상기 더미 게이트 재료를 에칭하는 단계로서, 상기 제1 플라즈마는 할로젠을 포함하는, 단계; 및 상기 기판을 제2 플라즈마에 노출시키는 단계로서, 상기 제2 플라즈마는 수소를 포함하는, 단계를 포함하는, 핀 전개 효과 트랜지스터를 제조하는 방법.

[0075] 실시예 20. 실시예 19에 있어서, 상기 주기적 플라즈마 에칭 공정을 수행한 후에, 상기 기판을 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키는 단계를 더 포함하며, 상기 제3 플라즈마는 할로젠을 포함하고, 상기 주기적 플라즈마 에칭 공정을 수행하는 단계는, 상기 핀 하드 마스크의 상부 표면을 노출시키며, 상기 기판을 상기 제3 플라즈마에 노출시킴으로써 상기 리세스를 연장시키는 단계는, 상기 산화물 층을 노출시키는, 방법.

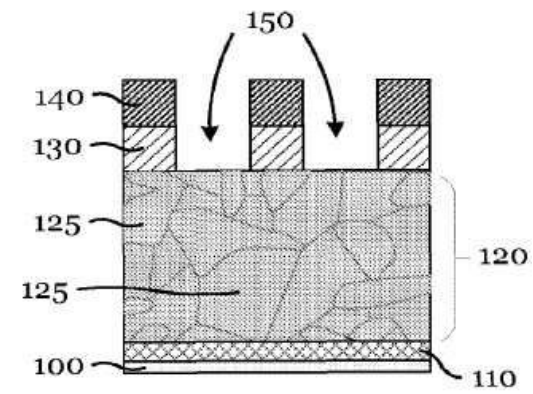
[0076] 본 발명은 예시적인 실시형태를 참조하여 설명되었지만, 이러한 설명은 제한적인 의미로 해석되는 것으로 의도되지 않는다. 설명을 참조하면, 본 발명의 다른 실시형태 뿐만 아니라, 예시적인 실시형태의 다양한 변경 및 조합은 당업자에게 명백할 것이다. 따라서, 첨부된 청구범위는 임의의 그러한 변경 또는 실시형태를 포함하는 것으로 의도된다.

도면

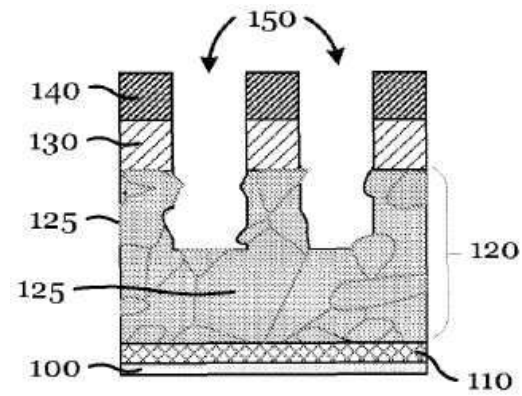
도면1a



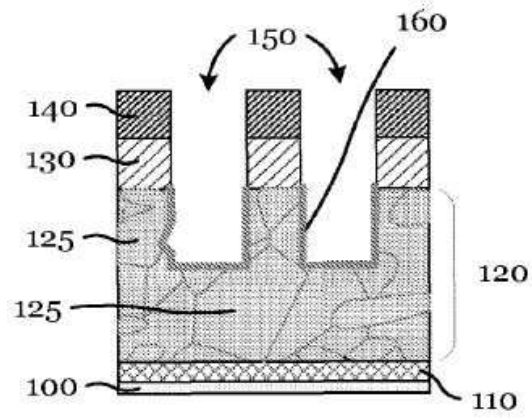
도면1b



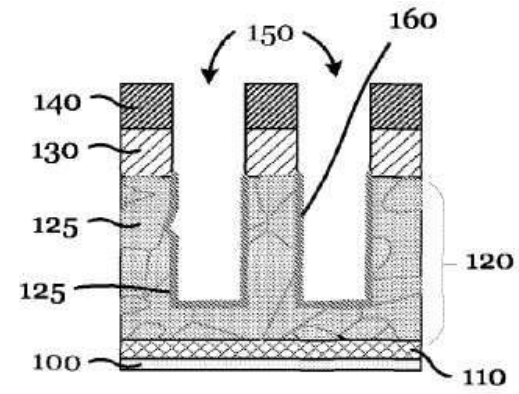
도면1c



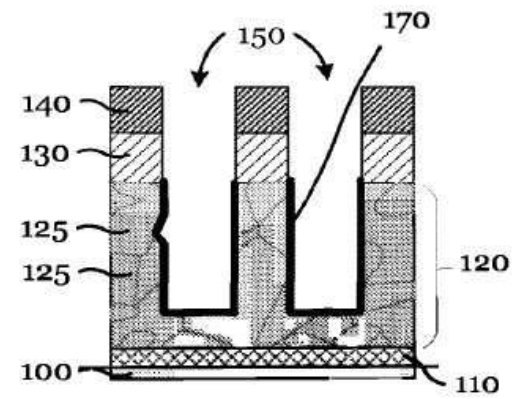
도면1d



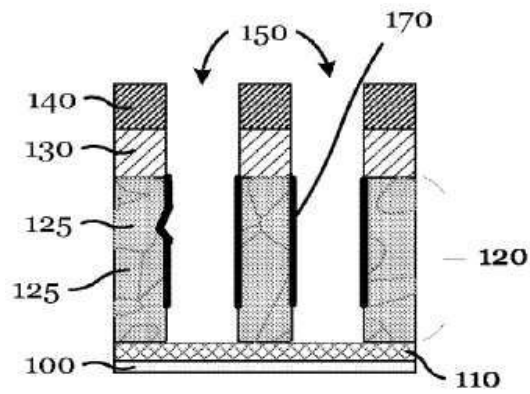
도면1e



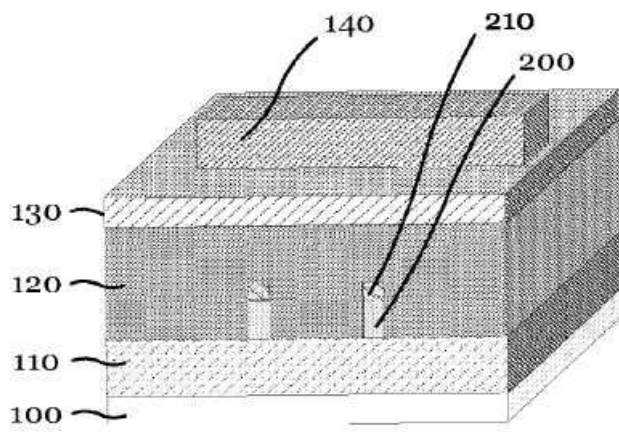
도면1f



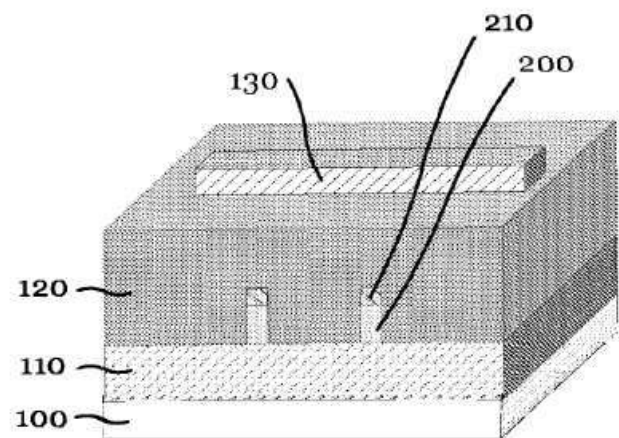
도면1g



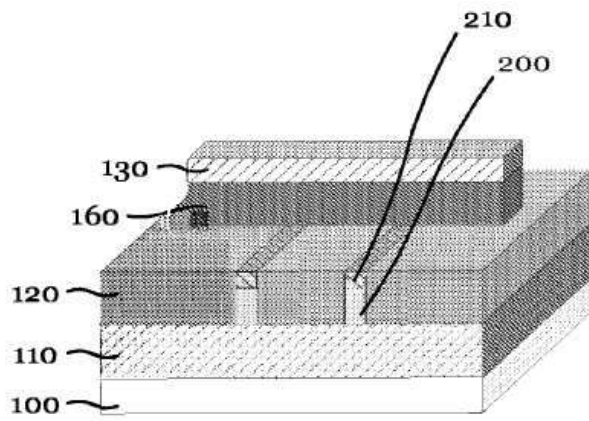
도면2a



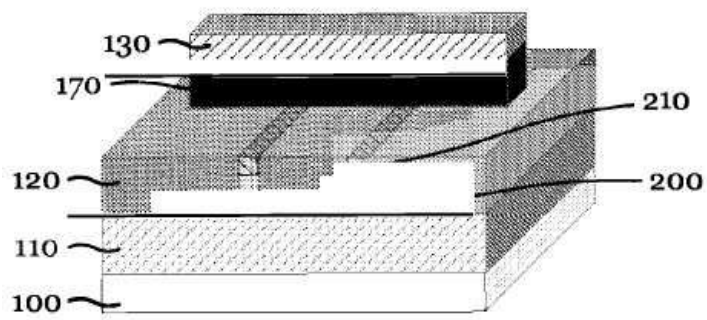
도면2b



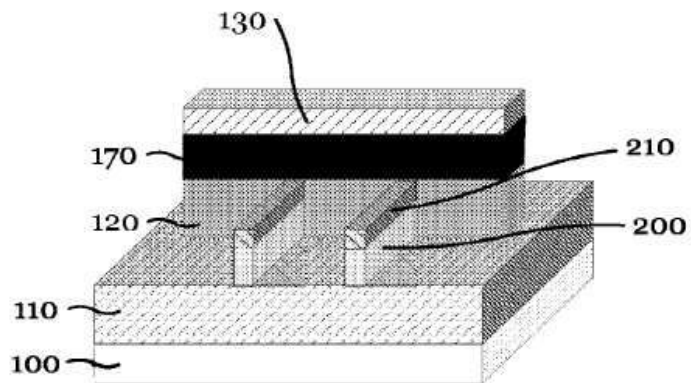
도면2c



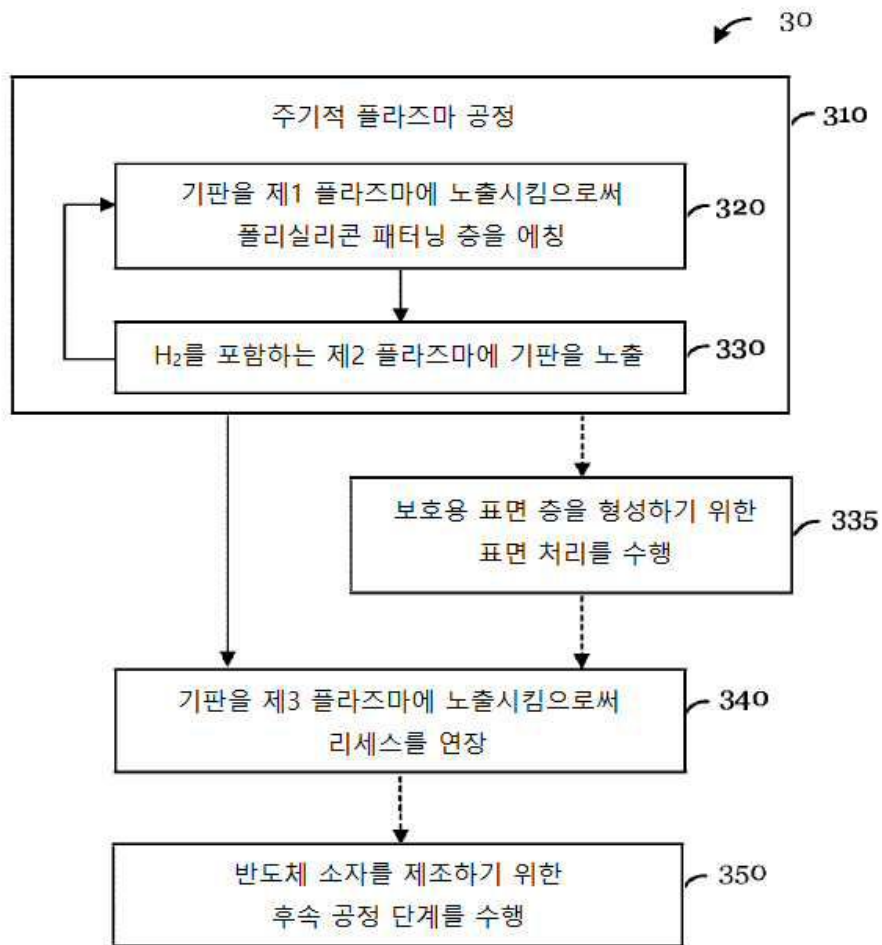
도면2d



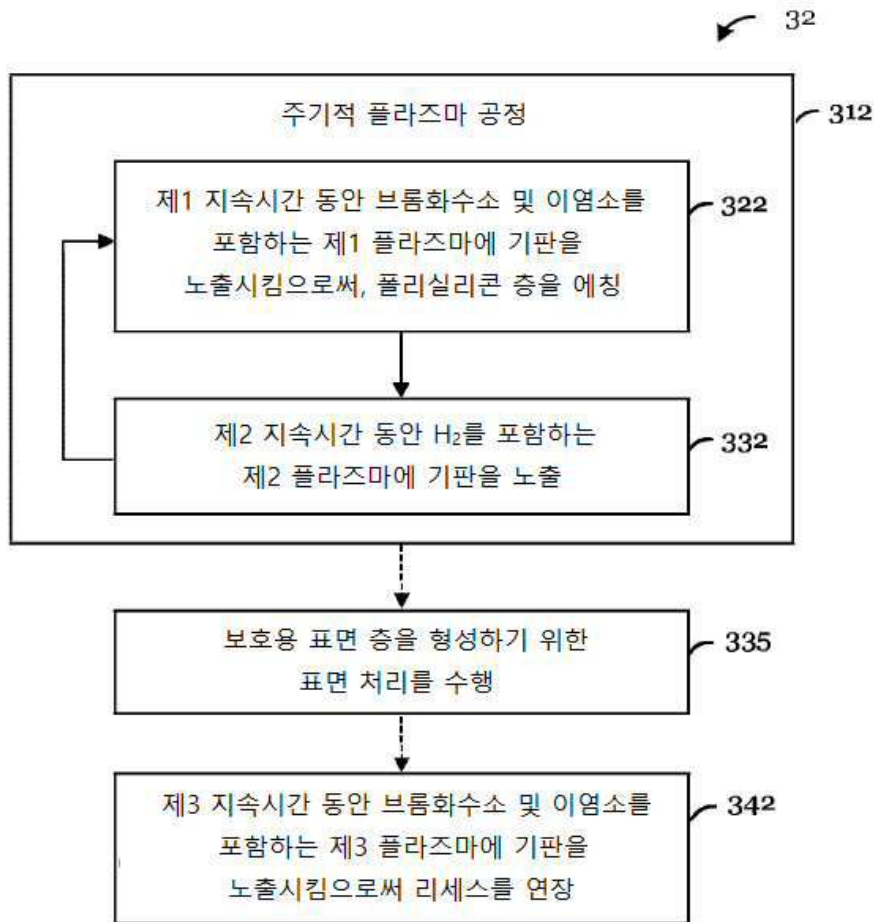
도면2e



도면3a



도면3b



도면3c

