



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0115697
(43) 공개일자 2020년10월08일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01) H03M 1/00 (2006.01)
(52) CPC특허분류
H03M 1/1215 (2013.01)
H03M 1/002 (2019.01)
(21) 출원번호 10-2019-0026905
(22) 출원일자 2019년03월08일
심사청구일자 없음

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
윤광섭
인천광역시 연수구 동곡제로117번길 22(동춘동, 연수3차대우아파트)
이호용
인천광역시 미추홀구 한나루로489번길 114-12, 203호(용현동)
(74) 대리인
이은철, 이수찬

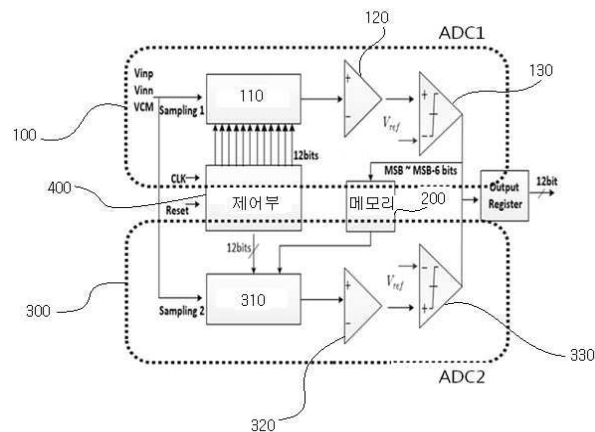
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 아날로그 디지털 변환기

(57) 요약

본 기술은 아날로그 디지털 변환기가 개시되어 있다. 본 기술의 구체적인 구현 예에 따르면, 상위 및 하위 변환부가 병렬로 구비된 아날로그 디지털 변환기에서 아날로그 형태의 상위 샘플을 소정 비트 디지털 데이터로 변환하여 출력하고, 소정 비트 디지털 데이터의 일부 비트 디지털 데이터와 상기 소정 비트 중 일부 비트를 제외한 나머지 비트의 하위 샘플을 소정 비트 디지털 데이터를 출력함에 따라 아날로그 디지털 변환기의 소모 전력 및 처리 속도를 최소로 줄일 수 있고 칩 면적을 줄일 수 있고, 스펙트럼 캐패시터를 이용하여 캐패시터 칩 면적으로 줄일 수 있고, 아날로그 디지털 변환기의 전체 사이즈를 줄일 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1345278163
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	중점연구소
연구과제명	(정부 및 산업체)그린 생체모방형 임플란터블 전자칩 및 U-생체정보처리 플랫폼 융합기술개발(정보전자공동연구소)
기 여 율	1/1
과제수행기관명	한국연구재단
연구기간	2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

시간 분할 방식 기법을 통해 순차 동작하는 상단 및 하단 변환기를 병렬로 배치되는 아날로그 디지털 변환기에 있어서,

아날로그 형태의 입력신호 중 샘플링된 상위 샘플을 소정 비트 디지털 데이터를 변환하는 출력하는 상위 변환부;

상기 소정 비트 디지털 데이터 중 임의로 지정된 일부 비트의 디지털 데이터를 저장하는 메모리;

아날로그 형태의 입력신호 중 샘플링된 하위 샘플 중 상기 일부 비트를 제외한 나머지 비트의 하위 샘플을 디지털 형태로 변환하고 변환된 디지털 형태의 나머지 비트 하위 샘플과 상기 메모리에 저장된 상기 일부 비트 디지털 데이터를 소정 비트 디지털 데이터로 변환하여 출력하는 하위 변환부; 및

외부로부터 공급되는 클럭 신호 및 리셋 신호에 의거 수행되는 시분할 기법을 이용하여 소정 비트의 제어신호를 생성하여 상기 소정 비트의 제어신호를 상기 상위 변환부로 제공하고 상기 소정 비트의 제어신호 중 일부 비트의 제어신호를 상기 하위 변환부로 제공하는 제어부를 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 2

제1항에 있어서, 상기 상위 변환부는,

상기 소정 비트의 제어신호에 의거 스위칭되어 수신된 아날로그 형태의 상위 샘플을 소정 비트 디지털 형태로 변환하는 상위 변환기;

상기 디지털 형태의 소정 비트의 상위 샘플을 증폭하는 상위 증폭기;

상기 증폭된 디지털 형태의 소정 비트의 상위 샘플 및 기 정해진 기준신호에 대해 차동 증폭하여 상기 소정 비트 디지털 데이터를 출력하는 상위 비교기를 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 3

제2항에 있어서, 상기 하위 변환부는,

상기 제어부의 제어신호에 의거 외부로부터 수신된 아날로그 형태의 소정 비트의 하위 샘플에 대해 상기 소정 비트에서 상기 일부 비트를 제외한 나머지 비트의 하위 샘플에 대해 디지털 형태로 변환한 다음 상기 메모리에 저장된 상기 일부 비트 디지털 데이터를 제공받아 디지털 형태의 소정 비트 하위 샘플을 출력하는 하위 변환기;

상기 디지털 형태의 하위 샘플을 증폭하는 하위 증폭기;

상기 증폭된 소정 비트의 하위 샘플과 기 정해진 기준신호에 대해 차동 증폭하여 소정 비트 디지털 데이터를 출력하는 하위 비교기를 더 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 4

제3항에 있어서, 상기 제어부는,

상기 리셋신호 및 클럭신호에 동기된 소정 비트의 제어신호를 생성하되, 상기 소정 비트의 제어신호를 상기 상위 변환기로 제공하고,

상기 소정 비트 중 상기 일부 비트를 제외한 나머지 비트의 제어신호를 상기 하위 변환기로 제공하도록 구비되는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 5

제2항에 있어서, 상기 상위 변환기는,

포지티브 성분의 상위 샘플 및 네거티브 상위 샘플 각각에 대해 구비되며,

상기 클럭신호에 의거 상기 상위 샘플 및 외부로부터 공급되는 직류전원 중 하나를 통과시키는 제1 스위칭소자 및 기 정해진 단위 캐패시턴스로 구비되고 상기 제1 스위칭소자의 출력신호를 충전하는 제1 캐패시터를 포함하고,

상기 상위 샘플 및 외부로부터 공급되는 직류전원 및 기준신호의 입력단에 각각 접속되고 상기 제어신호에 의해 상기 상위 샘플 및 외부로부터 공급되는 직류전원 및 기준신호 중 하나를 통과하는 다수의 스위칭소자 및 상기 각 스위칭소자의 출력단에 접속되어 각 스위칭소자의 출력신호를 충전하는 다수의 캐패시터를 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 6

제5항에 있어서, 상기 다수의 스위칭소자는

상기 소정 비트와 동일한 수로 구비되고,

상기 다수의 캐패시터는

상기 제1 캐패시터 다음 제1 비트의 캐패시터의 캐패시턴스는 단위 캐패시터로 설정되고,

상기 제1 비트의 캐패시터 다음 비트의 캐패시터는

이전 비트의 캐패시터의 2배 순차 증가하는 캐패시턴스로 설정되는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 7

제5항에 있어서, 상위 변환기는,

상기 임의의 비트의 캐패시터 출력단과 임의의 비트의 다음 비트의 캐패시터 입력단 사이에 스플릿 캐패시터를 더 포함하는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 8

제7항에 있어서, 상기 스플릿 캐패시터의 캐패시턴스는

상기 제1 캐패시터부터 상기 스플릿 캐패시터의 이전 비트의 캐패시터의 충전 용량의 합과 상기 스플릿 캐패시터 이후 비트 캐패시터의 캐패시턴스의 합의 비로 설정되고,

상기 스플릿 캐패시터의 다음 비트인 제1 비트 캐패시터는

상기 단위 캐패시턴스로 설정되며,

상기 제1 비트의 캐패시터 이후 비트인 제2 비트 캐패시터의 캐패시턴스는

이전 비트인 제1 비트의 캐패시터의 2배 순차 증가하는 캐패시턴스로 설정되는 것을 특징으로 하는 아날로그 디지털 변환기.

청구항 9

제7항에 있어서, 상기 스플릿 캐패시터의 다음 제1 비트 캐패시터는

상기 단위 캐패시턴스로 설정되며,

상기 스플릿 캐패시터의 다음 제1 비트와 상기 제1 비트 다음 제2 비트의 캐패시터는

2배 단위 캐패시턴스로 각각 설정되고

상기 제2 비트 이후 비트의 캐패시터는 상기 제2 비트의 캐패시터의 캐패시턴스보다 2배 순차 증가하는 캐패시턴스로 설정되는 것을 특징으로 하는 아날로그 디지털 변환기.

발명의 설명

기술 분야

- [0001] 본 발명은 아날로그 디지털 변환기에 관한 것으로서, 더욱 상세하게는 상위 및 하위 변환부가 병렬로 구비된 아날로그 디지털 변환기에서 아날로그 형태의 상위 샘플을 소정 비트 디지털 데이터로 변환하여 출력하고, 소정 비트 디지털 데이터의 일부 비트 디지털 데이터와 상기 소정 비트 중 일부 비트를 제외한 나머지 비트의 하위 샘플을 소정 비트 디지털 데이터로 변환 출력함에 따라 아날로그 디지털 변환기의 소모 전력 및 처리 속도를 최소로 줄일 수 있고 스플릿 캐패시터의 병렬 배치에 의거 칩 면적을 줄일 수 있도록 한 기술에 관한 것이다.

배경 기술

- [0003] 축차 비교형 아날로그 디지털 변환기는 커패시터를 사용하여 정적 전력소모가 적은 소자로 입력받은 아날로그 형태의 입력 신호를 비교기와 커패시터에 충전된 전압과 비교하여 디지털 신호로 변환해주는 장치이며, 클럭이 발생할 때마다 비트를 결정하므로, 변환 속도 향상에 제약이 존재한다.
- [0004] 또한 시간 분할 방식의 축차 비교형 아날로그 디지털 변환기는 병렬로 사용한 변환기의 개수만큼 변환 속도가 향상된다.
- [0005] 그러나, 여러 개의 아날로그 디지털 변환기를 사용하여 칩 면적이 증가하고 부가회로로 인해 전력소모가 증가하고 커패시터 디지털 아날로그 변환기 내 스위칭 에너지가 증가하는 한계가 있다.
- [0006] 시간 분할 방식의 축차 비교형 아날로그 디지털 변환기는 동일한 아날로그 디지털 변환기를 여러 개 사용하여 변환속도를 증가시키지만 각각의 아날로그 디지털 변환기의 비교기와 커패시터 디지털 아날로그 변환기 내 오프셋 전압 차이가 발생하여 고해상도 설계에 제한이 발생한다. 따라서 고해상도 설계에 한계가 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 시간 분할 방식 기법을 사용하여 다수개의 변환기를 병렬로 배치하여 변환속도를 증가시키고 칩 면적을 감소시키며 전력 소모를 줄일 수 있는 아날로그 디지털 변환기를 제공하고자 함에 그 목적이 있다.
- [0009] 또한 본 발명은, 커패시터의 부정합으로 인해 발생하는 오프셋 전압을 감소시켜 고해상도 설계가 가능한 아날로그 디지털 변환기를 제공하고자 함에 그 목적이 있다.

과제의 해결 수단

- [0010] 일 실시 예에 따른 아날로그 디지털 변환기는,
- [0011] 시간 분할 방식 기법을 통해 순차 동작하는 상단 및 하단 변환기를 병렬로 배치되는 아날로그 디지털 변환기에 있어서,
- [0012] 아날로그 형태의 입력신호 중 샘플링된 상위 샘플을 소정 비트 디지털 데이터를 변환하는 출력하는 상위 변환부;
- [0013] 상기 소정 비트 디지털 데이터 중 임의로 지정된 일부 비트의 디지털 데이터를 저장하는 메모리;
- [0014] 아날로그 형태의 입력신호 중 샘플링된 하위 샘플 중 상기 일부 비트를 제외한 나머지 비트의 하위 샘플을 디지털 형태로 변환하고 변환된 디지털 형태의 나머지 비트 하위 샘플과 상기 메모리에 저장된 상기 일부 비트 디지털 데이터를 소정 비트 디지털 데이터로 변환하여 출력하는 하위 변환부; 및
- [0015] 외부로부터 공급되는 클럭 신호 및 리셋 신호에 의거 수행되는 시분할 기법을 이용하여 소정 비트의 제어신호를 생성하여 상기 소정 비트의 제어신호를 상기 상위 변환부로 제공하고 상기 소정 비트의 제어신호 중 일부 비트의 제어신호를 상기 하위 변환부로 제공하는 제어부를 포함할 수 있다.

- [0016] 상기 상위 변환부는,
- [0017] 상기 소정 비트의 제어신호에 의거 스위칭되어 수신된 아날로그 형태의 상위 샘플을 소정 비트 디지털 형태로 변환하는 상위 변환기;
- [0018] 상기 디지털 형태의 소정 비트의 상위 샘플을 증폭하는 상위 증폭기;
- [0019] 상기 증폭된 디지털 형태의 소정 비트의 상위 샘플 및 기 정해진 기준신호에 대해 차동 증폭하여 상기 소정 비트 디지털 데이터를 출력하는 상위 비교기를 포함할 수 있다.
- [0020] 상기 하위 변환부는,
- [0021] 상기 제어부의 제어신호에 의거 외부로부터 수신된 아날로그 형태의 소정 비트의 하위 샘플에 대해 상기 소정 비트에서 상기 일부 비트를 제외한 나머지 비트의 하위 샘플에 대해 디지털 형태로 변환한 다음 상기 메모리에 저장된 상기 일부 비트 디지털 데이터를 제공받아 디지털 형태의 소정 비트 하위 샘플을 출력하는 하위 변환기;
- [0022] 상기 디지털 형태의 하위 샘플을 증폭하는 하위 증폭기;
- [0023] 상기 증폭된 소정 비트의 하위 샘플과 기 정해진 기준신호에 대해 차동 증폭하여 소정 비트 디지털 데이터를 출력하는 하위 비교기를 더 포함할 수 있다.
- [0024] 상기 제어부는,
- [0025] 상기 리셋신호 및 클럭신호에 동기된 소정 비트의 제어신호를 생성하되, 상기 소정 비트의 제어신호를 상기 상부 변환기로 제공하고, 상기 소정 비트 중 상기 일부 비트를 제외한 나머지 비트의 제어신호를 상기 하위 변환기로 제공하도록 구비될 수 있다.
- [0026] 상기 상위 변환기는, 포지티브 성분의 상위 샘플 및 네거티브 상위 샘플 각각에 대해 구비되며,
- [0027] 상기 클럭신호에 의거 상기 상위 샘플 및 외부로부터 공급되는 직류전원 중 하나를 통과시키는 제1 스위칭소자 및 기 정해진 단위 캐패시턴스로 구비되고 상기 제1 스위칭소자의 출력신호를 충전하는 제1 캐패시터를 포함하고,
- [0028] 상기 상위 샘플 및 외부로부터 공급되는 직류전원 및 기준신호의 입력단에 각각 접속되고 상기 제어신호에 의해 상기 상위 샘플 및 외부로부터 공급되는 직류전원 및 기준신호 중 하나를 통과하는 다수의 스위칭소자와, 상기 각 스위칭소자의 출력단에 접속되어 각 스위칭소자의 출력신호를 충전하는 다수의 캐패시터를 포함할 수 있다.
- [0029] 여기서, 상기 다수의 스위칭소자는 상기 소정 비트와 동일한 수로 구비될 수 있고, 상기 다수의 캐패시터는 상기 제1 캐패시터 다음 제1 비트의 캐패시터의 캐패시턴스는 단위 캐패시터로 설정되고, 상기 제1 비트의 캐패시터 다음 비트의 캐패시터는 이전 비트의 캐패시터의 2배 순차 증가하는 캐패시턴스로 설정될 수 있다.
- [0030] 상기 상위 변환기는,
- [0031] 상기 임의의 비트의 캐패시터 출력단과 임의의 비트의 다음 비트의 캐패시터 입력단 사이에 스플릿 캐패시터를 더 포함할 수 있다.
- [0032] 상기 스플릿 캐패시터의 캐패시턴스는 상기 제1 캐패시터부터 상기 스플릿 캐패시터의 이전 비트의 캐패시터의 충전 용량의 합과 상기 스플릿 캐패시터 이후 비트 캐패시터의 캐패시턴스의 합의 비로 설정되고,
- [0033] 상기 스플릿 캐패시터의 다음 제1 비트 캐패시터는 상기 단위 캐패시턴스로 설정되며, 상기 스플릿 캐패시터의 다음 제1 비트와 상기 제1 비트 다음 제2 비트의 캐패시터는 2배 단위 캐패시턴스로 각각 설정되고 상기 제2 비트 이후 비트의 캐패시터는 제2 비트의 캐패시터의 캐패시턴스보다 2배 순차 증가하는 캐패시턴스로 설정될 수 있다.

발명의 효과

- [0035] 일 실시 예에 따르면, 상위 및 하위 변환부가 병렬로 구비된 아날로그 디지털 변환기에서 아날로그 형태의 상위 샘플을 소정 비트 디지털 데이터로 변환하여 출력하고, 소정 비트 디지털 데이터의 일부 비트 디지털 데이터와 상기 소정 비트 중 일부 비트를 제외한 나머지 비트의 하위 샘플을 소정 비트 디지털 데이터를 출력함에 따라 아날로그 디지털 변환기의 소모 전력 및 처리 속도를 최소로 줄일 수 있고 칩 면적을 줄일 수 있다.

[0036] 또한 일 실시 예에 따르면, 스플릿 캐패시터를 이용하여 캐패시터 칩 면적으로 줄일 수 있고, 아날로그 디지털 변환기의 전체 사이즈를 줄일 수 있다.

도면의 간단한 설명

[0037] 도 1은 일 실시 예의 아날로그 디지털 변환기의 구성을 보인 도이다.

도 2는 일 실시 예의 상위 변환기의 세부 구성도이다.

도 3은 다른 실시 예의 상위 변환기의 세부 구성도이다

도 4는 일 실시 예의 아날로그 디지털 변환기의 출력 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0038] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면부호를 붙였다.

[0039] 명세서 전체에서, 어떤 부분이 어떤 구성요소 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "...모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 또는 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0040] 일 실시 예는 상위 및 하위 변환부가 병렬로 구비된 아날로그 디지털 변환기에서 아날로그 형태의 상위 샘플을 소정 비트 디지털 데이터로 변환하여 출력하고, 소정 비트 디지털 데이터의 일부 비트 디지털 데이터와 상기 소정 비트 중 일부 비트를 제외한 나머지 비트의 하위 샘플을 소정 비트 디지털 데이터를 출력하는 구성을 갖춘다.

[0041] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다.

[0042] 도 1은 일 실시 예의 아날로그 디지털 변환기의 구성을 보인 도면이고, 도 2는 도 1에 도시된 상위 변환기의 구성을 보인 예시도이고, 도 3은 도 1에 도시된 상위 변환기의 구성을 보인 다른 예시도이며, 도 4는 도 1에 도시된 아날로그 디지털 변환기의 각 부의 출력 파형도이다.

[0043] 도 1을 참조하면, 일 실시 예의 아날로그 디지털 변환기(S)는 상위 변환부(100), 메모리(200), 하위 변환부(300), 및 제어부(400)를 포함할 수 있다.

[0044] 제어부(400)의 제어신호에 의거 동작되는 상위 변환부(100)는 아날로그 형태의 상위 샘플을 디지털 형태로 변환하여 소정 비트(12 비트) 디지털 데이터를 출력하도록 구비될 수 있다.

[0045] 여기서, 상위 변환부(100)는 상위 변환기(110), 상위 증폭기(120), 및 상위 비교기(130)를 포함할 수 있다. 여기서 제어부(400)의 제어 신호에 의거 동작되는 상위 변환기(110)는 상기 소정 비트의 제어신호에 의거 수신된 아날로그 형태의 상위 샘플을 디지털 형태로 변환한 다음 상위 증폭기(120)로 전달하고 상위 증폭기(120)는 변환된 디지털 형태의 상위 샘플을 증폭한 다음 상위 비교기(130)로 전달한다.

[0046] 상기 상위 비교기(130)는 증폭된 디지털 형태의 상위 샘플과 기 정해진 기준신호(Vref)를 전달받아 차동 증폭하여 12 비트 디지털 데이터(MSB, MSB1~MSB10, LSB)를 출력한다.

[0047] 또한 메모리(200)는 상위 변환부(100)의 12 비트 디지털 데이터(MSB, MSB1~MSB10, LSB) 중 6비트 디지털 데이터(MSB, MSB1~MSB5)를 전달받아 저장한다.

[0048] 한편, 하위 변환부(300)는 하위 변환기(310), 하위 증폭기(320), 및 하위 비교기(330)를 포함할 수 있다. 여기서 제어부(400)의 6 비트의 제어신호에 의거 동작되는 하위 변환기(110)는 제어신호에 의거 수신된 아날로그 형태의 하위 샘플에 대해 디지털 형태로 변환하여 디지털 형태의 6 비트 하위샘플(MSB6~MSB10, LSB)를 출력한다.

[0049] 그리고 하위 변환기(310)의 디지털 형태로 변환된 6 비트 하위 샘플(MSB6~MSB10, LSB)과 상기 메모리(200)로부터 전달받은 6 비트 디지털 데이터(MSB, MSB1~MSB5)는 하위 증폭기(320)로 전달되고, 하위 증폭기(320)는 변

환된 디지털 형태의 12 비트 하위 샘플을 증폭한 다음 하위 비교기(330)로 전달한다.

- [0050] 상기 하위 비교기(330)는 증폭된 디지털 형태 하위 샘플과 기 정해진 기준신호(V_{ref})를 전달받아 차동 증폭하여 12 비트 디지털 데이터(MSB, MSB1~MSB10, LSB)를 출력한다.
- [0051] 따라서, 상위 변환부(100)의 6비트 디지털 데이터는 하위 변환부(300)에 인가되어 이에 하위 변환기(310)는 6 비트의 제어 신호에 의거 하위 샘플 중 6 비트의 하위 샘플에 대해 디지털 형태로 변환되므로 하위 변환기(310)의 소모 전력을 감소할 수 있으며 이에 아날로그 디지털 변환기의 전체 처리 속도가 감소된다.
- [0052] 도 2는 도 1에 도시된 상위 변환기의 세부적인 구성을 보인 도면으로서, 도 2를 참조하면, 외부로부터 공급되는 클럭신호(CLK)에 의거 상위 샘플의 입력전원(V_{inp})(V_{inn}) 및 외부로부터 공급되는 직류전원(V_{ss}) 중 하나를 통과시키는 제1 스위칭소자(S_1) 및 기 정해진 단위 캐패시턴스(C)로 구비되고 상기 제1 스위칭소자(S_1)의 출력신호를 충전하는 제1 캐패시터를 포함할 수 있다.
- [0053] 또한 상부 변환기(110)는 상위 샘플의 입력전원(V_{inp})(V_{inn}) 및 외부로부터 공급되는 직류전원(V_{ss}) 및 기준신호(V_{ref})의 입력단에 각각 접속되고 제어신호에 의해 각각 동작되어 상기 상위 샘플 및 외부로부터 공급되는 직류전원 및 기준신호 중 하나를 통과하는 다수의 스위칭소자($S_2 \sim S_{13}$)와, 상기 각 스위칭소자($S_2 \sim S_{13}$) 출력단에 접속되어 각 스위칭소자($S_2 \sim S_{13}$)의 출력신호를 충전하는 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C, C, 2C, 4C, 8C, 16C, 32C)를 포함할 수 있다. 여기서, C 는 기 정해진 단위 캐패시턴스이다.
- [0054] 즉, 상기 다수의 스위칭소자($S_2 \sim S_{13}$)는 상기 12 비트와 동일한 수로 구비될 수 있고, 상기 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C, C, 2C, 4C, 8C, 16C, 32C)는 이전 비트의 캐패시터의 캐패시턴스보다 2배씩 순차 증가한 캐패시턴스로 구비된다. 예를 들어, 제1 캐패시터를 제외한 나머지 제1 비트의 캐패시터가 단위 캐패시터(C)이면, 다음 비트인 제2 비트의 캐패시터의 캐패시턴스는 2C로 설정되고, 다음 비트인 제3 비트의 캐패시터는 이전 비트인 제2 비트의 2C의 2배인 4C 캐패시턴스를 가진다.
- [0055] 또한, 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C, C, 2C, 4C, 8C, 16C, 32C)의 상기 임의의 비트의 캐패시터(32C) 출력단과 임의의 비트의 다음 비트의 캐패시터(C) 출력단 사이에 스펙트럼 캐패시터(C_s)를 더 포함하고, 스펙트럼 캐패시터(C_s)의 캐패시턴스는 제1 캐패시터(C_1)과 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C)의 합인 64와 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C)의 합인 63의 비로 정해진다.
- [0056] 이에 이전 비트의 캐패시턴스에 대해 2 배씩로 계속 증가하는 기존의 캐패시턴스에 비해 스펙트럼 캐패시터(C_s)에 의거 상위 변환기(110)의 캐패시터의 충전 용량은 줄일 수 있고, 이에 아날로그 디지털 변환기의 칩 면적은 줄일 수 있다.
- [0057] 도 3은 도 1에 도시된 상위 변환기의 세부적인 구성을 보인 도면으로서, 도 3을 참조하면, 도 3을 참조하면, 다른 실시 예에 따른 상위 변환기(110)는 외부로부터 공급되는 클럭신호(CLK)에 의거 상기 상위 샘플(V_{inp})(V_{inn}) 및 외부로부터 공급되는 직류전원(V_{ss}) 중 하나를 통과시키는 제1 스위칭소자(S_1) 및 기 정해진 단위 캐패시턴스(C)로 구비되고 상기 제1 스위칭소자(S_1)의 출력신호를 충전하는 제1 캐패시터를 포함할 수 있다.
- [0058] 또한 상부 변환기(110)는 상위 샘플(V_{inp})(V_{inn}) 및 외부로부터 공급되는 직류전원(V_{ss}) 및 기준신호(V_{ref})의 입력단에 각각 접속되고 제어신호에 의해 각각 동작되어 상기 상위 샘플 및 외부로부터 공급되는 직류전원 및 기준신호 중 하나를 통과하는 다수의 스위칭소자($S_2 \sim S_{13}$)와, 상기 각 스위칭소자($S_2 \sim S_{13}$) 출력단에 접속되어 각 스위칭소자($S_2 \sim S_{13}$)의 출력신호를 충전하는 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C, 2C, 2C, 4C, 8C, 16C, 32C)를 포함할 수 있다. 여기서, C 는 기 정해진 단위 캐패시턴스이다.
- [0059] 즉, 상기 다수의 스위칭소자($S_2 \sim S_{13}$)는 상기 12 비트와 동일한 수로 구비될 수 있고, 상기 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C, 2C, 2C, 4C, 8C, 16C, 32C)는 이전 비트의 캐패시터의 캐패시턴스보다 2배씩 순차 증가한 캐패시턴스로 구비된다.
- [0060] 또한, 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C, 2C, 2C, 4C, 8C, 16C, 32C)의 상기 임의의 비트의 캐패시터(32C) 출력단과 임의의 비트의 다음 비트의 캐패시터(C) 출력단 사이에 스펙트럼 캐패시터(C_s)를 더 포함하고, 스펙트럼 캐패시터(C_s)의 캐패시턴스는 제1 캐패시터(C_1)과 다수의 캐패시터(C, 2C, 4C, 8C, 16C, 32C)의 합인 64와 다수의 캐패시터(2C, 2C, 4C, 8C, 16C, 32C)의 합인 64 비로 정해진다. 이에 스펙트럼 캐패시터(C_s)는 단위 캐패시턴스(C)로 이루어진다.
- [0061] 이에 이전 비트의 캐패시턴스에 대해 2 배씩로 계속 증가하는 기존의 캐패시턴스에 비해 스펙트럼 캐패시터(C_s)에

의거 상위 변환기(110)의 캐패시터의 용량은 줄일 수 있고, 이에 아날로그 디지털 변환기의 칩 면적은 줄일 수 있다.

[0062] 도 4는 도 1에 도시된 아날로그 디지털 변환기의 각 부의 출력 파형도로서, 도 4를 참조하면, 이러한 스플릿 캐패시터가 적용된 아날로그 디지털 변환기는 외부로부터 공급되는 클럭신호(Clock) 및 리셋신호(RESET1)(RESET 2)에 의거 상위 샘플에 대한 샘플링을 수행하고 상위 샘플에 대해 측차 비교를 통해 12 비트의 디지털 데이터(MSB, MSB1~MSB10, LSB)가 결정된다.

[0063] 그리고, 상위 샘플에 대해 출력된 12 비트 디지털 데이터(MSB, MSB1~MSB10, LSB) 중 6 비트 디지털 데이터(MSB, MSB1~MSB6)는 메모리(200)에 저장된다.

[0064] 이 후 하위 변환부(300)는 6비트의 하위 샘플에 대해 디지털 형태로 변환한 다음 디지털 형태의 6비트 하위 샘플과 메모리(220)에 저장된 6비트 디지털 데이터에 대해 디지털 형태의 하위 샘플로 변환한 다음 증폭 및 비교하여 12비트 디지털 데이터를 출력한다.

[0065] 따라서, 상위 및 하위 변환부가 병렬로 구비된 아날로그 디지털 변환기에서 아날로그 형태의 상위 샘플을 소정 비트 디지털 데이터로 변환하여 출력하고, 소정 비트 디지털 데이터의 일부 비트 디지털 데이터와 상기 소정 비트 중 일부 비트를 제외한 나머지 비트의 하위 샘플을 소정 비트 디지털 데이터를 출력함에 따라 아날로그 디지털 변환기의 소모 전력 및 처리 속도를 최소로 줄일 수 있고 칩 면적을 줄일 수 있다.

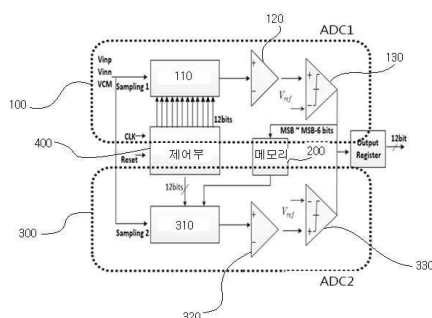
[0066] 이상으로 본 발명에 관한 바람직한 실시예를 설명하였으나, 본 발명은 상기 실시예에 한정되지 아니하며, 본 발명의 실시예로부터 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의한 용이하게 변경되어 균등하다고 인정되는 범위의 모든 변경을 포함한다.

부호의 설명

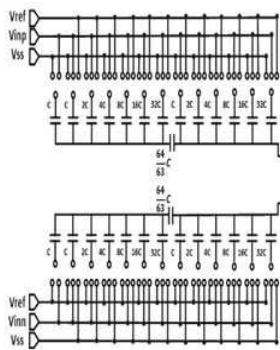
[0067] 100 : 상위 변환부
110 : 상위 변환기
120 : 상위 증폭기
130 : 상위 비교기
200 : 메모리
300 : 하위 변환부
310 : 하위 변환기
320 : 하위 증폭기
330 : 하위 비교기
400 : 제어부

도면

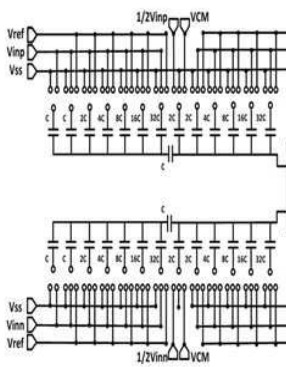
도면1



도면2



도면3



도면4

