

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/122628 A1

PCT

(43) 国際公開日

2010年10月28日(28.10.2010)

(51) 国際特許分類:

H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 21/318 (2006.01) H01L 29/812 (2006.01)

(21) 国際出願番号: PCT/JP2009/057854

(22) 国際出願日: 2009年4月20日(20.04.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 金村 雅仁(KANAMURA, Masahito) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP). 牧山 剛三(MAKIYAMA, Kozo) [JP/JP]; 〒2118588 神奈川県

川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 國分 孝悦(KOKUBUN, Takayoshi); 〒1700013 東京都豊島区東池袋1丁目17番8号 NBF池袋シティビル5階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

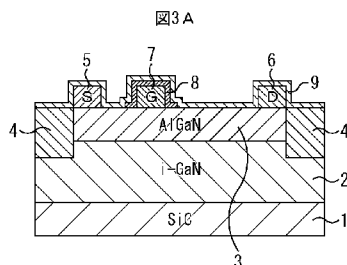
(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

[続葉有]

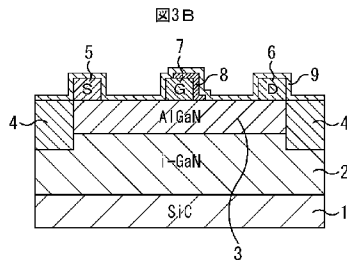
(54) Title: COMPOUND SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 化合物半導体装置及びその製造方法

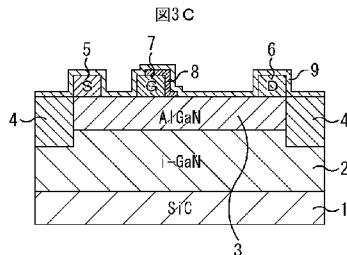
[図3A]



[図3B]



[図3C]



(57) Abstract: Two layers of protection films (8, 9) are formed such that a sheet resistance at a part directly below the protection film (8) is higher than that at a part directly below the protection film (9). The protection films (8, 9) are formed of, for instance, a SiN film, as insulating films. The protection film (8) is formed with a hydrogen concentration higher than that of, for instance, the protection film (9) so that the refractive index of the protection film (8) is higher than that of the protection film (9). The protection film (8) is formed to cover a gate electrode (7) and extend to the vicinity of the gate electrode (7) on an electron supplying layer (3). The protection film (9) is formed over the entire surface to cover the protection film (8). Thus, a highly reliable compound semiconductor device wherein a gate leak is remarkably reduced with the relatively simple configuration and high voltage operation, high withstand voltage and high output are achieved is provided.

(57) 要約: 2層の保護膜(8, 9)を、保護膜(8)の直下部分が保護膜(9)の直下部分よりもシート抵抗が高くなるように形成する。保護膜(8, 9)は、絶縁膜として例えばSiN膜により形成される。保護膜(8)は、保護膜(9)よりも屈折率が高くなるように、例えば保護膜(9)よりも高い水素濃度に形成される。保護膜(8)は、ゲート電極(7)を覆い電子供給層(3)上でゲート電極(7)の近傍まで延在するように形成される。保護膜(9)は、保護膜(8)を覆うように全面に形成される。この構成により、比較的簡易な構成でゲートリークを大幅に低減し、高電圧動作、高耐圧及び高出力を達成する信頼性の高い化合物半導体装置が実現する。



WO 2010/122628 A1



(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 化合物半導体装置及びその製造方法

技術分野

[0001] 本発明は、窒化物半導体からなる電子走行層及び電子供給層を備えた化合物半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、 AlGaIn/GaN のヘテロ接合を利用し、 GaN を電子走行層とする化合物半導体装置である $\text{AlGaIn}/\text{GaN} \cdot \text{FET}$ の開発が活発である（例えば、特許文献1～4を参照）。 GaN は、ワイドバンドギャップ、高い破壊電界強度、及び大きい飽和電子速度を有する材料であることから、高電圧動作且つ高出力を得る半導体装置の材料として極めて有望である。 $\text{AlGaIn}/\text{GaN} \cdot \text{FET}$ では、 AlGaIn からなる電子供給層上にソース電極、ドレイン電極及びゲート電極が形成され、表面トラップを低減するための保護膜（例えば SiN 膜）が全面に形成される。

先行技術文献

特許文献

- [0003] 特許文献1：特開2007-227884号公報
特許文献2：特開2004-288952号公報
特許文献3：特開平8-162476号公報
特許文献4：特開平4-282841号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記の $\text{AlGaIn}/\text{GaN} \cdot \text{FET}$ では、想定されるよりも大きなゲートリークが発生することが多く、 $\text{AlGaIn}/\text{GaN} \cdot \text{FET}$ の利点として考えられている高電圧動作を行うことが困難となる。そのため、 $\text{AlGaIn}/\text{GaN} \cdot \text{FET}$ では、ゲートリーク電流を低減する工夫が必須であるが、そのための有効な方策は採られていない現況にある。

[0005] 本発明は、上記の課題に鑑みてなされたものであり、比較的簡易な構成でゲートリークを大幅に低減し、高電圧動作、高耐圧及び高出力を達成する信頼性の高い化合物半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0006] 化合物半導体装置の一態様は、基板と、前記基板上方に形成された電子走行層と、前記電子走行層上方に形成された電子供給層と、前記電子供給層上方に形成された、ソース電極、ドレイン電極、及び前記ソース電極と前記ドレイン電極との間に形成されたゲート電極とを含み、前記電子走行層と前記電子供給層との間には、前記ゲート電極と前記ドレイン電極との間において、第1の領域と、前記第1の領域よりも2次元電子ガス濃度の低い第2の領域とが形成されており、前記第1の領域は前記ドレイン電極に偏倚する位置に、前記第2の領域は前記ゲート電極に偏倚する位置にそれぞれ形成されている。

[0007] 化合物半導体装置の製造方法の一態様は、基板と、前記基板上方に形成された電子走行層と、前記電子走行層上方に形成された電子供給層と、前記電子供給層上方に形成された、ソース電極、ドレイン電極、及び前記ソース電極と前記ドレイン電極との間に形成されたゲート電極とを含む化合物半導体装置の製造方法であって、前記ゲート電極と前記ドレイン電極との間に、前記ゲート電極よりも前記ドレイン電極に近い位置に第1の絶縁膜を、前記ドレイン電極よりも前記ゲート電極に近い位置に第2の絶縁膜をそれぞれ形成し、前記電子走行層と前記電子供給層との間において、前記第2の絶縁膜の下方に相当する部分の2次元電子ガス濃度を、前記第1の絶縁膜の下方に相当する部分の2次元電子ガス濃度よりも低くする。

[0008] 化合物半導体装置の製造方法の他態様は、基板と、前記基板上方に形成された電子走行層と、前記電子走行層上方に形成された電子供給層と、前記電子供給層上方に形成された、ソース電極、ドレイン電極、及び前記ソース電極と前記ドレイン電極との間に形成されたゲート電極とを含む化合物半導体

装置の製造方法であって、前記電子供給層の表層に結晶状態を変質させた空乏領域を形成する工程と、前記空乏領域が前記ドレイン電極よりも前記ゲート電極に偏倚する部位に位置するように、前記ゲート電極を形成する工程とを含む。

発明の効果

[0009] 上記の各態様によれば、比較的簡易な構成でゲートリークを大幅に低減し、高電圧動作、高耐圧及び高出力を達成する信頼性の高い化合物半導体装置が実現する。

図面の簡単な説明

[0010] [図1A]図1Aは、第1の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図1B]図1Bは、図1Aに引き続き、第1の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図1C]図1Cは、図1Bに引き続き、第1の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図1D]図1Dは、図1Cに引き続き、第1の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図1E]図1Eは、図1Dに引き続き、第1の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図1F]図1Fは、図1Eに引き続き、第1の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図2A]図2Aは、第1の実施形態による化合物半導体装置の比較例の機能を説明する概略断面図である。

[図2B]図2Bは、第1の実施形態による化合物半導体装置の機能を説明する概略断面図である。

[図3A]図3Aは、第1の実施形態の変形例1を示す概略断面図である。

[図3B]図3Bは、第1の実施形態の変形例2を示す概略断面図である。

[図3C]図3Cは、第1の実施形態の変形例3を示す概略断面図である。

[図4A]図4 Aは、第2の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図4B]図4 Bは、図4 Aに引き続き、第2の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図4C]図4 Cは、図4 Bに引き続き、第2の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図4D]図4 Dは、図4 Cに引き続き、第2の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図4E]図4 Eは、図4 Dに引き続き、第2の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図4F]図4 Fは、図4 Eに引き続き、第2の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図4G]図4 Gは、図4 Fに引き続き、第2の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図5A]図5 Aは、第3の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図5B]図5 Bは、図5 Aに引き続き、第3の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図6A]図6 Aは、第4の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図6B]図6 Bは、図6 Aに引き続き、第4の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図6C]図6 Cは、図6 Bに引き続き、第4の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[図6D]図6 Dは、図6 Cに引き続き、第4の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

発明を実施するための形態

[0011] 一本実施形態の基本骨子—

化合物半導体装置において、ゲートリーク電流の増加は、高電圧印加時にドレイン電極からゲート電極への電界が、ゲート電極の底部のドレイン電極側の端部位（以下、「ドレイン側ゲート底部端」とする。）に集中することに起因して生じる。そこで、ゲートリーク電流を減少するには、ドレイン側ゲート底部端における電界集中を緩和することが重要である。

[0012] ドレイン側ゲート底部端における電界集中を緩和するには、ドレイン電極とゲート電極との間の領域（以下、「D-G間領域」とする。）における電界を、D-G間領域内で言えば分散させれば良い。本実施形態では、化合物半導体装置の電子走行層と電子供給層との界面における2次元電子ガス濃度、換言すればシートキャリア濃度に着目する。D-G間領域の下方の前記界面において、ドレイン側ゲート底部端の近傍下の部分を、その他の部分よりも2次元電子ガス濃度が低い状態に調節する。このようにすることにより、当該近傍のシート抵抗がその他の部分よりも高くなり、D-G間領域における電界が、D-G間領域内で分散される。

[0013] 上記のようにD-G間領域の2次元電子ガス濃度を調節すべく、表面トラップを低減させる目的でソース電極、ドレイン電極及びゲート電極を覆うように形成される保護膜を利用する。具体的には、成膜条件を変えて、例えばソースガス中の水素濃度又は投入電力を変えて、D-G間領域に2種類の絶縁膜を形成する。また、D-G間領域のドレイン側ゲート底部端の近傍に相当する部分に電子線照射又はイオン注入等を行い、当該近傍の結晶状態を変質させるようにしても良い。

このように、D-G間領域の2次元電子ガス濃度を調節することにより、ドレイン側ゲート底部端における電界集中が大幅に緩和され、ゲートリークが低減し、化合物半導体装置の高電圧動作、高耐圧及び高出力を得ることができる。

[0014] —具体的な実施形態—

以下、上記の基本骨子を踏まえ、具体的な諸実施形態について図面を参照して詳細に説明する。

[0015] (第1の実施形態)

本実施形態では、化合物半導体装置である $\text{AlGaIn}/\text{GaIn}\cdot\text{FET}$ の構成について、その製造方法と共に説明する。

図1A～図1Fは、第1の実施形態による化合物半導体装置の製造方法を工程順に示す概略断面図である。

[0016] 先ず、図1Aに示すように、電子走行層2及び電子供給層3を形成する。

詳細には、基板、ここではSiC基板1上に、例えばMOVPE法により、インテンシヨナリーアンドープ GaIn ($i\text{-GaIn}$) 及びインテンシヨナリーアンドープ AlGaIn ($i\text{-AlGaIn}$) を順次堆積し、電子走行層2及び電子供給層3を形成する。ここで、電子走行層2は膜厚 $3\mu\text{m}$ 程度、電子供給層3は $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ として膜厚 20nm に形成する。

[0017] 続いて、図1Bに示すように、STI (Shallow Trench Isolation) 法により素子分離構造4を形成する。

詳細には、先ず、リソグラフィー及び塩素系ガス等を用いたドライエッチングにより、電子供給層3上の素子分離領域に、電子供給層3下の電子走行層2の一部を掘り込む深さの分離溝4aを形成する。

[0018] 次に、分離溝4a内を埋め込むように絶縁物、ここではCVD法等により電子供給層3上にシリコン酸化物を堆積する。そして、例えばCMP (Chemical-Mechanical Polishing) 法により電子供給層3上のシリコン酸化物を研磨して除去する。このとき、分離溝4a内を充填する素子分離構造4が形成される。素子分離構造4の形成により、残存する電子供給層3上の領域が活性領域となる。

ここで、分離溝4aを形成して分離溝4aに絶縁物を充填する代わりに、電子供給層3上の素子分離領域に不純物をイオン注入し、素子分離領域を絶縁状態にする手法を用いても良い。

[0019] 続いて、図1Cに示すように、ソース電極5、ドレイン電極6、及びゲート電極7が形成される。

詳細には、先ず、全面にレジストを塗布し、リソグラフィーにより、活性

領域のソース電極5及びドレイン電極6の形成予定部位に開口を有するレジストパターン（不図示）を形成する。そして、例えば蒸着法により電極材料、例えばTi/AIを開口を埋め込むようにレジストパターン上に積層する。その後、加温した有機溶媒等を用いてレジストパターンをその上のTi/AIと共に除去する。その後、例えば550℃程度の温度によりSiC基板1にアニール処理を施す。以上により、Ti/AIからなる一対のオーミック電極であるソース電極5及びドレイン電極6が形成される。

[0020] 次に、全面にレジストを塗布し、リソグラフィーにより、ゲート電極7の形成予定部位に開口を有するレジストパターン（不図示）を形成する。そして、例えば蒸着法により電極材料、例えばNi/Auを開口を埋め込むようにレジストパターン上に積層する。その後、加温した有機溶媒等を用いてレジストパターンをその上のNi/Auと共に除去する。以上により、Ni/Auからなるゲート電極7が形成される。

[0021] 続いて、図1D～図1Fに示すように、2層の保護膜8、9を、保護膜8の直下部分が保護膜9の直下部分よりもシート抵抗が高くなるように形成する。保護膜8、9は、絶縁膜として例えばSiN膜により形成される。保護膜8は、保護膜9よりも屈折率が高くなるように、例えば保護膜9よりも高い水素濃度に形成される。保護膜8は、ゲート電極7を覆い電子供給層3上でゲート電極7の近傍まで延在するように形成される。保護膜9は、保護膜8を覆うように全面に形成される。

以下、図1D～図1Fの各工程を詳述する。

[0022] 先ず、図1Dに示すように、ゲート電極7を覆うように全面に保護膜8を形成する。

詳細には、例えばプラズマCVD法を用いる。成膜条件は、プラズマの励起周波数を13.56MHz、投入電力である高周波出力を50W、ソースガスをSiH₄、N₂、及びHeの混合ガスとして、ガス流量をSiH₄/N₂/He=3sccm/150sccm/1000sccmとする。このようにして、膜厚50nm程度のSiNを全面に堆積し、保護膜8を形成する。

[0023] 続いて、図1Eに示すように、保護膜8を加工する。

詳細には、リソグラフィー及び例えばフッ素系ガスを用いたドライエッチングにより保護膜8を加工し、ゲート電極7を覆い電子供給層3上でゲート電極7の近傍まで延在するように保護膜8を残す。ドレイン電極6とゲート電極7との距離(D-G間距離)は例えば(1 μ m)~(20 μ m)程度であり、保護膜8の電子供給層3上における長さ(保護膜8の電子供給層3上で延在する部分の長さ)は、例えば(0.1 μ m)~(2 μ m)程度とされる。

[0024] 続いて、図1Fに示すように、保護膜8を覆うように全面に保護膜9を形成する。

詳細には、例えばプラズマCVD法を用いる。成膜条件は、プラズマの励起周波数を13.56MHz、投入電力である高周波出力を50W、ソースガスをSiH₄、N₂、及びHeの混合ガスとして、ガス流量をSiH₄/N₂/He=2sccm/150sccm/1000sccmとする。ここでは、SiH₄の流量を保護膜8の形成時よりも小さく調節する。このようにして、膜厚50nm程度のSiNを全面に堆積し、保護膜9を形成する。

[0025] 上記のようにSiH₄の流量を調節することにより、保護膜8、9の水素濃度は、

保護膜8の水素濃度>保護膜9の水素濃度
となる。

保護膜8、9の水素濃度は、その形成時のSiH₄の流量を例えば2.0sccm程度~3sccm程度の範囲内で保護膜8が保護膜9よりも流量が大きくなるように適宜選択することにより、調整される。

[0026] 保護膜8、9を形成するに際して、上記のように水素濃度を調節する代わりに、保護膜8を保護膜9よりも材質が適度に変質するように調節しても良い。具体的には、保護膜8、9のプラズマCVD法による形成時の成膜条件において、保護膜8を保護膜9よりも高い投入電力とする。

保護膜8、9の変質度合いは、その形成時の投入電力である高周波出力を

例えば50W程度～200W程度の範囲内で保護膜8が保護膜9よりも高周波出力が大きくなるように適宜選択することにより、調整される。

[0027] 保護膜8, 9は、ソースガス中の SiH_4 の流量及び投入電力を適宜調節して形成される。成膜条件の選択の一例を以下の表1に示す。表1では、保護膜堆積前のG-D間のシート抵抗を1とした場合のシート抵抗を表している。ここでは、 $\text{SiN}(\text{C})$ を標準と規定する。

[0028]

[表1]

表 1

標準 →

	SiN堆積前	SiN堆積後
SiN(A)	1	0.81
SiN(B)	1	0.9
SiN(C)	1	0.99
SiN(D)	1	1.23

[0029] SiN (A) は、プラズマCVD法の成膜条件を、プラズマの励起周波数を13.56MHz、投入電力である高周波出力を50W、ソースガスをSiH₄、N₂、及びHeの混合ガスとして、ガス流量をSiH₄/N₂/He=2.0sccm/150sccm/1000sccmとして形成した保護膜である。

SiN (B) は、プラズマCVD法の成膜条件を、プラズマの励起周波数を13.56MHz、投入電力である高周波出力を50W、ソースガスをSiH₄、N₂、及びHeの混合ガスとして、ガス流量をSiH₄/N₂/He=2.9sccm/150sccm/1000sccmとして形成した保護膜である。

SiN (C) は、プラズマCVD法の成膜条件を、プラズマの励起周波数を13.56MHz、投入電力である高周波出力を100W、ソースガスをSiH₄、N₂、及びHeの混合ガスとして、ガス流量をSiH₄/N₂/He=2.9sccm/150sccm/1000sccmとして形成した保護膜である。

SiN (D) は、プラズマCVD法の成膜条件を、プラズマの励起周波数を13.56MHz、投入電力である高周波出力を200W、ソースガスをSiH₄、N₂、及びHeの混合ガスとして、ガス流量をSiH₄/N₂/He=3.0sccm/150sccm/1000sccmとして形成した保護膜である。

[0030] 例えば、SiN (A) ~ (D) の成膜条件のうちから、保護膜8が保護膜9よりも高いシート抵抗となるように、適宜に2つの成膜条件を選択し、保護膜8、9を形成すれば良い。

以上のようにして、AlGaIn/GaN・FETを形成する。

[0031] 以下、本実施形態による化合物半導体装置の機能を、保護膜が単層である比較例との比較に基づいて説明する。

図2A及び図2Bは、化合物半導体装置の機能を説明する概略断面図であり、図2Aが比較例を、図2Bが本実施形態をそれぞれ示す。図2Aの比較例

では、図 1 A～図 1 E の各工程を経た後、例えば表 1 の標準条件（S i N（C）を成膜する条件）で膜厚 100 nm 程度に保護膜 10 が形成される。

[0032] 化合半導体装置では、電子走行層 2 と電子供給層 3 との界面に 2 次元電子ガスが存在する。当該界面のうち、D－G 間の界面領域に着目する。

図 2 A の比較例では、D－G 間の界面領域 13 では、2 次元電子ガス濃度（シートキャリア濃度）はほぼ一定である。従って、保護膜 10 の直下（電子供給層 3 の保護膜 10 との接触部分）におけるシート抵抗はほぼ一定である。この構成により、ドレイン電極 6 からゲート電極 7 へ向かって D－G 間に発生する電界は、図 2 A の矢印で示すように、ゲート電極 7 のドレイン電極 6 側の底部端の近傍に集中する。この電界集中に起因して、ゲートリーク電流が増加する。

[0033] これに対して、図 2 B の本実施形態では、D－G 間では、保護膜 9 の下方に相当する部分である第 1 の界面領域 11 の 2 次元電子ガス濃度よりも、保護膜 8 の下方に相当する部分である第 2 の界面領域 12 の 2 次元電子ガス濃度の方が低くなる。従って、保護膜 8 の直下（電子供給層 3 の保護膜 8 との接触部分）におけるシート抵抗 R_2 は、保護膜 9 の直下（電子供給層 3 の保護膜 9 との接触部分）におけるシート抵抗 R_1 よりも高い。

$$R_2 > R_1$$

[0034] このシート抵抗の変化は、保護膜 9 の堆積時において S i N 膜の堆積中に S i が S i N 膜の下方へ取り込まれ、電子供給層 3 の表面のポテンシャルが変化するために生じるものと考えられる。図 2 B の構成により、ドレイン電極 6 からゲート電極 7 へ向かって D－G 間に発生する電界は、図 2 B の矢印で示すように、D－G 間領域内で言わば分散する。

このように本実施形態では、ゲート電極 7 のドレイン電極 6 側の底部端における電界集中が緩和され、ゲートリーク電流が大幅に減少し、ゲート耐圧が改善される。

[0035] 以上説明したように、本実施形態によれば、比較的簡易な構成でゲートリークを大幅に低減し、高電圧動作、高耐圧及び高出力を達成する信頼性の高

いA I G a N / G a N ・ F E T が実現する。

[0036] (変形例)

ここで、第1の実施形態の諸変形例について説明する。

図3A～図3Cは、第1の実施形態の諸変形例において、第1の実施形態の図1Fに相当するA I G a N / G a N ・ F E Tの様子のみを示す概略断面図である。図3Aが変形例1、図3Bが変形例2、図3Cが変形例3にそれぞれ対応している。

[0037] (1) 変形例1

本例では、図3Aに示すように、電子供給層3上のソース電極5とドレイン電極6との間(S-G間)の領域において、ゲート電極7がソース電極5側に偏倚するように形成されている。換言すれば、S-G間の距離が、D-G間の距離よりも短くなる位置に、ゲート電極7が形成されている。

ゲート電極7を上記のような偏倚位置に形成するには、第1の実施形態における図1Cの工程において、ソース電極5及びドレイン電極6を形成した後に、ゲート電極7を所望の偏倚位置に形成すれば良い。

[0038] 本例によれば、上記した第1の実施形態における諸効果に加えて、D-G間の距離が長くなるため、ゲート電極7のドレイン電極6側の底部端における電界集中が更に緩和され、ゲートリークの発生をより確実に抑えることができる。

[0039] (2) 変形例2

本例では、図3Bに示すように、保護膜9下の保護膜8が、ゲート電極7の上面の所定部位からドレイン電極6側へ向かってゲート電極7を覆い、電子供給層3上でゲート電極7の近傍まで延在するように形成されている。電子供給層3上でソース電極5側におけるゲート電極7の近傍には、保護膜8は存在しない。

ドレイン電極6とゲート電極7との間における電界集中を緩和するには、保護膜8が、電子供給層3上でドレイン電極6側におけるゲート電極7の近傍に存在すれば十分であって、電子供給層3上でソース電極5側におけるゲ

ート電極 7 の近傍には、保護膜 8 は特に要しない。

[0040] 保護膜 8 を本例のように形成するには、第 1 の実施形態における図 1 E の工程において、ゲート電極 7 を覆うように全面形成された保護膜 8 を、以下のようにリソグラフィー及び例えばフッ素系ガスを用いたドライエッチングにより加工する。即ち、ゲート電極 7 の上面の所定部位からドレイン電極 6 側へ向かってゲート電極 7 を覆い、電子供給層 3 上でゲート電極 7 の近傍まで延在するように保護膜 8 を残す。

[0041] 本例によれば、上記した第 1 の実施形態における諸効果に加えて、保護膜 8 をできるだけ必要な箇所にのみ形成し、構成の簡略化が図られる。

[0042] (3) 変形例 3

本例では、図 3 C に示すように、変形例 1, 2 を共に採用した $\text{AlGaIn}/\text{GaInN} \cdot \text{FET}$ を開示する。即ち、ゲート電極 7 がドレイン電極 6 側よりもソース電極 5 側に偏倚するように形成されると共に、保護膜 8 が、ゲート電極 7 の上面の所定部位からドレイン電極 6 側へ向かってゲート電極 7 を覆い、電子供給層 3 上でゲート電極 7 の近傍まで延在するように形成される。

本例によれば、上記した第 1 の実施形態における諸効果に加えて、上記した変形例 1, 2 に特有の効果を共に奏する。

[0043] (第 2 の実施形態)

本実施形態では、化合物半導体装置である $\text{AlGaIn}/\text{GaInN} \cdot \text{FET}$ の構成について、その製造方法と共に説明する。第 1 の実施形態とは、保護膜 8 の形成工程が異なる点で相違する。

図 4 A ~ 図 4 G は、第 2 の実施形態による化合物半導体装置の製造方法の主要工程を順に示す概略断面図である。

[0044] 先ず、第 1 の実施形態と同様に、図 1 A 及び図 1 B と同様の各工程を経る。

続いて、図 4 A に示すように、図 1 C と同様に、ソース電極 5 及びドレイン電極 6 を形成した後、図 4 B に示すように、図 1 D で形成される保護膜 8 と同様の成膜条件により、全面に保護膜 8 を形成する。

[0045] 続いて、図 4 C に示すように、保護膜 8 を加工する。

詳細には、リソグラフィー及び例えばフッ素系ガスを用いたドライエッチングにより保護膜 8 を加工し、ゲート電極の形成予定部位に、当該部位から少なくともドレイン電極 6 側に若干張り出すように保護膜 8 を残す。ここで、ドレイン電極 6 側にのみ張り出す形状に保護膜 8 を残すようにしても良い。

続いて、図 4 D に示すように、図 1 F で形成される保護膜 9 と同様の成膜条件により、保護膜 8 を覆うように全面に保護膜 9 を形成する。

[0046] 続いて、図 4 E に示すように、保護膜 8, 9 に開口 2 3 を形成する。

詳細には、リソグラフィー及び例えばフッ素系ガスを用いたドライエッチングにより保護膜 9 及び保護膜 8 を加工し、電子供給層 3 の表面のゲート電極の形成予定部位を露出させる開口 2 3 を形成する。この開口 2 3 を形成するドライエッチングにより、保護膜 8 は、開口 2 3 の内壁から一端面が露出し、少なくともドレイン電極 6 側に若干延在するように電子供給層 3 上に残る。図 4 C の工程でドレイン電極 6 側にのみ張り出す形状に保護膜 8 を残した場合には、図 4 E の工程で保護膜 8 はドレイン電極 6 側にのみ残ることになる。

[0047] 続いて、図 4 F に示すように、レジストパターン 2 1 を形成した後、ゲート材料 2 2 を堆積する。レジストパターン 2 1 は、2 層レジストで形成しても良い。

詳細には、まず、開口 2 3 を埋め込むように全面にレジストを塗布し、リソグラフィーによりレジストを露光してレジストを加工する。具体的には、レジストのゲート電極の形成予定部位に相当する部分に、当該部位よりも少なくともドレイン電極 6 側に若干大きいサイズの開口 2 1 a を形成し、レジストパターン 2 1 とする。

次に、例えば蒸着法によりゲート材料 2 2、例えば Ni / Au を開口 2 1 a, 2 3 を埋め込むようにレジストパターン 2 1 上に積層する。

[0048] 続いて、図 4 G に示すように、ゲート電極 1 4 を形成する。

詳細には、加温した有機溶媒等を用いてレジストパターン21をその上のゲート材料22と共に除去する。以上により、電子供給層3上で底部端が保護膜8の一端面と接触し、上部分が端部で保護膜9に乗り上げる所謂オーバーハング形状とされた、 Ni/Au からなるゲート電極14が形成される。

[0049] 本実施形態による $\text{AlGaIn}/\text{GaIn}\cdot\text{FET}$ では、第1の実施形態と同様に、D-G間において、保護膜9の下方に相当する部分である第1の界面領域11の2次元電子ガス濃度よりも、保護膜8の下方に相当する部分である第2の界面領域12の2次元電子ガス濃度の方が低くなる。従って、保護膜8の直下（電子供給層3の保護膜8との接触部分）におけるシート抵抗は、保護膜9の直下（電子供給層3の保護膜9との接触部分）におけるシート抵抗よりも高い。

[0050] 本実施形態では、ゲート電極14のドレイン電極6側の底部端における電界集中が緩和され、ゲートリーク電流が大幅に減少し、ゲート耐圧が改善される。

更に本実施形態では、ゲート電極14が、その上部分が端部で保護膜9に乗り上げる形状とされている。ゲート電極14のドレイン電極6側には、言わば底部端が2箇所存在するため、ドレイン電極6からゲート電極7へ向かってD-G間に発生する電界は、2箇所の底部端に言わば分散する。従って、ゲート電極14の形状に起因して、ゲート電極14のドレイン電極6側の底部端における電界集中が更に緩和されることになる。

[0051] なお、本実施形態においても、第1の実施形態の変形例1と同様に、ゲート電極14をドレイン電極6側よりもソース電極5側に偏倚するように形成しても良い。

[0052] 以上説明したように、本実施形態によれば、比較的簡易な構成でゲートリークを大幅に低減し、高電圧動作、高耐圧及び高出力を達成する信頼性の高い $\text{AlGaIn}/\text{GaIn}\cdot\text{FET}$ が実現する。

[0053] （第3の実施形態）

本実施形態では、化合物半導体装置である $\text{AlGaIn}/\text{GaIn}\cdot\text{FET}$ の

構成について、その製造方法と共に説明する。第 1 の実施形態とは、保護膜 8 の代わりに電子供給層 3 に空乏領域が形成される点で相違する。

図 5 A 及び図 5 B は、第 3 の実施形態による化合物半導体装置の製造方法の主要工程を順に示す概略断面図である。

[0054] 先ず、第 1 の実施形態と同様に、図 1 A 及び図 1 B の各工程を経る。

続いて、図 1 C と同様に、ソース電極 5 及びドレイン電極 6 を形成した後、図 5 A に示すように、電子供給層 3 のゲート電極の形成予定部位の両側に電子線を照射する。ここで、ゲート電極の形成予定部位のドレイン電極 6 側のみに電子線を照射するようにしても良い。電子線照射条件としては、例えば 20 keV 、 $1000\text{ }\mu\text{C}/\text{cm}^2$ とする。この電子線照射により、ゲート電極の形成予定部位の両側における電子供給層 3 の表層はダメージを受けて AlGaIn の結晶構造が変質し、空乏領域 31 が形成される。

[0055] なお、電子線を照射する代わりに、電子供給層 3 のゲート電極の形成予定部位の両側又はドレイン電極 6 側のみに、所定の元素、例えば Ar をイオン注入し、空乏領域を形成するようにしても良い。

[0056] しかる後、図 5 B に示すように、第 1 の実施形態の図 1 C と同様の条件により、空乏領域 31 と底部端で接触（又は近接）するようにゲート電極 7 を形成し、図 1 F と同様に保護膜 9 を形成して（保護膜 8 は形成しない）、 $\text{AlGaIn}/\text{GaIn}\cdot\text{FET}$ を形成する。

[0057] 本実施形態による $\text{AlGaIn}/\text{GaIn}\cdot\text{FET}$ では、 $\text{D}-\text{G}$ 間において、空乏領域 31 の形成されていない保護膜 9 の下方に相当する部分である第 1 の界面領域 11 の 2 次元電子ガス濃度よりも、空乏領域 31 の下方に相当する部分である第 2 の界面領域 12 の 2 次元電子ガス濃度の方が低くなる。従って、空乏領域 31 におけるシート抵抗は、保護膜 9 の直下（電子供給層 3 の保護膜 9 との接触部分）におけるシート抵抗よりも高い。

本実施形態では、ゲート電極 7 のドレイン電極 6 側の底部端における電界集中が緩和され、ゲートリーク電流が大幅に減少し、ゲート耐圧が改善される。

[0058] 以上説明したように、本実施形態によれば、比較的簡易な構成でゲートリークを大幅に低減し、高電圧動作、高耐圧及び高出力を達成する信頼性の高いAlGa_N/Ga_N・FETが実現する。

[0059] (第4の実施形態)

本実施形態では、電子供給層上にn型のGa_N (n-Ga_n) 層を有するn-Ga_n・FETの構成について、その製造方法と共に説明する。

図6A～図6Dは、第4の実施形態による化合物半導体装置の製造方法の主要工程を順に示す概略断面図である。

[0060] 先ず、図6Aに示すように、第1の実施形態の図1Aと同様の条件でSiC基板1上に電子走行層2及び電子供給層3を形成した後、キャップ層41を形成する。

詳細には、電子供給層3上に、例えばMOVPE法により、n-Ga_n (例えばSiがドーピングされており、ドーピング濃度は例えば $2 \times 10^{18} / \text{cm}^3$ 程度) を膜厚10nm以下、例えば5nm程度に堆積し、キャップ層41を形成する。キャップ層41を形成することにより、表面トラップを更に低減することができる。

[0061] 続いて、図6Bに示すように、ソース電極及びド레인電極の形成予定部位に開口42を形成する。

詳細には、リソグラフィー及び塩素系ガス等を用いたドライエッチングにより、キャップ層41上のソース電極及びド레인電極の形成予定部位に、キャップ層41下の電子供給層3の一部を掘り込む深さの開口42を形成する。

[0062] 続いて、図6Cに示すように、ソース電極43及びド레인電極44を形成する。

詳細には、全面にレジストを塗布し、リソグラフィーにより、活性領域のソース電極5及びド레인電極6の形成予定部位である開口42を露出させる開口を有するレジストパターン(不図示)を形成する。そして、例えば蒸着法により電極材料、例えばTi/Alを開口を埋め込むようにレジストパ

ターン上に積層する。その後、加温した有機溶媒等を用いてレジストパターンをその上のTi/AIと共に除去する。その後、例えば550℃程度の温度によりSiC基板1にアニール処理を施す。以上により、開口42をTi/AIで充填して上部がキャップ層41の表面から突出する、一対のオーミック電極であるソース電極43及びドレイン電極44が形成される。

[0063] しかる後、図6Dに示すように、第1の実施形態の図1Cと同様の条件によりキャップ層41上にゲート電極7を形成し、図1D～図1Fと同様に保護膜8、9を形成して、AlGaIn/GaN・FETを形成する。

[0064] 本実施形態によるAlGaIn/GaN・FETでは、第1の実施形態と同様に、D-G間において、保護膜9の下方に相当する部分である第1の界面領域11の2次元電子ガス濃度よりも、保護膜8の下方に相当する部分である第2の界面領域12の2次元電子ガス濃度の方が低くなる。従って、保護膜8の直下（電子供給層3の保護膜8との接触部分）におけるシート抵抗は、保護膜9の直下（電子供給層3の保護膜9との接触部分）におけるシート抵抗よりも高い。

[0065] なお、本実施形態においても、第1の実施形態の変形例1と同様に、ゲート電極7をドレイン電極6側よりもソース電極5側に偏倚するように形成しても良い。

また、第1の実施形態の変形例2と同様に、保護膜8を、ゲート電極7の上面の所定部位からドレイン電極6側へ向かってゲート電極7を覆い、電子供給層3上でゲート電極7の近傍まで延在するように形成しても良い。

また、第1の実施形態の変形例3と同様に、ゲート電極7を、ドレイン電極6側よりもソース電極5側に偏倚するように形成すると共に、保護膜8を、ゲート電極7の上面の所定部位からドレイン電極6側へ向かってゲート電極7を覆い、電子供給層3上でゲート電極7の近傍まで延在するように形成しても良い。

また、第2の実施形態と同様に、保護膜8がキャップ層41上のみに存在し、ゲート電極7の底部端と接触するように、保護膜8を形成しても良い。

また、第3の実施形態と同様に、保護膜8を形成する代わりに、キャップ層41のゲート電極の形成予定部位の両側（又はドレイン電極6側のみ）に電子線を照射（又は元素をイオン注入）し、空乏領域を形成しても良い。

[0066] 以上説明したように、本実施形態によれば、比較的簡易な構成でゲートリークを大幅に低減し、高電圧動作、高耐圧及び高出力を達成する信頼性の高いAlGa_N/Ga_N・FETが実現する。

[0067] なお、上記した第1、第2及び第4の実施形態及び変形例では、保護膜8、9としてSi₃N₄膜を例示したが、例えば他の絶縁膜、例えばSiO₂、Al₂O₃等を保護膜として使用しても良い。この場合、保護膜8、9を同一材料で形成するのみならず、両者を相異なる材料で形成することも考えられる。

産業上の利用可能性

[0068] 本件によれば、比較的簡易な構成でゲートリークを大幅に低減し、高電圧動作、高耐圧及び高出力を達成する信頼性の高い化合物半導体装置が実現する。

請求の範囲

- [請求項1] 基板と、
前記基板上方に形成された電子走行層と、
前記電子走行層上方に形成された電子供給層と、
前記電子供給層上方に形成された、ソース電極、ドレイン電極、及び前記ソース電極と前記ドレイン電極との間に形成されたゲート電極と
と
を含み、
前記電子走行層と前記電子供給層との間には、前記ゲート電極と前記ドレイン電極との間において、第1の領域と、前記第1の領域よりも2次元電子ガス濃度の低い第2の領域とが形成されており、
前記第1の領域は前記ドレイン電極に偏倚する位置に、前記第2の領域は前記ゲート電極に偏倚する位置にそれぞれ形成されていることを特徴とする化合物半導体装置。
- [請求項2] 前記ゲート電極と前記ドレイン電極との間において、前記第1の領域の上方に相当する部分に第1の絶縁膜が、前記第2の領域の上方に相当する部分に第2の絶縁膜がそれぞれ形成されていることを特徴とする請求項1に記載の化合物半導体装置。
- [請求項3] 前記第2の絶縁膜は、前記第2の領域の上方に相当する部分のみに形成されていることを特徴とする請求項2に記載の化合物半導体装置。
- [請求項4] 前記第2の絶縁膜は、前記第2の領域の上方に相当する部分から前記ゲート電極上の少なくとも一部にかけて形成されていることを特徴とする請求項2に記載の化合物半導体装置。
- [請求項5] 前記第2の絶縁膜は、前記第1の絶縁膜よりも水素濃度が高いことを特徴とする請求項2に記載の化合物半導体装置。
- [請求項6] 前記第2の絶縁膜は、ダメージの導入により材質が変質していることを特徴とする請求項2に記載の化合物半導体装置。

- [請求項7] 前記電子供給層の前記ゲート電極と前記ドレイン電極との間における表層に、前記第2の領域の上方に相当する部分に結晶状態の変質による空乏領域が形成されていることを特徴とする請求項1に記載の化合物半導体装置。
- [請求項8] 前記電子供給層上の前記ソース電極と前記ドレイン電極との間にn型GaN層が形成されていることを特徴とする請求項1に記載の化合物半導体装置。
- [請求項9] 前記n型GaN層の前記ゲート電極と前記ドレイン電極との間における表層に、前記第2の領域の上方に相当する部分に結晶状態の変質による空乏領域が形成されていることを特徴とする請求項8に記載の化合物半導体装置。
- [請求項10] 前記ゲート電極は、前記ドレイン電極よりも前記ソース電極に偏倚した位置に形成されていることを特徴とする請求項1に記載の化合物半導体装置。
- [請求項11] 前記電子走行層及び前記電子供給層がそれぞれ窒化物半導体からなることを特徴とする請求項1に記載の化合物半導体装置。
- [請求項12] 基板と、
前記基板上方に形成された電子走行層と、
前記電子走行層上方に形成された電子供給層と、
前記電子供給層上方に形成された、ソース電極、ドレイン電極、及び前記ソース電極と前記ドレイン電極との間に形成されたゲート電極と
を含む化合物半導体装置の製造方法であって、
前記ゲート電極と前記ドレイン電極との間に、前記ゲート電極よりも前記ドレイン電極に近い位置に第1の絶縁膜を、前記ドレイン電極よりも前記ゲート電極に近い位置に第2の絶縁膜をそれぞれ形成し、
前記電子走行層と前記電子供給層との間において、前記第2の絶縁膜の下方に相当する部分の2次元電子ガス濃度を、前記第1の絶縁膜

の下方に相当する部分の２次元電子ガス濃度よりも低くすることを特徴とする化合物半導体装置の製造方法。

[請求項13] 前記第２の絶縁膜を、前記第１の絶縁膜よりも高い水素濃度に形成することを特徴とする請求項１２に記載の化合物半導体装置の製造方法。

[請求項14] 前記第２の絶縁膜を、前記第１の絶縁膜よりも高い投入電力により形成することを特徴とする請求項１２に記載の化合物半導体装置の製造方法。

[請求項15] 前記電子供給層上の前記ソース電極と前記ドレイン電極との間にｎ型ＧａＮ層が形成されていることを特徴とする請求項１２に記載の化合物半導体装置の製造方法。

[請求項16] 前記ゲート電極を、前記ドレイン電極よりも前記ソース電極に偏倚した位置に形成することを特徴とする請求項１２に記載の化合物半導体装置の製造方法。

[請求項17] 前記電子走行層及び前記電子供給層がそれぞれ窒化物半導体からなることを特徴とする請求項１２に記載の化合物半導体装置の製造方法。

[請求項18] 基板と、
前記基板上方に形成された電子走行層と、
前記電子走行層上方に形成された電子供給層と、
前記電子供給層上方に形成された、ソース電極、ドレイン電極、及び前記ソース電極と前記ドレイン電極との間に形成されたゲート電極と
を含む化合物半導体装置の製造方法であって、
前記電子供給層の表層に結晶状態を変質させた空乏領域を形成する工程と、
前記空乏領域が前記ドレイン電極よりも前記ゲート電極に偏倚する部位に位置するように、前記ゲート電極を形成する工程と

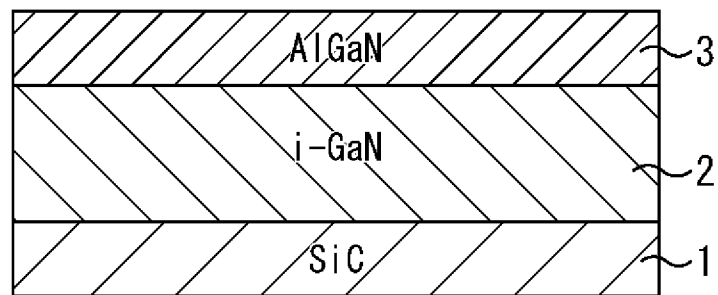
を含むことを特徴とする化合物半導体装置の製造方法。

[請求項19] 電子線照射法又はイオン注入法により、前記空乏領域を形成することを特徴とする請求項 18 に記載の化合物半導体装置の製造方法。

[請求項20] 前記電子走行層及び前記電子供給層がそれぞれ窒化物半導体からなることを特徴とする請求項 18 に記載の化合物半導体装置の製造方法。
。

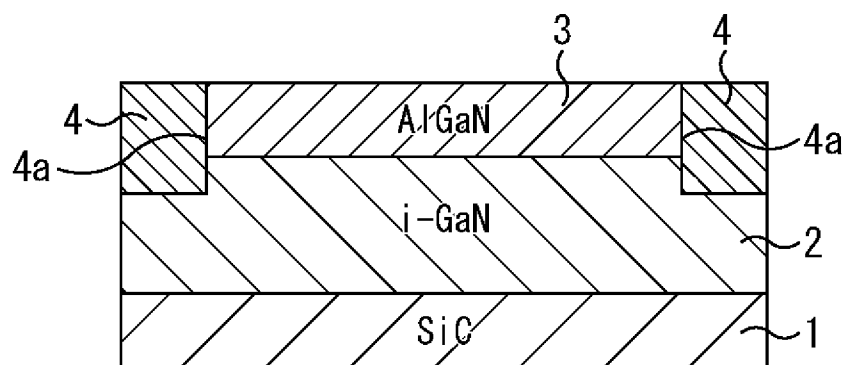
[図1A]

図1A



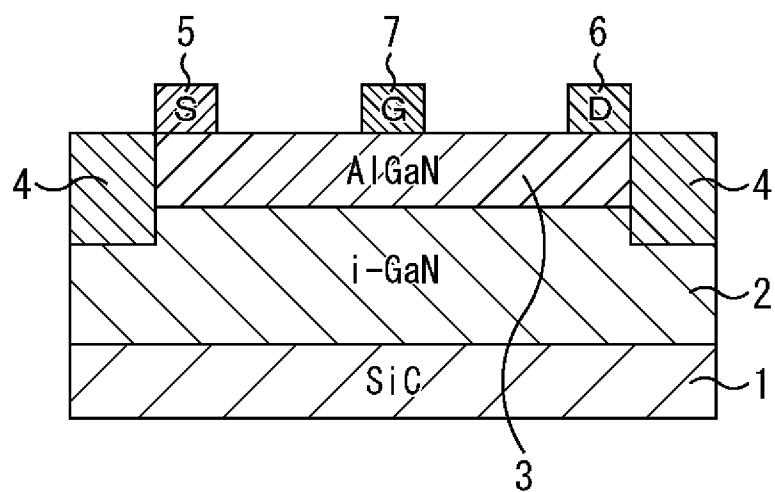
[図1B]

図1B



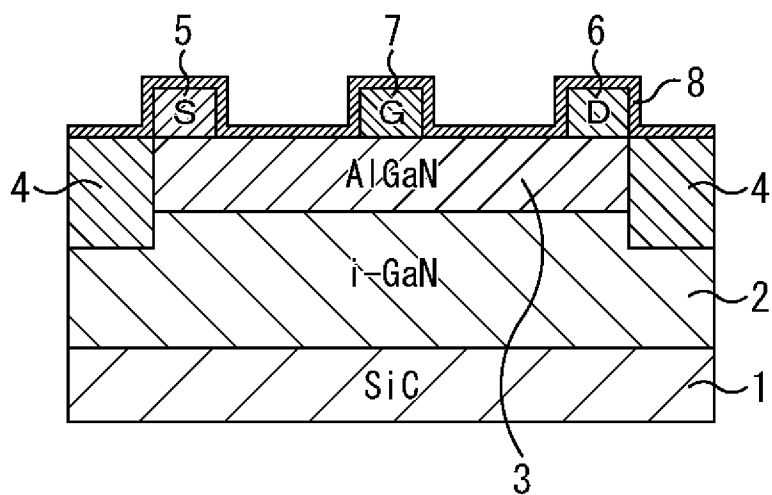
[図1C]

図1C



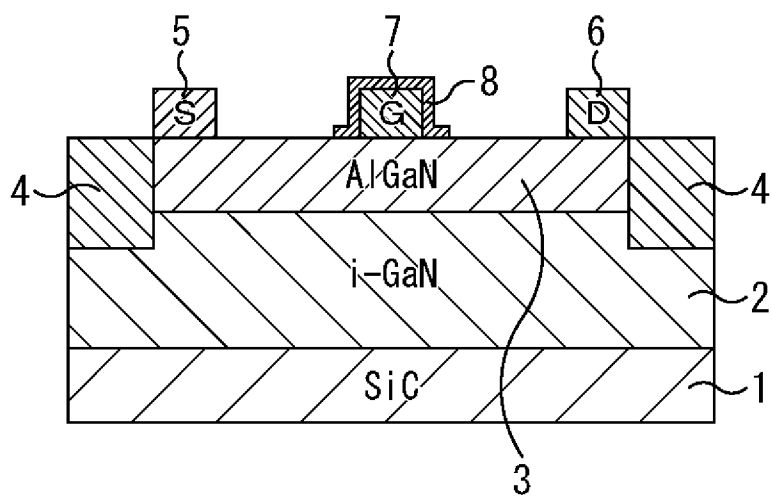
[図1D]

図1D



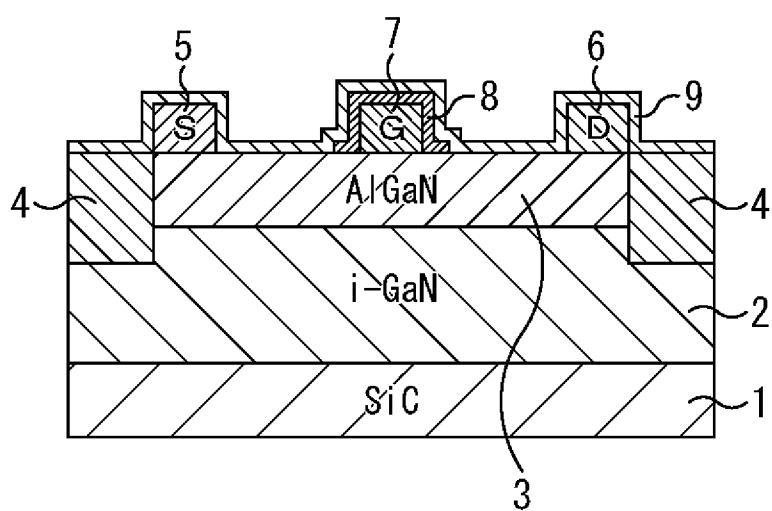
[図1E]

図1E



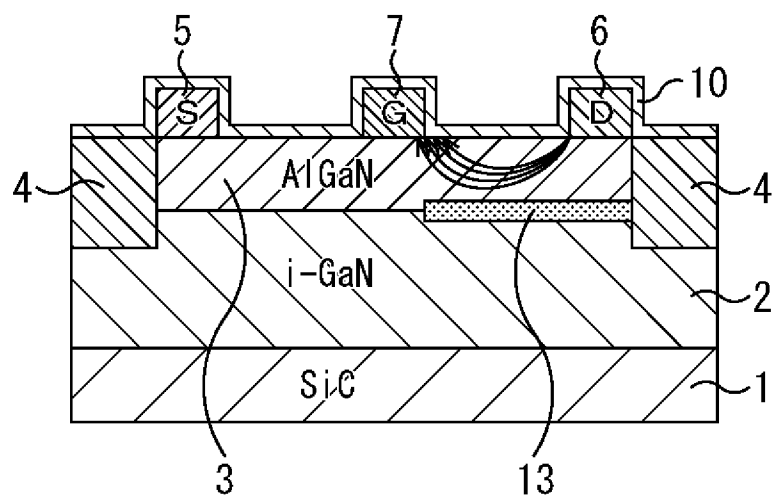
[図1F]

図1F



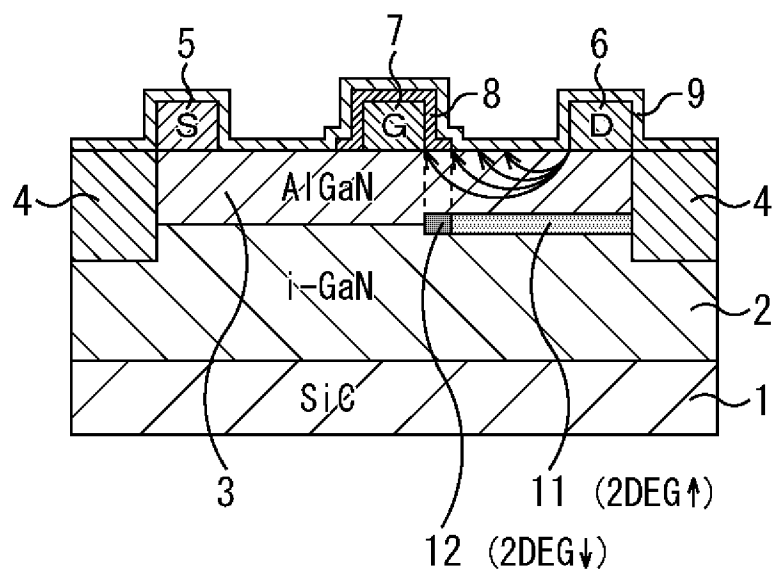
[図2A]

図2A



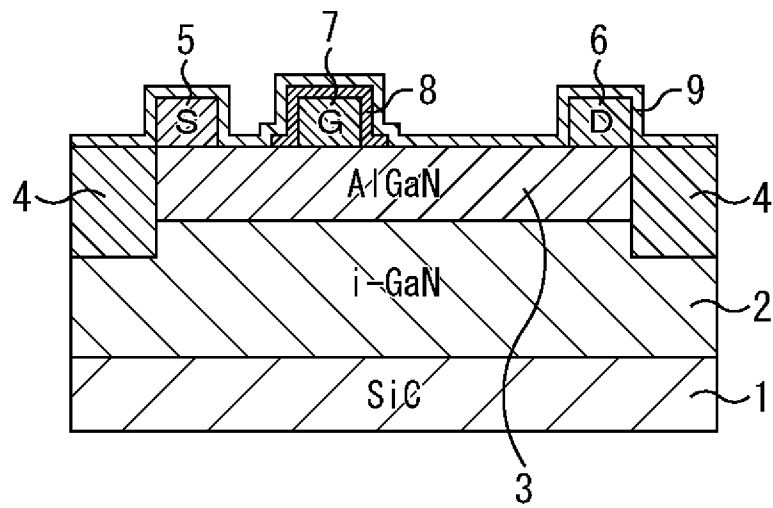
[図2B]

図2B



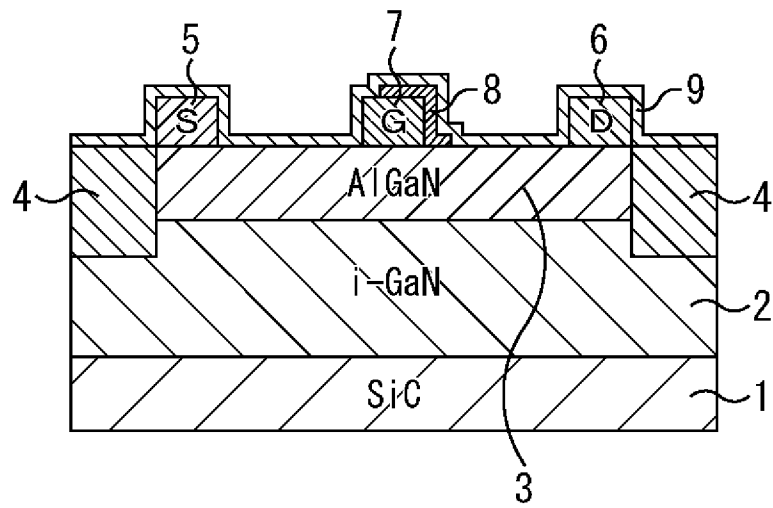
[図3A]

図3A



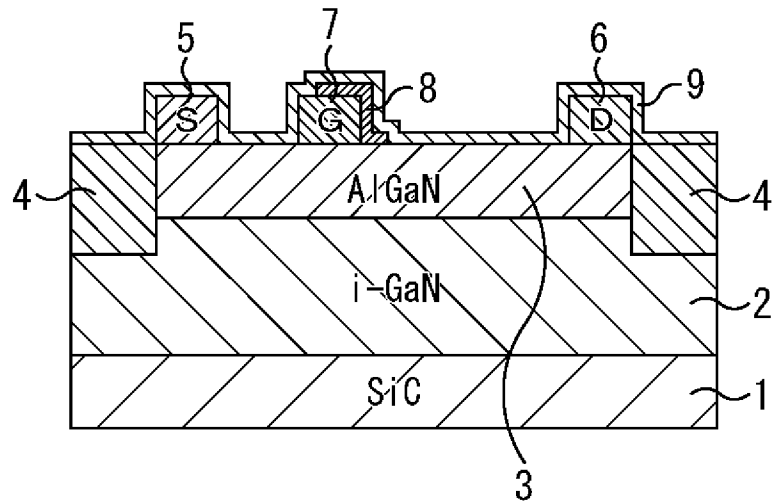
[図3B]

図3B



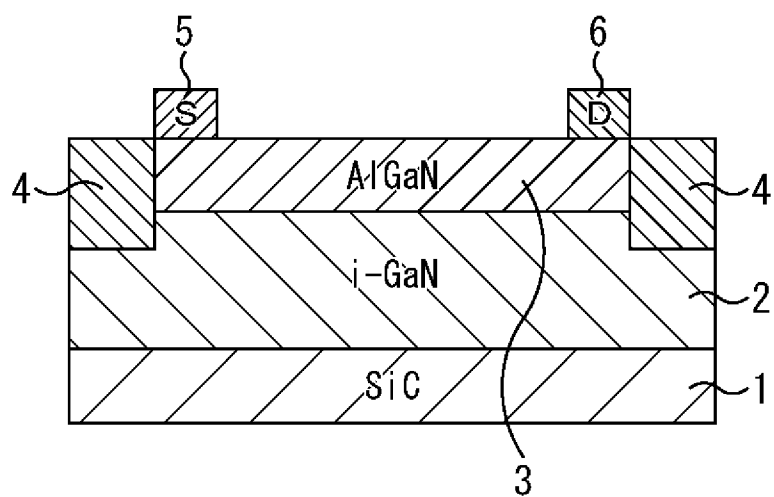
[図3C]

図3C



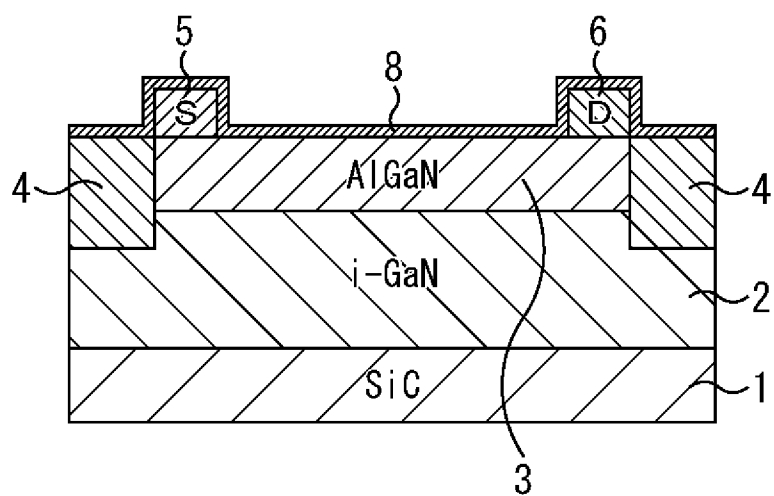
[図4A]

図4A



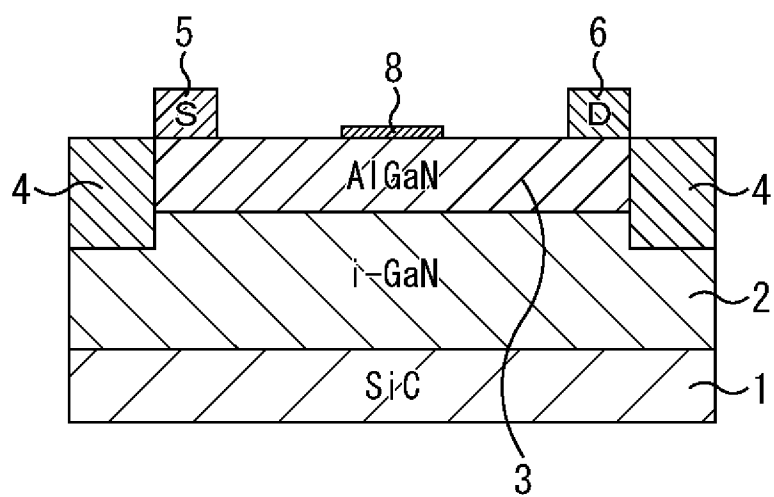
[図4B]

図4B

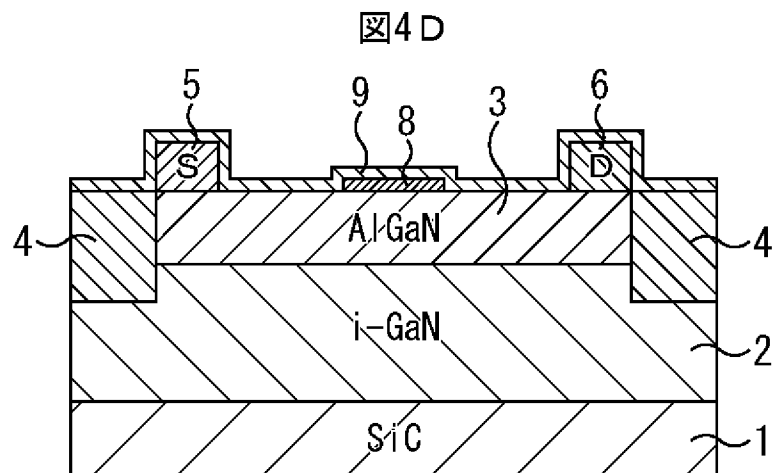


[図4C]

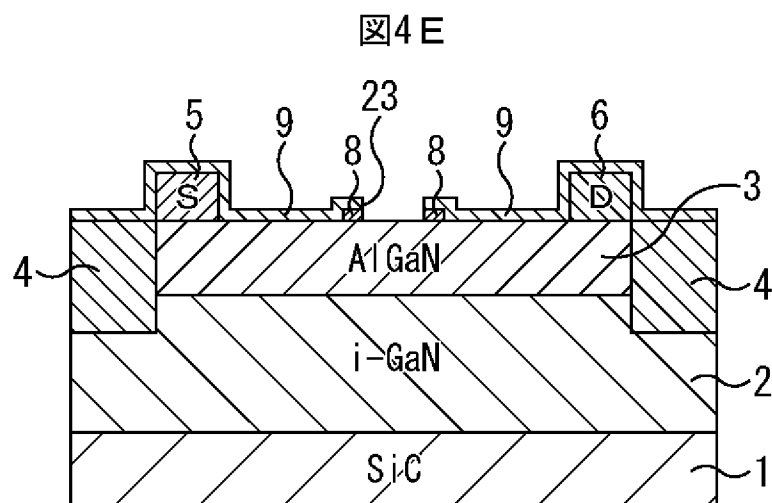
図4C



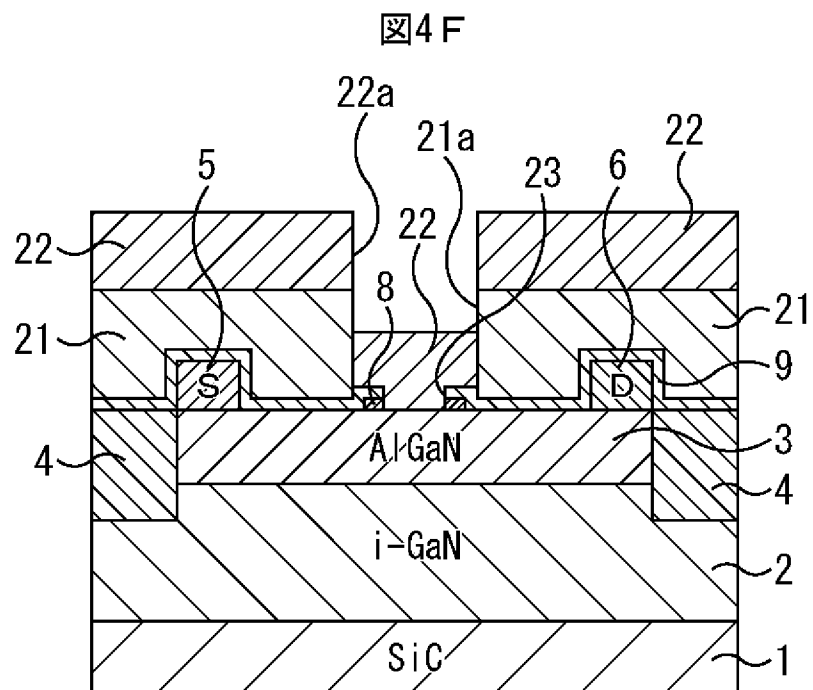
[図4D]



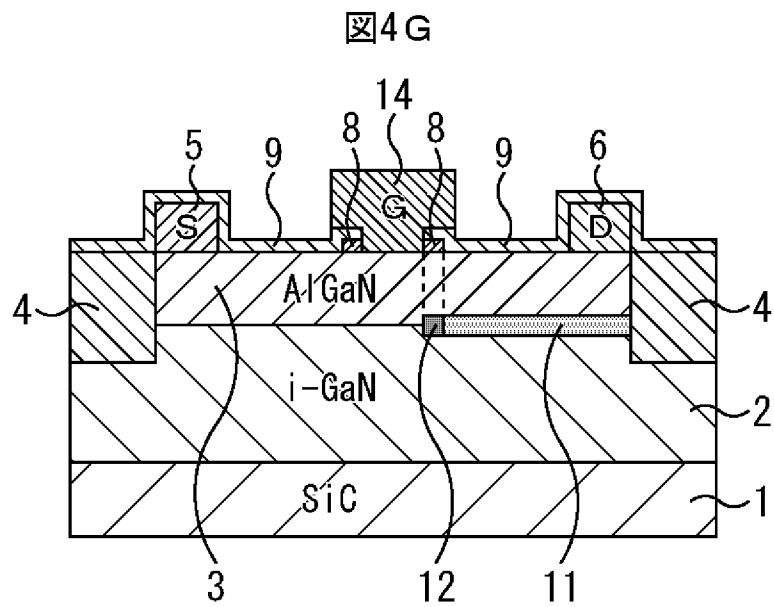
[図4E]



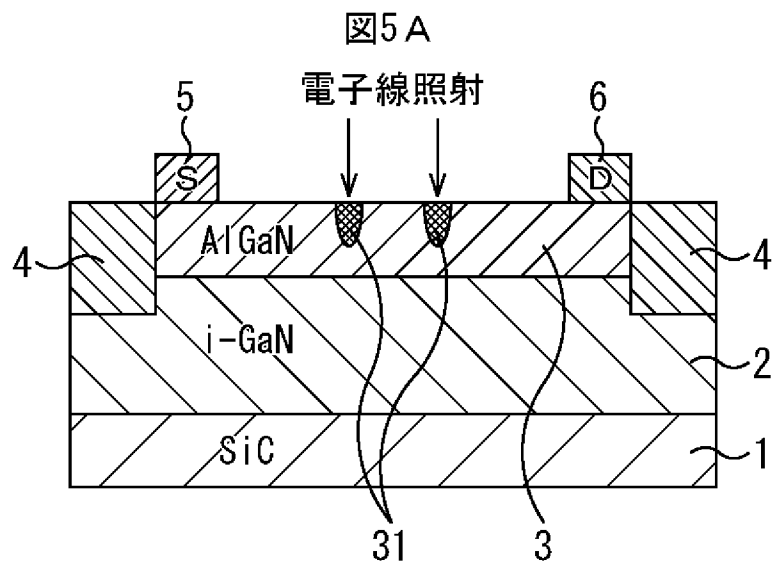
[図4F]



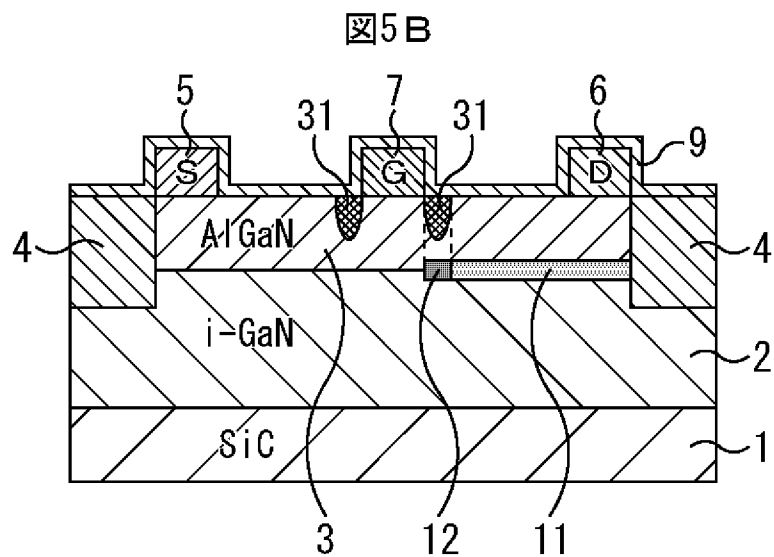
[図4G]



[図5A]

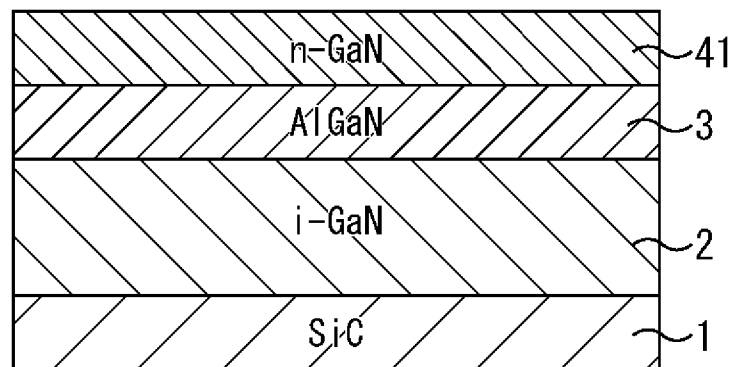


[図5B]



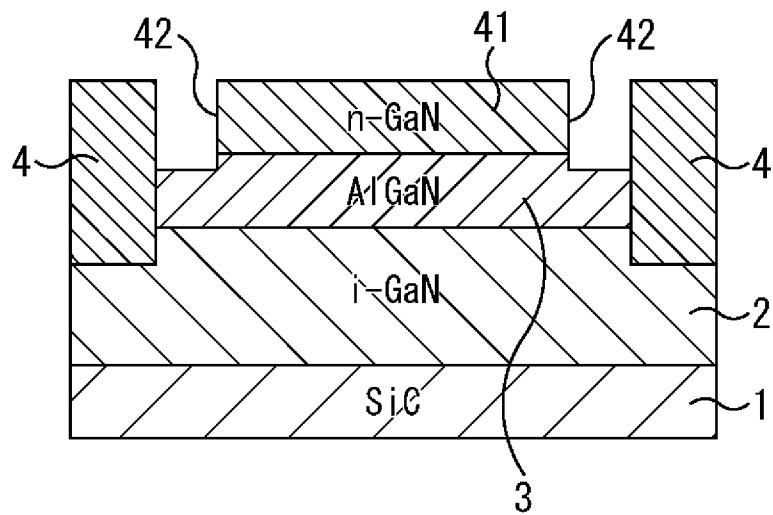
[図6A]

図6A



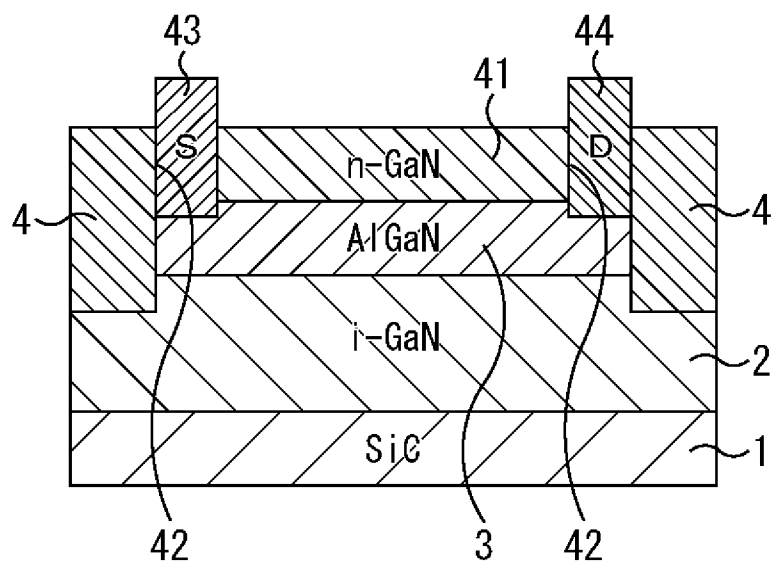
[図6B]

図6B



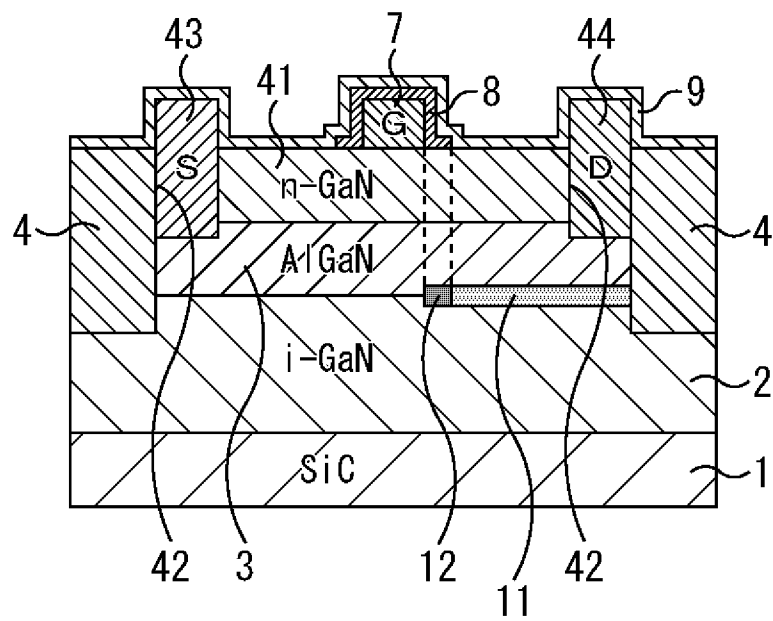
[図6C]

図6C



[図6D]

図6D



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/057854

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01) i, H01L21/318(2006.01) i, H01L29/778(2006.01) i,
H01L29/812(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L21/318, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2007/040160 A1 (NEC Corp.), 12 April, 2007 (12.04.07), Figs. 1 to 21 (Family: none)	1-4, 8, 10-12, 15-17 5-7, 9, 13, 14, 18-20
X A	WO 2008/027027 A2 (Cree Inc.), 06 March, 2008 (06.03.08), Fig. 3 & US 2007/0114569 A1 Fig. 3	1, 7-11, 18-20 2-6, 12-17
X A	JP 2005-159117 A (Toshiba Corp.), 16 June, 2005 (16.06.05), Fig. 1 (Family: none)	1, 10, 11 2-9, 12-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 July, 2009 (02.07.09)

Date of mailing of the international search report
14 July, 2009 (14.07.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/057854

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-221325 A (Fujitsu Ltd.), 05 August, 2004 (05.08.04), Figs. 1 to 14 & US 2004/0144991 A1 Figs. 1 to 14	1-20
A	JP 2009-026838 A (Mitsubishi Electric Corp.), 05 February, 2009 (05.02.09), Figs. 1 to 39 (Family: none)	1-20
A	JP 2004-214471 A (NEC Corp.), 29 July, 2004 (29.07.04), Figs. 6, 7 & US 2006/0043415 A1 Figs. 6, 7 & WO 2004/061978 A1	1-20

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/338 (2006.01) i, H01L21/318 (2006.01) i, H01L29/778 (2006.01) i, H01L29/812 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/338, H01L21/318, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2007/040160 A1 (日本電気株式会社) 2007.04.12, 図1 - 21 (ファミリーなし)	1-4, 8, 10-12, 15-17 5-7, 9, 13, 14, 18-20
X A	WO 2008/027027 A2 (クリー インコーポレイテッド) 2008.03.06, 図3 & US 2007/0114569 A1, Fig.3	1, 7-11, 18-20 2-6, 12-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 7 . 2 0 0 9

国際調査報告の発送日

1 4 . 0 7 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

村岡 一磨

4 L

3 4 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2005-159117 A (株式会社東芝) 2005.06.16, 図1 (ファミリーなし)	1, 10, 11 2-9, 12-20
A	JP 2004-221325 A (富士通株式会社) 2004.08.05, 図1 - 14 & US 2004/0144991 A1, Fig.1-14	1-20
A	JP 2009-026838 A (三菱電機株式会社) 2009.02.05, 図1 - 39 (ファミリーなし)	1-20
A	JP 2004-214471 A (日本電気株式会社) 2004.07.29, 図6、7 & US 2006/0043415 A1, Fig.6, 7 & WO 2004/061978 A1	1-20