



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0062480
(43) 공개일자 2017년06월07일

(51) 국제특허분류(Int. Cl.)
H01L 33/04 (2010.01) H01L 33/00 (2010.01)
H01L 33/18 (2010.01)
(52) CPC특허분류
H01L 33/04 (2013.01)
H01L 33/0054 (2013.01)
(21) 출원번호 10-2017-7010463
(22) 출원일자(국제) 2015년09월29일
심사청구일자 없음
(85) 번역문제출일자 2017년04월18일
(86) 국제출원번호 PCT/FR2015/052602
(87) 국제공개번호 WO 2016/051078
국제공개일자 2016년04월07일
(30) 우선권주장
1459275 2014년09월30일 프랑스(FR)

(71) 출원인
폼미사리아 아 레네르지 아토미끄 에프 옥스 에너지
지스 엘터네이티브즈
프랑스 파리 에프-75015 바띠멍 르 뽐낭 데 뤼
르블랑 25
알레디아
프랑스, 에프-38040 그르노블 비피50, 7 피알브이
루이 네엘
(72) 발명자
로빈 이반-크리스토프
프랑스 에프-38000 그르노블 애비뉴 드 비질 15
도제이네 아멜리에
프랑스 에프-38690 비존느 슈만 드 런지슈날 34
(뒷면에 계속)
(74) 대리인
이준성

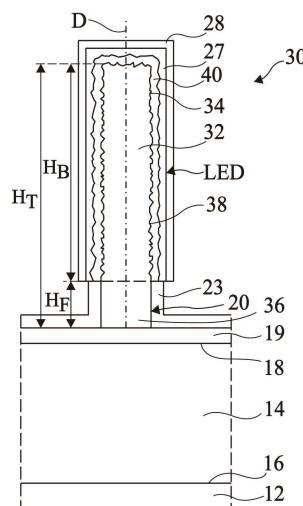
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 3차원 반도체 소자를 구비한 광전자 장치

(57) 요약

본 발명은 III-V족 화합물, II-VI족 화합물, 및 IV족 화합물로 구성된 그룹으로부터 선택되는 제 1 화합물로 주로 제조된 3차원 반도체 소자(20)를 포함하는 광전자 장치(30)에 관한 것이다. 각각의 반도체 소자는, 선택적으로 상기 반도체 소자를 부분적으로 피복하는 절연 부분으로, 서로 경사진 연속 패킷들을 포함하는 하나 이상의 제 1 표면(34)을 형성한다. 이 광전자 장치는 패킷들 사이의 적어도 일부의 이음부에 양자 도트(60)를 포함한다. 이 양자 도트는 제 1 화합물과 추가 원소의 혼합물로 주로 제조되고, 제 1 파장의 제 1 전자기 복사를 방출 또는 수신하기에 적합하다.

대표도 - 도2



(52) CPC특허분류

H01L 33/0062 (2013.01)

H01L 33/18 (2013.01)

(72) 발명자

피아에 가이

프랑스 에프-38410 세인트 마틴 듀리아게 루트 드
콥스 2051

가우지란 스테파니

프랑스 에프-38100 그르노블 에비뉴 장 페렷 93

명세서

청구범위

청구항 1

III-V족 화합물, II-VI족 화합물, 및 IV족 화합물을 포함하는 그룹으로부터 선택된 제 1 화합물로 주로 제조된 3차원 반도체 소자(20; 152)를 포함하고, 각각의 상기 반도체 소자는, 선택적으로 상기 반도체 소자를 부분적으로 피복하는 절연 부분으로, 서로에 대해 경사진 연속 패싯(facet)들을 포함하는 적어도 제 1 표면(34)을 형성하는 광전자 장치(30)로서,

상기 광전자 장치는 상기 패싯들 사이의 적어도 일부의 이음부(seam; 42)에 양자 도트(quantum dot; 60)를 포함하고, 상기 양자 도트는 상기 제 1 화합물과 추가 원소의 혼합물로 주로 제조되며, 제 1 파장의 제 1 전자기 복사를 방출 또는 수신할 수 있는,

광전자 장치.

청구항 2

제 1 항에 있어서,

하나 이상의 단일 양자 우물 또는 다중 양자 우물을 포함하는, 그리고 상기 제 1 파장과 상이한 제 2 파장의 제 2 전자기 복사를 방출 또는 수신할 수 있는 활성층(62; 76)을 더 포함하는,

광전자 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 표면(34)과 구별되는 제 2 표면(74)을 포함하고, 상기 활성층(76)은 상기 제 2 표면을 피복하는,

광전자 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 활성층(62)은 상기 양자 도트(60)를 피복하는,

광전자 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

각각의 양자 도트(60)는 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 화합물로 주로 제조되고, 여기서, $0 \leq x \leq 1$, $0 \leq y \leq 1$ 및 $1-x-y > 0$ 인,

광전자 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 반도체 소자(20)는 나노와이어, 마이크로와이어, 및/또는 나노미터 범위 또는 마이크로미터 범위의 피라미드 구조인,

광전자 장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 반도체 소자는 우선 방향을 따라 연장된 형상을 갖고, 인접한 이음부 쌍들 중 2 개의 이음부(42)들 사이에서 상기 우선 방향에 수직으로 측정된 거리는 5 nm를 초과하는,

광전자 장치.

청구항 8

제 7 항에 있어서,

상기 우선 방향에 평행으로 측정된 2 개의 인접한 이음부(42)들 사이의 거리는 1 μm 미만인,

광전자 장치.

청구항 9

제 7 항에 있어서,

상기 이음부(42)들의 밀도는 10^8 이음부/ cm^2 을 초과하는,

광전자 장치.

청구항 10

광전자 장치(30)를 제조하는 방법으로서,

III-V족 화합물, II-VI족 화합물, 및 IV족 화합물을 포함하는 그룹으로부터 선택되는 제 1 화합물로 주로 제조된 3차원 반도체 소자(20; 152)를 형성하는 단계 - 각각의 반도체 소자는, 선택적으로 상기 반도체 소자를 부분적으로 피복하는 절연 부분으로, 서로에 대해 경사진 연속 패싯(facet)들을 포함하는 하나 이상의 제 1 표면(34)을 형성함 -; 및

패싯들 사이의 적어도 일부의 이음부(42)에 양자 도트(60)를 형성하는 단계를 포함하고, 상기 양자 도트는 상기 제 1 화합물과 추가 원소의 혼합물로 주로 제조되며, 제 1 파장의 제 1 전자기 복사를 방출 또는 수신할 수 있는,

광전자 장치를 제조하는 방법.

청구항 11

제 10 항에 있어서,

하나 이상의 단일 양자 우물 또는 다중 양자 우물을 포함하는, 그리고 상기 제 1 파장과 상이한 제 2 파장의 제 2 전자기 복사를 방출 또는 수신할 수 있는 활성층(62; 76)을 형성하는 단계를 더 포함하는,

광전자 장치를 제조하는 방법.

청구항 12

제 10 항 또는 제 11 항에 있어서,

반도체 소자(20)를 형성하는 단계 및 상기 제 1 표면(34)을 형성하기 위해 상기 반도체 소자를 부분적으로 에칭하는 단계를 포함하는,

광전자 장치를 제조하는 방법.

청구항 13

제 10 항 또는 제 11 항에 있어서,

상기 제 1 표면은 상기 반도체 소자(20)의 성장과 동시에 형성되는,

광전자 장치를 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 특허 출원은 본원에 참조된 프랑스 특허 출원 FR14/59275의 우선권을 주장한다.

배경 기술

[0002] 본 발명은 반도체 재료로 제조된 광전자 장치 및 그 제조 방법에 관한 것이다.

[0003] "광전자 장치"라는 용어는 전기 신호를 전자기 복사 또는 다른 방식으로 변환할 수 있는 장치를 표시하는데 사용되며, 특히 전자기 복사를 검출, 측정, 또는 방출하도록 된 장치 또는 광기전 용도에 전용되는 장치이다.

[0004] 3차원 반도체 소자 및 각각의 3차원 소자의 주변에 형성된 활성 영역을 포함하는 방사형 광전자 장치가 본 명세서에서 특히 고려된다. 광전자 장치에 의해 공급되는 대부분의 전자기 복사가 방출되는 영역 또는 광전자 장치에 의해 수신된 전자기 복사의 대부분이 포착되는 영역을 광전자 장치의 활성 영역이라 한다.

[0005] 3차원 소자의 예는 하나 이상의 III족 원소 및 하나의 V족 원소(예를 들면, 갈륨 질화물 GaN)(이하, III-V족 화합물이라 함)를 주로 포함하는 화합물이나, 하나 이상의 II족 원소 및 하나의 VI족 원소(예를 들면, 아연 산화물 ZnO)(이하, II-VI족 화합물이라 함)를 주로 포함하는 화합물에 기초한 반도체 재료를 포함하는 마이크로와이어 또는 나노와이어이다. 이러한 장치는, 예를 들면, 프랑스 특허 출원 FR 2995729 및 FR 2997558에 기술되어 있다.

[0006] 3차원 소자, 특히 반도체 마이크로와이어 또는 나노와이어는 일반적으로 기판상에 형성되고, 각각의 3차원 소자는 전자기 복사를 방출하거나 감지할 수 있는 활성 영역을 포함하는 반도체 구조로 적어도 부분적으로 피복된다. 단일 양자 우물 또는 다중 양자 우물을 포함하는 활성 영역을 형성하는 것은 공지되어 있다. 단일 양자 우물은 각각 P형 도핑 및 N형 도핑된 2층의 제 1 반도체 재료(예를 들면, II-V족 화합물, 특히 GaN)들 사이에 도핑된 제 1 재료와 상이한 밴드갭을 갖는 1층의 제 2 반도체 재료(예를 들면, III-V족 또는 II-VI족 화합물과 제 3 원소의 합금, 특히, InGaN)를 개재시킴으로써 형성된다. 다중 양자 우물 구조는 교대로 양자 우물과 장벽층을 형성하는 반도체층의 적층체를 포함한다.

[0007] 광전자 장치에 의해 방출되거나 포획된 전자기 복사의 파장은 특히 양자 우물을 형성하는 제 2 재료의 밴드갭에 의존한다. 제 2 재료가 III-V족 또는 II-VI족 화합물과 제 3 원소의 합금(예를 들면, InGaN)인 경우, 방출된 복사 또는 복사된 복사의 파장은 제 3 원소, 예를 인듐의 원자 퍼센트에 의존한다. 특히, 인듐의 원자 퍼센트가 높으면 높을수록 파장이 길어진다.

[0008] 단점은 인듐의 원자 퍼센트가 임계값을 초과하는 경우, 양자 우물의 GaN과 InGaN 사이에서 격자 상수의 차이가 관찰될 수 있고, 이로 인해 전위(dislocation)와 같은 활성 영역에서 비-복사 결함(non-radiative defect)이 형성될 수 있고, 이것은 광전자 장치의 활성 영역의 양자 효율을 상당히 감소시킨다. 따라서, III-V족 또는 II-VI족 화합물로 제조된 단일 양자 우물 또는 다중 양자 우물을 포함하는 활성 영역을 갖는 광전자 장치에 의해 방출 또는 포획되는 복사의 최대 파장이 존재한다.

[0009] 그러나, III-V족 또는 II-VI족 화합물로 제조된 재료의 사용이 바람직한데, 그것은 큰 치수의 기판상에 저비용으로 이러한 재료를 에피택시(epitaxy)법으로 성장시키는 방법이 존재하기 때문이다.

발명의 내용

해결하려는 과제

[0010] 따라서, 일 실시형태의 목적은 이전에 기술된 광전자 장치 및 그 제조 방법의 단점의 적어도 일부를 극복하는 것이다.

[0011] 일 실시형태의 다른 목적은 광전자 장치에 의해 방출 또는 포획될 수 있는 전자기 복사의 파장을 증가시키는 것이다.

[0012] 일 실시형태의 다른 목적은 광전자 장치의 활성 영역이 III-V족 또는 II-VI족 화합물로 제조된 반도체 재료의 적층체를 포함하는 것이다.

[0013] 일 실시형태의 다른 목적은 광전자 장치에 의해 방출 또는 포획될 수 있는 전자기 복사의 파장을 제어하는 것이

다.

과제의 해결 수단

- [0014] 따라서, 일 실시형태는 III-V족 화합물, II-VI족 화합물, 및 IV족 화합물을 포함하는 그룹으로부터 선택된 제 1 화합물로 주로 제조된 3차원 반도체 소자를 포함하고, 각각의 상기 반도체 소자는, 선택적으로 상기 반도체 소자를 부분적으로 피복하는 절연 부분으로, 서로에 대해 경사진 연속 패싯(facet)들을 포함하는 적어도 제 1 표면을 형성하는 광전자 장치로서, 상기 광전자 장치는 상기 패싯들 사이의 적어도 일부의 이음부(seam)에 양자 도트(quantum dot)를 포함하고, 상기 양자 도트는 상기 제 1 화합물과 추가 원소의 혼합물로 주로 제조되며, 제 1 파장의 제 1 전자기 복사를 방출 또는 수신할 수 있는 광전자 장치를 제공한다.
- [0015] 일 실시형태에 따르면, 본 장치는 하나 이상의 단일 양자 우물 또는 다중 양자 우물을 포함하는, 그리고 상기 제 1 파장과 상이한 제 2 파장의 제 2 전자기 복사를 방출 또는 수신할 수 있는 활성층을 더 포함한다.
- [0016] 일 실시형태에 따르면, 본 장치는 상기 제 1 표면과 구별되는 제 2 표면을 더 포함하고, 상기 활성층은 제 2 표면을 피복한다.
- [0017] 일 실시형태에 따르면, 활성층은 양자 도트를 피복한다.
- [0018] 일 실시형태에 따르면, 각각의 양자 도트는 주로 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ 화합물로 제조되고, 여기서, $0 \leq x \leq 1$, $0 \leq y \leq 1$ 및 $1-x-y > 0$ 이다.
- [0019] 일 실시형태에 따르면, 반도체 소자는 나노와이어, 마이크로와이어, 및/또는 나노미터 범위 또는 마이크로미터 범위의 피라미드 구조이다.
- [0020] 일 실시형태에 따르면, 반도체 소자는 우선 방향을 따라 신장된 형상을 갖고, 인접한 이음부 쌍들의 2 개의 이음부 사이에서 상기 우선 방향에 수직으로 측정된 거리는 5 nm를 초과한다.
- [0021] 일 실시형태에 따르면, 우선 방향에 평행으로 측정된 2 개의 인접한 이음부들 사이의 거리는 1 μm 미만이다.
- [0022] 일 실시형태에 따르면, 이음부의 밀도는 10^8 이음부/ cm^2 를 초과한다.
- [0023] 다른 실시형태는 또한 다음의 단계를 포함하는 광전자 장치를 제조하는 방법을 제공한다.
- [0024] III-V족 화합물, II-VI족 화합물, 및 IV족 화합물을 포함하는 그룹으로부터 선택되는 제 1 화합물로 주로 제조된 3차원 반도체 소자를 형성하는 단계 - 각각의 반도체 소자는, 선택적으로 상기 반도체 소자를 부분적으로 피복하는 절연 부분으로, 서로에 대해 경사진 연속 패싯(facet)들을 포함하는 하나 이상의 제 1 표면을 형성함 -; 및
- [0025] 패싯들 사이의 적어도 일부의 이음부에 양자 도트를 형성하는 단계. 상기 양자 도트는 상기 제 1 화합물과 추가 원소의 혼합물로 주로 제조되고, 제 1 파장의 제 1 전자기 복사를 방출 또는 수신할 수 있다.
- [0026] 일 실시형태에 따르면, 본 방법은 하나 이상의 단일 양자 우물 또는 다중 양자 우물을 포함하는, 그리고 상기 제 1 파장과 상이한 제 2 파장의 제 2 전자기 복사를 방출 또는 수신할 수 있는 활성층을 형성하는 단계를 더 포함한다.
- [0027] 일 실시형태에 따르면, 본 방법은 반도체 소자를 형성하는 단계 및 제 1 표면을 형성하기 위해 이 반도체 소자를 에칭하는 단계를 더 포함한다.
- [0028] 일 실시형태에 따르면, 제 1 표면은 반도체 소자의 성장과 동시에 형성된다.
- [0029] 진술한 특징 및 기타 특징 및 장점은 이하에서 첨부한 도면에 관련하여 특정의 실시형태의 비제한적 설명에서 상세히 설명될 것이다.

도면의 간단한 설명

- [0030] 도 1은 마이크로와이어 또는 나노와이어를 포함하는 광전자 장치의 일 실시예의 단순화된 부분 단면도이고;
 도 2는 마이크로와이어 또는 나노와이어를 포함하는 광전자 장치의 일 실시형태의 단순화된 부분 단면도이고;
 도 3 및 도 4는 양자 도트를 포함하는 활성 영역의 일 나노와이어를 도시하는 단순화된 부분확대도이고;

도 5 내지 도 9는 마이크로와이어 또는 나노와이어를 포함하는 광전자 장치의 실시형태의 단순화된 부분 단면도이고;

도 10 내지 도 13은 마이크로와이어 또는 나노와이어를 포함하는 광전자 장치의 실시형태의 중간 제조 단계에서 얻어지는 구조의 단순화된 부분 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 명료성을 위해, 동일한 요소는 전자 회로의 도시에서의 관례대로 다양한 도면에서 동일한 참조 번호로 표시되었고, 다양한 도면은 축적에 따르지 않는다. 또한, 본 명세서의 이해에 유용한 요소들만이 도시되고, 기술될 것이다. 특히, 이하에 기술된 광전자 장치를 제어하기 위한 수단은 본 기술분야의 당업자의 능력 내에 있고, 설명되지 않는다. 이하의 설명에서, 달리 지시되지 않는 한, 용어 "실질적으로", "대략", 및 "약"은 "10% 이내"를 의미한다.
- [0032] 본 명세서는 마이크로와이어 형상, 나노와이어 형상, 또는 피라미드 형상을 갖는 반도체 소자를 포함하는 광전자 장치에 관한 것이다.
- [0033] 용어 "마이크로와이어" 또는 "나노와이어"는 5 nm 내지 2.5 μm , 바람직하게는 50 nm 내지 2.5 μm 의 범위의 마이너 치수(minor dimension)라고 불리는 적어도 2 개의 치수, 및 최대 마이너 치수의 1배 이상, 바람직하게는 5배 이상, 더 바람직하게는 10배 이상인 메이저 치수(major dimension)라고 불리는 제 3 치수를 갖는 우선 방향을 따라 원주형, 원추형 또는 테이퍼형과 같은 긴 형상을 갖는 3차원 구조를 지칭한다. 특정의 실시형태에서, 마이너 치수는 약 1 μm 이하, 바람직하게는 100 nm 내지 1 μm , 더 바람직하게는 100 nm 내지 800 nm의 범위이다. 특정의 실시형태에서, 각각의 마이크로와이어 또는 나노와이어의 높이는 500 nm 이상, 바람직하게는 1 μm 내지 50 μm 의 범위일 수 있다.
- [0034] 이하의 설명에서, 용어 "와이어"는 "마이크로와이어 또는 나노와이어"를 의미하기 위해 사용된다. 바람직하게는, 와이어의 우선 방향에 수직인 평면에서 횡단면의 중력 중심을 통과하는 와이어의 정중선은 실질적으로 직선이며, 이하 와이어의 "축선"이라고 불린다. 와이어의 밑면은, 예를 들면, 타원형, 원형, 또는 다각형 형상, 특히 삼각형, 직사각형, 정사각형, 또는 육각형을 갖는다.
- [0035] 이하의 설명에서, 용어 피라미드 또는 절두 피라미드(truncated pyramid)는 피라미드 형상을 갖는 3차원 구조를 나타낸다. 피라미드 구조는 절두형일 수 있으며, 즉 원추의 상부가 없고, 평평한 영역으로 대체된다. 피라미드의 밑면은 100 nm 내지 10 μm , 바람직하게는 1 내지 3 μm 의 측면 치수를 갖는 다각형 내에 새겨진다. 피라미드의 밑면을 형성하는 다각형은 육각형일 수 있다. 피라미드의 밑면과 정점 또는 상부 평면 사이의 피라미드의 높이는 100 nm 내지 20 μm , 바람직하게는 1 μm 내지 10 μm 의 범위이다.
- [0036] 이하의 설명에서, 실시형태는 발광 다이오드를 포함하는 광전자 장치의 경우에서 설명된다. 그러나 이들 실시형태는 다른 용도, 특히 전자기 복사의 검출이나 측정에 전용되는 장치, 또는 광기전 용도에 전용되는 장치와 관련될 수 있음이 분명해야 한다.
- [0037] 도 1은 이전에 설명한 바와 같은 와이어로 형성된, 그리고 전자기 복사를 방출할 수 있는 광전자 장치(10)의 단순화된 부분 단면도이다.
- [0038] 이 장치(10)는 도 1의 하부로부터 상부로 다음을 포함한다.
- [0039] 제 1 바이어스 전극(12);
- [0040] 평행한 표면(16, 18)을 포함하는 기관(14)(예를 들면, 반도체) - 표면(16)은 전극(12)과 접촉함 -;
- [0041] 표면(18)을 피복하는 핵생성층(19);
- [0042] 본 실시형태에서 와이어에 대응하는 반도체 소자(20) - 축선(D)의 단일 와이어(20)가 도시되어 있고, 각각의 와이어(20)는 상부 부분(22)에 의해 연속된 기관(19)과 접촉하는 하부 부분(21)을 포함할 수 있음 -;
- [0043] 기관(19) 및 각각의 와이어(20)의 하부 부분(21)의 주변을 피복하는 절연층(23);
- [0044] 각각의 와이어(20)의 상부 부분(22)의 외벽(24)을 피복하는 셀(25) - 이 셀(25)은 상부 부분(22)을 피복하는 활성 영역(26) 및 이 활성 영역(26)을 피복하는 반도체층(27)의 하나 이상의 적층체를 포함함 -; 및
- [0045] 각각의 셀(25)을 피복하는 제 2 전극층(28).

- [0046] 와이어(20) 및 셀(25)에 의해 형성되는 어셈블리는 발광 다이오드(LED)를 형성한다. 기관(14) 상에 복수의 발광 다이오드(LED)가 형성된 경우, 이 발광 다이오드(LED)는 직렬 및/또는 병렬로 접속될 수 있으며, 발광 다이오드의 어셈블리를 형성할 수 있다. 이 어셈블리는 수 개의 발광 다이오드(LED)로부터 수 천개의 발광 다이오드(LED)까지 포함할 수 있다.
- [0047] 활성 영역(26)은 장치(10)에 의해 제공되는 복사의 대부분이 방출되는 영역이다. 활성 영역(26)은 감금 수단을 포함할 수 있다. 일 예로서, 영역(26)은 단일 양자 우물을 포함할 수 있다. 그러면, 이것은 상부 부분(22) 및 층(27)을 형성하는 반도체 재료와 상이한 반도체 재료를 포함하고, 상부 부분(22) 및 층(27)을 형성하는 재료의 밴드갭보다 작은 밴드갭을 갖는다. 활성 영역(26)은 다중 양자 우물을 포함할 수 있다. 그러면, 이것은 양자 우물과 장벽층을 교대로 형성하는 반도체층의 적층체를 포함한다.
- [0048] 와이어(20)의 외벽(24)은 일반적으로 실질적으로 매끈한 결정 평면에 대응한다. 단층 구조 또는 다층 구조를 갖는 활성 영역(26)은 일반적으로 외벽(24) 상의 하나 또는 복수의 에피텍셜 침착 단계로 형성된다.
- [0049] 도 1에 설명된 장치(10)는 적절하게 작동하지만 여러 가지 단점이 있다. 실제로, 활성 영역(26)에 의해 방출되는 복사의 파장은 단일 양자 우물 또는 다중 양자 우물을 형성하기 위해 사용되는 재료에 의존한다. 예를 들면, 활성 영역(26)이 InGaN형 합금을 포함하는 경우, 방출된 복사의 파장은 특히 인듐의 비율에 의존한다. 그러나 인듐의 원자 비율이 16%를 초과하는 경우에는 활성 영역(26)의 내부 양자 효율이 떨어지고, 이는 460 nm 방출 파장에 대응한다.
- [0050] 본 발명자들은 와이어(20)의 외벽(24)이 매끈하지 않고, 서로에 대해 경사진 패킷을 포함하는 경우에 패킷들 사이의 이음부의 수준에 형성될 수 있다는 것을 보여주었다. 양자 도트는 나노미터 범위의 치수의 반도체 구조이다. 이것은 반도체 내의 전자 파장 정도, 즉 수십 나노미터의 크기를 갖는 영역에서 3차원 공간 내에 전자 및 정공을 가두는 퍼텐셜 우물로서 거동한다. 따라서, 이것은 단일 방향으로 전자 및 정공을 가두는 양자 우물과 상이한 구조이다. 본 발명자들은 양자 도트가 양자 우물에 의해 방출되는 복사의 파장과 상이한 파장 및 특히 더 높은 파장의 복사의 방출을 가능하게 할 수 있음을 보여주었다.
- [0051] 도 2는 광전자 장치(30)의 일 실시형태의 단순화된 부분 단면도이다. 광전자 장치(30)는 도 1에 도시된 광전자 장치(10)와 동일한 요소를 포함하며, 상부 부분(22)이 균일하지 않거나 거친, 즉 요철이 있는 외부 측벽(34)을 갖는 와이어 부분(32)으로 대체된다는 차이가 있다. 각각의 와이어(20)의 하부 부분(21)은 또한 선택적으로 거친 외부 측벽을 갖는 부분(36)으로 대체될 수도 있다. H_1 는 와이어(20)의 총 높이라 하고, H_2 는 거친 외벽(34)을 갖는 와이어 부분(32)의 높이라 하고, H_3 는 하부 부분(36)의 높이라 한다. 장치(10)의 활성 영역(26)도 또한 거친 벽(34) 상에 형성된 활성 영역(40)으로 대체된다. 활성 영역(40)은 양자 도트를 포함한다.
- [0052] 반도체 소자(20)는 적어도 부분적으로 하나 이상의 반도체 재료로 제조된다. 이 반도체 재료는 III-V족 화합물, II-VI족 화합물, 또는 IV족 반도체 또는 화합물을 포함하는 그룹으로부터 선택된다.
- [0053] 반도체 소자(20)는 적어도 부분적으로 주로 III-V족 화합물, 예를 들면, III-N족 화합물을 포함하는 반도체 재료로 제조될 수 있다. III족 원소의 예는 갈륨(Ga), 인듐(In), 또는 알루미늄(Al)을 포함한다. III-N 화합물의 예는 GaN, AlN, InN, InGaN, AlGaN, 또는 AlInGaN이다. 다른 V족 원소(예를 들면, 인 또는 비소)도 사용될 수 있다. 일반적으로, III-V족 화합물의 원소는 상이한 물질들로 조합될 수 있다.
- [0054] 반도체 소자(20)는 적어도 부분적으로 II-VI족 화합물을 주로 포함하는 반도체 재료로 제조될 수 있다. II족 원소의 예는 IIA족 원소(특히, 베릴륨(Be) 및 마그네슘(Mg)), 및 IIB족 원소(특히, 아연(Zn), 카드뮴(Cd), 및 수은(Hg))을 포함한다. VI족 원소의 예는 VIA족 원소, 특히 산소(O) 및 텔루륨(Te)을 포함한다. II-VI족 화합물의 예는 ZnO, ZnMgO, CdZnO, CdZnMgO, CdHgTe, CdTe, 또는 HgTe이다. 일반적으로, II-VI족 화합물 내의 원소는 상이한 물질들로 조합된다.
- [0055] 반도체 소자(20)는 적어도 부분적으로 하나 이상의 IV족 화합물을 주로 포함하는 반도체 재료로 제조될 수 있다. IV족 반도체 재료의 예는 실리콘(Si), 탄소(C), 게르마늄(Ge), 실리콘 탄화물 합금(SiC), 실리콘-게르마늄 합금(SiGe), 또는 게르마늄 탄화물 합금(GeC)이다.
- [0056] 반도체 소자(20)는 도펀트를 포함할 수 있다. 일 예로서, III-V족 화합물의 경우, 도펀트는 II족 P형 도펀트, 예를 들면, 마그네슘(Mg), 아연(Zn), 카드뮴(Cd), 또는 수은(Hg), IV족 P형 도펀트, 예를 들면, 탄소(C), 또는 IV족 N형 도펀트, 예를 들면, 실리콘(Si), 게르마늄(Ge), 셀레늄(Se), 황(S), 테르븀(Tb), 또는 주석(Sn)을 포함하는 그룹으로부터 선택될 수 있다.

- [0057] 광전자 장치의 3차원 반도체 소자(20)가 와이어에 대응하는 경우, 높이(H_f)는 250 nm 내지 50 μm의 범위일 수 있다. 각각의 와이어(20)는 표면(18)에 실질적으로 수직인 축선을 따라 연장된 반도체 구조를 가질 수 있다. 각각의 와이어(20)는 타원형, 원형, 또는 다각형 밀면, 특히 삼각형, 직사각형, 정사각형, 또는 육각형 밀면을 갖는 일반적으로 원주 형상을 가질 수 있다. 2 개의 인접한 와이어(20)의 축선들은 0.5 μm 내지 10 μm, 바람직하게는 1.5 μm 내지 5 μm 만큼 이격될 수 있다. 일 예로서, 와이어(20)는, 특히 육각형 망상으로 규칙적으로 분포될 수 있다.
- [0058] 일 실시형태에 따르면, 각각의 와이어의 하부 부분(36)은 제 1 전도성 유형으로 도핑된, 예를 들면, N형 도핑된 III-N 화합물, 예를 들면, 갈륨 질화물로 주로 제조된다. N형 도펀트는 실리콘일 수 있다. 하부 부분(21)의 높이(H_f)는 500 nm 내지 25 μm의 범위일 수 있다.
- [0059] 일 실시형태에 따르면, 각각의 와이어의 부분(32)는, 예를 들면, 적어도 부분적으로 III-N 화합물, 예를 들면, 갈륨 질화물로 제조된다. 부분(32)는 제 1 전도성 유형, 예를 들면, N형으로 도핑 되거나, 또는 의도적으로 도핑 되지 않을 수 있다. 상부 부분(32)의 높이(H_b)는 500 nm 내지 25 μm의 범위일 수 있다.
- [0060] 변형예로서, 각각의 와이어(20)에 대해, 절연층(23)은 부분(32)의 일부 위로 연장되거나, 전체 하부 부분(36)에 걸쳐 연장되지 않거나, 또는 활성 영역(40)의 일부 상에 연장될 수 있다.
- [0061] 광전자 장치(10)의 3차원 반도체 소자(20)가 피라미드에 대응하는 경우, 각각의 피라미드의 높이는 100 nm 내지 25 μm의 범위일 수 있다. 각각의 피라미드는 표면(18)에 실질적으로 수직인 축선을 따라 연장된 반도체 구조를 가질 수 있다. 각각의 피라미드의 밀면은 타원형, 원형, 또는 다각형 유형, 특히 삼각형, 직사각형, 정사각형, 또는 육각형 유형의 일반적 형상을 가질 수 있다. 2 개의 인접한 피라미드의 중심은 0.25 μm 내지 10 μm, 바람직하게는 1.5 μm 내지 5 μm 만큼 이격될 수 있다. 일 예로서, 피라미드는, 특히 육각형 망상으로 규칙적으로 분포될 수 있다.
- [0062] GaN으로 주로 제조된 와이어(20)의 경우, 와이어의 결정 구조는 결정학적 방향(C)을 따라 연장하는 우르자이트(wurtzite) 유형일 수 있다.
- [0063] 각각의 반도체 소자(20)에 대해, 활성 영역(40)은 III-V족 화합물, II-VI족 화합물, 또는 추가 원소가 포함된 IV족 화합물을 주로 포함하는 재료의 양자 도트를 포함한다.
- [0064] 도 3 은 활성 영역(40)을 제조하는 방법의 일 실시형태의 제 1 단계에서 와이어의 부분(32)의 거친 측벽의 일 실시형태의 단순화된 부분 확대도이다. 벽(34)은 코너(corner) 또는 에지(edge)(42)에 대응하는 이음부에 의해서로 연결되는 일련의 연속 패킷(41)을 포함한다. 코너 또는 에지(42)는 "융기" 또는 "함몰"될 수 있다. 일 예로서, "융기된" 코너는 요철부(44)의 최상부에 대응할 수 있고, "융기된" 에지(42)는 융기된 평탄부(46)의 에지에 대응할 수 있다. "함몰된" 코너(42)는 함몰부(48)의 최저부에 대응할 수 있다. "함몰된" 에지(42)는 함몰된 평탄부(50)의 에지에 대응할 수 있다.
- [0065] 다른 실시형태에 따르면, 절연 부분은 와이어(20)의 부분(32)을 부분적으로 피복하고, 와이어(20)의 부분(32)의 영역을 노출시킨다. 그러면 거친 벽(34)은 절연 부분에 의해 피복된 와이어(20)의 부분(32)에 의해 형성된다. 그러면 패킷은 와이어의 부분(32) 또는 절연 부분에 속하고, 이음부는 와이어(20)의 부분(32)의 노출 영역의 에지에 대응한다.
- [0066] 본 발명자들은 벽(34)의 거칠기가 특정의 특성을 가지는 경우 및 장치(10)의 활성 영역(26)의 양자 우물의 것과 동일한 에피택셜 성장 조건이 거친 벽(34)의 존재 하에서 구현되는 경우, 함몰된 에지 또는 코너(42)의 레벨에서, 그리고 경우에 따라 융기된 에지 또는 코너(42)의 레벨에서 먼저 양자 도트(60)가 형성됨을 밝혀냈다. 다음에 에지 또는 코너(42)는 양자 도트(60)의 성장 부위를 형성한다.
- [0067] 설명은, 원자가 에피택셜 성장 중에 벽(34) 상에 침착되는 경우, 원자들은 이음부(42)의 레벨에 축적되어 양자 도트(60)를 형성하는 경향이 있다는 것이다. 양자 도트(60)의 형성 메커니즘은 매끈한 벽 상에서 구현되는 소위 스트란스키-크라스타노프(Stranski-Krastanov) 방법과 다르다. 이음부(42)는 양자 도트 성장 부위를 형성한다.
- [0068] 일 실시형태에 따르면, 이음부(42)의 길이는 1 단층(monolayer)(예를 들면, GaN의 경우에 약 0.259 nm) 내지 20 단층(예를 들면, 약 5 nm)의 범위인 것이 바람직하다.
- [0069] 일 실시형태에 따르면, 2 개의 인접한 이음부(42)들 사이에서 축선(D)에 대해 수직으로 측정된 거리(D1)는 5 nm를 초과한다. 이것은 이음부(42)에 도달한 원자가 그곳으로부터 탈출하는 것을 막을 수 있게 한다. 실제로, 축

선(D)에 평행하지 않은 패킷(41) 상에서 원자의 확산 속도는 축선(D)에 평행한 패킷(41) 상에서 원자의 확산 속도보다 일반적으로 느린다.

- [0070] 일 실시형태에 따르면, 2 개의 인접한 이음부(42)들 사이에서 축선(D)에 대해 평행으로 측정된 거리(D2)는 $1 \mu\text{m}$ 미만이다. 이것은 축선(D)에 평행한 패킷(41)에 도달한 원자가 이음부(42)로 완전히 확산될 수 있도록 한다.
- [0071] 에지 또는 코너(42)의 수는 양자 도트(60)의 원하는 분포에 의존한다. 일 실시형태에 따르면, 실질적으로 균일한 양자 도트(60)의 분포가 필요한 경우에, 이음부(42)는 실질적으로 균일하게 분포될 수 있다. 동작 시, 각각의 양자 도트(60)는 전자기 복사를 방출하거나 수신할 수 있다. 광선의 방출의 경우, 관찰자에 의해 실질적으로 연속적인 그리고 균일한 방식으로 감지되는 발광을 얻기 위해, 이음부(42)의 밀도는 10^8 이음부/ cm^2 보다 크다.
- [0072] 도 4 는 제 1 단계에서 양자 도트(60)의 형성을 유발시키는 것과 동일한 에피텍셜 성장 조건을 유지한 후에 활성 영역(40)을 제조하는 방법의 제 2 단계에서 얻어진 구조를 도시한다. 실질적으로 연속적인 층(62)이 양자 도트(60)을 형성 및 연결할 수 있다. 층(62)은 단일 양자 우물을 포함하는 활성 영역(26)과 실질적으로 동일한 조성 및 동일한 특성을 갖을 수 있다.
- [0073] 일 실시형태에 따르면, 활성 영역(40)을 제조하는 방법은 제 1 단계 후에 중단될 수 있다. 그러면 활성 영역(40)은 실질적으로 양자 도트(60)만을 포함한다. 활성 영역(40)은 양자 도트(60) 및 와이어(20)의 부분(32)과 접촉할 수 있는 반도체층(27)으로 피복될 수 있다. 다른 실시형태에 따르면, 활성 영역(40)을 제조하는 방법은 전술한 제 1 단계 및 제 2 단계를 포함한다. 그러면 활성 영역(40)은 양자 도트(60) 및 활성층(62)을 포함한다. 그러면 활성 영역(40)을 피복할 수 있는 반도체층(27)은 와이어(20)의 부분(32)과 직접 접촉되지 않는다.
- [0074] 동일한 성장 조건에서, 양자 도트(60)의 조성은 양자 우물의 조성상 상이하다. 따라서, 양자 도트(60)에 의해 방출되거나 포획된 파장은 동일한 조건에서 형성된 양자 우물에 의해 방출된 복사의 파장과 상이하다.
- [0075] 일 예로서, InGaN의 경우, 양자 도트(60)에 포함된 인듐의 비율은 동일한 조건에서 형성된 양자 우물에 포함될 수 있는 인듐의 비율을 초과할 수 있다. 따라서, 양자 도트(60)에 의해 방출된 파장은 동일한 조건에서 형성된 양자 우물에 의해 방출된 복사의 파장과 상이하다. 일 예로서, 16%의 인듐의 원자 비율을 갖는 단일 InGaN 양자 우물에 의해 방출된 복사의 파장은 약 460 nm이고, 동일한 조건에서 형성된 InGaN 양자 도트에 의해 방출된 복사의 파장은 약 475 nm이다.
- [0076] 일 실시형태에 따르면, 광전자 장치(30)는 III-V족 또는 II-VI족 화합물에 대한 추가 원소의 원자 비율이 동일한 조건에서 형성된 양자 우물에서의 이 원소의 비율을 초과하는 양자 도트(60)를 포함한다. 일 예로서, InGaN 양자 도트의 경우, 인듐의 원자 비율은 15%를 초과하고, 바람직하게는 20%를 초과하고, 더 바람직하게는 25%를 초과한다. 일 예로서, InGaAs 양자 도트의 경우, 인듐의 원자 비율 40%를 초과하고, 바람직하게는 45%를 초과하고, 더 바람직하게는 50%를 초과한다.
- [0077] 기판(14)은 모노블록 구조에 대응하거나, 또는 다른 재료로 제조된 지지층을 피복하는 층에 대응할 수 있다. 기판(14)은 바람직하게는 반도체 기판, 예를 들면, 실리콘, 게르마늄, 실리콘 탄화물, III-V족 화합물로 제조된 기판(예를 들면, GaN 또는 GaAs, 또는 ZnO 기판)이다. 바람직하게는, 기판(14)은 단결정 실리콘 기판이다. 바람직하게는, 마이크로일렉트로닉스에서 구현되는 제조 방법과 호환가능한 반도체 기판이다. 기판(14)은 SOI라고도 불리는 실리콘-온-절연체(silicon-on-insulator) 유형의 다층 구조에 대응할 수 있다.
- [0078] 기판(14)은 고농도 도핑되거나, 저농도 도핑되거나, 또는 도핑되지 않을 수 있다. 기판이 고농도 도핑되는 경우, 반도체 기판(14)은 전기 저항률을 금속의 전기 저항률에 근접하는 저항률, 바람직하게는 수 mohm.cm까지 낮추도록 도핑될 수 있다. 예를 들면, 기판(14)은 5×10^{16} 원자/ cm^3 내지 2×10^{20} 원자/ cm^3 의 범위의 도펀트 농도를 갖는 고농도 도핑된 기판이다. 기판이, 예를 들면, 5×10^{16} 원자/ cm^3 이하, 바람직하게는 실질적으로 10^{15} 원자/ cm^3 의 도펀트 농도로 저농도 도핑되는 경우, 제 1 전도성 유형 또는 제 2 전도성 유형의 도핑 영역이 제공될 수 있고, 제 2 전도성 유형은 표면(18)으로부터 기판(14) 내로 연장되는 기판보다 더 고농도-도핑된 제 1 유형의 반대이다. 실리콘 기판(14)의 경우, P형 도펀트의 예는 붕소(B) 또는 인듐(In)이고, N형 도펀트의 예는 인(P), 비소(As), 또는 안티모니(Sb)이다. 실리콘 기판(10)의 표면(18)은 100 표면일 수 있다.
- [0079] 전극(12)은 기판(14)의 표면(16) 상에 연장되는 전도층에 대응할 수 있다. 전극(12)을 형성하는 재료는, 예를 들면, 니켈 규화물(NiSi), 알루미늄(Al), 알루미늄 규화물(AlSi), 타이타늄(Ti), 또는 타이타늄 규화물(TiSi)이다.

- [0080] 시드층(seed layer; 19)은 반도체 소자(20)의 성장에 유리한 재료로 제조된다. 일 예로서, 시드층(19)을 형성하는 재료는 원소 주기율표의 IV, V, 또는 VI족으로부터의 천이 금속의 질화물, 탄화물, 또는 붕화물, 또는 이들 화합물의 조합일 수 있다. 일 예로서, 시드층(19)은 알루미늄 질화물(AlN), 알루미늄 산화물(Al₂O₃), 붕소(B), 붕소 질화물(BN), 타이타늄(Ti), 타이타늄 질화물(TiN), 탄탈럼(Ta), 탄탈럼 질화물(TaN), 하프늄(Hf), 하프늄 질화물(HfN), 니오븀(Nb), 니오븀 질화물(NbN), 지르코늄(Zr), 지르코늄 붕산염(ZrB₂), 지르코늄 질화물(ZrN), 실리콘 탄화물(SiC), 탄탈럼 탄화물 질화물(TaCN), Mg_xN_y 형태의 마그네슘 질화물로 제조될 수 있고, 여기서 x는 약 3이고, y는 약 2로서, 예를 들면, Mg₃N₂ 형태의 마그네슘 질화물이다. 시드층(19)은 기판(14)과 동일한 전도성 유형으로 도핑될 수 있다. 시드층(19), 예를 들면, 1 내지 100 나노미터 범위의 두께, 바람직하게는 10 내지 30 나노미터 범위의 두께를 갖는다.
- [0081] 변형예로서, 시드층(19)은 기판(14)의 표면(18) 상에 놓인 시드 패드로 대체될 수 있으며, 각각의 와이어(20)는 시드 패드 중 하나에 놓인다.
- [0082] 시드층(19)이 알루미늄 질화물로 제조된 경우, 이것은 실질적으로 텍스처링(texturing)될 수 있고, 바람직한 극성을 가질 수 있다. 시드층(19)의 텍스처링은 시드층의 침착 후에 수행되는 추가의 처리에 의해 얻어질 수 있다. 이것은, 예를 들면, 암모니아 흐름(NH₃) 하에서의 어닐링일 수 있다. 주로 GaN으로 제조된 와이어(20)의 경우, 시드층(19)은 N 극성을 갖는 GaN의 성장을 도와 줄 수 있다.
- [0083] 절연층(23)은 유전성 재료, 예를 들면, 실리콘 산화물(SiO₂), 실리콘 질화물(Si_xN_y, 여기서 x는 약 3이고, y는 약 4이며, 예를 들면, Si₃N₄임), 실리콘 산화질화물(특히 일반 화학식 SiO_xN_y, 예를 들면, Si₂O₃N₂), 하프늄 산화물(HfO₂), 또는 다이아몬드로 제조될 수 있다. 일 예로서, 절연층(23)의 두께는 5 nm 내지 100 nm의 범위이며, 예를 들면, 약 30 nm이다. 절연층(23)은 단층 구조를 가질 수 있거나, 또는 2 개의 층 또는 3 개 이상의 층의 적층체에 대응할 수 있다.
- [0084] 반도체층(27)은 특히 아래의 층을 포함하는 복수의 층의 적층체를 포함할 수 있다.
- [0085] - 하부 부분(36)의 것과 반대되는 전도성 유형을 가지며, 활성 영역(40)을 피복하는 중간층; 및
- [0086] - 중간층을 피복하고, 전극(28)으로 피복된 결합층.
- [0087] 예를 들면, P형 도핑된 중간층은 반도체층 또는 반도체층의 적층체에 대응할 수 있고, P-N 또는 P-I-N 접합을 형성할 수 있고, 활성 영역(40)은 P-N 또는 P-I-N 접합의 와이어(20)의 중간 P형 층과 N형 부분(32) 사이에 위치된다.
- [0088] 결합층은 반도체층 또는 반도체층의 적층체에 대응할 수 있고, 중간층과 전극(28) 사이에 저항 접점을 형성할 수 있다. 일 예로서, 결합층은, 예를 들면, 10²⁰ 원자/cm³ 이상의 농도로 P형 도핑된 반도체층(들)이 퇴화될 때까지, 하부 부분(36)의 것과 반대인 도핑 유형으로 매우 고농도 도핑될 수 있다.
- [0089] 반도체층의 적층체는 활성층 및 중간층과 접촉하는 3원 합금, 예를 들면, 알루미늄 갈륨 질화물(AlGaIn) 또는 알루미늄 인듐 질화물(AlInN)로 형성된 전자 장벽층을 포함하여, 활성층 내에 양호하게 분포된 전기 전달체를 제공한다.
- [0090] 전극(28)은 각각의 반도체 소자(20)를 피복하는 활성 영역(40)을 바이어싱(biasing)할 수 있으며, 발광 다이오드(LED)에 의해 방출되는 전자기 복사를 통과시킬 수 있다. 전극(28) 형성 재료는 알루미늄 또는 갈륨으로 도핑되거나 도핑되지 않은 인듐 주석 산화물(ITO), 아연 산화물, 또는 그래핀과 같은 투명하고 전도성인 재료일 수 있다. 일 예로서, 전극층(28)은 5 nm 내지 200 nm, 바람직하게는 20 nm 내지 50 nm 범위의 두께를 갖는다.
- [0091] 전극(12, 28)들 사이에 전압이 인가될 때, 광선이 활성 영역(40)에 의해 방출된다. 활성 영역(40)이 도 3에 도시된 구조를 가지며, 양자 도트(60)만을 포함하는 경우, 방출된 복사는 실질적으로 단색이다. 활성 영역(40)이 도 4에 도시된 구조를 가지며, 양자 도트(60)와 활성층(62)을 포함하는 경우, 양자 도트(60)에 의해 방출된 복사의 파장은 활성층(62)에 의해 방출된 복사와 상이하고, 광전자 장치(30)의 발광 다이오드(LED)는 2 개의 상이한 파장을 갖는 복사를 방출할 수 있다.
- [0092] 따라서, 광대역 방출 또는 수신 특성을 갖는 장치가 얻어질 수 있다. 특히, 얻어진 방출 또는 수신 스펙트럼은 백색광의 특성을 가질 수 있다.

- [0093] 도 5는 광전자 장치(70)의 다른 실시형태의 단면도이다. 장치(70)는 도 2에 도시된 광전자 장치(30)의 모든 요소를 포함하며, 거친 측벽(34)을 갖는 와이어 부분(32)은 도 1에 도시된 광전자 장치(30)의 부분(22)과 동일한 구조를 가질 수 있는 매끈한 측벽(74)을 갖는 와이어 부분(72)에 의해 계속된다는 차이점이 있다. 부분(72)은 10 nm 내지 10 μ m 범위의 높이(HW)를 갖는다. 부분(72)은 도 1에 도시된 광전자 장치(30)의 활성 영역과 동일한 구조 및 동일한 조성을 가질 수 있는 활성층(76)으로 피복된다.
- [0094] 도 5에 도시된 실시형태에서, 와이어(20)의 부분(72)을 피복하는 활성층(76)에 의해 방출되는 광 복사는 전계발 광 현상으로부터 유래한다. 와이어(20)의 부분(32)을 피복하는 활성 영역(40)에 의해 방출되는 광 복사는 인접한 와이어(20)의 활성층(76)에 의해 방출되는 광 복사의 일부의 변환에 의한 광발광 현상으로부터 유래된다. 일 실시형태에 따르면, 활성 영역(40)은 비연속적일 수 있으며, 즉 거친 측벽(34)을 완전히 피복하지 않을 수 있다.
- [0095] 따라서, 광전자 장치(70)의 각각의 발광 다이오드(LED)는 2 개의 상이한 파장을 방출할 수 있다.
- [0096] 도 6은 장치(70)의 모든 요소를 포함하는 광전자 장치(80)의 다른 실시형태를 도시하며, 매끈한 측벽(74)을 갖는 와이어(20)의 부분(72)는 하부 부분(36)과 거친 측벽(34)을 갖는 와이어(20)의 부분(32) 사이에 위치되는 차이점이 있다.
- [0097] 도 7은 도 6에 도시된 장치(80)의 모든 요소를 포함하는 광전자 장치(90)의 다른 실시형태를 도시하며, 반도체 층(27) 및 전극층(28)이 매끈한 벽(74)을 갖는 와이어(20)의 부분(72) 및 거친 벽(34)을 갖는 와이어(20)의 부분(32)을 피복하는 차이점이 있다.
- [0098] 도 8은 도 6에 도시된 장치(80)의 모든 요소를 포함하는 광전자 장치(100)의 다른 실시형태를 도시하며, 반도체 층(27) 및 전극층(28)은 거친 벽(34)을 갖는 와이어(20)의 부분(32)만을 피복하고, 매끈한 벽(74)을 갖는 와이어(20)의 부분(72)은 피복하지 않는다는 차이점이 있다.
- [0099] 도 9는 도 5에 도시된 장치(70)의 모든 요소를 포함하는 광전자 장치(110)의 다른 실시형태를 도시하며, 반도체 층(27) 및 전극층(28)은 거친 벽(34)을 갖는 와이어(20)의 부분(32)만을 피복하고, 매끈한 벽(74)을 갖는 와이어(20)의 부분(72)은 피복하지 않는다는 차이점이 있다.
- [0100] 도 5 및 도 6에 도시된 실시형태는 누전이 적은 더 효율적인 전류 주입의 장점을 갖는다. 설명은 활성층이 더 균일하고, 이 활성층에 의해 방출된 광의 일부를 변환시키는 양자 도트가 더 높은 파장으로 방출된다는 것이다. 그러면 방출된 스펙트럼은 발광 다이오드에 인가되는 전압에 따라 더 넓고 더 안정적이다.
- [0101] 일 실시형태에 따르면, 거친 벽(34)은 와이어(20)의 측면의 화학적 에칭에 의해 각각의 와이어(20)의 성장 후에 형성된다. 그러면, 예를 들면, 도 5의 부분(72)과 같은 매끈하게 유지되어야 하는 측벽을 갖는 와이어(20)의 가능한 부분은, 예를 들면, 에칭 단계 후에 제거되는 보호층으로 피복됨으로써 에칭에 대해 보호된다.
- [0102] 와이어 성장 방법은 금속-유기 증기상 에피택시(MOVPE)로도 알려진 화학 증착(CVD) 또는 금속-유기 화학 증착(MOCVD)과 같은 방법일 수 있다. 그러나 분자선 에피택시(MBE), 가스-소스 MBE(GSMBE), 금속-유기 MBE(MOMBE), 플라즈마-보조 MBE(PAMBE), 원자층 에피택시(ALE), 또는 수소화물 증기상 에피택시(HVPE)와 같은 방법이 사용될 수 있다. 그러나 전기화학적 공정, 예를 들면, 화학적 침착(CBD), 열수 공정, 액체 에어로졸 열분해, 또는 전착이 사용될 수 있다.
- [0103] 일 예로서, 이 방법은 III족 원소의 전구물질 및 V족 원소의 전구물질을 반응기 내에 주입하는 단계를 포함할 수 있다. III족 원소의 전구물질의 예는 트리메틸갈륨(TMGa), 트리에틸갈륨(TEGa), 트리메틸인듐(TMIn), 또는 트리메틸알루미늄(TMAI)이다. V족 원소의 전구물질의 예는 암모니아(NH₃), 터셔리부틸포스핀(TBP), 아르신(AsH₃), 또는 비대칭 디메틸히드라진(UDMH)이다. III/V는 III족 원소의 전구물질의 기체 흐름 대 V족 원소의 전구물질의 기체 흐름의 비율로 부른다.
- [0104] 본 발명의 일 실시형태에 따르면, III-V족 화합물의 와이어의 성장 단계에서, III-V족 화합물의 전구물질에 더하여 추가 원소의 전구물질이 첨가된다. 추가 원소의 전구물질의 존재로 인해 III-V족 화합물을 도핑하기 위해 III-V족 화합물 내로 추가 원소의 혼입뿐만 아니라 III-V족 화합물의 성장하는 결정의 측면 상에 주로 추가 원소 및 V족 원소로 제조된 유전성 재료의 층이 형성된다. 이 추가 원소는 실리콘(Si)일 수 있다. 실리콘의 전구물질의 일례는 실레인(SiH₄)이다. 이것은 N형 와이어를 도핑하는 것을 가능하게 한다. 이것은 와이어의 측벽에 실리콘 질화물인 SiN, 경우에 따라 화학양론적 형태인 Si₃N₄의 유전성 층의 형성을 유발할 수도 있다. 마이크로

물/분으로 표시되는 실레인 흐름 대 트리메틸갈륨 흐름의 비율은 일반적으로 8×10^{-5} 내지 2×10^{-3} 의 범위, 예를 들면, 약 4×10^{-4} 이다. 그러면 얻어진 Si_3N_4 유전성 층의 두께는 일반적으로 10 nm 미만이다.

[0105] 일 예로서, 상부 부분(36)이 고농도-도핑된 N형 GaN으로 제조되는 경우, MOCVD형 방법이 샤워헤드형 MOCVD 반응기 내로 갈륨 전구물질 기체(예를 들면, 트리메틸갈륨(TMGa)) 및 질소 전구물질 기체(예를 들면, 암모니아(NH_3))의 주입에 의해 구현될 수 있다. 일 예로서, AIXTRON에 의해 상업화된 샤워헤드형 3x2" MOCVD 반응기가 사용될 수 있다. 5-200 범위 내, 바람직하게는 10-100 범위 내의 트리메틸갈륨과 암모니아의 분자 흐름 비율은 와이어의 성장에 유리할 수 있다. 일 예로서, 금속-유기 원소가 반응기 내로 완전히 확산되는 것을 보장하는 운반 기체는 TMGa 버블러(bubbler) 내에서 금속-유기 원소를 신게 된다. 후자는 표준 작동 조건에 따라 조절된다. TMGa의 경우, 예를 들면, 60 sccm(표준 입방 센티미터/분)가 선택되고, NH_3 (표준 NH_3 병)의 경우에는 300 sccm 흐름이 사용된다. 약 800 mbar(800 hPa)의 압력이 사용된다. 기체 혼합물은 MOCVD 반응기 내에 주입된 실레인을 더 포함하고, 이 물질은 실리콘의 전구물질이다. 실레인은 수소로 1,000 ppm으로 희석될 수 있고, 20 sccm의 흐름이 제공될 수 있다. 반응기 내의 온도는, 예를 들면, 950°C 내지 $1,100^\circ\text{C}$, 바람직하게는 990°C 내지 $1,060^\circ\text{C}$ 의 범위이다. 버블러의 출구로부터 2 개의 반응기 플레넘까지 종을 수송하기 위해, 2 개의 플레넘 사이에 분포된 2,000 sccm의 운반 기체(예를 들면, N_2) 흐름이 사용된다. 진술한 기체 흐름은 지시로서 주어지며, 반응기의 크기 및 특이성에 따라 조정되어야 한다.

[0106] 일 실시형태에 따르면, 와이어(20)의 성장 후에 과잉량의 수소(H_2)가 반응기 내에 도입됨으로써 거친 벽(34)이 얻어진다. 통상적으로 수소가 반응기 내에서 운반 기체로서 사용되지만, 본 발명자들은 과잉량의 수소가 와이어의 측벽의 에칭 및 이들 벽의 거칠기의 증가를 유발할 수 있음을 보여주었다.

[0107] 일 실시형태에 따르면, 와이어 성장 후, 반응기는, 예를 들면, 예를 들면, 0.8 bar(80 kPa)의 압력에서 5 분 동안 H_2 압력 하에 놓이게 된다. 에칭에 노출된 와이어(20)의 벽 상에 요철이 얻어진다.

[0108] 일 실시형태에 따르면, 와이어(20)를 부분적으로 노출시키기 위해 와이어(20)의 성장 중에 형성되는 와이어(20)를 피복하는 유전성 층의 부분적 에칭에 의해 거친 벽(34)이 얻어진다. 이 에칭은 와이어(20)의 성장 후에 과잉량의 수소(H_2)를 반응기 내에 도입함으로써 수행될 수 있다. 이 와이어의 노출 영역은 양자 도트 성장 부위를 형성한다. 일 실시형태에 따르면, N형 도핑된 GaN 와이어의 경우, 와이어 성장 후, 트리메틸갈륨 흐름은 중단되고, 실레인 흐름은, 예를 들면, 5 분 동안 단독으로 유지된다. 다음에, 반응기는 H_2 압력 하에서, 예를 들면, 0.8 bar(80 kPa)의 압력 하에서 5 분 동안 방치된다.

[0109] 일 실시형태에 따르면, N형 도핑된 GaN 와이어의 경우, 실레인 흐름 대 트리메틸갈륨 흐름의 비율이 증가된다. 실제로, 본 발명자들은 실리콘 질화물층의 성장 메커니즘은 실레인이 매우 과잉량인 경우에 개질되어, GaN 와이어의 영역을 노출시키는 불균일 Si_3N_4 층을 형성하고, 따라서 양자 도트를 위한 핵성성 영역을 형성한다는 것을 보여주었다. 이 GaN 와이어의 노출 영역양자 도트 성장 부위를 형성한다. 일 예로서, 마이크로몰/분으로 표시되는 실레인 흐름 대 트리메틸갈륨 흐름의 비율은 10^{-3} 을 초과한다.

[0110] 다른 실시형태에 따르면, N형 도핑된 GaN 와이어의 경우, 실레인 흐름은 감소되므로 와이어 상에 형성되는 Si_3N_4 층은 연속적이 아니며, 와이어(20)의 영역을 노출시키는 개구를 포함하고, 이 노출 영역은 양자 도트 성장 부위를 형성한다. 이 목적을 위해, 마이크로몰/분으로 표시되는 실레인 흐름 대 트리메틸갈륨 흐름의 비율은 5×10^{-4} 미만일 수 있다.

[0111] 다른 실시형태에 따르면, 거친 벽(34)은 각각의 와이어(20)의 성장을 따라 형성된다.

[0112] 도 10은 와이어(20)를 형성하는 단계 후 및 활성 영역(40)을 형성하는 단계 전의 광전자 장치(120)의 다른 실시 형태를 도시한다. 부분(32)은 실질적으로 일정한 단면 및 상이한 직경을 갖는 일련의 부분(122, 124, 126)을 포함하며, 각각의 부분은 스텝부(128)에 의해, 즉 와이어(20)의 축선(D)에 실질적으로 수직인 표면에 의해 다음 부분에 연결된다. 스텝부(128)와 부분(122, 124, 126) 사이의 이음부의 에지는 양자 도트 성장 부위를 형성한다. 변형예로서, 스텝부(128)는 축선(D)에 대해 경사를 이룰 수 있다.

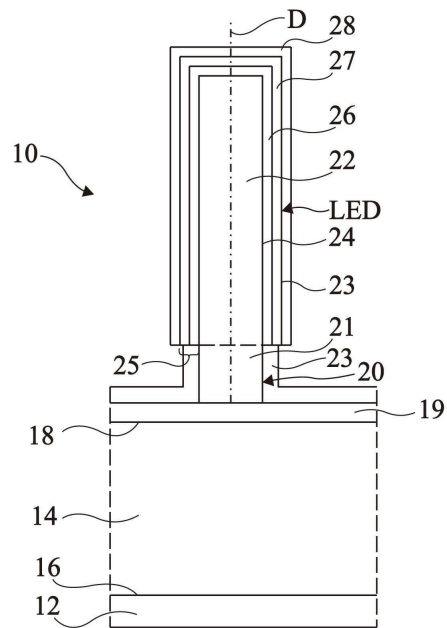
[0113] 장치(120)를 제조하는 방법의 일 실시형태에 따르면, 와이어(20)의 성장 파라미터는 상이한 직경의 2 개의 부분(122, 124, 126) 사이에서 단계적으로 변화된다. 일 예로서, III/V 비율은 상이한 직경을 갖는 2 개의 부분

(122, 124, 126) 사이에서 초기 상수 값으로부터 최종 상수 값까지 단계적으로 된다.

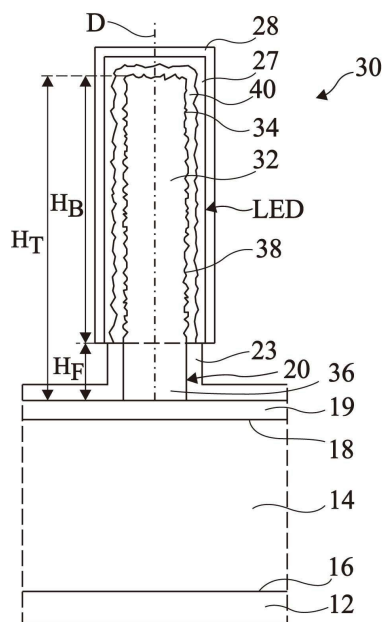
- [0114] 도 11은 와이어(20)를 형성하는 단계 후 및 활성 영역(40)을 형성하는 단계 전의 광전자 장치(130)의 다른 실시 형태를 도시한다. 부분(32)은 스텝부(138)에 의해 연결되는 경사진 벽을 갖는 일련의 부분(134, 135, 136, 137)을 포함하는 실질적으로 도핑되지 않은 셀(133)로 둘러싸인 도핑된 코어(132)를 포함한다. 스텝부(138)와 부분(134, 135, 136, 137) 사이의 이음부의 에지는 양자 도트 성장 부위를 형성한다.
- [0115] 장치(130)의 제조 방법의 일 실시형태에 따르면, N형 도핑된 GaN 와이어의 경우, 도핑된 코어(132)의 형성 후에, 실레인 흐름은 중단되고, 갈륨 및 질소의 전구물질의 흐름은 유지된다. 온도는 연속 단계에서, 예를 들면, 1,000℃로부터 750℃로 감소된다. 이것은 와이어의 상부로부터 연속 스텝부(138)를 갖는 셀(133)의 형성을 유발한다. 셀(133)의 직경은 와이어(20)의 상부로부터 감소된다.
- [0116] 도 12는 와이어(20)를 형성하는 단계 후 및 활성 영역(40)을 형성하는 단계 전의 광전자 장치(140)의 다른 실시 형태를 도시한다. 와이어(20)의 부분(32)은 예를 들면 N형 도핑된 GaN으로 제조된 도핑된 부분(142) 및 예를 들면 GaN으로 제조된 도핑되지 않은 부분(144)이 교대로 형성된다. 도핑되지 않은 부분(144)은 도핑된 부분(142)보다 큰 직경을 갖는다. 도핑되지 않은 부분(144)과 도핑된 부분(142) 사이의 접합부의 에지는 양자 도트 성장 부위를 형성한다.
- [0117] 도핑된 GaN 부분(142)의 직경과 상이한 직경을 갖는 GaN 부분(144)을 형성하기 위해 다양한 방법이 사용될 수 있다. 이 목적을 위해, 도핑된 GaN의 부분(142)이 성장 반응기의 소정 동작 파라미터로 형성되면, 반응기의 작동 파라미터는 GaN 부분(144)의 형성을 위해 변경된다. 일 실시형태에 따르면, 압력이 변경되고, 및/또는 III족 원소의 전구물질 및 V족 원소의 전구물질의 상대 조성이 변경된다. 더 구체적으로는, 하부에 도핑된 GaN 부분(142)을 형성하는데 사용되는 압력에 비한 GaN 부분(144)의 형성에 대한 반응기 내의 압력 감소는 하부의 도핑된 GaN 부분(142)에 비한 GaN 부분(144)의 직경을 증가시킨다. 또한, 하부의 도핑된 GaN 부분(142)를 형성하기 위해 사용되는 V/III 비율에 비한 V/III 비율의 증가는 하부 부분(142)에 비한 GaN 부분(144)의 직경을 증가시킨다.
- [0118] 파라미터의 변경이 급격한 경우, 급격한 직경 변화가 있음에 유의해야 한다. 그러나 이러한 파라미터의 변경이 점진적인 경우에는 상이한 직경의 마이크로와이어 또는 나노와이어의 부분들 사이에 중간 원추 영역이 존재할 수 있다. 이 중간 영역은 반극성 평면으로 형성된다.
- [0119] 도 13은 와이어(20)를 형성하는 단계 후 및 활성 영역(40)을 형성하는 단계 전의 광전자 장치(150)의 다른 실시 형태를 도시한다. 이러한 실시형태에서, 각각의 반도체 소자는 피라미드(152)에 대응한다. 본 발명자들은 피라미드(152)의 특정 성장 조건의 경우에 피라미드의 특징의 면이 다른 면보다 더 거칠다는 것을 밝혀냈다. 일 예로서, 도 13은 덜 거친 면(154)과 더 거친 면(156)을 도시한다. 더 거친 면(156)의 요철은 양자 도트 성장 부위를 형성할 수 있는 반면, 양자 도트를 포함하는 활성층은 덜 거친 면(154) 상에 형성될 수 있다.
- [0120] 주로 GaN으로 제조된 피라미드(152)에 대응하는 반도체 소자의 경우, 시드층(19)은 Ga 극성을 갖는 GaN의 성장을 도와 줄 수 있다. 장치(150)를 제조하는 방법의 일 실시형태에 따르면, V/III 비율은 낮고, 예를 들면, 50 미만이다. 이것은 매끈한 면과 거친 면을 포함하는 피라미드의 형성을 유발한다. 거친 면의 거칠기를 증가시키기 위해, 피라미드의 성장 후, V족 원소 및 III족 원소의 전구물질의 흐름은 중단될 수 있고, 성장 반응기는, 예를 들면, 0.8 bar의 수소 압력 하에서 10 분간 방치될 수 있다. 이것은 면(154)에 대한 면(156)의 거칠기를 더 크게 증가시킨다.
- [0121] 특징의 실시형태가 설명되었다. 다양한 변경 및 개조가 본 기술분야의 당업자에게 발생할 것이다. 특히, 도면은 제 1 전극으로 피복된 와이어가 지지체의 제 1 표면상에 형성되고, 제 2 전극이 제 1 표면의 반대측의 지지체의 제 2 표면상에 형성되는 실시형태를 도시하고 있으나, 제 2 전극이 제 1 표면 측 상에 제공될 수 있음이 분명하다. 또한, 더 상세히 설명한 전술한 실시형태가 III-V족 화합물에 관한 것이기는 하지만, 설명된 실시형태는 II-VI족 화합물을 제조하기 위해 구현될 수도 있다.
- [0122] 상이한 변형예를 갖는 다양한 실시형태들이 위에서 설명되었다. 본 기술분야의 당업자는 임의의 진보성을 보이지 않는 이들 다양한 실시형태 및 변형예의 다양한 요소들을 조합할 수 있음에 유의해야 한다. 특히, 도 10 내지 도 12의 거친 벽을 갖는 부분(32)의 특정 형상은 도 5 내지 도 9와 관련하여 기술된 광전자 장치(70, 80, 90, 100, 110)의 일부의 실시형태로 구현될 수 있다.

도면

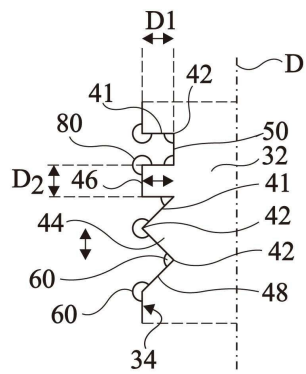
도면1



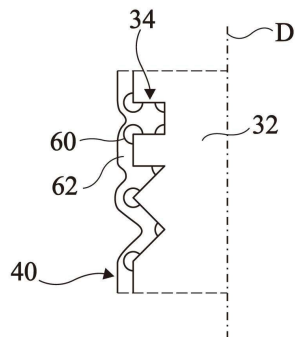
도면2



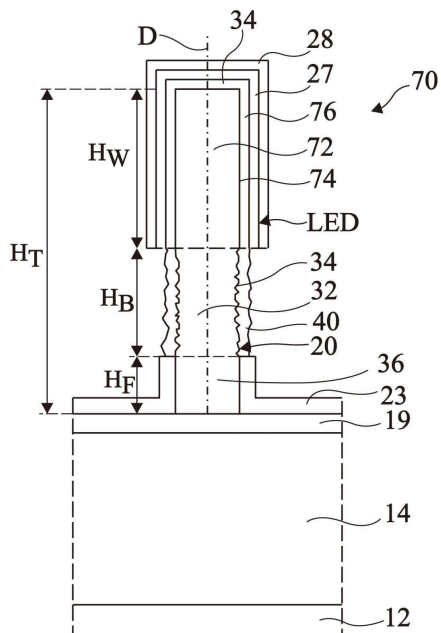
도면3



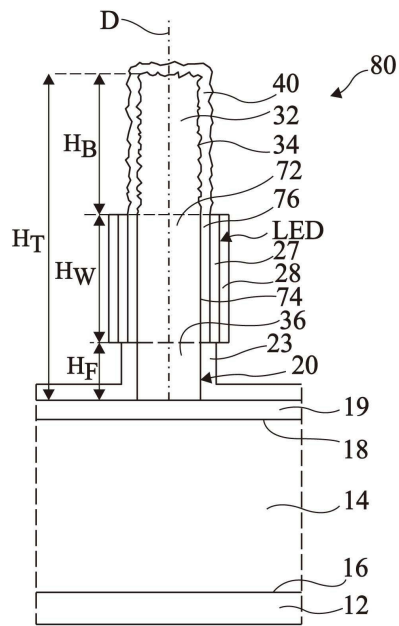
도면4



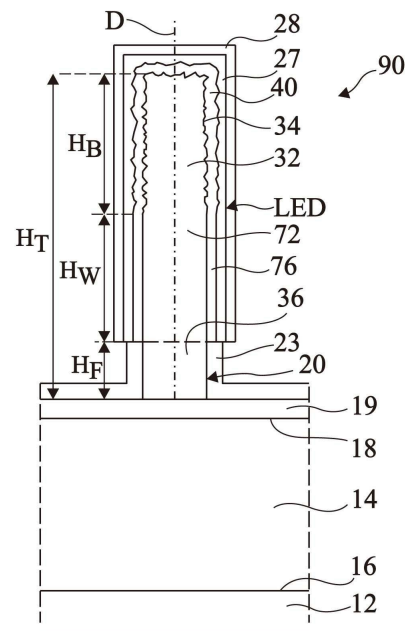
도면5



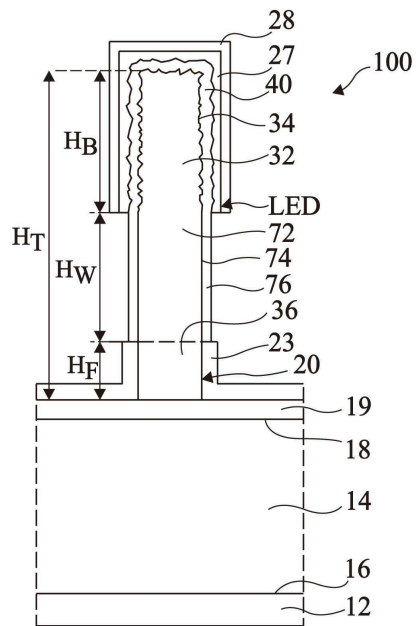
도면6



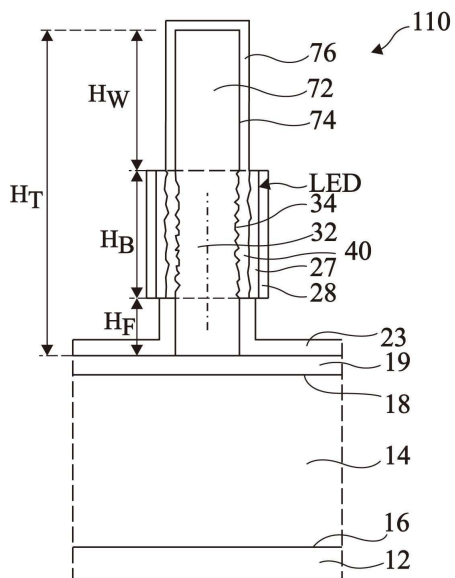
도면7



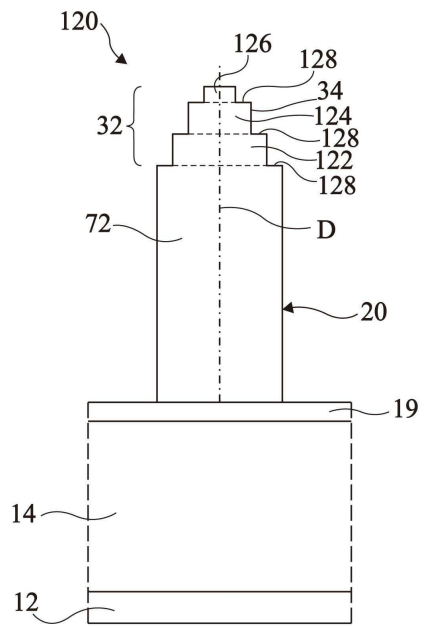
도면8



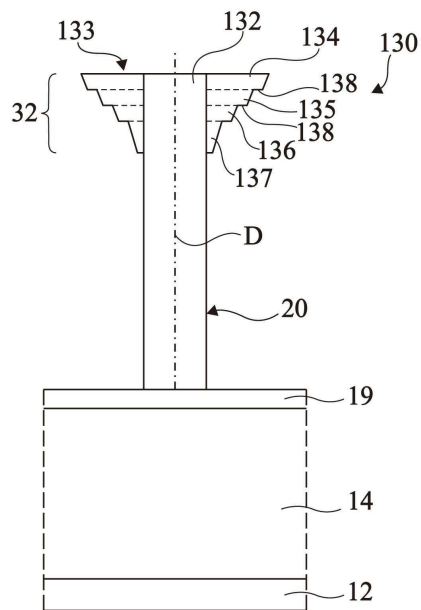
도면9



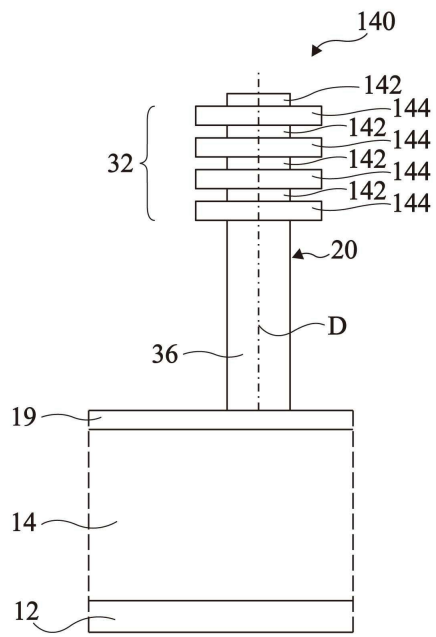
도면10



도면11



도면12



도면13

