



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2016-0043576  
 (43) 공개일자 2016년04월22일

(51) 국제특허분류(Int. Cl.)  
**G02F 1/136** (2006.01)

(21) 출원번호 10-2014-0137545

(22) 출원일자 2014년10월13일

심사청구일자 없음

(71) 출원인

**삼성디스플레이 주식회사**

경기 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

**다나카 사카에**

경기 수원시 영통구 영통로 232, 801동 1803호 (영통동, 벽적골8단지아파트)

**요시모토 히로시**

서울특별시 용산구 한강대로43길 8, 102동 2801호 (한강로2가, 벽산메가트리움)

(74) 대리인

**팬코리아특허법인**

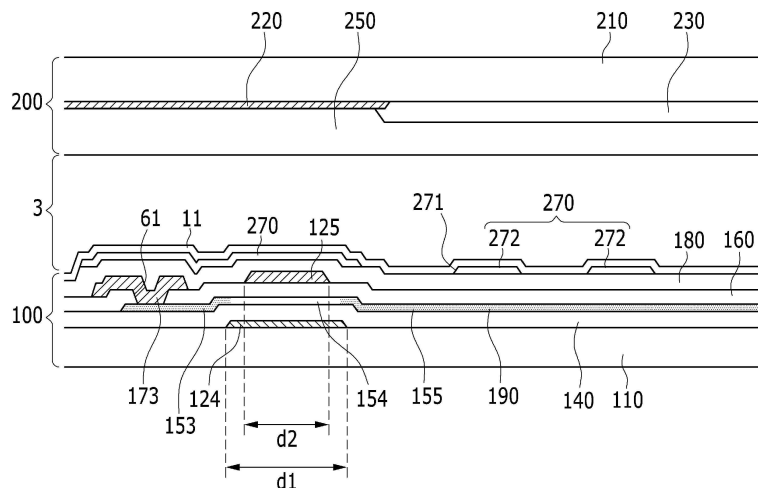
전체 청구항 수 : 총 16 항

**(54) 발명의 명칭 액정 표시 장치 및 그 제조 방법**

**(57) 요약**

본 발명에 따른 액정 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 하부 게이트 전극을 포함하는 게이트선, 상기 게이트선을 덮고 있는 제1 절연막, 상기 제1 절연막 위에 형성되어 있으며 상기 하부 게이트 전극과 중첩하고 있는 채널, 상기 채널 양 옆에 위치하고 있는 소스 전극 및 드레인 전극을 포함하는 활성 부재, 상기 활성 부재와 동일한 층에 형성되어 있는 화소 전극, 상기 활성 부재 및 화소 전극을 덮고 있는 제2 절연막, 상기 제2 절연막 위에 형성되어 있으며 상기 활성 부재와 연결되어 있는 데이터선, 상기 데이터선을 덮고 있는 보호막, 상기 보호막 위에 형성되어 있으며 상기 화소 전극과 중첩하고 있는 공통 전극을 포함하고, 상기 활성 부재와 화소 전극은 산화물 반도체로 이루어져 있으며, 상기 제1 절연막은 10 atm% 내지 35 atm%의 불소 원자를 포함하고 있는 실리콘 질화막일 수 있다.

**대표도 - 도2**



## 명세서

### 청구범위

#### 청구항 1

기관,

상기 기관 위에 형성되어 있으며 하부 게이트 전극을 포함하는 게이트선,

상기 게이트선을 덮고 있는 제1 절연막,

상기 제1 절연막 위에 형성되어 있으며 상기 하부 게이트 전극과 중첩하고 있는 채널, 상기 채널 양 옆에 위치하고 있는 소스 전극 및 드레인 전극을 포함하는 활성 부재,

상기 활성 부재와 동일한 층에 형성되어 있는 화소 전극,

상기 활성 부재 및 화소 전극을 덮고 있는 제2 절연막,

상기 제2 절연막 위에 형성되어 있으며 상기 활성 부재와 연결되어 있는 데이터선,

상기 데이터선을 덮고 있는 보호막,

상기 보호막 위에 형성되어 있으며 상기 화소 전극과 중첩하고 있는 공통 전극을 포함하고,

상기 활성 부재와 화소 전극은 산화물 반도체로 이루어져 있는 액정 표시 장치.

#### 청구항 2

제1항에서,

상기 제1 절연막은 10 atm% 내지 35 atm%의 불소 원자를 포함하고 있는 실리콘 질화막인 액정 표시 장치.

#### 청구항 3

제1항에서,

상기 제2 절연막 위에 형성되어 있으며 상기 하부 게이트 전극과 중첩하고 있는 상부 게이트 전극을 더 포함하는 액정 표시 장치.

#### 청구항 4

제3항에서,

상기 상부 게이트 전극의 폭은 상기 하부 게이트 전극의 폭보다 작은 액정 표시 장치.

#### 청구항 5

제4항에서,

상기 상부 게이트 전극의 테두리는 대응하는 상기 하부 게이트 전극의 테두리 내측에 위치하고 있는 액정 표시 장치.

#### 청구항 6

제3항에서,

상기 하부 게이트 전극의 테두리 중 상기 화소 전극에 가장 가까이 인접하고 있는 제1 테두리는 상기 상부 게이트 전극의 테두리 중 상기 화소 전극에 가장 가까이 인접하고 있는 제2 테두리보다 상기 화소 전극에 더 인접하고 있는 액정 표시 장치.

**청구항 7**

제1항에서,

상기 데이터선은 상기 제1 절연막에 형성된 제1 접촉 구멍을 통해 상기 활성 부재와 연결되어 있고, 상기 상부 게이트 전극은 상기 제1 절연막 및 제2 절연막에 함께 형성된 제2 접촉 구멍을 통해 상기 하부 게이트 전극과 연결되어 있는 액정 표시 장치.

**청구항 8**

제1항에서,

상기 제2 절연막은 10 atm% 내지 35 atm%의 불소 원자를 포함하고 있는 실리콘 질화막인 액정 표시 장치.

**청구항 9**

제8항에서,

상기 제1 절연막의 두께는 50nm 내지 1000nm 이고, 상기 제2 절연막의 두께는 50nm 내지 1000nm 인 액정 표시 장치.

**청구항 10**

제1항에서,

상기 데이터선의 연장 방향, 상기 화소 전극의 연장 방향 및 상기 공통 전극의 연장 방향은 서로 평행하게 배치되어 있는 액정 표시 장치.

**청구항 11**

제10항에서,

상기 게이트선과 상기 데이터선이 절연되어 교차하며 이루는 화소 영역 내에서 상기 데이터선, 상기 화소 전극 및 상기 공통 전극은 굴곡되어 있는 액정 표시 장치.

**청구항 12**

제11항에서,

상기 하부 게이트 전극과 상기 데이터선의 사이각은 70도 내지 89도 인 액정 표시 장치.

**청구항 13**

기판 위에 하부 게이트 전극을 포함하는 게이트선을 형성하는 단계,

상기 게이트선을 덮으며 10 atm% 내지 35 atm%의 불소 원자를 포함하는 실리콘 질화막으로 제1 절연막을 형성하는 단계,

상기 제1 절연막 위에 산화물 반도체를 형성하는 단계,

상기 하부 게이트 전극을 차단 마스크로 하여 엑시머 레이저를 조사하여 상기 산화물 반도체에 활성 부재 및 화소 전극을 형성하는 단계,

상기 활성 부재 및 화소 전극을 덮는 제2 절연막을 형성하는 단계,

상기 제2 절연막 위에 상기 게이트선과 교차하는 데이터선을 형성하는 단계,

상기 데이터선을 덮는 보호막을 형성하는 단계,

상기 보호막 위에 상기 화소 전극과 중첩하는 공통 전극을 형성하는 단계를 포함하는 액정 표시 장치의 제조 방법.

**청구항 14**

제13항에서,

상기 데이터선을 형성하는 단계에서 상기 하부 게이트 전극과 중첩하는 상부 게이트 전극을 형성하는 액정 표시 장치의 제조 방법.

**청구항 15**

제13항에서,

상기 제2 절연막은 10 atm% 내지 35 atm%의 불소 원자를 포함하는 실리콘 질화막으로 형성하는 액정 표시 장치의 제조 방법.

**청구항 16**

제15항에서,

상기 제1 절연막 및 제2 절연막은 불화규소(SiF<sub>4</sub>)와 질소(N<sub>2</sub>)의 혼합 가스를 CVD 장치에서 반응시켜 형성하는 액정 표시 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로서, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0003] 액정 표시 장치는 박형화가 용이한 장점을 지니고 있지만, 전면 시인성에 비해 측면 시인성이 떨어지는 단점이 있어 이를 극복하기 위한 다양한 방식의 액정 배열 및 구동 방법이 개발되고 있다. 이러한 광시야각을 구현하기 위한 방법으로서, 화소 전극 및 공통 전극을 하나의 기판에 형성하는 액정 표시 장치가 주목받고 있다.

[0004] 이러한 액정 표시 장치에서 자기 정렬 하단 게이트 공정(Self Aligned Bottom Gate)을 이용하여 산화물 박막 트랜지스터(Oxide TFT)를 제조하고 있다. 자기 정렬 하단 게이트 공정은 아래와 같다. 우선, 유리 기판 위에 게이트 전극을 형성하고, 실리콘 산화막(SiO<sub>2</sub>)으로 게이트 전극을 덮는 게이트 절연막을 형성하며, 게이트 절연막 위에 산화물 반도체(Oxide Semiconductor)를 형성한 후, 엑시머 레이저(excimer laser) 예컨대, 파장 308nm의 제논 크로라이드(Xenon-chloride(Xecl) 등을 이용한 엑시머 레이저를 유리 기판 아래쪽에서 조사한다. 이 때, 게이트 전극을 차광 마스크로 하여 산화물 반도체에 레이저 광이 조사되어 광이 조사된 영역은 도전체가 된다.

[0005] 실리콘 산화막(SiO<sub>2</sub>)으로 형성된 게이트 절연막은 엑시머 레이저 광을 투과시키는 데 문제가 없다. 그러나, 액정 표시 장치용 유기 기판에 약 1% 이하로 포함된 알칼리 금속 이온(ion)은 실리콘 산화막(SiO<sub>2</sub>)으로 형성된 게이트 절연막에 전계 확산되는 문제가 있다.

[0006] 또한, 게이트 절연막을 실리콘 질화막으로 형성한 경우에는 액정 표시 장치용 유기 기판에 포함된 알칼리 금속 이온의 전계 확산을 방지할 수 있으나, 3종류의 가스(SiH<sub>4</sub> + NH<sub>3</sub> + N<sub>2</sub>)를 원료로 하여 성막한 실리콘 질화막(P-SiNx:H)은 막 두께가 200nm 인 경우 대략 엑시머 레이저 광을 5% 정도만 투과하며, 막 두께가 100nm 인 경우에도 대략 엑시머 레이저 광을 7% 정도만 투과하는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 전술한 배경 기술의 문제점을 해결하기 위한 것으로서, 구조가 간단하고 신뢰성이 향상된 박막 트랜지스터를 포함하는 액정 표시 장치 및 그 제조 방법에 관한 것이다.

**과제의 해결 수단**

- [0008] 본 발명의 일 실시예에 따른 액정 표시 장치는 기관, 상기 기관 위에 형성되어 있으며 하부 게이트 전극을 포함하는 게이트선, 상기 게이트선을 덮고 있는 제1 절연막, 상기 제1 절연막 위에 형성되어 있으며 상기 하부 게이트 전극과 중첩하고 있는 채널, 상기 채널 양 옆에 위치하고 있는 소스 전극 및 드레인 전극을 포함하는 활성 부재, 상기 활성 부재와 동일한 층에 형성되어 있는 화소 전극, 상기 활성 부재 및 화소 전극을 덮고 있는 제2 절연막, 상기 제2 절연막 위에 형성되어 있으며 상기 활성 부재와 연결되어 있는 데이터선, 상기 데이터선을 덮고 있는 보호막, 상기 보호막 위에 형성되어 있으며 상기 화소 전극과 중첩하고 있는 공통 전극을 포함하고, 상기 활성 부재와 화소 전극은 산화물 반도체로 이루어져 있을 수 있다.
- [0009] 상기 제1 절연막은 10 atm% 내지 35 atm%의 불소 원자를 포함하고 있는 실리콘 질화막일 수 있다.
- [0010] 상기 제2 절연막 위에 형성되어 있으며 상기 하부 게이트 전극과 중첩하고 있는 상부 게이트 전극을 더 포함할 수 있다.
- [0011] 상기 상부 게이트 전극의 폭은 상기 하부 게이트 전극의 폭보다 작을 수 있다.
- [0012] 상기 상부 게이트 전극의 테두리는 대응하는 상기 하부 게이트 전극의 테두리 내측에 위치하고 있을 수 있다.
- [0013] 상기 하부 게이트 전극의 테두리 중 상기 화소 전극에 가장 가까이 인접하고 있는 제1 테두리는 상기 상부 게이트 전극의 테두리 중 상기 화소 전극에 가장 가까이 인접하고 있는 제2 테두리보다 상기 화소 전극에 더 인접하고 있을 수 있다.
- [0014] 상기 데이터선은 상기 제1 절연막에 형성된 제1 접촉 구멍을 통해 상기 활성 부재와 연결되어 있고, 상기 상부 게이트 전극은 상기 제1 절연막 및 제2 절연막에 함께 형성된 제2 접촉 구멍을 통해 상기 하부 게이트 전극과 연결되어 있을 수 있다.
- [0015] 상기 제2 절연막은 10 atm% 내지 35 atm%의 불소 원자를 포함하고 있는 실리콘 질화막일 수 있다.
- [0016] 상기 제1 절연막의 두께는 50nm 내지 1000nm 이고, 상기 제2 절연막의 두께는 50nm 내지 1000nm 일 수 있다.
- [0017] 상기 데이터선의 연장 방향, 상기 화소 전극의 연장 방향 및 상기 공통 전극의 연장 방향은 서로 평행하게 배치되어 있을 수 있다.
- [0018] 상기 게이트선과 상기 데이터선이 절연되어 교차하며 이루는 화소 영역 내에서 상기 데이터선, 상기 화소 전극 및 상기 공통 전극은 굴곡되어 있을 수 있다.
- [0019] 상기 하부 게이트 전극과 상기 데이터선의 사이각은 70도 내지 89도일 수 있다.
- [0020] 또한, 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법은 기관 위에 하부 게이트 전극을 포함하는 게이트선을 형성하는 단계, 상기 게이트선을 덮으며 10 atm% 내지 35 atm%의 불소 원자를 포함하는 실리콘 질화막으로 제1 절연막을 형성하는 단계, 상기 제1 절연막 위에 산화물 반도체를 형성하는 단계, 상기 하부 게이트 전극을 차단 마스크로 하여 엑시머 레이저를 조사하여 상기 산화물 반도체에 활성 부재 및 화소 전극을 형성하는 단계, 상기 활성 부재 및 화소 전극을 덮는 제2 절연막을 형성하는 단계, 상기 제2 절연막 위에 상기 게이트선과 교차하는 데이터선을 형성하는 단계, 상기 데이터선을 덮는 보호막을 형성하는 단계, 상기 보호막 위에 상기 화소 전극과 중첩하는 공통 전극을 형성하는 단계를 포함할 수 있다.
- [0021] 상기 데이터선을 형성하는 단계에서 상기 하부 게이트 전극과 중첩하는 상부 게이트 전극을 형성할 수 있다.
- [0022] 상기 제2 절연막은 10 atm% 내지 35 atm%의 불소 원자를 포함하는 실리콘 질화막으로 형성할 수 있다.
- [0023] 상기 제1 절연막 및 제2 절연막은 불화규소(SiF<sub>4</sub>)와 질소(N<sub>2</sub>)의 혼합 가스를 CVD 장치에서 반응시켜 형성할 수 있다.

**발명의 효과**

- [0024] 본 발명에 따르면, 하부 게이트 전극을 덮는 제1 절연막을 10 atm% 내지 35 atm%의 불소 원자를 포함하는 실리콘 질화막(SiNx)으로 형성함으로써, 유리로 이루어진 기관에 포함된 알칼리 금속 이온의 전계 확산을 방지할 수 있어 박막 트랜지스터의 신뢰성을 높일 수 있다.
- [0025] 또한, 10 atm% 내지 35 atm%의 불소 원자를 포함하는 실리콘 질화막(SiNx)으로 형성된 제1 절연막은 엑시머 레

이저를 상당히 잘 투과시키므로, 엑시머 레이저를 이용한 산화물 반도체의 도체화 공정에서 하부 게이트 전극에 의해 차단된 영역 이외의 영역을 선택적으로 고온 어닐링(annealing) 처리하는 것이 가능하다. 따라서, 산화물 반도체의 선택 영역에 고온 어닐링 공정을 진행하여 소스 전극, 채널, 드레인 전극 및 화소 전극을 형성할 수 있으므로 박막 트랜지스터를 단순한 구조로 간단하게 형성할 수 있다.

[0026] 또한, 화소 전극은 드레인 전극과 동일한 물질로 동일한 층에 서로 연결되어 형성되므로 화소 전극을 드레인 전극과 연결하기 위한 별도의 접촉 구멍을 형성하지 않아도 되므로 개구율을 향상시킬 수 있다.

[0027] 또한, 공통 전극이 산화물 반도체로 이루어진 화소 전극과 중첩하고 있으므로, 화소 전극과 동일한 층에 형성되며 산화물 반도체로 이루어진 활성 부재의 채널은 공통 전극의 전계의 영향을 받게 되나, 하부 게이트 전극과 상부 게이트 전극으로 이루어진 더블 게이트 구조는 공통 전극의 전계를 상부 게이트 전극으로 차단할 수 있으므로 오프 전류의 발생을 방지할 수 있다.

[0028] 또한, 상부 게이트 전극의 폭은 하부 게이트 전극의 폭보다 작게 하고, 상부 게이트 전극의 테두리는 대응하는 하부 게이트 전극의 테두리 내측에 위치하게 함으로써, 상부 게이트 전극과 화소 전극간에 형성되는 기생 용량을 최소화하여 박막 트랜지스터의 오프 시 킥백 전압(Kickback Voltage)을 최소화시킬 수 있어 잔상 발생을 억제할 수 있다.

**도면의 간단한 설명**

- [0029] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 2는 도 1의 액정 표시 장치를 II-II선을 따라 잘라 도시한 단면도이다.
- 도 3은 도 1의 액정 표시 장치를 III-III선을 따라 잘라 도시한 단면도이다.
- 도 4는 도 1의 액정 표시 장치를 IV-IV선을 따라 잘라 도시한 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치의 제1 절연막의 투과율곡선(A)과, 종래의 액정 표시 장치의 제1 절연막의 투과율 곡선(B)을 도시한 그래프이다.
- 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법의 순서도이다.
- 도 7, 9 및 11은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 순서대로 도시한 배치도이다.
- 도 8은 도 7의 액정 표시 장치를 VIII-VIII선을 따라 자른 단면도이다.
- 도 10은 도 9의 액정 표시 장치를 X-X선을 따라 자른 단면도이다.
- 도 12는 도 11의 액정 표시 장치를 XII-XII선을 따라 자른 단면도이다.
- 도 13은 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이다.
- 도 14는 도 13의 C 부분의 확대도이다.
- 도 15는 도 13의 액정 표시 장치를 XV-XV선을 따라 잘라 도시한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0031] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0032] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0033] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0034] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0035] 그러면 본 발명의 일 실시예에 따른 액정 표시 장치에 대하여 도 1 내지 도 5를 참고로 상세하게 설명한다.
- [0036] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 배치도이고, 도 2는 도 1의 액정 표시 장치를 II-II선을 따라 잘라 도시한 단면도이고, 도 3은 도 1의 액정 표시 장치를 III-III선을 따라 잘라 도시한 단면도이고, 도 4는 도 1의 액정 표시 장치를 IV-IV선을 따라 잘라 도시한 단면도이다.
- [0037] 도 1 내지 도 4에 도시한 바와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치는 서로 마주보는 하부 표시판(100) 및 상부 표시판(200)과 그 사이 주입되어 있는 액정층(3)을 포함한다.
- [0038] 먼저, 하부 표시판(100)에 대하여 설명한다.
- [0039] 투명한 유리 또는 플라스틱 등으로 이루어진 기판(110) 위에 게이트선(121)이 위치하고 있다. 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래쪽으로 돌출된 복수개의 하부 게이트 전극(bottom gate electrode)(124)를 포함한다. 또한, 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위한 게이트 패드부(도시하지 않음)를 포함할 수 있다.
- [0040] 이러한 게이트선(121)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 게이트선(121)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0041] 게이트선(121) 위에는 제1 절연막(140)이 형성되어 있다. 제1 절연막(140)은 10 atm% 내지 35 atm%의 불소 원자를 포함하고 있는 실리콘 질화막(P-SiNx:F)일 수 있다. 이러한 제1 절연막(140)의 두께는 50nm 내지 1000nm이며, 바람직하게는 70nm 내지 700nm일 수 있다.
- [0042] 하부 게이트 전극(124)을 덮는 제1 절연막(140)을 10 atm% 내지 35 atm%의 불소 원자를 포함하는 실리콘 질화막(P-SiNx:F)으로 형성함으로써, 유리로 이루어진 기판(110)에 포함된 알칼리 금속 이온의 전계 확산을 방지할 수 있고, 산화물 반도체의 문턱 전압의 이동을 최소화할 수 있어 박막 트랜지스터의 신뢰성을 높일 수 있다.
- [0043] 또한, 10 atm% 내지 35 atm%의 불소 원자를 포함하는 실리콘 질화막(P-SiNx:F)으로 형성된 제1 절연막(140)은 엑시머 레이저를 상당히 잘 투과시키므로, 엑시머 레이저를 이용한 산화물 반도체의 도체화 공정에서 하부 게이트 전극(124)에 의해 차단된 영역 이외의 영역을 선택적으로 고온 어닐링(annealing) 처리하는 것이 가능하다. 따라서, 산화물 반도체의 선택 영역에 고온 어닐링 공정을 진행하여 소스 전극, 채널, 드레인 전극 및 화소 전극을 형성할 수 있으므로 박막 트랜지스터를 단순한 구조로 간단하게 형성할 수 있다.
- [0044] 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치의 제1 절연막의 투과율곡선(A)과, 종래의 액정 표시 장치의 제1 절연막의 투과율 곡선(B)을 도시한 그래프이다.
- [0045] 도 5에 도시한 바와 같이, 종래의 액정 표시 장치의 제1 절연막은 3종류의 원료 가스(SiH<sub>4</sub> + NH<sub>3</sub> + N<sub>2</sub>)를 혼합하여 성막한 실리콘 질화막(P-SiNx:H)으로서, 200nm의 두께로 형성된 경우, 실리콘 질화막의 308nm 파장의 광에 대한 투과율은 5% 정도로 상당히 작다. 그러나, 본 발명의 일 실시예에 따른 액정 표시 장치의 제1 절연막(140)은 불화규소(SiF<sub>4</sub>)와 질소(N<sub>2</sub>)의 혼합 가스를 CVD 장치에서 반응시켜 형성한 실리콘 질화막(P-SiNx:F)으로서, 200nm의 두께로 형성된 경우, 실리콘 질화막의 308nm 파장의 광에 대한 투과율은 94%로 상당히 높게 나타남을 알 수 있다.
- [0046] 또한, 실리콘 질화막(P-SiNx:F)의 두께가 400nm 인 경우에도 파장이 308nm인 제논 크로라이드 엑시머 레이저의 광은 88% 이상 투과하므로 200J/cm<sup>2</sup> 필스의 광을 조사해도 막 벗겨짐은 발생하지 않는다.
- [0047] 제1 절연막(140) 위에는 활성 부재(150)와 화소 전극(190)이 형성되어 있다. 활성 부재(150)는 하부 게이트 전극(124)과 일부 중첩하고 있으며, 화소 전극(190)은 활성 부재(150)에서 연장되어 넓은 면적을 차지하며 형성되어 있다. 활성 부재(150)는 하부 게이트 전극(124)과 중첩하고 있는 채널(154), 채널(154)의 양 옆에 위치하고 있는 소스 전극(153) 및 드레인 전극(155)을 포함한다. 드레인 전극(155)은 채널(154)과 화소 전극(190) 사이에 위치하고 있다. 실질적으로 드레인 전극(155)은 경계선 없이 화소 전극(190)과 연속적으로 연결되어 있다. 이

와 같이, 화소 전극(190)은 드레인 전극(155)과 동일한 물질로 동일한 층에 서로 연결되어 형성되므로 화소 전극(190)을 드레인 전극(155)과 연결하기 위한 별도의 접촉 구멍을 형성하지 않아도 되므로 개구율을 향상시킬 수 있다.

[0048] 이러한 활성 부재(150)와 화소 전극(190)은 산화물 반도체로 이루어져 있으며, 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 인듐-갈륨-아연 산화물(InGaZnO<sub>4</sub>), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다.

[0049] 제1 절연막(140) 위에는 활성 부재(150)와 화소 전극(190)을 덮고 있는 제2 절연막(160)이 형성되어 있다. 제2 절연막(160)은 10 atm% 내지 35 atm%의 불소 원자를 포함하고 있는 실리콘 질화막(P-SiN<sub>x</sub>:F 또는 P-SiON<sub>x</sub>:F)일 수 있다. 이러한 제2 절연막(160)의 두께는 50nm 내지 1000nm 이며, 바람직하게는 70nm 내지 700nm일 수 있다.

[0050] 제2 절연막(160) 위에는 데이터선(171) 및 상부 게이트 전극(125)이 형성되어 있다. 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 데이터선(171)에서 하부 게이트 전극(124)을 향하여 뻗은 돌출부(173)는 제2 절연막(160)에 형성된 접촉 구멍(183)을 통해 소스 전극(153)과 연결되어 있다. 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위한 데이터 패드부(도시하지 않음)를 포함할 수 있다.

[0051] 상부 게이트 전극(125)은 채널(154) 및 하부 게이트 전극(124)과 중첩하고 있다. 그리고, 상부 게이트 전극(125)은 제1 절연막(140) 및 제2 절연막(160)에 함께 형성된 제2 접촉 구멍(62)을 통해 하부 게이트 전극(124)과 연결되어 있다. 따라서, 채널(154)의 상부 및 하부 양쪽에서 게이트 전압을 인가하는 더블 게이트 구조(Double Gate)를 적용함으로써, 채널(154) 내부의 전자 이동도를 향상시킬 수 있다. 또한, 상부 게이트 전극(125)을 불투명한 금속 물질로 형성하는 경우에는 산화물 반도체로 이루어진 채널(154)을 외부 광으로부터 차단할 수 있으므로 박막 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 공통 전극(270)이 산화물 반도체로 이루어진 화소 전극(190)과 중첩하고 있으므로, 화소 전극(190)과 동일한 층에 형성되며 산화물 반도체로 이루어진 활성 부재(150)의 채널(154)은 공통 전극(270)의 전계의 영향을 받게 되나, 더블 게이트 구조에서는 공통 전극(270)의 전계를 상부 게이트 전극(125)으로 차단할 수 있으므로 오프 전류의 발생을 방지할 수 있다.

[0052] 또한, 상부 게이트 전극(125)의 폭(d2)은 하부 게이트 전극(124)의 폭(d1)보다 작을 수 있다. 그리고, 상부 게이트 전극(125)의 테두리는 대응하는 하부 게이트 전극(124)의 테두리 내측에 위치하고 있다. 따라서, 상부 게이트 전극(125)은 하부 게이트 전극(124)의 테두리 외측으로 돌출되어 있지 않다. 따라서, 상부 게이트 전극(125)은 모든 영역이 하부 게이트 전극(124)과 중첩하고 있으나, 하부 게이트 전극(124)은 상부 게이트 전극(125)과 중첩하지 않는 영역이 존재하게 된다. 따라서, 상부 게이트 전극(125)과 인접한 화소 전극(190) 간의 거리(d3)를 최대한 이격시킬 수 있으므로 상부 게이트 전극(125)과 화소 전극(190)간의 기생 용량을 최소화하여 박막 트랜지스터의 오프 시 킥백 전압(Kickback Voltage)을 최소화시킬 수 있어 잔상 발생을 억제할 수 있다.

[0053] 또한, 상부 게이트 전극(125)의 폭(d2)이 하부 게이트 전극(124)의 폭(d1)보다 작은 경우에는 데이터선(171)을 통해 소스 전극(153)과 화소 전극(190)에 30V~40V의 고전압이 인가되어도 상부 게이트 전극(125)과 인접한 화소 전극(190) 간의 거리(d3)를 최대한 이격되어 있으므로 박막 트랜지스터의 문턱 전압 이동(V<sub>th</sub> shift)은 발생하기 어렵다.

[0054] 하부 게이트 전극(124) 및 상부 게이트 전극(125)은 채널(154), 소스 전극(153) 및 드레인 전극(155)을 포함하는 활성 부재(150)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이룬다. 따라서, 데이터선(171)으로부터 제1 접촉 구멍(61)을 통해 인가된 데이터 전압은 박막 트랜지스터(TFT)를 통해 화소 전극(190)으로 전달된다.

- [0055] 데이터선(171) 및 상부 게이트 전극(125)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0056] 제2 절연막(160), 데이터선(171) 및 상부 게이트 전극(125) 위에는 이를 덮는 보호막(180)이 형성되어 있다. 보호막(180)은 화소 전극(190) 및 공통 전극(270)의 쇼트를 방지하기 위한 것으로서, 쇼트가 발생하지 않는 범위 내에서 최대한 얇게 형성될 수 있다. 이러한 보호막(180)은 유기 물질 또는 무기 물질로 이루어질 수 있다.
- [0057] 보호막(180) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 공통 개구부(271)에 의해 복수개의 가지 공통 전극(272)으로 나누어지며, 복수개의 가지 공통 전극(272)은 화소 전극(190)과 중첩하고 있다.
- [0058] 공통 전극(270)의 연장 방향은 데이터선(171)의 연장 방향 및 화소 전극(190)의 연장 방향과 서로 평행하게 배치되어 있다. 공통 전극(270)은 화소 전극(190)과 전기장을 형성하여 액정을 배향시킨다. 공통 전극(270)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 등을 포함하는 TCO와 같은 투명한 도전층으로 이루어질 수 있다. 본 실시예에서는 게이트선(121)의 연장 방향과 수직인 방향으로 연장된 공통 가지 전극을 도시하고 이를 기준으로 다른 구성요소를 설명하였으나, 이에 제한되지 않고 게이트선(121)의 연장 방향과 평행한 방향으로 연장된 공통 가지 전극으로 형성될 수 있다.
- [0059] 공통 전극(270) 및 보호막(180) 위에는 배향막(11)이 도포되어 있고, 배향막(11)은 수평 배향막일 수 있으며, 일정한 방향으로 러빙되어 있다.
- [0060] 그러면, 이하에서는 상부 표시판(200)에 대하여 설명한다.
- [0061] 투명한 유리 또는 플라스틱 등으로 만들어진 기관(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 또한, 기관(210) 위에는 복수의 색필터(230)가 형성되어 있다. 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 유기 물질로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 이러한 덮개막(250)은 생략할 수 있다. 덮개막(250) 위에는 배향막이 형성되어 있을 수 있다.
- [0062] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 액정 분자(도시하지 않음)를 포함하며 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수평을 이루도록 배향되어 있을 수 있다.
- [0063] 하부 표시판(100)의 기관(110)의 바깥쪽에는 빛을 생성하여 두 표시판(100, 200)에 빛을 제공하는 라이트 유닛(도시하지 않음)을 더 포함할 수 있다.
- [0064] 데이터 전압이 인가된 화소 전극(190)은 공통 전압을 인가받는 공통 전극(270)과 함께 액정층(3)에 전기장을 생성함으로써 액정층(3)의 액정 분자의 방향을 결정하고 해당 영상을 표시한다.
- [0065] 상기 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법에 대해 이하에서 도 6 내지 도 12를 참고로 상세히 설명한다.
- [0066] 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법의 순서도이고, 도 7, 9 및 11은 본 발명의 일 실시예에 따른 액정 표시 장치의 제조 방법을 순서대로 도시한 배치도이고, 도 8은 도 7의 액정 표시 장치를 VIII-VIII선을 따라 자른 단면도이고, 도 10은 도 9의 액정 표시 장치를 X-X선을 따라 자른 단면도이고, 도 12는 도 11의 액정 표시 장치를 XII-XII선을 따라 자른 단면도이다.
- [0067] 우선, 도 6 내지 도 8에 도시한 바와 같이, 기관(110) 위에 하부 게이트 전극(124)을 포함하는 게이트선(121)을 형성한다(S10). 그리고, 그 위에 불화규소(SiF<sub>4</sub>)와 질소(N<sub>2</sub>)의 혼합 가스를 CVD 장치에서 반응시켜 형성한 실리콘 질화막(P-SiNx:F)으로 제1 절연막(140)을 형성한다(S20).
- [0068] 그리고, 제1 절연막(140) 위에 산화물 반도체(50)를 형성한다(S30).
- [0069] 다음으로, 도 6, 도 9 및 도 10에 도시한 바와 같이, 하부 게이트 전극(124)을 차단 마스크로 하여 액시머 레이

저(1)를 기판(110) 아래에서 조사하여 산화물 반도체(50)에 활성 부재(150) 및 화소 전극(190)을 형성한다(S40). 활성 부재(150)는 하부 게이트 전극(124)과 중첩하여 액시머 레이저(1)가 조사되지 않은 영역에는 채널(154)이 형성되고, 채널(154)의 양 옆의 영역에는 액시머 레이저(1)가 조사되어 도체화됨으로써, 소스 전극(153) 및 드레인 전극(155)을 형성한다. 산화물 반도체(50) 중 드레인 전극(155)에 연결된 대부분의 영역에는 화소 전극(190)이 형성된다.

[0070] 다음으로, 도 6, 도 11 및 도 12에 도시한 바와 같이, 제1 절연막(140), 활성 부재(150) 및 화소 전극(190)을 덮는 제2 절연막(160)을 형성한다(S50). 제2 절연막(160)은 불화규소(SiF<sub>4</sub>)와 질소(N<sub>2</sub>)의 혼합 가스를 CVD 장치에서 반응시켜 실리콘 질화막(P-SiN<sub>x</sub>:F 또는 P-SiON<sub>x</sub>:F)으로 형성한다. 그리고, 제2 절연막(160)에 소스 전극(153)을 노출하는 제1 접촉 구멍(61)을 형성한다(S60). 그리고, 제2 절연막(160) 위에 데이터선(171) 및 상부 게이트 전극(125)을 형성한다(S70).

[0071] 다음으로, 도 6, 도 1 내지 도 4에 도시한 바와 같이, 데이터선(171) 및 상부 게이트 전극(125)을 덮는 보호막(180)을 형성한다(S80). 보호막(180)은 불화규소(SiF<sub>4</sub>)와 질소(N<sub>2</sub>)의 혼합 가스를 CVD 장치에서 반응시켜 실리콘 질화막(P-SiN<sub>x</sub>:F)으로 형성한다. 그리고, 보호막(180)에 제2 접촉 구멍(62)을 형성한다(S90).

[0072] 그리고, 보호막(180) 위에 화소 전극(190)과 중첩하는 공통 전극(270)을 형성한다(S100). 그리고, 하부 표시판(100)에 배향막(11)을 형성한 후, 상부 표시판(200)과 하부 표시판(100) 사이에 액정층(3)을 주입하여 액정 표시 장치를 완성한다.

[0073] 한편, 상기 일 실시예에서는 공통 전극(270), 데이터선(171) 및 화소 전극(190)이 게이트선과 데이터선이 절연되어 교차하며 이루는 화소 영역 내에서 굴곡되어 있지 않으나, 데이터선, 화소 전극 및 공통 전극이 굴곡되어 있는 다른 실시예도 가능하다.

[0074] 이하에서 도 13 내지 도 15를 참고하여 다른 실시예에 대해 상세히 설명한다.

[0075] 도 13은 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이고, 도 14는 도 13의 C 부분의 확대도이고, 도 15는 도 13의 액정 표시 장치를 XV-XV선을 따라 잘라 도시한 단면도이다.

[0076] 도 13 내지 도 15에 도시된 다른 실시예는 도 1 내지 도 4에 도시된 일 실시예와 비교하여 공통 전극, 데이터선 및 화소 전극이 굴곡되고, 상부 게이트 전극의 테두리는 대응하는 하부 게이트 전극의 테두리 외측에 위치하고 있는 것만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.

[0077] 도 13 내지 도 15에 도시한 바와 같이, 본 발명의 다른 실시예에 따른 액정 표시 장치는 투과율을 향상시키기 위해 데이터선(171), 화소 전극(191) 및 공통 전극(270)의 공통 가지 전극(272)은 굽어진 형상을 갖는 굴곡부(2)를 가지고 있다. 이러한 굴곡부는 화소 영역의 중간 영역에서 V자 형태를 이룰 수 있다. 그러나 데이터선(171), 화소 전극(191) 및 공통 전극(270)의 형상은 전술한 형상에 제한되지 않으며 어떠한 형상도 가질 수 있다.

[0078] 그리고, 도 14에 도시한 바와 같이, 하부 게이트 전극(124)의 테두리 중 화소 전극(190)에 가장 가까이 인접하고 있는 제1 테두리(21)는 상부 게이트 전극(125)의 테두리 중 화소 전극(190)에 가장 가까이 인접하고 있는 제2 테두리(22)보다 화소 전극(190)에 더 인접하게 배치되어 있다. 따라서, 상부 게이트 전극(125)과 화소 전극(190)간의 간격(d3)를 넓혀 상부 게이트 전극(125)과 화소 전극(190)간에 형성되는 기생 용량을 최소화하여 킥백 전압 및 이에 따른 잔상 발생을 최소화할 수 있다.

[0079] 이 때, 하부 게이트 전극(124)의 테두리 중 제1 테두리(21) 맞은 편의 제3 테두리(23)는 상부 게이트 전극(125)의 테두리 중 제2 테두리(22) 맞은 편의 제4 테두리(24)의 외측에 위치하게 된다.

[0080] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

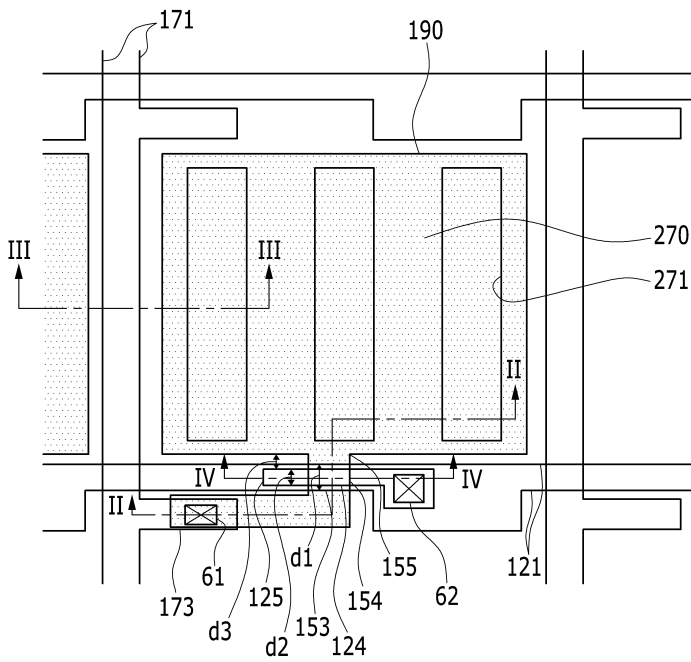
### 부호의 설명

[0081] 121: 게이트선 124: 하부 게이트 전극  
125: 상부 게이트 전극 140: 제1 절연막

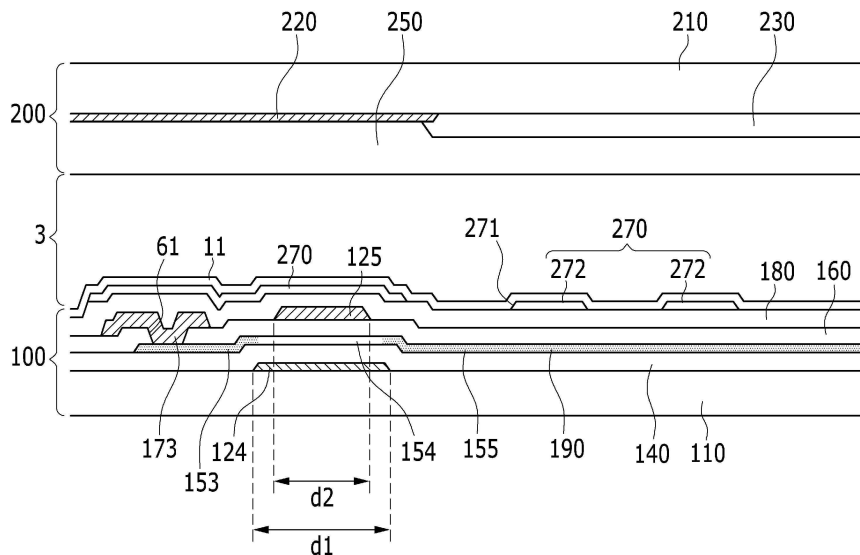
- 150: 활성 부재    153: 소스 전극
- 154: 채널    155: 드레인 전극
- 160: 제2 절연막    171: 데이터선
- 180: 보호막    190: 화소 전극
- 270: 공통 전극    271: 공통 개구부
- 272: 가지 공통 전극

도면

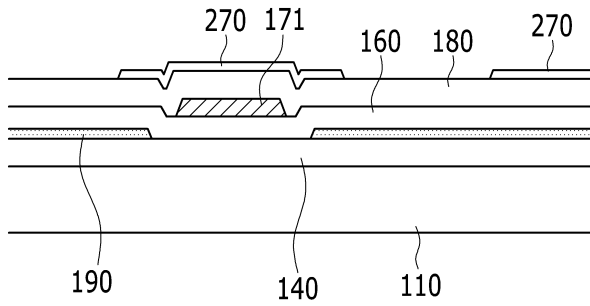
도면1



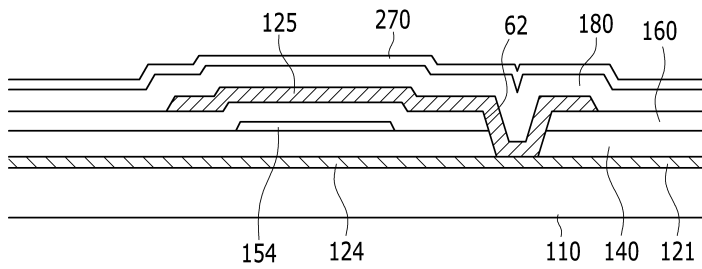
도면2



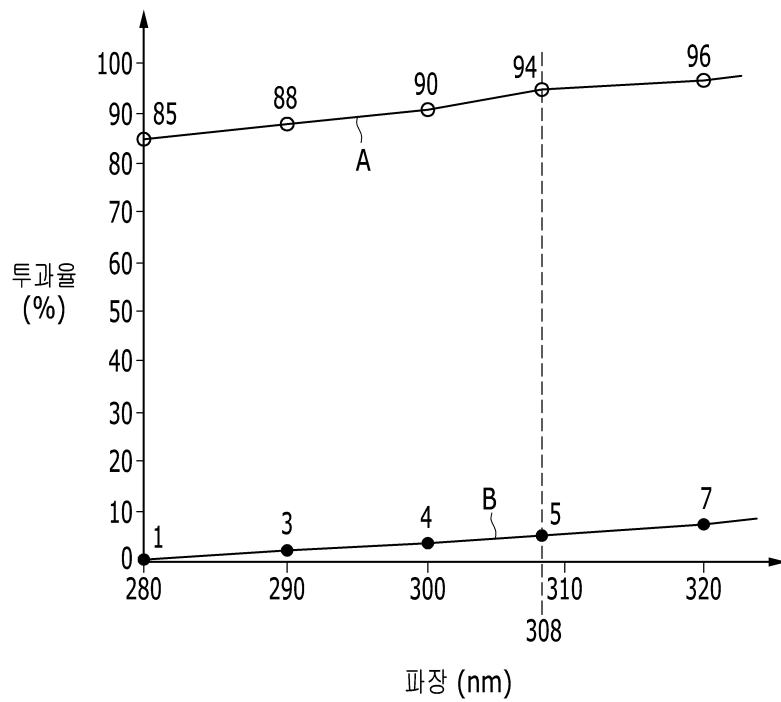
도면3



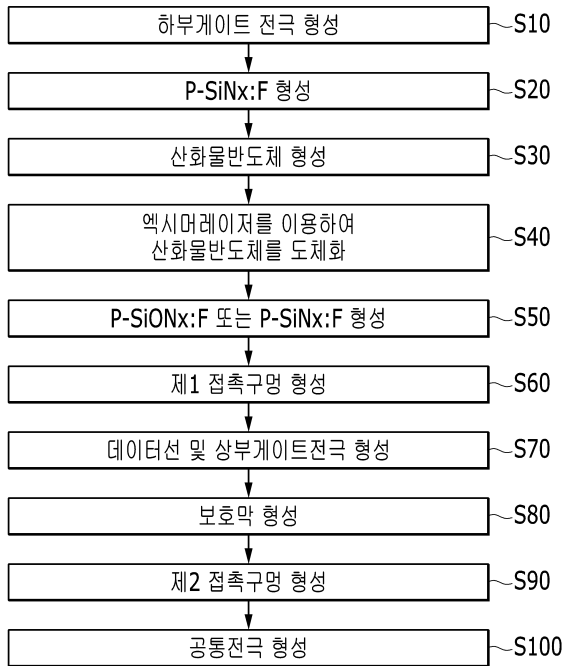
도면4



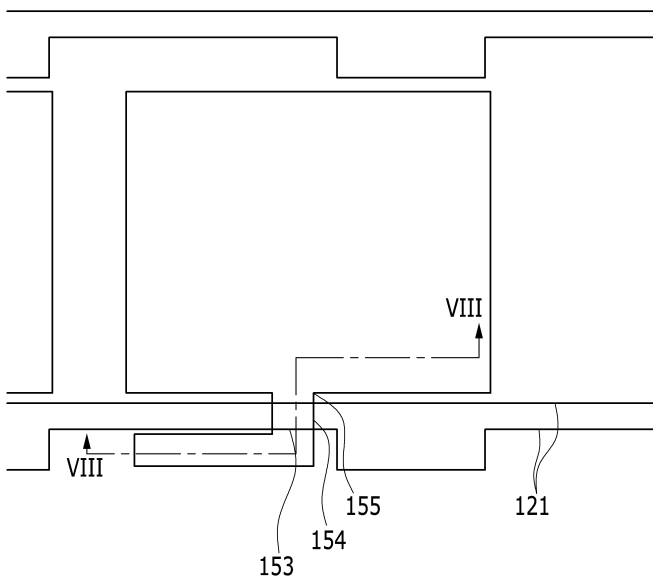
도면5



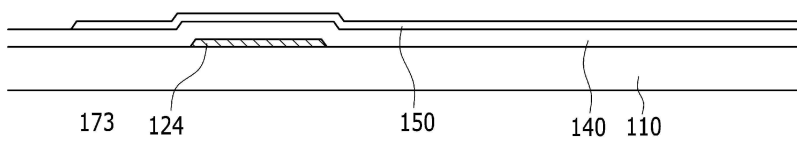
도면6



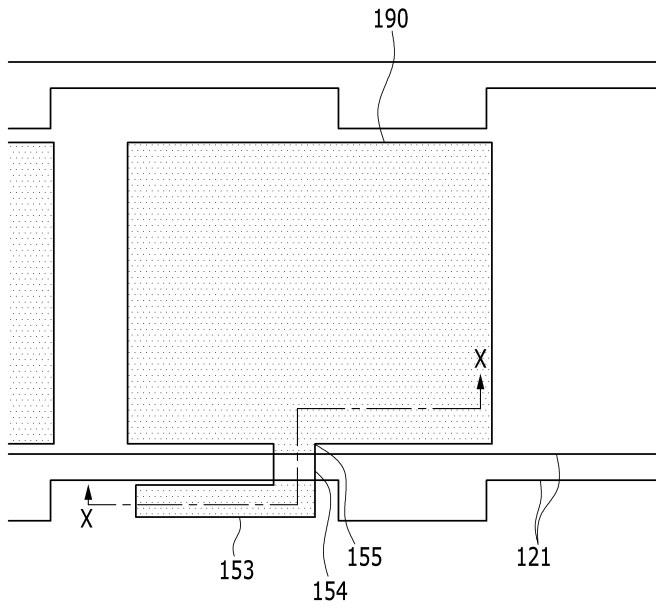
도면7



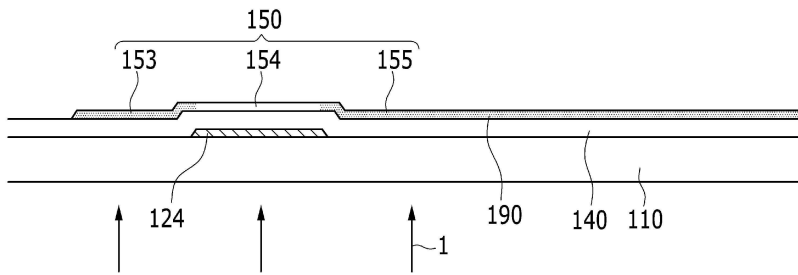
도면8



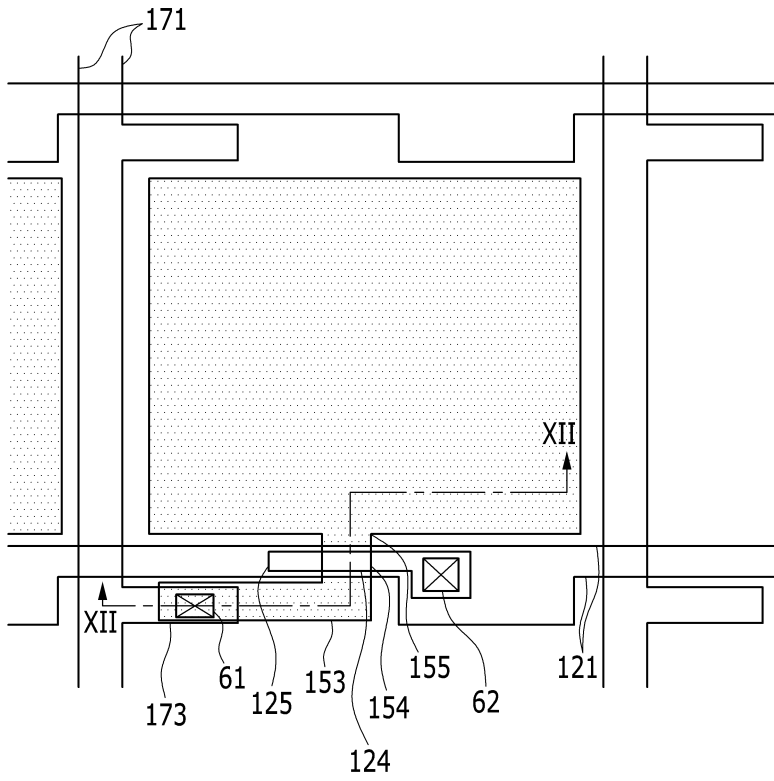
도면9



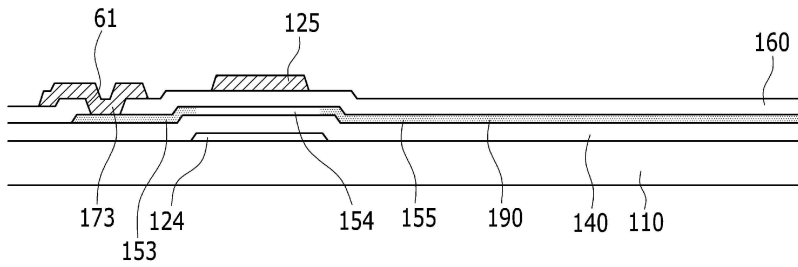
도면10



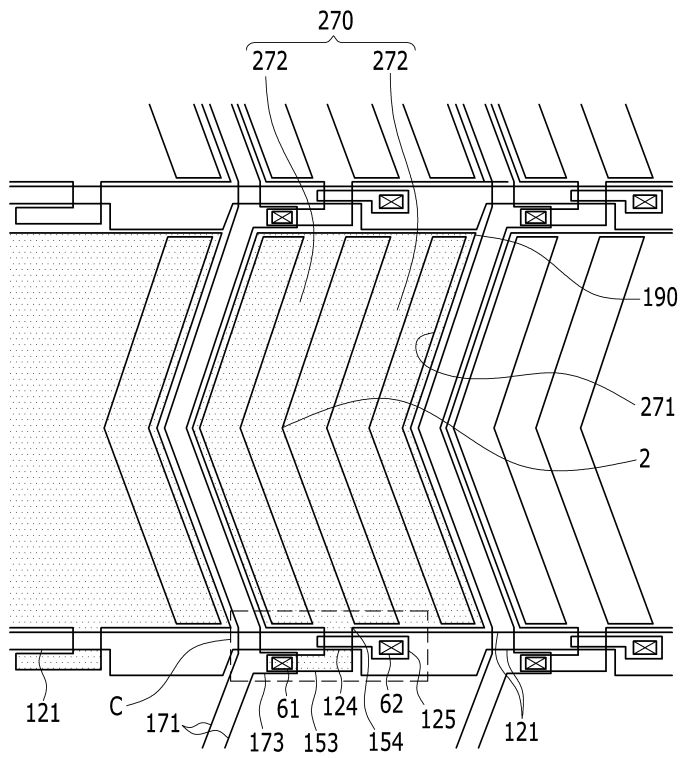
도면11



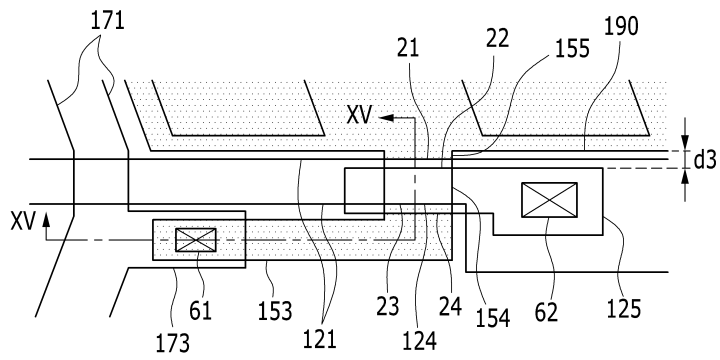
도면12



도면13



도면14



도면15

