



(12) 发明专利申请

(10) 申请公布号 CN 120153772 A

(43) 申请公布日 2025. 06. 13

(21) 申请号 202480004519.9

(22) 申请日 2024.04.10

(30) 优先权数据

2023-084932 2023.05.23 JP

(85) PCT国际申请进入国家阶段日

2025.04.22

(86) PCT国际申请的申请数据

PCT/JP2024/014534 2024.04.10

(87) PCT国际申请的公布数据

W02024/241741 JA 2024.11.28

(71) 申请人 富士电机株式会社

地址 日本神奈川县川崎市

(72) 发明人 吉川功

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

专利代理师 李海秀 周爽

(51) Int.Cl.

H10D 12/00 (2025.01)

H10D 12/01 (2025.01)

H10D 62/10 (2025.01)

H10D 30/66 (2025.01)

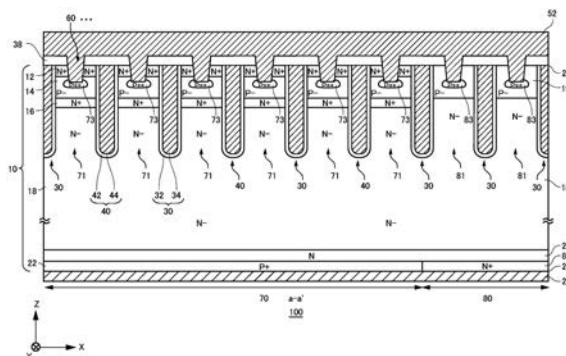
权利要求书3页 说明书13页 附图10页
按照条约第19条修改的权利要求书4页

(54) 发明名称

半导体装置以及半导体装置的制造方法

(57) 摘要

本发明提供一种半导体装置,其具备晶体管部和二极管部,具备:多个沟槽部,其设置在半导体基板的正面;第一导电型的漂移区,其设置在所述半导体基板;第二导电型的基区,其设置在所述漂移区的上方;第一导电型的发射区,其设置在所述基区的上方且掺杂浓度比所述漂移区的掺杂浓度高;第二导电型的第一接触区,其设置在所述晶体管部的台面且掺杂浓度比所述基区的掺杂浓度高;第二导电型的阳极区,其在所述二极管部中设置在所述漂移区的上方;以及第二导电型的第二接触区,其设置在所述二极管部的台面且掺杂浓度比所述阳极区的掺杂浓度高,所述二极管部的台面中的第二导电型的掺杂剂的每单位体积的量是所述晶体管部的台面中的第二导电型的掺杂剂的每单位体积的量以上。



1. 一种半导体装置,其特征在于,具备晶体管部和二极管部,所述半导体装置具备:
多个沟槽部,其设置在半导体基板的正面;
第一导电型的漂移区,其设置在所述半导体基板;
第二导电型的基区,其设置在所述漂移区的上方;
第一导电型的发射区,其设置在所述基区的上方且掺杂浓度比所述漂移区的掺杂浓度高;
第二导电型的第一接触区,其设置在所述晶体管部的台面部且掺杂浓度比所述基区的掺杂浓度高;
第二导电型的阳极区,其在所述二极管部中设置在所述漂移区的上方;以及
第二导电型的第二接触区,其设置在所述二极管部的台面部且掺杂浓度比所述阳极区的掺杂浓度高,
所述二极管部的台面部中的第二导电型的掺杂剂的每单位体积的量是所述晶体管部的台面部中的第二导电型的掺杂剂的每单位体积的量以上。
2. 根据权利要求1所述的半导体装置,其特征在于,
在所述晶体管部和所述二极管部具备沟槽接触部。
3. 根据权利要求2所述的半导体装置,其特征在于,
在所述半导体基板的深度方向上,所述沟槽接触部的下端的深度比所述发射区的下端的深度深。
4. 根据权利要求2所述的半导体装置,其特征在于,
所述第一接触区设置在所述沟槽接触部的下端。
5. 根据权利要求2所述的半导体装置,其特征在于,
所述第二接触区设置在所述沟槽接触部的下端。
6. 根据权利要求2所述的半导体装置,其特征在于,
在所述多个沟槽部的排列方向上,所述二极管部中的所述沟槽接触部的宽度与所述晶体管部中的所述沟槽接触部的宽度相同。
7. 根据权利要求2所述的半导体装置,其特征在于,
在所述多个沟槽部的排列方向上,所述二极管部中的所述沟槽接触部的宽度比所述晶体管部中的所述沟槽接触部的宽度大。
8. 根据权利要求2所述的半导体装置,其特征在于,
所述多个沟槽部具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部,
所述沟槽接触部在设置于所述栅极沟槽部与所述虚设沟槽部之间的台面部,以与所述栅极沟槽部相比更接近所述虚设沟槽部的方式设置。
9. 根据权利要求1所述的半导体装置,其特征在于,
所述晶体管部中的所述第一接触区的掺杂浓度为 $1E19\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。
10. 根据权利要求1所述的半导体装置,其特征在于,
在所述晶体管部中,所述第一接触区以沿着所述多个沟槽部的延伸方向延伸的方式设置。
11. 根据权利要求1所述的半导体装置,其特征在于,

在所述晶体管部中,所述第一接触区以与所述发射区分离的方式设置。

12. 根据权利要求1所述的半导体装置,其特征在于,

所述多个沟槽部具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部,

在所述晶体管部中,所述第一接触区以与所述栅极沟槽部分离的方式设置。

13. 根据权利要求1所述的半导体装置,其特征在于,

所述二极管部中的所述第二接触区的掺杂浓度为 $1E19\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。

14. 根据权利要求1所述的半导体装置,其特征在于,

在所述二极管部中,所述第二接触区以沿着所述多个沟槽部的延伸方向延伸的方式设置。

15. 根据权利要求1所述的半导体装置,其特征在于,

所述多个沟槽部具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部,

在所述二极管部的被两个所述虚设沟槽部夹持的台面部中,所述第二接触区被设置为从一个所述虚设沟槽部的侧壁起延伸到另一个所述虚设沟槽部的侧壁为止。

16. 根据权利要求1所述的半导体装置,其特征在于,

在所述半导体基板的正面,所述发射区和所述基区在所述多个沟槽部的延伸方向上交替地设置。

17. 根据权利要求1所述的半导体装置,其特征在于,

在所述半导体基板的正面,所述发射区被设置为在所述多个沟槽部的延伸方向上延伸。

18. 根据权利要求1所述的半导体装置,其特征在于,

所述基区的掺杂浓度与所述阳极区的掺杂浓度相同。

19. 根据权利要求1所述的半导体装置,其特征在于,

具备第一导电型的阴极区,所述第一导电型的阴极区设置在所述半导体基板的背面且掺杂浓度比所述漂移区的掺杂浓度高,

所述阴极区的掺杂浓度为 $1E18\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。

20. 根据权利要求1所述的半导体装置,其特征在于,

在所述晶体管部中,具备掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的蓄积区。

21. 根据权利要求1至20中任一项所述的半导体装置,其特征在于,

所述半导体基板不具有寿命控制区。

22. 根据权利要求1至20中任一项所述的半导体装置,其特征在于,

所述晶体管部具有作为晶体管进行动作的主区,

所述晶体管部的所述主区与所述二极管部相邻地设置。

23. 根据权利要求22所述的半导体装置,其特征在于,

所述二极管部的台面部中的第二导电型的掺杂剂的每单位体积的量是所述主区的台面部中的第二导电型的掺杂剂的每单位体积的量以上。

24. 一种半导体装置,其特征在于,具有晶体管部,所述半导体装置具备:

第一导电型的漂移区,其设置在半导体基板;
第二导电型的基区,其设置在所述漂移区的上方;
第二导电型的第一接触区,其设置在所述晶体管部的台面且掺杂浓度比所述基区的掺杂浓度高;以及

沟槽接触部,其设置在所述半导体基板的正面,
在所述半导体基板的正面没有设置所述第一接触区。

25. 一种半导体装置的制造方法,其特征在于,是具备晶体管部和二极管部的半导体装置的制造方法,所述半导体装置的制造方法具备:

在半导体基板的正面设置多个沟槽部的步骤;
在所述半导体基板设置第一导电型的漂移区的步骤;
在所述漂移区的上方设置第二导电型的基区的步骤;
在所述基区的上方设置掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区的步骤;

在所述二极管部中,在所述漂移区的上方设置第二导电型的阳极区的步骤;

在所述晶体管部的台面设置掺杂浓度比所述基区的掺杂浓度高的第二导电型的第一接触区的第一离子注入步骤;以及

在所述二极管部中,在所述漂移区的上方设置掺杂浓度比所述阳极区的掺杂浓度高的第二导电型的第二接触区的第二离子注入步骤,

所述二极管部的台面中的第二导电型的掺杂剂的每单位体积的量是所述晶体管部的台面中的第二导电型的掺杂剂的每单位体积的量以上。

26. 根据权利要求25所述的半导体装置的制造方法,其特征在于,
所述第一离子注入步骤和所述第二离子注入步骤是相同的离子注入步骤。

27. 根据权利要求25所述的半导体装置的制造方法,其特征在于,
在所述第一离子注入步骤中注入的离子的剂量与在所述第二离子注入步骤中注入的离子的剂量不同。

半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明涉及一种半导体装置以及半导体装置的制造方法。

背景技术

[0002] 在专利文献1中,记载了“容易从接触层5抽出从集电极层11注入的空穴”的半导体装置。

[0003] 现有技术文献

专利文献

专利文献1:日本特开2022-67972号公报

发明内容

[0004] 在本发明的第一方式中,提供一种半导体装置,其具备晶体管部和二极管部,所述半导体装置具备:多个沟槽部,其设置在半导体基板的正面;第一导电型的漂移区,其设置在所述半导体基板;第二导电型的基区,其设置在所述漂移区的上方;第一导电型的发射区,其设置在所述基区的上方且掺杂浓度比所述漂移区的掺杂浓度高;第二导电型的第一接触区,其设置在所述晶体管部的台面且掺杂浓度比所述基区的掺杂浓度高;第二导电型的阳极区,其在所述二极管部中设置在所述漂移区的上方;以及第二导电型的第二接触区,其设置在所述二极管部的台面且掺杂浓度比所述阳极区的掺杂浓度高。所述二极管部的台面中的第二导电型的掺杂剂的每单位体积的量可以是所述晶体管部的台面中的第二导电型的掺杂剂的每单位体积的量以上。

[0005] 在上述半导体装置中,在所述晶体管部和所述二极管部可以具备沟槽接触部。

[0006] 在上述任一半导体装置中,在所述半导体基板的深度方向上,所述沟槽接触部的下端的深度可以比所述发射区的下端的深度深。

[0007] 在上述任一半导体装置中,所述第一接触区可以设置在所述沟槽接触部的下端。

[0008] 在上述任一半导体装置中,所述第二接触区可以设置在所述沟槽接触部的下端。

[0009] 在上述任一半导体装置中,在所述多个沟槽部的排列方向上,所述二极管部中的所述沟槽接触部的宽度可以与所述晶体管部中的所述沟槽接触部的宽度相同。

[0010] 在上述任一半导体装置中,在所述多个沟槽部的排列方向上,所述二极管部中的所述沟槽接触部的宽度可以比所述晶体管部中的所述沟槽接触部的宽度大。

[0011] 在上述任一半导体装置中,所述多个沟槽部可以具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部。所述沟槽接触部在设置于所述栅极沟槽部与所述虚设沟槽部之间的台面,可以以与所述栅极沟槽部相比更接近所述虚设沟槽部的方式设置。

[0012] 在上述任一半导体装置中,所述晶体管部中的所述第一接触区的掺杂浓度可以为 $1E19\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。

[0013] 在上述任一半导体装置中,在所述晶体管部中,所述第一接触区可以以沿着所述

多个沟槽部的延伸方向延伸的方式设置。

[0014] 在上述任一半导体装置中,在所述晶体管部中,所述第一接触区可以以与所述发射区分离的方式设置。

[0015] 在上述任一半导体装置中,所述多个沟槽部可以具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部。在所述晶体管部中,所述第一接触区可以以与所述栅极沟槽部分离的方式设置。

[0016] 在上述任一半导体装置中,所述二极管部中的所述第二接触区的掺杂浓度可以为 $1E19\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。

[0017] 在上述任一半导体装置中,在所述二极管部中,所述第二接触区可以以沿着所述多个沟槽部的延伸方向延伸的方式设置。

[0018] 在上述任一半导体装置中,所述多个沟槽部可以具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部。在所述二极管部的被两个所述虚设沟槽部夹持的台面部中,所述第二接触区可以被设置为从一个所述虚设沟槽部的侧壁起延伸到另一个所述虚设沟槽部的侧壁为止。

[0019] 在上述任一半导体装置中,在所述半导体基板的正面,所述发射区和所述基区可以在所述多个沟槽部的延伸方向上交替地设置。

[0020] 在上述任一半导体装置中,在所述半导体基板的正面,所述发射区可以被设置为在所述多个沟槽部的延伸方向上延伸。

[0021] 在上述任一半导体装置中,所述基区的掺杂浓度可以与所述阳极区的掺杂浓度相同。

[0022] 在上述任一半导体装置中,可以具备第一导电型的阴极区,所述第一导电型的阴极区设置在所述半导体基板的背面且掺杂浓度比所述漂移区的掺杂浓度高。所述阴极区的掺杂浓度可以为 $1E18\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。

[0023] 在上述任一半导体装置中,在所述晶体管部中,可以具备掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的蓄积区。

[0024] 在上述任一半导体装置中,所述半导体基板可以不具有寿命控制区。

[0025] 在上述任一半导体装置中,所述晶体管部可以具有作为晶体管进行动作的主区。所述晶体管部的所述主区可以与所述二极管部相邻地设置。

[0026] 在上述任一半导体装置中,所述二极管部的台面部中的第二导电型的掺杂剂的每单位体积的量可以是所述主区的台面部中的第二导电型的掺杂剂的每单位体积的量以上。

[0027] 在本发明的第二方式中,提供一种半导体装置,其具有晶体管部,所述半导体装置具备:第一导电型的漂移区,其设置在半导体基板;第二导电型的基区,其设置在所述漂移区的上方;第二导电型的第一接触区,其设置在所述晶体管部的台面部且掺杂浓度比所述基区的掺杂浓度高;以及沟槽接触部,其设置在所述半导体基板的正面。在所述半导体基板的正面可以没有设置所述第一接触区。

[0028] 在本发明的第三方式中,提供一种半导体装置的制造方法,其是具备晶体管部和二极管部的半导体装置的制造方法,所述半导体装置的制造方法具备:在半导体基板的正面设置多个沟槽部的步骤;在所述半导体基板设置第一导电型的漂移区的步骤;在所述漂移区的上方设置第二导电型的基区的步骤;在所述基区的上方设置掺杂浓度比所述漂移区

的掺杂浓度高的第一导电型的发射区的步骤;在所述二极管部中,在所述漂移区的上方设置第二导电型的阳极区的步骤;在所述晶体管部的台面部设置掺杂浓度比所述基区的掺杂浓度高的第二导电型的第一接触区的第一离子注入步骤;以及在所述二极管部中,在所述漂移区的上方设置掺杂浓度比所述阳极区的掺杂浓度高的第二导电型的第二接触区的第二离子注入步骤。所述二极管部的台面部中的第二导电型的掺杂剂的每单位体积的量可以是所述晶体管部的台面部中的第二导电型的掺杂剂的每单位体积的量以上。

[0029] 在上述半导体装置的制造方法中,所述第一离子注入步骤和所述第二离子注入步骤可以是相同的离子注入步骤。

[0030] 在上述任一半导体装置的制造方法中,在所述第一离子注入步骤中注入的离子的剂量可以与在所述第二离子注入步骤中注入的离子的剂量不同。

[0031] 应予说明,上述发明内容没有列举出本发明的全部特征。另外,这些特征组的子组合也能够成为发明。

附图说明

[0032] 图1A是示出半导体装置100的上表面的一个例子的图。

[0033] 图1B是示出半导体装置100的a-a'截面的一个例子的图。

[0034] 图1C是示出半导体装置100的b-b'截面的一个例子的图。

[0035] 图1D是示出半导体装置100的c-c'截面的一个例子的图。

[0036] 图2是示出半导体装置100的上表面的变形例的图。

[0037] 图3A是示出半导体装置100的上表面的变形例的图。

[0038] 图3B是示出半导体装置100的d-d'截面的一个例子的图。

[0039] 图4是示出半导体装置100的上表面的变形例的图。

[0040] 图5A是示出阴极区82的掺杂浓度与二极管部80的正向电压 V_f 之间的关系的图。

[0041] 图5B是示出二极管部80的正向电压 V_f 与反向恢复损耗 Err 之间的关系的图。

[0042] 图6是示出半导体装置100的制造方法的一个例子的流程图。

[0043] 符号说明

10 . . . 半导体基板、12 . . . 发射区、14 . . . 基区、16 . . . 蓄积区、17 . . . 阱区、18 . . . 漂移区、19 . . . 阳极区、20 . . . 缓冲区、21 . . . 正面、22 . . . 集电区、23 . . . 背面、24 . . . 集电电极、25 . . . 连接部、30 . . . 虚设沟槽部、31 . . . 延伸部分、32 . . . 虚设绝缘膜、33 . . . 连接部分、34 . . . 虚设导电部、38 . . . 层间绝缘膜、40 . . . 栅极沟槽部、41 . . . 延伸部分、42 . . . 栅极绝缘膜、43 . . . 连接部分、44 . . . 栅极导电部、50 . . . 栅极金属层、52 . . . 发射电极、54 . . . 接触孔、55 . . . 接触孔、56 . . . 接触孔、60 . . . 沟槽接触部、70 . . . 晶体管部、71 . . . 台面部、73 . . . 第一接触区、75 . . . 主区、80 . . . 二极管部、81 . . . 台面部、82 . . . 阴极区、83 . . . 第二接触区、181 . . . 第一阴极部、182 . . . 第二阴极部、100 . . . 半导体装置

具体实施方式

[0044] 以下,通过发明的实施方式说明本发明,但以下的实施方式并不限定权利要求书

所涉及的发明。另外,在实施方式中说明的特征的全部组合并不一定是发明的技术方案所必须的。

[0045] 在本说明书中,将与半导体基板的深度方向平行的方向上的一侧称为“上”,并将另一侧称为“下”。将基板、层或其他部件的两个主面中的一个面称为上表面,并将另一个面称为下表面。“上”、“下”、“正”、“背”的方向不限于重力方向或安装半导体装置时的朝向基板等的安装方向。

[0046] 在本说明书中,有时使用X轴、Y轴和Z轴的正交坐标轴来说明技术事项。正交坐标轴仅是确定构成要素的相对位置,不限定特定的方向。例如,Z轴不限于表示相对于地面的高度方向。应予说明,+Z轴方向与-Z轴方向为彼此反向的方向。在不记载正负而记载为Z轴方向的情况下,是指与+Z轴和-Z轴平行的方向。

[0047] 在本说明书中,将与半导体基板的上表面平行的面设为XY面,将与半导体基板的上表面和下表面平行的正交轴设为X轴和Y轴。另外,将与半导体基板的上表面和下表面垂直的轴设为Z轴。有时将半导体基板的深度方向称作Z轴。应予说明,在本说明书中,将沿着Z轴方向观察半导体基板的情况称作俯视。另外,在本说明书中,有时将包含X轴和Y轴且平行于半导体基板的上表面和下表面的方向称作水平方向。

[0048] 在各实施例中,示出将第一导电型设为N型、将第二导电型设为P型的例子,但是也可以将第一导电型设为P型、将第二导电型设为N型。在该情况下,各实施例中的基板、层、区域等的导电型分别成为相反的极性。

[0049] 在本说明书中描述为“相同”或“相等”的情况下,也可以包括具有由制造偏差等引起的误差的情况。该误差例如在10%以内。

[0050] 在本说明书中,将掺杂了杂质的掺杂区的导电型设为P型或N型进行说明。在本说明书中,杂质有时特别指N型的施主和P型的受主中的任一种,有时记载为掺杂剂。在本说明书中,掺杂是指向半导体基板导入施主或受主,设为显示N型的导电型的半导体或显示P型的导电型的半导体。

[0051] 在本说明书中,掺杂浓度是指热平衡状态下的施主的浓度或受主的浓度。

[0052] 在本说明书中记作P+型或N+型的情况下,是指掺杂浓度高于P型或N型的掺杂浓度,在记作P-型或N-型的情况下,是指掺杂浓度低于P型或N型的掺杂浓度。另外,在本说明书中记作P++型或N++型的情况下,是指掺杂浓度高于P+型或N+型的掺杂浓度。

[0053] 图1A示出半导体装置100的上表面的一个例子。本例的半导体装置100是具备晶体管部70和二极管部80的半导体芯片。例如,半导体装置100是逆导IGBT(RC-IGBT:Reverse Conducting IGBT)。晶体管部70可以在与二极管部80相邻的部分包含边界区域。本例的晶体管部70不包含边界区域。

[0054] 在半导体基板10的正面21设置有沿着预定的方向(在本例中为Y轴方向)延伸且在预定的方向(在本例中为X轴方向)上排列的多个沟槽部。在后面面对正面21进行说明。多个沟槽部具有被施加了栅极电位的栅极沟槽部40、以及被施加了与栅极电位不同的电位的虚设沟槽部30。

[0055] 晶体管部70是将在半导体基板10的背面侧设置的集电区22投影到半导体基板10的上表面而得的区域。集电区22具有第二导电型。作为一个例子,本例的集电区22为P+型。晶体管部70包括IGBT等晶体管。本例的晶体管部70包括主区75。

[0056] 主区75是在半导体装置100动作时形成沟道区域,作为晶体管进行动作的区域。主区75可以是晶体管部70中的除了边界区域以外的区域。由于本例的晶体管部70不具有边界区域,因此晶体管部70与主区75一致。即,晶体管部70的主区75与二极管部80相邻地设置。

[0057] 二极管部80是将在半导体基板10的背面设置的阴极区82投影到半导体基板10的上表面而得的区域。阴极区82具有第一导电型。作为一个例子,本例的阴极区82为N+型。二极管部80包括在半导体基板10的上表面与晶体管部70相邻地设置的续流二极管(FWD:Free Wheel Diode)等二极管。

[0058] 在晶体管部70中,可以在正面形成有阳极区19,在二极管部80中,可以在正面形成有发射区12和基区14。在多个沟槽部的沟槽排列方向(在本例中为X轴方向)上,设置有发射区12或基区14的区域和设置有阳极区19的区域的边界、与集电区22和阴极区82的边界之间的距离可以为 $0\mu\text{m}$ 以上,也可以为 $10\mu\text{m}$ 以下。在本例中,该距离为 $0\mu\text{m}$ 。

[0059] 在图1A中,示出作为半导体装置100的边缘侧的芯片端部周边的区域,省略其他区域。例如,在本例的半导体装置100的Y轴方向的负侧的区域可以设置有边缘终端结构部。边缘终端结构部缓和半导体基板10的上表面侧的电场集中。边缘终端结构部例如具有保护环、场板、降低表面电场以及将这些组合而成的结构。应予说明,在本例中,为了方便,对Y轴方向的负侧的边缘进行说明,对于半导体装置100的其他边缘也是同样的。边缘终端结构部可以被设置为包围具备晶体管部70和二极管部80的有源区。

[0060] 半导体基板10可以为硅基板,也可以为碳化硅基板,还可以为氮化镓等氮化物半导体基板等。本例的半导体基板10为硅基板。

[0061] 本例的半导体装置100在半导体基板10的正面21具备栅极沟槽部40、虚设沟槽部30、发射区12、基区14、阱区17、以及阳极区19。本例的半导体装置100具备设置在晶体管部70的台面部71的第一接触区73、设置在二极管部80的台面部81的第二接触区83。另外,本例的半导体装置100具备在半导体基板10的正面21的上方设置的发射电极52和栅极金属层50。

[0062] 发射电极52设置在栅极沟槽部40、虚设沟槽部30、发射区12、基区14、阱区17和阳极区19的上方。另外,栅极金属层50设置在栅极沟槽部40和阱区17的上方。

[0063] 发射电极52和栅极金属层50由含金属的材料形成。发射电极52的至少一部分区域可以由铝(Al)等金属、或含铝的合金例如铝-硅合金(AlSi)、铝-硅-铜合金(AlSiCu)等金属合金形成。栅极金属层50的至少一部分区域可以由铝(Al)等金属、或含铝的合金例如铝-硅合金(AlSi)、铝-硅-铜合金(AlSiCu)等金属合金形成。发射电极52和栅极金属层50可以在由铝或含铝的合金等形成的区域的下层具有由钛、钛化合物等形成的势垒金属。发射电极52和栅极金属层50以彼此分离的方式设置。

[0064] 发射电极52和栅极金属层50隔着层间绝缘膜38而设置在半导体基板10的上方。在图1A中层间绝缘膜38被省略。接触孔54、接触孔55和接触孔56以贯通的方式设置在层间绝缘膜38。

[0065] 接触孔54以从层间绝缘膜38的上表面沿着半导体基板10的深度方向延伸的方式设置。接触孔54具有底部和侧部。接触孔54使发射电极52与半导体基板10电连接。接触孔54以沿着沟槽延伸方向延伸的方式设置。本例的接触孔54沿着栅极沟槽部40和虚设沟槽部30被配置为条纹状。

[0066] 接触孔54设置于晶体管部70和二极管部80这两者。在晶体管部70中,接触孔54形成在发射区12和基区14各区域的上表面。在二极管部80中,接触孔54设置在阳极区19的上方。接触孔54不设置于在Y轴方向两端设置的阱区17的上方。如此,在层间绝缘膜形成有一个或多个接触孔54。一个或多个接触孔54可以以沿着延伸方向延伸的方式设置。在接触孔54可以设置有沟槽接触部60。即,沟槽接触部60可以设置于晶体管部70和二极管部80这两者。在后面对沟槽接触部60进行说明。

[0067] 接触孔55使栅极金属层50与晶体管部70内的栅极导电部连接。在接触孔55的内部可以隔着势垒金属而形成有由钨等形成的插塞。

[0068] 接触孔56使发射电极52与虚设沟槽部30内的虚设导电部连接。在接触孔56的内部可以隔着势垒金属而形成有由钨等形成的插塞。

[0069] 连接部25将发射电极52或栅极金属层50等正面侧电极与半导体基板10电连接。在一个例子中,连接部25设置在栅极金属层50与栅极导电部之间。连接部25还设置在发射电极52与虚设导电部之间。连接部25是掺杂有杂质的多晶硅等具有导电性的材料。本例的连接部25是掺杂有N型杂质的多晶硅(N⁺)。连接部25隔着氧化膜等绝缘膜等而设置在半导体基板10的正面21的上方。

[0070] 栅极沟槽部40沿着预先确定的排列方向(在本例中为X轴方向)按照预先确定的间隔排列。本例的栅极沟槽部40可以具有与半导体基板10的正面21平行且沿着与排列方向垂直的延伸方向(在本例中为Y轴方向)延伸的两个延伸部分41、以及将两个延伸部分41连接的部分43。

[0071] 连接部分43的至少一部分可以形成为曲线状。通过将栅极沟槽部40的两个延伸部分41的端部连接,能够缓和延伸部分41的端部的电场集中。在栅极沟槽部40的连接部分43中,栅极金属层50可以与栅极导电部连接。

[0072] 虚设沟槽部30是与发射电极52电连接的沟槽部。虚设沟槽部30与栅极沟槽部40同样地,沿着预先确定的排列方向(在本例中为X轴方向)以预先确定的间隔排列。本例的虚设沟槽部30与栅极沟槽部40同样地,可以在半导体基板10的正面21具有U字形状。即,虚设沟槽部30可以具有沿着延伸方向延伸的两个延伸部分31、以及将两个延伸部分31连接的部分33。

[0073] 本例的晶体管部70中的主区75具有将一个栅极沟槽部40和一个虚设沟槽部30反复排列而得的结构。即,本例的晶体管部70以1:1的比率具有栅极沟槽部40和虚设沟槽部30。例如,晶体管部70在两根延伸部分41之间具有一根延伸部分31。另外,晶体管部70在两根延伸部分31之间具有一根延伸部分41。

[0074] 但是,栅极沟槽部40与虚设沟槽部30的比率不限于本例。栅极沟槽部40与虚设沟槽部30的比率可以为2:3,也可以为2:4。另外,晶体管部70也可以将全部的沟槽部设为栅极沟槽部40,而不具有虚设沟槽部30。

[0075] 台面部71是在半导体基板10的与正面21平行的面内与沟槽部相邻地设置的台面部。台面部是指半导体基板10的被相邻的两个沟槽部夹持的部分,可以从半导体基板10的正面21起到各沟槽部的最深的底部的深度为止的部分。可以将各沟槽部的延伸部分设为一个沟槽部。即,可以将被两个延伸部分夹持的区域设为台面部。

[0076] 在晶体管部70中,台面部71以与虚设沟槽部30和栅极沟槽部40中的至少一个相邻

的方式设置。台面部71在半导体基板10的正面21具有阱区17、发射区12、以及基区14。在台面部71中,在半导体基板10的正面21,发射区12和基区14在沟槽部的延伸方向(在本例中为Y轴方向)上交替地设置。

[0077] 基区14是在后述的漂移区18的上方设置的第二导电型的区域。作为一个例子,基区14为P-型。在半导体基板10的正面21,基区14可以设置在台面部71的Y轴方向上的两端部。在图1A中,仅示出该基区14的Y轴方向上的一个端部。

[0078] 发射区12是设置于基区14的上方且掺杂浓度比漂移区18的掺杂浓度高的第一导电型的区域。作为一个例子,本例的发射区12为N+型。发射区12的掺杂剂的一个例子为砷(As)。在台面部71的正面21,发射区12以与栅极沟槽部40接触的方式设置。发射区12可以被设置为在X轴方向上从夹持台面部71的两根沟槽部中的一个沟槽部起延伸到另一个沟槽部为止。

[0079] 另外,发射区12可以与虚设沟槽部30接触,也可以不与虚设沟槽部30接触。本例的发射区12与虚设沟槽部30接触。

[0080] 在二极管部80中,台面部81设置在被相邻的虚设沟槽部30夹持的区域。在半导体基板10的正面21,台面部81具有阳极区19。本例的台面部81在Y轴方向的负侧具有阳极区19、基区14和阱区17。

[0081] 阳极区19是在漂移区18的上方设置的第二导电型的区域。阳极区19的掺杂浓度可以与基区14的掺杂浓度相同,也可以比基区14的掺杂浓度大。本例的阳极区19的掺杂浓度与基区14的掺杂浓度相同。作为一个例子,本例的阳极区19为P-型。

[0082] 本例的阳极区19设置在台面部81的正面21。阳极区19可以在X轴方向上从夹持台面部81的两根虚设沟槽部30中的一个虚设沟槽部起设置到另一个虚设沟槽部为止。阳极区19可以与虚设沟槽部30接触,也可以不与虚设沟槽部30接触。本例的阳极区19与虚设沟槽部30接触。

[0083] 本例的阳极区19的掺杂浓度可以为 $1E16\text{cm}^{-3}$ 以上,也可以为 $1E18\text{cm}^{-3}$ 以下。应予说明,E是指10的乘方,例如 $1E18\text{cm}^{-3}$ 是指 $1 \times 10^{18}\text{cm}^{-3}$ 。阳极区19可以在半导体基板10的深度方向上具有掺杂浓度的峰。另外,在半导体基板10的深度方向上,阳极区19的下端的深度可以与基区14的下端相同,阳极区19的下端也可以位于比基区14的下端更深的位置。

[0084] 第一接触区73是掺杂浓度比基区14的掺杂浓度高的第二导电型的区域。作为一个例子,本例的第一接触区73为P++型。晶体管部70中的第一接触区73的掺杂浓度可以为 $1E19\text{cm}^{-3}$ 以上,也可以为 $1E21\text{cm}^{-3}$ 以下。

[0085] 在晶体管部70中,第一接触区73可以被设置为在多个沟槽部的延伸方向上延伸。在本例中,第一接触区73以沿着在半导体基板10的正面21交替地设置的发射区12和基区14而延伸的方式设置。

[0086] 第二接触区83是掺杂浓度比阳极区19的掺杂浓度高的第二导电型的区域。作为一个例子,本例的第二接触区83为P++型。第二接触区83的掺杂浓度与第一接触区的掺杂浓度可以相同,也可以不同。第二接触区83的掺杂浓度可以比第一接触区73的掺杂浓度高。二极管部80中的第二接触区83的掺杂浓度可以为 $1E19\text{cm}^{-3}$ 以上,也可以为 $1E21\text{cm}^{-3}$ 以下。

[0087] 在二极管部80中,第二接触区83可以被设置为在多个沟槽部的延伸方向上延伸。在本例中,第二接触区83与第一接触区73的延伸方向相对应地设置。

[0088] 图1B是图1A中的a-a'截面的一个例子。a-a'截面是在晶体管部70中通过发射区12的XZ面。本例的半导体装置100在a-a'截面中具有设置有发射区12、基区14、蓄积区16、漂移区18、缓冲区20、第一接触区73和第二接触区83的半导体基板10、以及层间绝缘膜38、沟槽接触部60、发射电极52、集电电极24。发射电极52形成在半导体基板10和层间绝缘膜38的上方。

[0089] 漂移区18是设置于半导体基板10的第一导电型的区域。作为一个例子,本例的漂移区18为N-型。漂移区18可以是在半导体基板10中未形成其他掺杂区而残留的区域。即,漂移区18的掺杂浓度可以为半导体基板10的掺杂浓度。

[0090] 在漂移区18的下方可以设置有第一导电型的缓冲区20。本例的缓冲区20为N型。缓冲区20的掺杂浓度高于漂移区18的掺杂浓度。缓冲区20可以是防止从基区14的下表面侧扩散的耗尽层到达集电区22和阴极区82的场截止层。

[0091] 集电电极24形成在半导体基板10的背面23。集电电极24由金属等导电材料形成。

[0092] 基区14是在漂移区18的上方设置的第二导电型的区域。基区14的掺杂浓度与阳极区19的掺杂浓度可以相同,也可以不同。基区14的掺杂浓度可以为 $1E16\text{cm}^{-3}$ 以上且 $1E18\text{cm}^{-3}$ 以下。基区14可以设置在发射区12的下方。基区14被设置为与栅极沟槽部40接触。基区14可以被设置为与虚设沟槽部30接触。

[0093] 蓄积区16是在半导体基板10的深度方向上设置在比基区14更靠下方的位置且掺杂浓度比漂移区18的掺杂浓度高的第一导电型的区域。作为一个例子,本例的蓄积区16为N+型。蓄积区16设置在晶体管部70的主区75,没有设置在二极管部80。通过设置第一蓄积区16,能够提高载流子注入增强效应(IE效应),能够降低晶体管部70的导通电压。

[0094] 一个以上的栅极沟槽部40和一个以上的虚设沟槽部30设置在正面21。各沟槽部从正面21起设置到漂移区18为止。在设置有发射区12、基区14、蓄积区16和阳极区19中的至少任一者的区域中,各沟槽部还贯通这些区域而到达漂移区18。沟槽部贯通掺杂区的情况不限于按照在形成掺杂区之后形成沟槽部的顺序进行制造。在形成沟槽部之后,在沟槽部之间形成掺杂区的方法也包含于沟槽部贯通掺杂区的方法。

[0095] 栅极沟槽部40具有在正面21形成的栅极沟槽、栅极绝缘膜42和栅极导电部44。栅极绝缘膜42以覆盖栅极沟槽的内壁的方式形成。栅极绝缘膜42可以通过将栅极沟槽的内壁的半导体氧化或氮化而形成。栅极导电部44在栅极沟槽的内部形成在比栅极绝缘膜42更靠内侧的位置。栅极绝缘膜42使栅极导电部44与半导体基板10绝缘。栅极导电部44由多晶硅等导电材料形成。栅极沟槽部40在正面21被层间绝缘膜38覆盖。

[0096] 栅极导电部44包括在半导体基板10的深度方向上与隔着栅极绝缘膜42在台面部71侧相邻的基区14对置的区域。如果对栅极导电部44施加预定的电压,则在与基区14中的栅极沟槽接触的界面的表层形成有由电子的反型层形成的沟道。

[0097] 虚设沟槽部30可以具有与栅极沟槽部40相同的结构。虚设沟槽部30具有在正面21侧形成的虚设沟槽、虚设绝缘膜32和虚设导电部34。虚设绝缘膜32以覆盖虚设沟槽的内壁的方式形成。虚设导电部34形成在虚设沟槽的内部且形成在比虚设绝缘膜32更靠内侧的位置。虚设绝缘膜32使虚设导电部34与半导体基板10绝缘。虚设沟槽部30在正面21被层间绝缘膜38覆盖。

[0098] 层间绝缘膜38设置于正面21。在层间绝缘膜38的上方设置有发射电极52。在层间

绝缘膜38设置有用于将发射电极52与半导体基板10电连接的一个或多个沟槽接触部60。接触孔55和接触孔56也可以与沟槽接触部60同样地设置为贯通层间绝缘膜38。

[0099] 沟槽接触部60贯通层间绝缘膜38和发射区12而到达基区14或阳极区19。沟槽接触部60使发射电极52与半导体基板10电连接。在本例中,沟槽接触部60的下端的深度在半导体基板10的深度方向上比发射区12的下端的深度深。由此,能够提高半导体装置100的闩锁耐量。

[0100] 第一接触区73设置在沟槽接触部60的下端。第一接触区73可以被设置为覆盖沟槽接触部60的底部和侧壁的一部分。在晶体管部70中,第一接触区73以与发射区12分离的方式设置。在晶体管部70中,第一接触区73以与栅极沟槽部40分离的方式设置。

[0101] 在一个例子中,第一接触区73通过经由沟槽接触部60注入掺杂剂而形成。也可以先形成第一接触区73之后,设置沟槽接触部60。通过设置第一接触区73,能够降低晶体管部70中的沟槽接触部60的底部的电阻,能够抑制闩锁击穿。

[0102] 第二接触区83设置在沟槽接触部60的下端。第二接触区83可以被设置为覆盖沟槽接触部60的底部和侧壁的一部分。在一个例子中,第二接触区83通过经由沟槽接触部60注入掺杂剂而形成。也可以先形成第二接触区83之后,再设置沟槽接触部60。

[0103] 第二接触区83的掺杂浓度与第一接触区73的掺杂浓度可以相同,也可以不同。在本例中,第二接触区83的掺杂浓度大于第一接触区73的掺杂浓度。

[0104] 二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量与晶体管部70的台面部71中的第二导电型的掺杂剂的每单位体积的量可以相同,也可以不同。在本说明书中,晶体管部70的台面部71中的第二导电型的掺杂剂的每单位体积的量可以是将基区14和第一接触区73所包含的掺杂剂的总量除以台面部71的体积而得的量。在本说明书中,二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量可以是将阳极区19和第二接触区83所包含的掺杂剂的总量除以台面部81的体积而得的量。在本例中,二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量是晶体管部70的台面部71中的第二导电型的掺杂剂的每单位体积的量以上。由此,能够抑制空穴从晶体管部70向二极管部80注入,能够降低反向恢复损耗Err。

[0105] 二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量与主区75的台面部71中的第二导电型的掺杂剂的每单位体积的量可以相同,也可以不同。在本例中,二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量是主区75的台面部71中的第二导电型的掺杂剂的每单位体积的量以上。

[0106] 在晶体管部70中,集电区22设置在半导体基板10的背面23。集电区22是掺杂浓度比基区14的掺杂浓度高的第二导电型的区域。

[0107] 在二极管部80中,阴极区82设置在半导体基板10的背面23。阴极区82是掺杂浓度比漂移区18的掺杂浓度高的第一导电型的区域。阴极区的掺杂浓度可以为 $1E18\text{cm}^{-3}$ 以上,也可以为 $1E21\text{cm}^{-3}$ 以下。

[0108] 阴极区82的掺杂浓度可以与晶体管部70的台面部71中的第二导电型的掺杂剂的每单位体积的量和二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量相对应地变更。由此,能够改善二极管部80中的正向电压Vf与反向恢复损耗Err的权衡。在后面描述详细情况。

[0109] 本例的半导体装置100在半导体基板10的内部不具有寿命控制区。由此,不需要为了形成寿命控制区而追加注入离子等,能够降低成本。

[0110] 图1C是图1A中的b-b'截面的一个例子。b-b'截面是在晶体管部70中沿着沟槽接触部60的YZ面。

[0111] 第一接触区73被设置为在沟槽接触部60的延伸方向上延伸。第一接触区73可以覆盖沟槽接触部60的底部和侧壁的一部分。第一接触区73可以在沟槽延伸方向(在本例中为Y轴方向)的端部覆盖沟槽接触部60的侧壁。

[0112] 阱区17是设置在比漂移区18更靠半导体基板10的正面21侧的第二导电型的区域。阱区17是在半导体装置100的边缘侧设置的阱区的一个例子。作为一个例子,阱区17为P+型。

[0113] 阱区17从设置有栅极金属层50的一侧的有源区的端部起在预先确定的范围内形成。阱区17的扩散深度可以比栅极沟槽部40和虚设沟槽部30的深度更深。栅极沟槽部40和虚设沟槽部30的靠栅极金属层50侧的一部分区域形成于阱区17。栅极沟槽部40和虚设沟槽部30的延伸方向的端部的底部可以被阱区17覆盖。

[0114] 图1D是图1A中的c-c'截面的一个例子。c-c'截面是在二极管部80中沿着沟槽接触部60的YZ面。

[0115] 第二接触区83被设置为在沟槽接触部60的延伸方向上延伸。第二接触区83可以覆盖沟槽接触部60的底部和侧壁的一部分。第二接触区83也可以在沟槽接触部60的延伸方向上离散地设置。第二接触区83可以在沟槽延伸方向(在本例中为Y轴方向)的端部覆盖沟槽接触部60的侧壁。

[0116] 第一阴极部181是掺杂浓度比漂移区18的掺杂浓度高的第一导电型的区域。在一个例子中,第一阴极部181为N型。第一阴极部181的沟槽延伸方向(Y轴方向)上的宽度可以大于第二阴极部182的沟槽延伸方向上的宽度。

[0117] 第二阴极部182是在半导体基板10的背面23与第一阴极部181相邻地设置的第二导电型的区域。即,第二阴极部182可以与第一阴极部181直接接触。在一个例子中,第二阴极部182为P型。

[0118] 可以在通过用于形成第二阴极部182的离子注入工序而离子注入了P型的掺杂剂之后,通过离子注入N型的掺杂剂来形成第一阴极部181。相反地,也可以在通过用于形成第一阴极部181的离子注入工序而离子注入了N型的掺杂剂之后,通过离子注入P型的掺杂剂来形成第二阴极部182。

[0119] 第一阴极部181和第二阴极部182以形成彼此接触的边界的方式配置。第一阴极部181和第二阴极部182可以在任意的方向上交替地配置。本例的第一阴极部181和第二阴极部182可以在沟槽延伸方向(例如为Y轴方向)上交替地排列、或者在沟槽排列方向(例如为X轴方向)上交替地排列。第一阴极部181和第二阴极部182在俯视时可以配置成条纹状。第一阴极部181和第二阴极部182中的一者也可以形成为点状。

[0120] 在本例的二极管部80中的阴极区82可以设置有第二阴极部182。在本例的二极管部80中的阴极区82可以交替地设置有第一阴极部181和第二阴极部182。在本例的二极管部80中的阴极区82中,可以设置为第一阴极部181与第二阴极部182接触。由此,能够降低阴极区82中的第一导电型的掺杂剂的浓度,能够提高二极管部80的正向电压 V_f 。

[0121] 图2是示出半导体装置100的上表面的变形例的图。使用图2对与图1A不同的点进行说明。

[0122] 在图2所示的变形例中,在半导体基板10的正面21,发射区12被设置为在多个沟槽部的延伸方向上延伸。发射区12可以被设置为在Y轴方向上从与阱区17相邻的一个基区14起延伸到另一个基区14为止。由此,能够削减晶体管部70中的第二导电型的掺杂剂的每单位体积的量,能够降低从晶体管部70向二极管部80的空穴注入量,能够减少二极管部80的正向电压 V_f 。

[0123] 在图2所示的变形例中,阳极区19的掺杂浓度比基区14的掺杂浓度高。在变形例中,阳极区19为P型。由此,二极管部80中的从正面21向背面23侧的空穴注入量变得比从晶体管部70向二极管部80的空穴注入量多,能够减少二极管部80的正向电压 V_f 。

[0124] 图3A是示出半导体装置100的上表面的变形例的图。使用图3A对与图1A不同的点进行说明。

[0125] 晶体管部70中的接触孔54a的沟槽排列方向上的宽度与二极管部80中的接触孔54b的沟槽排列方向上的宽度可以相同,也可以不同。晶体管部70中的沟槽接触部60a的沟槽排列方向上的宽度与二极管部80中的沟槽接触部60b的沟槽排列方向上的宽度可以相同,也可以不同。在一个例子中,在沟槽部的排列方向上,二极管部80中的沟槽接触部60b的宽度与晶体管部70中的沟槽接触部60a的宽度相同。在图3A的例子中,在沟槽部的排列方向上,二极管部80中的沟槽接触部60b的宽度大于晶体管部70中的沟槽接触部60a的宽度。

[0126] 沟槽接触部60可以在设置于栅极沟槽部40与虚设沟槽部30之间的台面部,以与栅极沟槽部40相比更接近虚设沟槽部30的方式设置。在本例中,晶体管部70中的沟槽接触部60a以与栅极沟槽部40相比更接近虚设沟槽部30的方式设置。

[0127] 在晶体管部70中,在沟槽接触部60a与虚设沟槽部30之间可以不设置发射区12。在本例中,在沟槽接触部60a与虚设沟槽部30之间设置有基区14。

[0128] 图3B是图3A中的d-d'截面的一个例子。d-d'截面是在晶体管部70中通过发射区12的XZ面。使用图3B对与图1B不同的点进行说明。

[0129] 在沟槽部的排列方向上,二极管部80中的沟槽接触部60的宽度可以大于晶体管部70中的沟槽接触部60a的宽度。沟槽接触部60的宽度可以是层间绝缘膜38的上端处的开口宽度,可以是沟槽接触部60的底部的宽度,也可以是与半导体基板10的正面21相同深度处的宽度。在本例中,二极管部80中的沟槽接触部60b的宽度 W_{60b} 大于晶体管部70中的沟槽接触部60a的宽度 W_{60a} 。由此,在形成第一接触区73和第二接触区83时,由于经由宽度宽的沟槽接触部60b注入的掺杂剂能够比经由宽度窄的沟槽接触部60a注入的掺杂剂多,因此能够使第二接触区83的掺杂浓度比第一接触区73的掺杂浓度大。

[0130] 在设置于栅极沟槽部40和虚设沟槽部30之间的台面部,晶体管部70中的沟槽接触部60a可以以与栅极沟槽部40相比更接近虚设沟槽部30的方式设置。在本例中,在台面部71中,沟槽接触部60a的中央与栅极沟槽部40之间的距离 D_1 大于沟槽接触部60a的中央与虚设沟槽部30之间的距离 D_2 。由此,能够以使第一接触区73与栅极沟槽部40分离的方式配置,能够降低因第一接触区73沿沟槽排列方向(X轴方向)扩散而形成的第一接触区73的低浓度部分与栅极沟槽部40的侧壁接触而产生的阈值的偏差。

[0131] 在二极管部80中,第二接触区83可以被设置为与虚设沟槽部30接触。在本例中,在

二极管部80的被两个虚设沟槽部30夹持的台面部81中,第二接触区83被设置为从一个虚设沟槽部30的侧壁起延伸到另一个虚设沟槽部30的侧壁为止。由此,能够使二极管部80中的第二导电型的掺杂剂的每单位体积的量比晶体管部70中的第二导电型的掺杂剂的每单位体积的量。

[0132] 图4是示出半导体装置100的上表面的变形例的图。半导体装置100具有晶体管部。半导体装置100具备漂移区18、基区14、发射区12、第一接触区73、以及沟槽接触部60。由于这些各区域的结构与此前所说明的半导体装置100的结构相同,故省略。

[0133] 在图4所示的半导体装置100中,在正面21没有设置第一接触区73。在半导体装置100的正面21,在沟槽延伸方向上交替地设置有发射区12和基区14。

[0134] 图5A是示出阴极区82的掺杂浓度与二极管部80的正向电压 V_f 之间的关系的图。横轴为阴极区82的掺杂浓度,纵轴为二极管部80的正向电压 V_f ,改变二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量而进行绘制。各数值被标准化。

[0135] 在实施例1至实施例3中,二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量不同。由四边形表示的实施例1的第二导电型的掺杂剂的掺杂浓度 Q_{p1} 小于由圆圈表示的实施例2的掺杂浓度 Q_{p2} 。实施例2的掺杂浓度 Q_{p2} 小于由三角形表示的实施例3的掺杂浓度 Q_{p3} 。如果二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量增加,则二极管部80的正向电压 V_f 降低。

[0136] 如果降低阴极区82的掺杂浓度,则二极管部80的正向电压 V_f 上升。作为一个例子,通过在阴极区82设置第二阴极部182,能够增加二极管部80的正向电压 V_f 。如此,通过调节二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量和阴极区82的掺杂浓度,能够调整二极管部80的正向电压 V_f 的值。

[0137] 图5B是示出二极管部80的正向电压 V_f 与反向恢复损耗 Err 之间的关系的图。横轴为二极管部80的正向电压 V_f ,纵轴为反向恢复损耗 Err ,改变二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量而进行绘制。各数值被标准化。

[0138] 对于实施例1、实施例2和实施例3中的每一个实施例而言,二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量的关系如上所述。如果二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量增加,则二极管部80的正向电压 V_f 降低,反向恢复损耗 Err 上升。如此,通过调节二极管部80的台面部81中的第二导电型的掺杂剂的每单位体积的量和阴极区82的掺杂浓度,能够调整正向电压 V_f 与反向恢复损耗 Err 之间的关系。

[0139] 图6是示出半导体装置100的制造方法的一个例子的流程图。本例的半导体装置100的制造方法具有:在半导体基板10形成多个沟槽部的步骤S100;在半导体基板10形成漂移区18的步骤S110;形成基区14、发射区12和阳极区19的步骤S120;形成第一接触区73的第一离子注入步骤S130;以及形成第二接触区83的第二离子注入步骤S140。其中,由于在半导体基板10形成多个沟槽部的步骤S100、在半导体基板10形成漂移区18的步骤S110、以及形成基区14、发射区12和阳极区19的步骤S120是只要具有通常知识的人便能够理解的内容,故省略说明。

[0140] 在第一离子注入步骤S130中注入的离子的剂量可以与在第二离子注入步骤S140中注入的离子的剂量不同。第一离子注入步骤S130和第二离子注入步骤S140可以使用不同的掩模在不同的时刻进行。在本例中,在第二离子注入步骤S140中注入的第二导电型的掺

杂剂的剂量比在第一离子注入步骤S130中注入的第二导电型的掺杂剂的剂量多。由此,能够使二极管部80中的第二导电型的掺杂剂的每单位体积的量比晶体管部70中的第二导电型的掺杂剂的每单位体积的量。

[0141] 第一离子注入步骤S130和第二离子注入步骤S140可以是相同的离子注入步骤。第一离子注入步骤S130和第二离子注入步骤S140可以使用相同的掩模而同时进行。第一接触区73和第二接触区83可以使用相同的掩模而同时形成,也可以使用相同的掩模在不同的时刻形成。

[0142] 以上,使用实施方式说明了本发明,但本发明的技术范围不限于上述实施方式所记载的范围。对于本领域技术人员而言可以对上述实施方式进行各种变更或改良是显而易见的。由权利要求书的记载可明确得知,进行了这样的变更或改良的方式也能够包含在本发明的技术范围中。

[0143] 应当注意的是,权利要求书、说明书、附图中示出的装置、系统、程序、方法中的动作、顺序、步骤、阶段等各处理的执行顺序只要没有特别表明“在……之前”、“先于……”等,并且只要不是在后一处理中使用前一处理的输出,就能够以任意顺序实现。关于权利要求书、说明书、附图中的动作流程,即使为了方便而使用“首先, ”、“接着, ”等进行说明,也不意味着必须以该顺序实施。

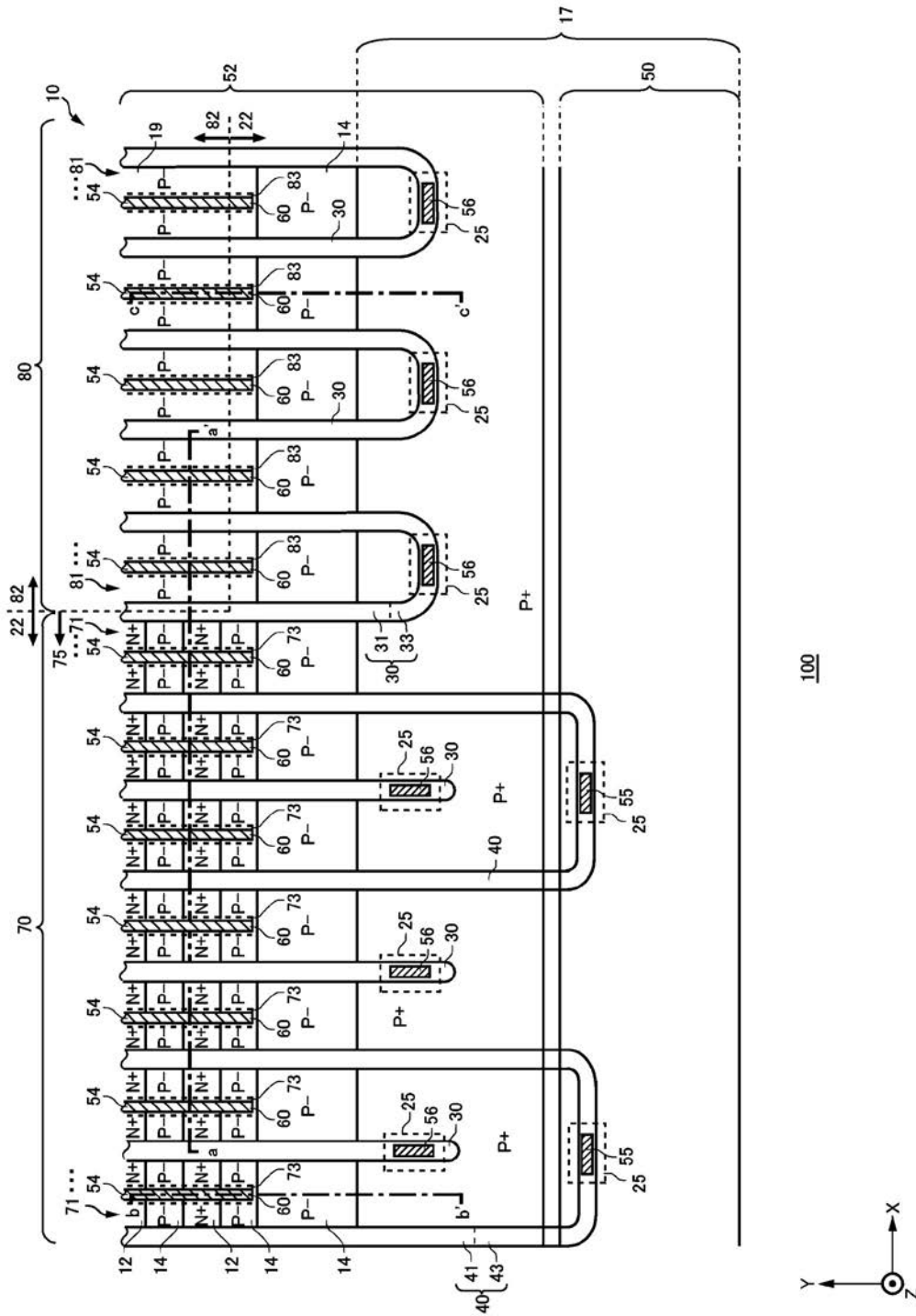


图1A

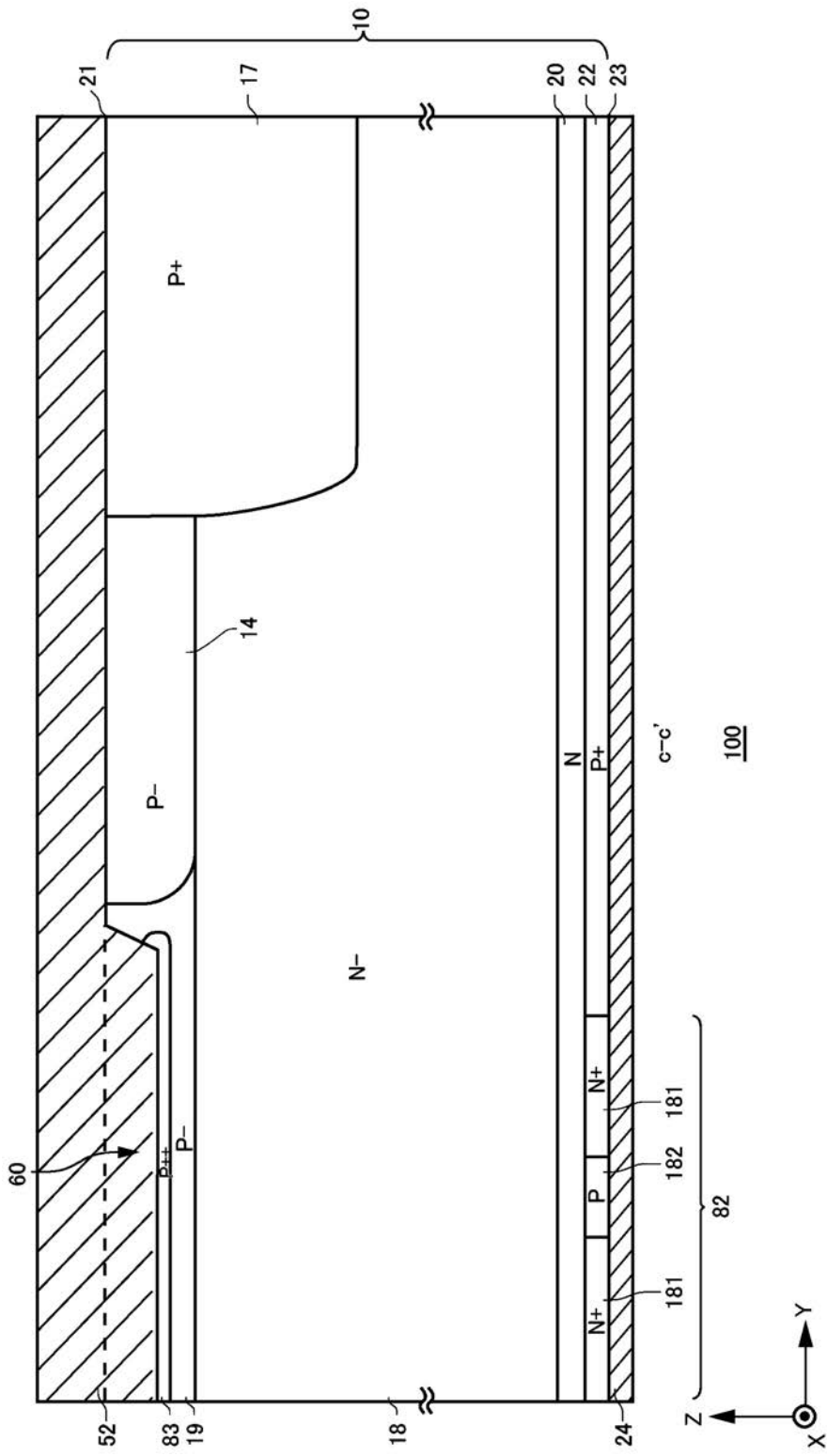


图1D

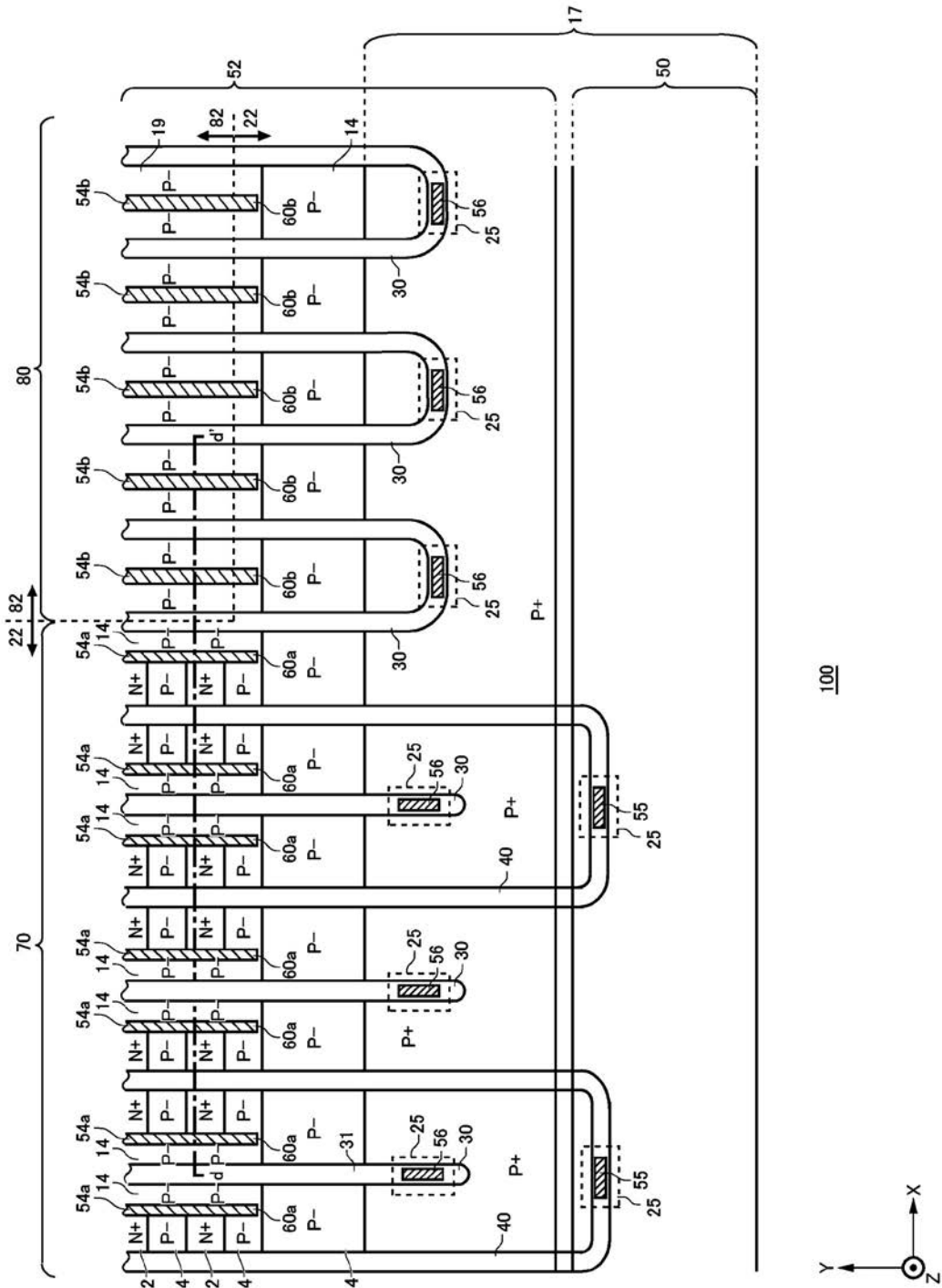


图3A

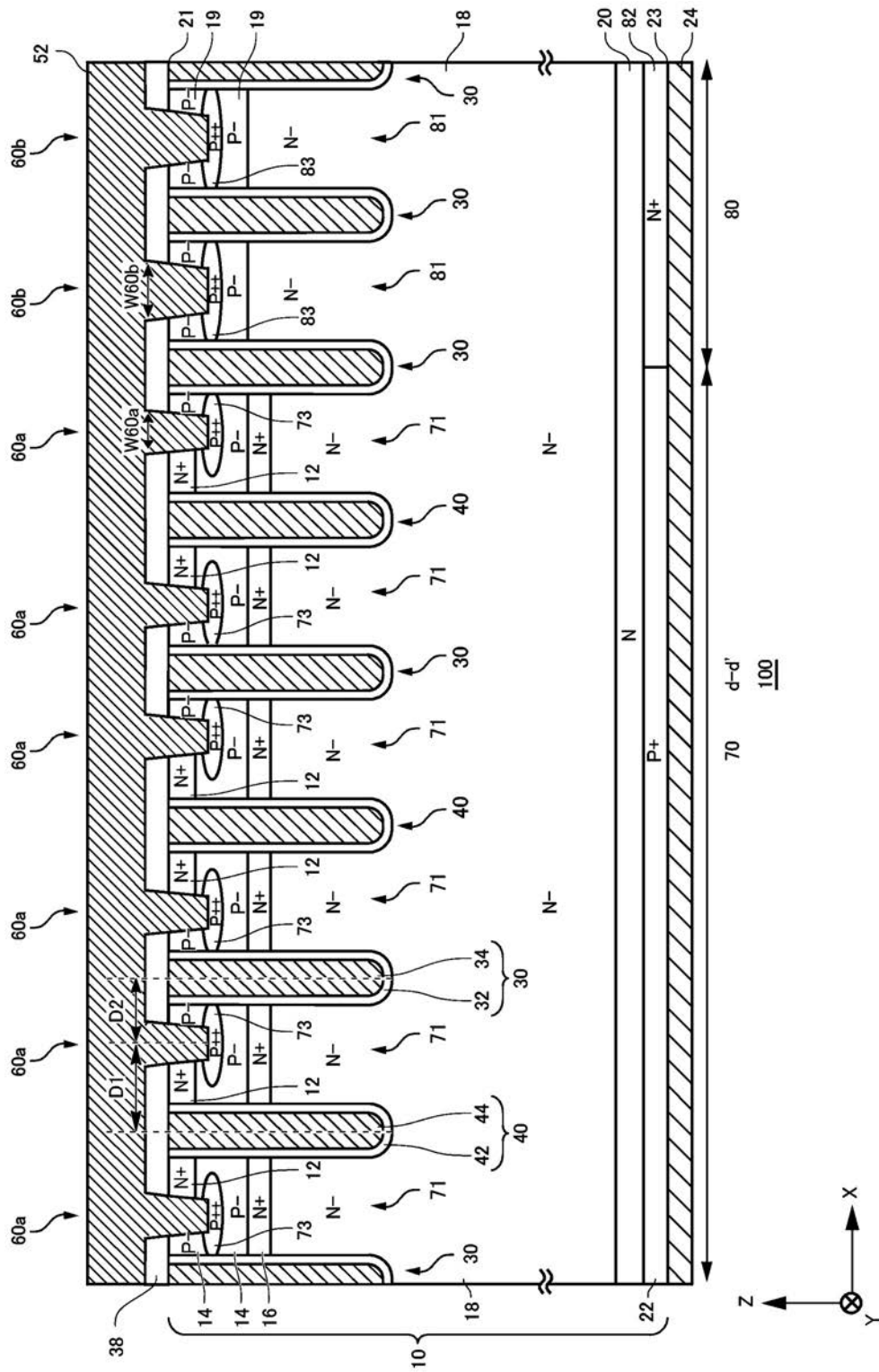


图3B

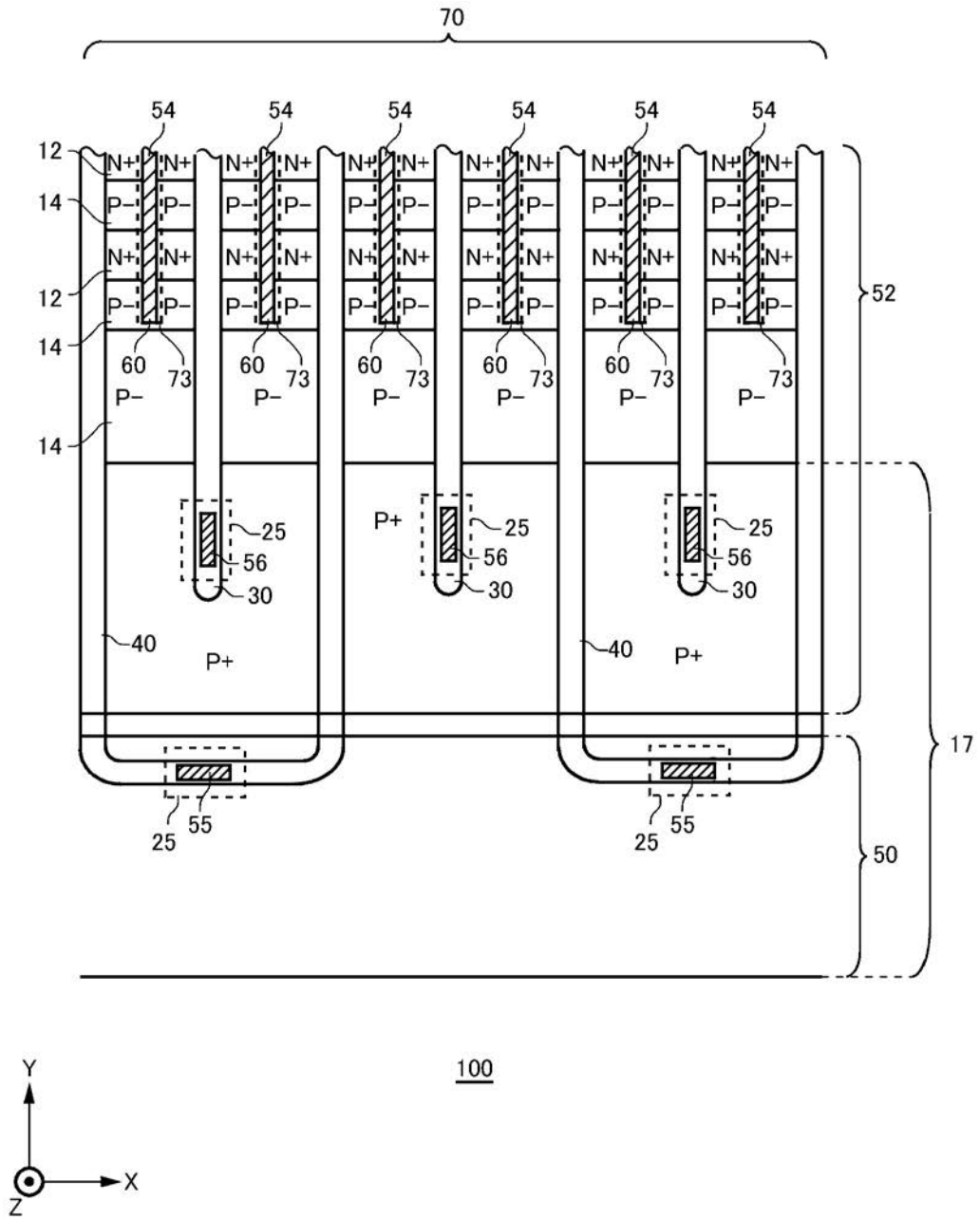


图4

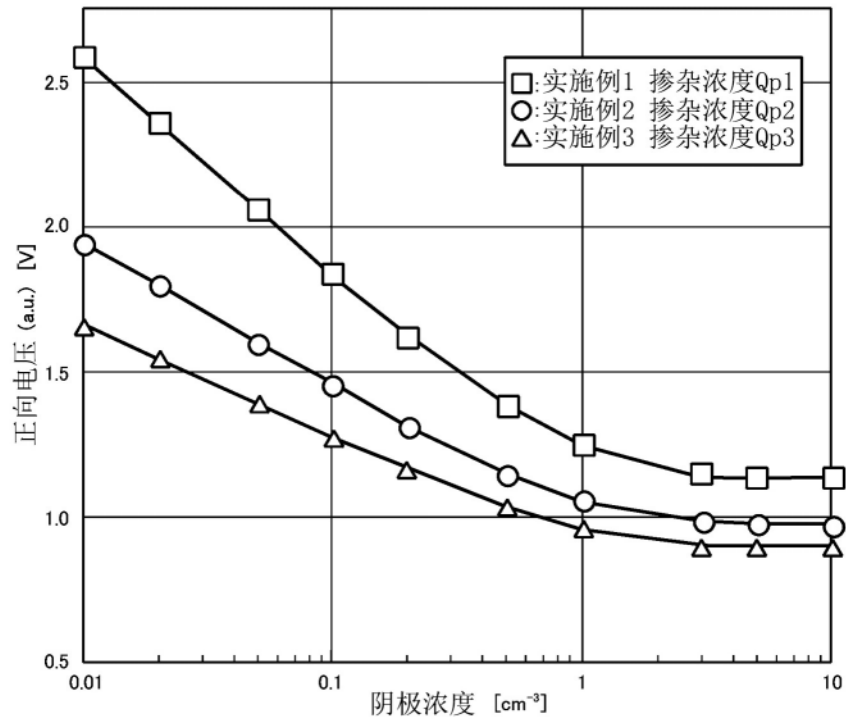


图5A

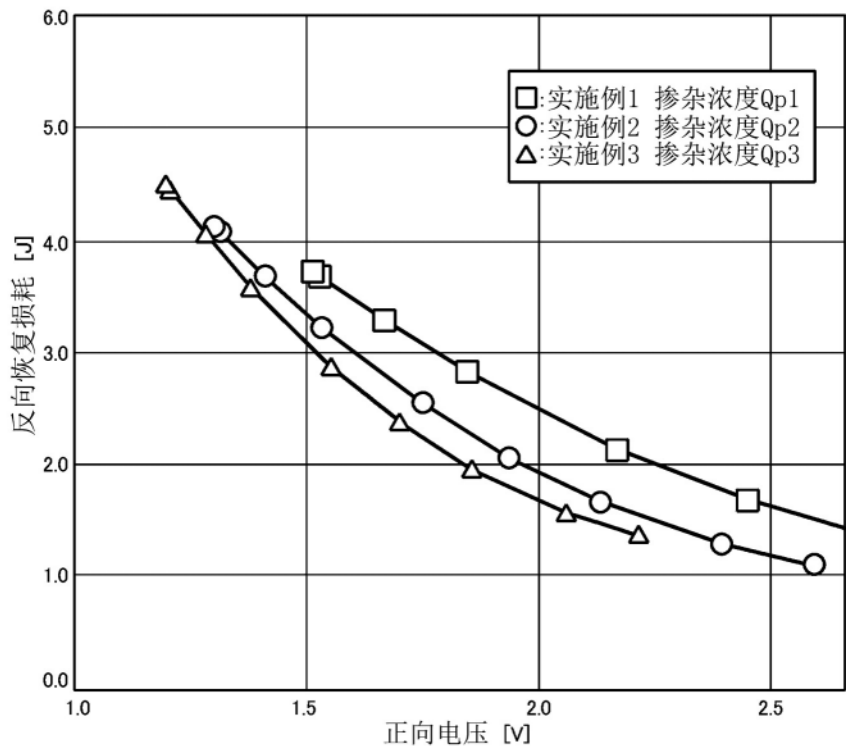


图5B

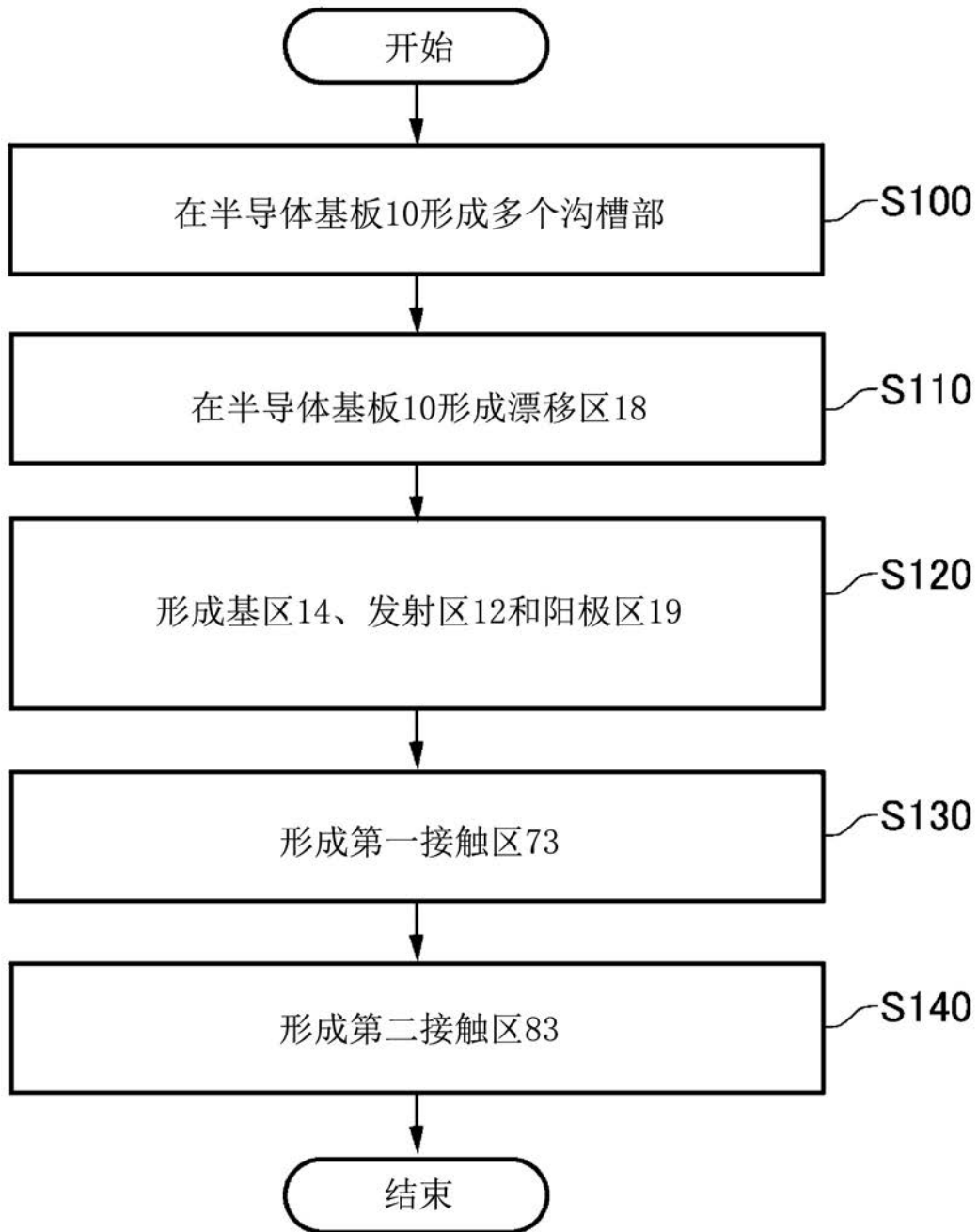


图6

1. 一种半导体装置,其特征在于,具备晶体管部和二极管部,所述半导体装置具备:
多个沟槽部,其设置在半导体基板的正面;
第一导电型的漂移区,其设置在所述半导体基板;
第二导电型的基区,其设置在所述漂移区的上方;
第一导电型的发射区,其设置在所述基区的上方且掺杂浓度比所述漂移区的掺杂浓度高;
第二导电型的第一接触区,其设置在所述晶体管部的台面且掺杂浓度比所述基区的掺杂浓度高;
第二导电型的阳极区,其在所述二极管部中设置在所述漂移区的上方;以及
第二导电型的第二接触区,其设置在所述二极管部的台面且掺杂浓度比所述阳极区的掺杂浓度高,
所述二极管部的台面中的第二导电型的掺杂剂的每单位体积的量是所述晶体管部的台面中的第二导电型的掺杂剂的每单位体积的量以上。
2. 根据权利要求1所述的半导体装置,其特征在于,
在所述晶体管部和所述二极管部具备沟槽接触部。
3. 根据权利要求2所述的半导体装置,其特征在于,
在所述半导体基板的深度方向上,所述沟槽接触部的下端的深度比所述发射区的下端的深度深。
4. 根据权利要求2所述的半导体装置,其特征在于,
所述第一接触区设置在所述沟槽接触部的下端。
5. 根据权利要求2所述的半导体装置,其特征在于,
所述第二接触区设置在所述沟槽接触部的下端。
6. 根据权利要求2所述的半导体装置,其特征在于,
在所述多个沟槽部的排列方向上,所述二极管部中的所述沟槽接触部的宽度与所述晶体管部中的所述沟槽接触部的宽度相同。
7. 根据权利要求2所述的半导体装置,其特征在于,
在所述多个沟槽部的排列方向上,所述二极管部中的所述沟槽接触部的宽度比所述晶体管部中的所述沟槽接触部的宽度大。
8. 根据权利要求2所述的半导体装置,其特征在于,
所述多个沟槽部具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部,
所述沟槽接触部在设置于所述栅极沟槽部与所述虚设沟槽部之间的台面,以与所述栅极沟槽部相比更接近所述虚设沟槽部的方式设置。
9. 根据权利要求1所述的半导体装置,其特征在于,
所述晶体管部中的所述第一接触区的掺杂浓度为 $1E19\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。
10. 根据权利要求1所述的半导体装置,其特征在于,
在所述晶体管部中,所述第一接触区以沿着所述多个沟槽部的延伸方向延伸的方式设置。
11. 根据权利要求1所述的半导体装置,其特征在于,

在所述晶体管部中,所述第一接触区以与所述发射区分离的方式设置。

12. 根据权利要求1所述的半导体装置,其特征在于,

所述多个沟槽部具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部,

在所述晶体管部中,所述第一接触区以与所述栅极沟槽部分离的方式设置。

13. 根据权利要求1所述的半导体装置,其特征在于,

所述二极管部中的所述第二接触区的掺杂浓度为 $1E19\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。

14. 根据权利要求1所述的半导体装置,其特征在于,

在所述二极管部中,所述第二接触区以沿着所述多个沟槽部的延伸方向延伸的方式设置。

15. 根据权利要求1所述的半导体装置,其特征在于,

所述多个沟槽部具有被施加了栅极电位的栅极沟槽部、以及被施加了与所述栅极电位不同的电位的虚设沟槽部,

在所述二极管部的被两个所述虚设沟槽部夹持的台面部中,所述第二接触区被设置为从一个所述虚设沟槽部的侧壁起延伸到另一个所述虚设沟槽部的侧壁为止。

16. 根据权利要求1所述的半导体装置,其特征在于,

在所述半导体基板的正面,所述发射区和所述基区在所述多个沟槽部的延伸方向上交替地设置。

17. 根据权利要求1所述的半导体装置,其特征在于,

在所述半导体基板的正面,所述发射区被设置为在所述多个沟槽部的延伸方向上延伸。

18. 根据权利要求1所述的半导体装置,其特征在于,

所述基区的掺杂浓度与所述阳极区的掺杂浓度相同。

19. 根据权利要求1所述的半导体装置,其特征在于,

具备第一导电型的阴极区,所述第一导电型的阴极区设置在所述半导体基板的背面且掺杂浓度比所述漂移区的掺杂浓度高,

所述阴极区的掺杂浓度为 $1E18\text{cm}^{-3}$ 以上且 $1E21\text{cm}^{-3}$ 以下。

20. 根据权利要求1所述的半导体装置,其特征在于,

在所述晶体管部中,具备掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的蓄积区。

21. 根据权利要求1至20中任一项所述的半导体装置,其特征在于,

所述半导体基板不具有寿命控制区。

22. 根据权利要求1至20中任一项所述的半导体装置,其特征在于,

所述晶体管部具有作为晶体管进行动作的主区,

所述晶体管部的所述主区与所述二极管部相邻地设置。

23. 根据权利要求22所述的半导体装置,其特征在于,

所述二极管部的台面部中的第二导电型的掺杂剂的每单位体积的量是所述主区的台面部中的第二导电型的掺杂剂的每单位体积的量以上。

24. 一种半导体装置,其特征在于,具有晶体管部,所述半导体装置具备:

第一导电型的漂移区,其设置在半导体基板;
第二导电型的基区,其设置在所述漂移区的上方;
第二导电型的第一接触区,其设置在所述晶体管部的台面且掺杂浓度比所述基区的掺杂浓度高;以及

沟槽接触部,其设置在所述半导体基板的正面,
在所述半导体基板的正面没有设置所述第一接触区。

25. 一种半导体装置的制造方法,其特征在于,是具备晶体管部和二极管部的半导体装置的制造方法,所述半导体装置的制造方法具备:

在半导体基板的正面设置多个沟槽部的步骤;
在所述半导体基板设置第一导电型的漂移区的步骤;
在所述漂移区的上方设置第二导电型的基区的步骤;
在所述基区的上方设置掺杂浓度比所述漂移区的掺杂浓度高的第一导电型的发射区的步骤;

在所述二极管部中,在所述漂移区的上方设置第二导电型的阳极区的步骤;

在所述晶体管部的台面设置掺杂浓度比所述基区的掺杂浓度高的第二导电型的第一接触区的第一离子注入步骤;以及

在所述二极管部中,在所述漂移区的上方设置掺杂浓度比所述阳极区的掺杂浓度高的第二导电型的第二接触区的第二离子注入步骤,

所述二极管部的台面中的第二导电型的掺杂剂的每单位体积的量是所述晶体管部的台面中的第二导电型的掺杂剂的每单位体积的量以上。

26. 根据权利要求25所述的半导体装置的制造方法,其特征在于,
所述第一离子注入步骤和所述第二离子注入步骤是相同的离子注入步骤。

27. 根据权利要求25所述的半导体装置的制造方法,其特征在于,
在所述第一离子注入步骤中注入的离子的剂量与在所述第二离子注入步骤中注入的离子的剂量不同。

28. [追加] 根据权利要求1所述的半导体装置,其特征在于,
所述第二接触区的掺杂浓度比所述第一接触区的掺杂浓度大。

29. [追加] 根据权利要求25所述的半导体装置的制造方法,其特征在于,
所述第二接触区的掺杂浓度比所述第一接触区的掺杂浓度大。

30. [追加] 根据权利要求24所述的半导体装置,其特征在于,具备:
多个沟槽部,其设置在半导体基板的正面;以及
第一导电型的发射区,其设置在所述基区的上方且掺杂浓度比所述漂移区的掺杂浓度高,

在所述半导体基板的正面,所述发射区和所述基区在所述多个沟槽部的延伸方向上交替地设置。

31. [追加] 根据权利要求24所述的半导体装置,其特征在于,具备:
多个沟槽部,其设置在半导体基板的正面;以及
第一导电型的发射区,其设置在所述基区的上方且掺杂浓度比所述漂移区的掺杂浓度高,

所述发射区被设置为在所述多个沟槽部的沟槽延伸方向上延伸,在俯视时覆盖所述沟槽接触部的所述沟槽延伸方向上的端部。