

【發明說明書】

【中文發明名稱】

自我選擇記憶體中之程式化加強

【英文發明名稱】

PROGRAMMING ENHANCEMENT IN SELF-SELECTING
MEMORY

【技術領域】

【先前技術】

下文大體係關於記憶體胞中之程式化加強且具體言之係關於自我選擇記憶體中之程式化加強。

記憶體裝置廣泛用於將資訊儲存於各種電子裝置中，諸如電腦、無線通信裝置、相機、數位顯示器及類似物。藉由程式化一記憶體裝置之不同狀態而儲存資訊。例如，二進位裝置具有兩個狀態，其等通常由一邏輯「1」或一邏輯「0」表示。在其他系統中，可儲存兩個以上狀態。為存取所儲存之資訊，電子裝置之一組件可讀取或感測記憶體裝置中之經儲存狀態。為儲存資訊，電子裝置之一組件可將狀態寫入或程式化於記憶體裝置中。

存在多種類型之記憶體裝置，包含磁性硬碟、隨機存取記憶體 (RAM)、動態RAM (DRAM)、同步動態RAM (SDRAM)、鐵電RAM (FeRAM)、磁性RAM (MRAM)、電阻式RAM (RRAM)、唯讀記憶體 (ROM)、快閃記憶體、相變記憶體(PCM)等等。記憶體裝置可係揮發性或非揮發性。非揮發性記憶體(例如，FeRAM)可甚至在缺乏一外部電源的情況下維持其等經儲存邏輯狀態達延長時段。揮發性記憶體裝置(例如，

DRAM)可隨時間丟失其等儲存狀態，除非其等藉由一外部電源週期性刷新。改良記憶體裝置可包含增大記憶體胞密度、增大讀/寫速度、增大可靠性、增大資料保持、降低功率消耗或降低製造成本等等。

一些類型之記憶體裝置可使用跨一記憶體胞之電阻或電壓降之變化來程式化且感測不同邏輯狀態。例如，自我選擇記憶體可加強不同程式化狀態之間的記憶體胞之一臨限電壓之差。程式化一記憶體胞之方式會影響組成記憶體胞之各種材料之分佈，此會影響記憶體胞之離子遷移，此繼而會影響記憶體胞之一臨限電壓。臨限電壓可與記憶體胞之邏輯狀態相關或指示記憶體胞之邏輯狀態。因此，不同邏輯狀態之間的臨限電壓之小變化會影響可讀取記憶體胞之精確度。

【發明內容】

【圖式簡單說明】

圖1繪示根據本發明之實例之支援自我選擇記憶體中之程式化加強之一例示性記憶體陣列。

圖2繪示根據本發明之實例之支援自我選擇記憶體中之程式化加強之一例示性記憶體陣列。

圖3繪示根據本發明之實例之支援程式化加強之一例示性記憶體裝置。

圖4繪示根據本發明之實例之支援自我選擇記憶體中之程式化加強之一例示性記憶體陣列；

圖5繪示根據本發明之實例之支援自我選擇記憶體中之程式化加強之包含一記憶體陣列之一裝置；

圖6係根據本發明之實例繪示用於操作支援程式化加強之一自我選擇

記憶體裝置之一方法或若干方法之一流程圖。

圖7及圖8繪示根據本發明之實例之用於形成支援程式化加強之一自我選擇記憶體裝置之例示性處理流程。

圖9係根據本發明之實例繪示用於操作支援程式化加強之一自我選擇記憶體裝置之一方法或若干方法之一流程圖。

【實施方式】

本專利申請案主張2017年4月28日申請之Redaelli等人之標題為「Programming Enhancement in Self-Selecting Memory」之美國專利申請案第15/582,329號之優先權，該案已讓與給其受讓人，且在此以引用之方式明確地併入本文中。

具有一不對稱幾何結構之一自我選擇記憶體胞可加強不同程式化狀態之間的記憶體胞之一臨限電壓之差。此等差可係歸因於在一記憶體胞之一特定電極處或附近之離子擁擠。此繼而可增強記憶體胞之感測窗，此可導致相較於具有一對稱幾何結構之記憶體胞之更精確之感測。

舉實例而言，當程式化一特定自我選擇記憶體胞時，記憶體胞內之元件分離，從而造成離子遷移。離子可遷移朝向一特定電極，此取決於給定記憶體胞之極性。例如，在一自我選擇記憶體胞中，離子可遷移朝向負電極。接著，可藉由跨記憶體胞施加一電壓以感測離子已經遷移朝向哪個電極而讀取記憶體胞。可使用加強在一特定電極處或附近之離子擁擠之一不對稱幾何結構實現增大一自我選擇記憶體裝置中之感測可靠性。各記憶體胞可經組態使得在程式化時記憶體胞內之離子遷移朝向一個電極。歸因於一不對稱幾何結構，一更大密度之離子可在一個電極處或附近積累。此可在記憶體胞內產生具有一高密度之離子遷移之一區及具有一低密度之離

子遷移之一區。取決於記憶體胞之極性，此遷移中離子濃度可表示一邏輯「1」或邏輯「0」狀態。

接著，可藉由跨記憶體胞施加一電壓而感測記憶體胞。所得電流可首先遇到高電阻率區，接著遇到一能隙且接著遇到記憶體胞內之低電阻率區。此會影響記憶體胞之臨限電壓，此係因為當啟動記憶體胞時，流動通過記憶體胞之電流會遇到高電阻率區及低電阻率區兩者。區之定向可表示記憶體胞之一第一邏輯狀態或一第二邏輯狀態。例如，在第一電極處或附近之一高電阻率區可表示一邏輯「1」狀態且在第一電極處或附近之一低電阻率區可表示一邏輯「0」狀態。例如，高電阻率及低電阻率區之定向會影響記憶體胞之臨限電壓且因此影響記憶體胞之邏輯狀態。此一不對稱幾何結構容許更精確地感測記憶體胞。

可自一第一存取線或一第二存取線之觀點形成具有一不對稱幾何結構之一自我選擇記憶體裝置。自一第一存取線之觀點，硫屬化物材料可經設置於一第一導電材料上方且一第二導電材料可經設置於硫屬化物材料上方。接著可蝕刻第一導電材料、第二導電材料及硫屬化物材料，從而產生具有一不對稱形狀之一記憶體胞。介電材料可經設置圍繞導電材料及硫屬化物材料。

自一第二存取線之觀點，硫屬化物材料可經設置於一第一導電材料上方。一第二導電材料可經設置於硫屬化物材料上方。接著可蝕刻硫屬化物材料及第二導電材料，從而產生具有一對稱形狀之一記憶體胞。介電材料可經設置圍繞硫屬化物材料及第二導電材料。

替代地，亦可自一第一存取線或一第二存取線之觀點形成具有一不對稱幾何結構之一自我選擇記憶體裝置。自一第一存取線之觀點，硫屬化

物材料可經設置於一第一導電材料上方且一第二導電材料可經設置於硫屬化物材料上方。接著可蝕刻第一導電材料、第二導電材料及硫屬化物材料，從而產生具有一不對稱形狀之一記憶體胞。介電材料可經設置圍繞導電材料及硫屬化物材料。

自一第二存取線之觀點，硫屬化物材料可經設置於一第一導電材料上方。一第二導電材料可經設置於硫屬化物材料上方。接著可蝕刻硫屬化物材料及第二導電材料，從而產生具有一不對稱形狀之硫屬化物材料。介電材料可經設置圍繞硫屬化物材料及第二導電材料。

在下文中在一記憶體陣列之背景內容中進一步描述上文介紹之本發明之特徵。在一交叉點架構之背景內容中繪示且描繪具有一不對稱幾何結構之自我選擇記憶體胞。本發明之此等及其他特徵進一步藉由與自我選擇記憶體中之程式化加強相關之設備圖、系統圖及流程圖繪示且參考其等加以描述。

圖1繪示根據本發明之各種實例之支援記憶體胞中之程式化加強之一例示性記憶體陣列100。記憶體陣列100亦可被稱為一電子記憶體設備。記憶體陣列100包含可程式化以儲存不同狀態之記憶體胞105。各記憶體胞105可經程式化以儲存表示為一邏輯「0」及一邏輯「1」之兩個狀態。在一些情況中，記憶體胞105經組態以儲存兩個以上邏輯狀態。

一記憶體胞105可包含硫屬化物材料，其可被稱為硫屬化物材料記憶體組件或記憶體儲存元件，其具有表示邏輯狀態之一可變且可組態臨限電壓或電阻或其等兩者。在一些實例中，一記憶體胞之一臨限電壓取決於用於程式化記憶體胞之一極性而改變。例如，經程式化具有一個極性之一自我選擇記憶體胞可具有特定電阻性質且因此具有一個臨限電壓。且該自我

選擇記憶體胞可經程式化具有一不同極性，其可導致記憶體胞之不同電阻性質且因此導致一不同臨限電壓。如上文論述，當程式化一自我選擇記憶體胞時，記憶體胞內之元件可分離，從而造成離子遷移。離子可遷移朝向一特定電極，此取決於給定記憶體胞之極性。例如，在一自我選擇記憶體胞中，離子可遷移朝向負電極。接著，可藉由跨記憶體胞施加一電壓以感測離子已經遷移朝向哪個電極而讀取記憶體胞。

在一些實例中，記憶體胞程式化可利用結晶結構或原子組態來達成不同邏輯狀態。例如，具有一結晶原子組態或一非晶原子組態之一材料可具有不同電阻。一結晶狀態可具有一低電阻且可在一些情況中稱為「設定」狀態。一非晶狀態可具有一高電阻且可稱為「重設」狀態。因此，施加至記憶體胞105之一電壓可取決於該材料處於一結晶狀態或一非晶狀態而導致不同電流，且所得電流之量值可用於判定由記憶體胞105儲存之邏輯狀態。

在一些情況中，在非晶或重設狀態中之一材料可具有與之相關聯之一臨限電壓，即，電流在超過臨限電壓之後流動。因此，若所施加之電壓低於臨限電壓，則無電流可在記憶體元件處於重設狀態中時流動；若記憶體元件處於設定狀態中，則記憶體元件可不具有一臨限電壓(即，一臨限電壓零)且因此，一電流可回應於所施加之電壓流動。在其他情況中，記憶體胞105可具有可導致中間電阻之結晶及非晶區域之一組合，其等可對應於不同邏輯狀態(即，除邏輯1或邏輯0以外之狀態)且可容許記憶體胞105儲存超過兩個不同邏輯狀態。如下文論述，可藉由加熱(包含熔融)記憶體元件而設定一記憶體胞105之邏輯狀態。

記憶體陣列100可為一三維(3D)記憶體陣列，其中二維(2D)記憶體陣

列疊置形成。此可增大相較於2D陣列可形成於一單一品粒或基板上之記憶體胞之數量，此繼而可降低生產成本或增大記憶體陣列之效能，或兩者。根據圖1中描繪之實例，記憶體陣列100包含兩個層級之記憶體胞105，且因此可視為一三維記憶體陣列；然而，層級數量不限於兩個。各層級可經對準或定位使得記憶體胞105可跨各層級與彼此大致對準，從而形成一記憶體胞堆疊145。

記憶體胞105之各列經連接至一存取線110及一存取線115。存取線110亦可分別稱為字線110及位元線115。位元線115亦可稱為數位線115。對字線及位元線或其等類似物之參考可在不損失理解或操作的情況下互換。字線110及位元線115可實質上彼此垂直以產生一陣列。一記憶體胞堆疊145中之兩個記憶體胞105可共用一共同導電線(諸如一數位線115)。即，一數位線115可與上記憶體胞105之底部電極及下記憶體胞105之頂部電極電子連通。其他組態可係可能的；例如，記憶體胞105可經不對稱塑形，諸如參考圖3之記憶體胞105-c。

一般言之，一個記憶體胞105可經定位於兩個導電線(諸如一字線110及一位元線115)之交叉點處。此交叉點可稱為一記憶體胞之位址。一目標記憶體胞105可為經定位於一通電字線110與位元線115之交叉點處之一記憶體胞105；即，一字線110及位元線115可經通電以便在其等交叉點處讀取或寫入一記憶體胞105。與相同字線110或位元線115電子連通(例如，連接)之其他記憶體胞105可稱為未標定記憶體胞105。

如上文論述，電極可經耦合至一記憶體胞105及一字線110或一位元線115。術語電極可係指一電導體，且在一些情況中，可用作對一記憶體胞105之一電接觸。一電極可包含提供記憶體陣列100之元件或組件之間

的一導電路徑之一跡線、導線、導電線、導電層或類似物。

可藉由啟動或選擇一字線110及數位線115 (此可包含施加一電壓或一電流至各自線)對記憶體胞105執行操作(諸如讀取及寫入)。字線110及數位線115可由導電材料(諸如金屬(例如,銅(Cu)、鋁(Al)、金(Au)、鎢(W)、鈦(Ti)等)、金屬合金、碳、導電摻雜半導體或其他導電材料、合金或化合物)製成。在選擇一記憶體胞105之後,(例如)硒(Se)離子之一遷移可經進行槓桿作用以設定記憶體胞之一邏輯狀態。另外或替代地,除硒(Se)離子以外或替換硒(Se)離子,其他導電材料之離子亦可遷移。

例如,可藉由提供一電脈衝至一記憶體胞而程式化記憶體胞,記憶體胞可包含包含硒之一記憶體儲存元件。可經由(例如)一第一存取線(例如,字線110)或一第二存取線(例如,位元線115)提供脈衝。在提供脈衝之後,硒離子可在記憶體儲存元件內遷移,此取決於記憶體胞之極性。因此,相對於記憶體儲存元件之第一側或第二側之硒之一濃度至少部分基於第一存取線與第二存取線之間的一電壓之一極性。針對經不對稱塑形之記憶體儲存元件(諸如本文描述者),硒離子可在具有更大面積之一元件之部分處更擁擠。記憶體儲存元件之富含硒部分可具有一更高電阻率且因此可引起高於具有相對少硒之該元件之該等部分之一臨限電壓。故相較於經對稱塑形之記憶體儲存元件,可加強記憶體儲存元件之不同部分之間的相對電阻。

為了讀取記憶體胞,可跨記憶體胞105施加一電壓,且所得電流或電流開始流動之臨限電壓可表示一邏輯「1」或一邏輯「0」狀態。在記憶體儲存元件之一個端或另一端處之硒離子之擁擠會影響電阻率及/或臨限電壓,從而導致邏輯狀態之間的更大記憶體胞回應區分。

可透過一列解碼器120及一行解碼器130控制存取記憶體胞105。例如，一列解碼器120可從記憶體控制器140接收一列位址且基於所接收之列位址啟動適當字線110。類似地，一行解碼器130從記憶體控制器140接收一行位址且啟動適當位元線115。因此，藉由啟動一字線110及一位元線115，可存取一記憶體胞105。

在存取之後，可藉由感測組件125讀取或感測一記憶體胞105。例如，感測組件125可經組態以基於藉由存取記憶體胞105產生之一信號判定記憶體胞105之經儲存邏輯狀態。信號可包含一電壓或電流，且感測組件125可包含電壓感測放大器、電流感測放大器或兩者。例如，可(使用對應字線110及位元線115)施加一電壓至一記憶體胞105，且所得電流之量值可取決於記憶體胞105之電阻。類似地，可施加一電流至一記憶體胞105，且產生電流之電壓之量值可取決於記憶體胞105之電阻。感測組件125可包含各種電晶體或放大器以便偵測且放大一信號，此可被稱為鎖存。記憶體胞105之經偵測邏輯狀態接著可經輸出作為輸出135。在一些情況中，感測組件125可為行解碼器130或列解碼器120之一部分。或，感測組件125可與行解碼器130或列解碼器120連接或電子連通。

可藉由類似地啟動相關字線110及位元線115而程式化或寫入一記憶體胞105，即，可將一邏輯值儲存於記憶體胞105中。行解碼器130或列解碼器120可接受待寫入至記憶體胞105之資料(例如，輸入/輸出135)。在相變記憶體或自我選擇記憶體之情況中，可藉由加熱記憶體儲存元件(例如，藉由將一電流通過記憶體儲存元件)而寫入一記憶體胞105。取決於寫入至記憶體胞105之邏輯狀態(例如，邏輯「1」或邏輯「0」)，銻離子可在一特定電極處或附近擁擠。例如，取決於記憶體胞105之極性，在一第

一電極處或附近之離子擁擠可導致表示一邏輯「1」狀態之一第一臨限電壓，且在一第二電極處或附近之離子擁擠可導致表示一邏輯「0」狀態之不同於第一臨限電壓之一第二臨限電壓。可(例如)在以一預定極性執行之一讀取操作期間判定第一臨限電壓及第二臨限電壓。第一臨限電壓與第二臨限電壓之間的差可在不對稱之一記憶體儲存元件中係更明顯的(包含參考圖3描述者)。

在一些記憶體架構中，存取記憶體胞105可使所儲存之邏輯狀態降級或損毀所儲存之邏輯狀態且可執行重寫或刷新操作以將原始邏輯狀態傳回至記憶體胞105。在DRAM中，例如，邏輯儲存電容器可在一感測操作期間部分或完全放電，從而損壞所儲存之邏輯狀態。故可在一感測操作之後重寫邏輯狀態。另外，啟動一單一字線110可導致列中之所有記憶體胞放電；因此，列中之所有記憶體胞105可需要被重寫。但在非揮發性記憶體(諸如PCM及/或自我選擇記憶體)中，存取記憶體胞105不會損毀邏輯狀態，且因此，記憶體胞105可不需要在存取之後重新寫入。

一些記憶體架構(包含DRAM)可隨時間丟失其等儲存狀態，除非其等由一外部電源週期性刷新。例如，一充電電容器可透過洩漏電流隨時間變成放電，從而導致經儲存資訊之丟失。此等所謂的揮發性記憶體裝置之刷新速率可係相對高的(例如，對於DRAM，每秒數十個刷新操作)，此可導致明顯的電力消耗。隨著記憶體陣列愈來愈大，尤其對於依靠一有限電源(諸如一電池)之行動裝置而言，增大之電力消耗可抑制記憶體陣列之部署或操作(例如，電力供應、熱產生、材料限制等)。如下文討論，非揮發性PCM及/或自我選擇記憶體胞可具有可導致相對於其他記憶體架構改良之效能之有益性質。例如，PCM及/或自我選擇記憶體可供應與DRAM相當

之讀/寫速度，但可係非揮發性的且容許增大記憶體胞密度。

記憶體控制器140可透過各種組件(例如，列解碼器120、行解碼器130及感測組件125)控制記憶體胞105之操作(讀取、寫入、重寫、刷新、放電等)。在一些情況中，列解碼器120、行解碼器130及感測組件125之一或多者可與記憶體控制器140共同定位。記憶體控制器140可產生列及行位址信號以便啟動所要字線110及位元線115。記憶體控制器140亦可產生且控制在記憶體陣列100之操作期間使用之各種電壓或電流。例如，其可在存取一或多個記憶體胞105之後施加放電電壓至一字線110或位元線115。

一般言之，本文所論述之一經施加電壓或電流之振幅、形狀或持續時間可經調整或變化且可針對操作記憶體陣列100中所討論之各種操作而不同。此外，可同時存取記憶體陣列100內之一個、多個或所有記憶體胞105；例如，在其中將所有記憶體胞105或一記憶體胞105群組設定至一單一邏輯狀態之一重設操作期間可同時存取記憶體陣列100之多個或所有記憶體胞。

圖2繪示根據本發明之各種實例之支援讀取與寫入非揮發性記憶體胞及記憶體胞中之程式化加強之一例示性記憶體陣列200。記憶體陣列200可係參考圖1之記憶體陣列100之一實例。

記憶體陣列200可包含記憶體胞105-a、記憶體胞105-b、字線110-a及位元線115-a，其等可為如參考圖1所描述之一記憶體胞105、字線110及位元線115之實例。記憶體胞105-a可包含電極205(例如，頂部電極)、電極210(例如，一底部電極)及記憶體儲存元件220，記憶體儲存元件220可被稱為硫屬玻璃記憶體儲存元件，且可含有或可為一自我選擇記憶體組

件。記憶體胞105-a之邏輯狀態可係基於記憶體儲存元件220之至少一個特性。類似於記憶體胞105-a，記憶體胞105-b可包含一頂部電極、底部電極及記憶體儲存元件。電極205可被稱為一頂部電極，且電極210可稱為一底部電極。在一些情況中，可藉由將多個記憶體陣列200彼此堆疊來形成一三維(3D)記憶體陣列。在一些實例中，兩個堆疊陣列可具有共同導電線，故各層級可共用字線110-a或位元線115-a。記憶體胞105-a可描繪一目標記憶體胞(即，一感測操作之一目標)，如在本文中別處描述。

記憶體陣列200之架構可稱為一交叉點架構，其亦可被稱為一支柱結構。例如，如在圖2中展示，一支柱可與一第一導電線(例如，存取線，諸如字線110-a)及一第二導電線(例如，存取線，諸如位元線115-a)接觸。支柱可包括記憶體胞105-a，其中記憶體胞105-a包含一第一電極(例如，頂部電極205)、記憶體儲存元件220，及一第二電極(例如，底部電極210)。記憶體儲存元件220可為一不對稱形狀(例如，參考圖3描述之記憶體儲存元件220-a)。此不對稱形狀可造成頂部電極205或底部電極210處之離子擁擠，此取決於記憶體胞105-a之極性。頂部電極205或底部電極210處之離子擁擠可容許更精確地感測記憶體胞105-a，如上文描述。

在圖2中描繪之交叉點或支柱架構可相較於其他記憶體架構供應相對高密度之資料儲存以及更低之生產成本。例如，相較於其他架構，交叉點架構可具有擁有一減小面積，且因此擁有一增大記憶體胞密度之記憶體胞。例如，相較於具有一 $6F^2$ 記憶體胞面積(諸如具有一三端選擇之該等架構)，該架構可具有一 $4F^2$ 記憶體胞面積，其中F係最小特徵大小。例如，DRAM可使用一電晶體(其係一三端裝置)作為各記憶體胞之選擇組件，且相較於支柱架構，可具有一更大之記憶體胞面積。

在一些實例中，可使用一正電壓源來操作記憶體陣列200，且一中間電壓之量值在正電壓源之量值與一虛擬接地之間。在一些實例中，在記憶體胞105-a之一存取操作之前，位元線存取電壓及字線存取電壓兩者維持於一中間電壓。且在一存取操作期間，位元線存取電壓可增大(例如，至一正電源軌)，而字線存取電壓可同時減小(例如，至虛擬接地)，從而跨記憶體胞105-a產生一淨電壓。因跨記憶體胞105-a施加一電壓而使電流開始流動通過記憶體胞105-a之臨限電壓可根據離子遷移朝向頂部電極205或底部電極210而變化，其繼而可隨記憶體儲存元件220.a之形狀變化。

在一些情況中，記憶體儲存元件220可在一第一導電線與一第二導電線之間(例如，字線110-a與位元線115-a之間)串聯連接。例如，如在圖2中描繪，記憶體儲存元件220可經定位於頂部電極205與底部電極210之間；因此，記憶體儲存元件220可經串聯定位於位元線115-a與字線110-a之間。其他組態係可能的。如上文提及，記憶體儲存元件220可具有一臨限電壓，使得當滿足或超過臨限電壓時，一電流流動通過記憶體儲存元件220。臨限電壓可取決於記憶體胞105-a之程式化及記憶體儲存元件220之形狀。

記憶體儲存元件220可以一不對稱形狀組態以促進在頂部電極205或底部電極210處或附近之離子擁擠。例如，記憶體儲存元件220可具有一梯形稜柱之形狀，且記憶體儲存元件220之一橫截面可包含一梯形。替代地，記憶體儲存元件220可為一錐台。如本文使用之一錐台包含其中上部分被移除之一圓錐或錐體之部分之一形狀或類似於該部分，或在頂部下方攔截一圓錐或錐體之一第一平面與在基底處或上方之一第二平面之間的圓錐或錐體之部分之一形狀或類似於該部分。記憶體儲存元件220可在第一

存取線110-a與第二存取線115-a之間配置成一串聯組態。記憶體儲存元件220可包含包括碲之一第一硫屬玻璃。在一些實例中，記憶體儲存元件220包括碲、砷(As)、碲(Te)、矽(Si)、鍺(Ge)、或銻(Sb)之至少一者之一組合物。當跨記憶體儲存元件220施加一電壓時(或當頂部電極205與底部電極210之間存在一電壓差時)，離子可遷移朝向一個或另一電極。例如，Te及Se可遷移朝向一正電極且Ge及As離子可遷移朝向一負電極。記憶體儲存元件220亦可充當一選擇器裝置。此類型記憶體架構可稱為自我選擇記憶體。

記憶體陣列200可由各種材料組合之形成及移除製成。例如，可沈積對應於字線110-a、底部電極210、記憶體儲存元件220及頂部電極205之材料層。可選擇性地移除材料以接著產生所要特徵(諸如圖3中描繪之結構)。例如，可使用光微影界定特徵以圖案化一光阻劑且接著可藉由技術(諸如蝕刻)移除材料。接著可(例如)藉由沈積一材料層且選擇性蝕刻以形成圖2中描繪之線結構而形成位元線115-a。在一些情況中，可形成或沈積電絕緣區或層。電絕緣區可包含氧化物或氮化物材料，諸如氧化矽、氮化矽或其他電絕緣材料。參考圖7及圖8描述形成此等陣列之例示性方法。

各種技術可用於形成記憶體陣列200之材料或組件。此等可包含(例如)化學氣相沈積(CVD)、金屬有機物化學氣相沈積(MOCVD)、物理氣相沈積(PVD)、濺鍍沈積、原子層沈積(ALD)或分子束磊晶(MBE)等薄膜生長技術。可使用數種技術來移除材料，該等技術可包含(例如)化學蝕刻(亦稱為「濕蝕刻」)、電漿蝕刻(亦稱為「乾蝕刻」)或化學機械平坦化。

圖3繪示根據本發明之實例之支援記憶體胞中之程式化加強之例示性記憶體胞105-c、105-d及105-e。記憶體胞105-c(例如)繪示經耦合至頂部

電極205-a及底部電極210-a之一不對稱記憶體儲存元件220-a。記憶體胞105-d及105-e繪示類似特徵。在一些實例中，頂部電極205-a可稱為一底部電極且底部電極210-a可稱為一頂部電極。

記憶體儲存元件220-a包含一第一側305 (例如，一第一表面)、一第二側310 (例如，一第二表面)、一第三側315 (例如，一第三表面)及一第四側320 (例如，一第四表面)。第二表面310可具有大於第一表面305之一面積。第一側305可與第二側310相對且第三側315可與第四側320相對。此外，第一側305及第三側315可形成一鈍角325且第二側310及第三側315可形成一銳角330。另外，第一側305及第四側320可形成一鈍角且第二側310及第四側320可形成一銳角。記憶體儲存元件220-b及220-c可經類似地塑形。

記憶體儲存元件220-a可經耦合至頂部電極205-a及底部電極210-a。第一電極(例如，頂部電極205-a)之一部分可接觸第一側305且具有小於可接觸第二側310之第二電極(例如，底部電極210-a)之一部分之面積。

可藉由提供一脈衝至記憶體儲存元件220-a而程式化記憶體胞105-c。在提供脈衝之前，記憶體元件220-a內之離子可處於平衡狀態。即，記憶體元件220-a內之離子可尚未相對於一起始位置遷移朝向頂部電極205-a或底部電極210-a且原子之一淨通量可為零。脈衝可使記憶體儲存元件220-a內之離子(例如，銻離子)遷移且可經由頂部電極205-a及底部電極210-a施加。記憶體儲存元件220-a內之此離子遷移可根據所施加之脈衝之極性變化。例如，施加表示邏輯「1」之一第一脈衝可使離子遷移朝向底部電極210-a。在一些實例中，施加表示邏輯「0」之一第二脈衝可使離子遷移朝向頂部電極205-a。不管離子遷移之方向，在記憶體儲存元件220-a

內產生一高電阻率區及低電阻率區。高電阻率區及低電阻率區可分別表示一第一臨限電壓及一第二臨限電壓。

可藉由跨記憶體儲存元件220-a施加一電壓而讀取記憶體胞105-c。可以一預定極性跨記憶體儲存元件220-a施加電壓。記憶體儲存元件220-a之臨限電壓及/或通過220-a之所得電流可取決於歸因於離子遷移之記憶體儲存元件220-a內之一高電阻率區及低電阻率區之位置。該區之電阻率可基於記憶體儲存元件220-a之組合物。例如，含有硒(Se)之一記憶體儲存元件220-a之一高電阻率區可不同於含有砷(As)之一記憶體儲存元件220-a之一高電阻率區。高電阻率區及低電阻率區之相對定向會影響臨限電壓。故一些離子(例如，硒離子)會影響一臨限電壓，且因此，此等離子之位置會影響一記憶體胞105-c之一讀取操作。

另外，用於程式化記憶體儲存元件220-a之一極性會影響相對於一特定電極之高電阻率區或低電阻率區之一位置。故臨限電壓可取決於用於程式化記憶體儲存元件220-a之一極性而變化。在一些實例中，可在一相同方向上施加電壓，而不管記憶體儲存元件220-a之經程式化狀態(例如，邏輯「1」或邏輯「0」)。例如，可施加電壓至負電極(例如，頂部電極205-a)，此可引發一突崩注入。

記憶體胞105-d描繪高電阻率區335及低電阻率區340，高電阻率區及低電阻率區可分別表示一高離子濃度區及一低離子濃度區。另外，記憶體胞105-e繪示高電阻率區335-a及低電阻率區340-a。為感測記憶體儲存元件(例如，記憶體儲存元件220-b)之邏輯狀態，可施加一電壓至頂部電極(例如，頂部電極205-b)。例如，在記憶體胞105-d中，可施加一電壓至頂部電極205-a。所得電流可接著遇到高電阻率區335及低電阻率區340，高

電阻率區及低電阻率區可分別表示一高離子濃度區及一低離子濃度區。此等電阻區(在頂部電極205-b處或附近之高電阻率區335及在底部電極210-b處或附近之低電阻率區340)之定向及與各定向相關聯之臨限電壓可表示記憶體胞105-d之一第一儲存邏輯狀態(例如，邏輯「1」)。另外，例如，亦可藉由施加一電壓至頂部電極205-c而感測記憶體胞105-e。所得電流可接著遇到低電阻率區340-a及高電阻率區335-a。此等電阻區(在底部電極210-c處或附近之高電阻率區335-a及在頂部電極210-c處或附近之低電阻率區340-a)之相反定向及與各定向相關聯之臨限電壓可表示記憶體胞105-e之一第一儲存邏輯狀態(例如，邏輯「0」)。

在一額外實例中，記憶體胞105-c、105-d及105-e之任何者可經組態為一記憶體陣列中之一第二或多個疊(deck)。例如，可藉由兩個記憶體胞疊共用一共同存取線(例如，圖2之位元線115-a)。在此實例中，第一疊中之一記憶體胞之幾何結構可與一第二疊中之一記憶體胞之幾何結構相反。換言之，例如，一第一疊中之頂部電極(例如，頂部電極205-a)可與一第二疊中之相同電極相對。兩個電極可共用一共同存取線。替代地，各疊可經耦合至一獨立存取線。在此實例中，第一疊中之一記憶體胞之幾何結構可與一第二疊中之一記憶體胞之幾何結構相同。

圖4展示根據本發明之實例之支援記憶體胞中之程式化加強之一記憶體陣列100-a之一例示性方塊圖400。記憶體陣列100-a可稱為一電子記憶體設備，且可為參考圖1描述之一記憶體控制器140之一組件之一實例。

記憶體陣列100-a可包含一或多個記憶體胞105-f、記憶體控制器140-a、字線110-b、感測組件125-a、數位線115-b及鎖存器415。此等組件可彼此電子連通且可執行本文描述之一或多個功能。在一些情況中，記憶體

控制器140-a可包含偏壓組件405及時序組件410。記憶體控制器140-a可與字線110-b、數位線115-b及感測組件125-a電子連通，其等可係參考圖1及圖2描述之字線110、數位線115及感測組件125之實例。在一些情況中，感測組件125-a及鎖存器415可係記憶體控制器140-a之組件。

記憶體胞105-f可包含具有一不對稱形狀之一記憶體儲存元件。例如，記憶體胞105-f可為參考圖3描述之一記憶體胞105之一實例。

在一些實例中，數位線115-b與感測組件125-a及記憶體胞105-f電子連通。一邏輯狀態(例如，一第一邏輯狀態或第二邏輯狀態)可經寫入至記憶體胞105-f。字線110-b可與記憶體控制器140-a及記憶體胞105-f電子連通。感測組件125-a可與記憶體控制器140-a、數位線115-b及鎖存器415電子連通。此等組件亦可經由其他組件、連接或匯流排與除上文未列出之組件以外的其他組件(在記憶體陣列100-a內部及外部兩者)電子連通。

記憶體控制器140-a可經組態以藉由施加電壓至字線110-b或數位線115-b而啟動該等各種節點。例如，偏壓組件405可經組態以施加一電壓以操作記憶體胞105-f以讀取或寫入記憶體胞105-f，如上文描述。在一些情況中，記憶體控制器140-a可包含一列解碼器、行解碼器或兩者，如參考圖1描述。此可使記憶體控制器140-a能夠存取一或多個記憶體胞105-f。偏壓組件405可為感測組件125-a之操作提供一電壓。

在一些情況中，記憶體控制器140-a可使用時序組件410來執行其操作。例如，時序組件410可控制各種字線選擇或板極偏壓之時序(包含用於切換及電壓施加之時序)以執行本文論述之記憶體功能(諸如讀取及寫入)。在一些情況中，時序組件410可控制偏壓組件405之操作。

在判定記憶體胞105-f之一邏輯狀態之後，感測組件125-a可將輸出儲

存於鎖存器415中，其中該輸出可根據一電子裝置(記憶體陣列100-a係一部分)之操作而使用。感測組件125-a可包含與鎖存器及記憶體胞105-f電子連通之一感測放大器。

在一些實例中，記憶體控制器140-a可包含用於增大在一硫屬化物材料記憶體儲存元件之一第一表面處之一化學元素之一局部濃度以儲存一第一邏輯值之構件及用於增大在硫屬化物材料記憶體儲存元件之一第二表面處之元素之一濃度以儲存不同於第一邏輯值之一第二邏輯值之構件，其中第一表面與第二表面相對。

在上文描述之方法及設備之額外實例中，第二表面可具有大於第一表面之一面積之一面積。此外，在第一表面處之化學元素之濃度可大於在第二表面處之化學元素之濃度。上文描述之方法及設備之一些實例可進一步包含用於施加一讀取脈衝至硫屬化物記憶體儲存元件且至少部分基於施加讀取脈衝而判定是否已經將第一邏輯值或第二邏輯值儲存於硫屬化物材料記憶體元件處之程序、特徵、構件或指令。另外，化學元素可為一陽離子且可使用一負極性施加脈衝。上文描述之方法及設備之一些實例可進一步包含用於至少部分基於增大第一表面處之化學品之濃度而增大在記憶體儲存元件之第二表面處之一不同化學元素之一局部濃度之程序、特徵、構件或指令。

可在硬體、藉由一處理器執行之軟體、韌體或其等之任何組合中實施記憶體控制器140-a或其之各種子組件之至少一些。若實施於藉由一處理器執行之軟體中，可藉由一通用處理器、一數位信號處理器(DSP)、一特定應用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或經設計以執行本發明中

描述之功能之其等之任何組合執行記憶體控制器140-a及/或其之各種子組件之至少一些之功能。

記憶體控制器140-a及/或其之各種子組件之至少一些可經實體定位於各種位置處，包含經分佈使得藉由一或多個實體裝置在不同實體位置處實施功能之部分。在一些實例中，記憶體控制器140-a及/或其之各種子組件之至少一些可為根據本發明之各種實例之一單獨且不同之組件。在其他實例中，記憶體控制器140-a及/或其之各種子組件之至少一些可與一或多個其他硬體組件組合，該等組件包含但不限於一接收器、一傳輸器、一收發器、本發明中描述之一或多個其他組件、或根據本發明之各種實例之其等之一組合。

圖5展示根據本發明之各種實例之包含支援記憶體胞中之程式化加強之一裝置505之一系統500之一例示性圖。裝置505可係如上文描述之記憶體控制器140之組件之一實例或可包含如上文描述之記憶體控制器140之組件，參考圖1。裝置505可包含用於雙向語音及資料通信之組件，包含用於傳輸及接收通信之組件，包含記憶體陣列100-b，記憶體陣列100-b包含記憶體控制器140-b及記憶體胞105-g、基礎輸入/輸出系統(BIOS)組件515、處理器510、I/O控制器525及周邊組件520。此等組件可經由一或多個匯流排(例如，匯流排530)電子連通。

記憶體胞105-g可儲存如本文描述之資訊(即，呈一邏輯狀態之形式)。記憶體胞105-g可為(例如)具有如參考圖3描述之一記憶體儲存元件之自我選擇記憶體胞。

BIOS組件515可係包含經操作為韌體之BIOS之一軟體組件，其可初始化且運行各種硬體組件。BIOS組件515亦可管理一處理器與各種其他組

件(例如，周邊組件、輸入/輸出控制組件等)之間的資料流。BIOS組件515可包含經儲存於唯讀記憶體(ROM)、快閃記憶體或任何其他非揮發性記憶體中之一程式或軟體。

處理器510可包含一智慧硬體裝置(例如，一通用處理器、一DSP、一中央處理單元(CPU)、一微控制器、一ASIC、一FPGA、一可程式化邏輯裝置、一離散閘或電晶體邏輯組件、一離散硬體組件或其等之任何組合)。在一些情況中，處理器510可經組態以使用一記憶體控制器操作一記憶體陣列。在其他情況中，一記憶體控制器可經整合至處理器510中。處理器510可經組態以執行儲存於一記憶體中之電腦可讀指令以執行各種功能(例如，支援自我選擇記憶體中之程式化加強之功能或任務)。

I/O控制器525可管理裝置505之輸入信號及輸出信號。I/O控制器525亦可管理未經整合至裝置505中之周邊設備。在一些情況中，I/O控制器525可表示至一外部周邊設備之一實體連接或埠。在一些情況中，I/O控制器525可利用一作業系統，諸如iOS®、ANDROID®、MS-DOS®、MS-WINDOWS®、OS/2®、UNIX®、LINUX®或另一已知作業系統。

周邊組件520可包含任何輸入或輸出裝置，或此等裝置之一介面。實例可包含磁碟控制器、聲音控制器、圖形控制器、乙太網路控制器、數據機、通用串列匯流排(USB)控制器、一串列或並列埠或周邊卡槽(諸如周邊組件互連件(PCI)或加速圖形埠(AGP)槽)。

輸入535可表示裝置505外部之一裝置或信號，其提供輸入至裝置505或其組件。此可包含一使用者介面或與其他裝置或其他裝置之間的一介面。在一些情況中，輸入535可由I/O控制器525管理，且可經由一周邊組件520與裝置505互動。

輸出540亦可表示裝置505外部之一裝置或信號，其經組態以從裝置505或其組件之任何者接收輸出。輸出540之實例可包含一顯示器、音訊揚聲器、一列印裝置、另一處理器或印刷電路板等。在一些情況中，輸出540可係經由(若干)周邊組件520與裝置505介接之一周邊元件。在一些情況中，輸出540可由I/O控制器525管理。

裝置505之組件可包含經設計以實行其等功能之電路。此可包含經組態以實行本文描述之功能之各種電路元件，例如，導電線、電晶體、電容器、電感器、電阻器、放大器或其他主動或非主動元件。裝置505可為一電腦、一伺服器、一膝上型電腦、一筆記型電腦、一平板電腦、一行動電話、一可穿戴電子裝置、一個人電子裝置或類似物。或，裝置505可為此一裝置之一部分或組件。

圖6展示根據本發明之實例繪示形成支援記憶體胞中之程式化加強之一記憶體裝置之一方法600之一流程圖。形成方法可包含參考圖7及圖8描述之該等方法。例如，可透過材料沈積及移除之各種組合形成材料或組件。在一些情況中，材料形成或移除可包含未明確表示之一或多個光微影或蝕刻步驟。

在方塊605，方法可包含形成一堆疊，該堆疊包含一第一導電材料、一第二導電材料及在第一導電材料與第二導電材料之間的硫屬化物材料(例如，硫屬玻璃)，如參考圖7描述。在一些實例中，硫屬玻璃可包含硒、砷、碲、矽或鍺之至少一者。

在方塊610，方法可包含在一第一方向上之材料之一第一移除以用硫屬玻璃形成複數個記憶體組件。複數個記憶體組件之各記憶體組件可包括一第一側、一第二側、一第三側及一第四側。第一側及第三側可形成一鈍

角，且第二側及第三側可形成一銳角，如參考圖7描述。在一些實例中，材料之第一移除可包含開始於第一導電材料之蝕刻。在另一實例中，材料之第一移除可包含開始於第二導電材料之蝕刻。

在方塊615，方法可包含圍繞第一導電材料、第二導電材料及複數個硫屬玻璃記憶體組件形成一介電材料，如參考圖7所描述。在一些實例中，材料之第一移除可導致第一導電材料在平行於第一側之一平面中具有一第一尺寸，且第二導電材料在平行於第二側之一平面中具有一第二尺寸。第一尺寸可小於第二尺寸。在另一實例中，第一導電材料之第一尺寸可等於第一側之一第一尺寸，且第二側之第二尺寸可等於第二側之一第一尺寸。在一進一步實例中，介電材料可包括氮化矽、氧化矽、氧化鋁或氧化鉛之至少一者。

在進一步實例中，方法亦可包含形成至第一導電材料之一第一存取線及形成至第二導電材料之一第二存取線。第一導電材料可不同於第二導電材料。在另一實例中，方法可包含在一第二方向上之材料之一第二移除。材料之第二移除可導致具有一第五側、一第六側、一第七側及一第八側之複數個記憶體組件。第五側及第七側可形成一鈍角，且第六側及第七側可形成一銳角。材料之第二移除可導致第一導電材料在平行於第五側之一平面中具有一第二尺寸。另外，材料之第二移除可導致第二導電材料在平行於第五側之一平面中具有一第三尺寸。第三尺寸可大於第二尺寸。

圖7繪示根據本發明之實例之用於形成支援程式化加強之一自我選擇記憶體裝置之一例示性處理流程，其可包含步驟700-a、700-b及700-c。所得記憶體裝置可為包含參考圖1至圖3所描述之記憶體胞105之記憶體胞及架構之一實例。

(若干)處理步驟700-a包含一第一導電材料705、第二導電材料710、硫屬化物材料715及第三導電材料720之形成。各種技術可被用於形成處理步驟700-a中展示之材料或組件。此等可包含(例如)化學氣相沈積(CVD)、金屬有機物氣相沈積(MOCVD)、物理氣相沈積(PVD)、濺鍍沈積、原子層沈積(ALD)或分子束磊晶(MBE)等薄膜生長技術。方塊605之方法可為(若干)處理步驟700-a之一實例。

在(若干)處理步驟700-a，第二導電材料710可經沈積於第一導電材料705上方。硫屬化物材料715可接著經沈積於第二導電材料710上方。第三導電材料720可接著經沈積於硫屬化物材料715上方，使得硫屬化物材料715係定位於第二導電材料710與第三導電材料720之間。第一導電材料705可包含鎢(W)，第二導電材料710及第三導電材料720可包含碳(C)，且硫屬化物材料715可包含硒、砷、碲、矽或鍺之至少一者之一組合物。在一些實例中，額外介面材料可經沈積於第一導電材料705與第二導電材料710之間，以及第二導電材料710與第三導電材料720之間。

在處理步驟700-b及700-c，可發生第一導電材料705、第二導電材料710、硫屬化物材料715及第三導電材料720之一移除。材料移除可導致具有一不對稱形狀之複數個記憶體胞(例如，參考圖3描述之記憶體胞105-c)。此一材料移除可導致記憶體胞僅在一第一方向上具有一不對稱形狀。例如，材料移除可導致記憶體胞在一第一方向上具有一不對稱形狀(如在處理步驟700-b中繪示)，且在一第二方向上具有一對稱形狀(如在處理步驟700-c中繪示)。方塊610及方塊615之方法可為(若干)處理步驟700-b及700-(c)之一實例。

例如，處理步驟700-b可描繪自一第一方向觀看之複數個記憶體胞且

處理步驟700-c可描繪自一第二方向觀看之複數個記憶體胞。第二方向可垂直於第一方向。可使用數種技術來移除在程序步驟700-b及700-c移除之材料，該等技術可包含(例如)化學蝕刻(亦稱為「濕蝕刻」)、電漿蝕刻(亦稱為「乾蝕刻」)或化學機械平坦化。蝕刻可開始於第一導電材料705或第三導電材料720且可使用一點圖案遮罩執行。另外，蝕刻可導致硫屬化物材料715具有一第一定向或一第二定向。第二定向可與第一定向相反(例如，翻轉)。在移除材料之後，介電材料730可經圍繞複數個記憶體胞沈積。介電材料可包含氮化矽、氧化矽、氧化鋁或氧化鉛之至少一者。最後，第四導電材料725可經沈積於第三導電材料720上方。第四導電材料可表示一位元線(例如，圖2之位元線115-a)。可採用一或多個蝕刻步驟。熟習此項技術者將認識到，在一些實例中，可使用單獨蝕刻步驟執行經描述具有一單一曝光及/或蝕刻步驟之一程序之步驟，且反之亦然。

圖8繪示根據本發明之實例之用於形成支援程式化加強之一自我選擇記憶體裝置之一例示性處理流程，其可包含步驟800-a、800-b及800-c。所得記憶體裝置可為參考圖2之記憶體胞105-c及參考圖1之記憶體陣列100中之記憶體胞架構之一實例。

處理步驟800-a包含一第一導電材料805、第二導電材料810、硫屬化物材料815及第三導電材料820之形成。各種技術可用於形成處理步驟800-a中展示之材料或組件。此等可包含(例如)化學氣相沈積(CVD)、金屬有機物氣相沈積(MOCVD)、物理氣相沈積(PVD)、濺鍍沈積、原子層沈積(ALD)或分子束磊晶(MBE)等薄膜生長技術。

在處理步驟800-a，第二導電材料810可經沈積於第一導電材料805上方。硫屬化物材料815可接著經沈積於第二導電材料810上方。第三導電

材料820可接著經沈積於硫屬化物材料815上方，使得硫屬化物材料815經定位於第二導電材料810與第三導電材料820之間。第一導電材料805可包含W，第二導電材料810及第三導電材料820可包含C，且硫屬化物材料815可包含硒、砷、碲、矽或鍺之至少一者之一組合物。在一些實例中，額外介面材料可經沈積於第一導電材料805與第二導電材料810之間，以及第二導電材料810與第三導電材料820之間。

在處理步驟800-b及800-c，可發生第一導電材料805、第二導電材料810、硫屬化物材料815及第三導電材料820之一移除。材料移除可導致具有一不對稱形狀之複數個記憶體胞(例如，參考圖3描述之記憶體胞105-c)。此一材料移除可導致記憶體胞在一第一方向及一第二方向上具有一不對稱形狀。例如，處理步驟800-b可描繪自一第一方向觀看之複數個記憶體胞且處理步驟800-c可描繪自一第二方向觀看之複數個記憶體胞。第二方向可垂直於第一方向。

可使用數種技術來移除在程序步驟800-b及800-c移除之材料，該等技術可包含(例如)化學蝕刻(亦稱為「濕蝕刻」)、電漿蝕刻(亦稱為「乾蝕刻」)或化學機械平坦化。蝕刻可開始於第一導電材料805或第三導電材料820。另外，蝕刻可導致硫屬化物材料815具有一第一定向或一第二定向。第二定向可與第一定向相反(例如，翻轉)。在移除材料之後，介電材料830可經圍繞複數個記憶體胞沈積。介電材料可包含氮化矽、氧化矽、氧化鋁或氧化鉛之至少一者。最後，第四導電材料825可經沈積於第三導電材料820上方。第四導電材料可表示一位元線(例如，圖2之位元線115-a)。可採用一或多個蝕刻步驟。熟習此項技術者將認識到，在一些實例中，可使用單獨蝕刻步驟執行經描述具有一單一曝光及/或蝕刻步驟之一

程序之步驟，且反之亦然。

圖9展示根據本發明之實施例繪示用於自我選擇記憶體中之程式化加強之一方法900之一流程圖。可藉由一記憶體控制器(例如，參考圖4之記憶體控制器140-a)或如本文中描述之其組件實施方法900之操作。在一些實例中，一記憶體控制器可執行一組碼來控制裝置之功能元件以執行下文描述之功能。另外或替代地，記憶體控制器可使用專用硬體來執行下文描述之功能之態樣。

在方塊905，記憶體控制器可增大在一硫屬化物材料記憶體儲存元件之一第一表面處之一化學元素之一局部濃度以儲存一第一邏輯值。可根據參考圖1至圖5描述之方法執行方塊905之操作。

在方塊910，記憶體控制器可增大在硫屬化物材料記憶體儲存元件之一第二表面處之元素之一濃度以儲存不同於第一邏輯值之一第二邏輯值，其中第一表面與第二表面相對。可根據參考圖1至圖5描述之方法執行方塊910之操作。

在一些情況中，第二表面可具有大於第一表面之一面積之一面積。此外，在一些實例中，在第一表面處之化學元素之濃度可大於在第二表面處之化學元素之濃度。在進一步情況中，方塊亦可包含施加一讀取脈衝至硫屬化物材料記憶體儲存元件且至少部分基於施加讀取脈衝而判定是否已經將第一邏輯值或第二邏輯值儲存於硫屬化物材料記憶體儲存元件處。在一些情況中，化學元素可為一陽離子且可使用一負極性施加脈衝。此外，方法亦可包含至少部分基於增大第一表面處之化學品之濃度而增大在記憶體儲存元件之第二表面處之一不同化學元素之一濃度。在各種實例中，增大其濃度之化學元素可為硒。硒離子(例如)可遷移朝向記憶體儲存元件之

一個表面或另一表面(而其他離子在相反方向上遷移)，因此影響記憶體儲存元件之臨限電壓。因此，硒可在一些實例中為一陽離子。

描述一種設備。設備可包含：用於形成包括一第一導電材料、一第二導電材料及在第一導電材料與第二導電材料之間的硫屬化物材料之一堆疊之構件；用於在第一方向上之材料之一第一移除以用硫屬化物材料形成複數個記憶體組件之構件，其中複數個記憶體元件之各硫屬化物材料記憶體組件包括一第一側、一第二側、一第三側及一第四側，其中第一側及第三側形成一鈍角且第二側及第三側形成一銳角；及用於圍繞第一導電材料、第二導電材料及複數個硫屬化物材料記憶體組件沈積一介電材料之構件。

在一些實例中，用於材料之第一移除之構件導致第一導電材料在平行於第一側之一平面中具有一第一尺寸且第二導電材料在平行於第二側之一平面中具有一第二尺寸，且其中第一尺寸可小於第二尺寸。在一些實例中，第一導電材料之第一尺寸可等於第一側之一第一尺寸，且第二側之第二尺寸可等於第二側之一第一尺寸。在一些實例中，設備可包含用於在第一第二方向上之材料之一第二移除之構件，其中複數個記憶體組件包括一第五側、一第六側、一第七側及一第八側，其中第五側及第七側形成一鈍角且第六側及第七側形成一銳角。

在一些實例中，材料之第二移除之構件導致第一導電材料在平行於第五側之一平面中具有一第三尺寸。在一些實例中，用於材料之第二移除之構件導致第二導電材料在平行於第五側之一平面中具有一第四尺寸，且其中第三尺寸可大於第二尺寸。一些實例可進一步包含用於形成經耦合至第一導電材料之一第一存取線之構件。一些實例可進一步包含用於形成經

耦合至第二導電材料之一第二存取線之構件。在一些實例中，第一導電材料可不同於第二導電材料。

在一些實例中，硫屬化物材料包括硒、砷、鍺、矽或碲之至少一者。在一些實例中，用於材料之第一移除之構件包括開始於第一導電材料之蝕刻。在一些實例中，用於材料之第一移除之構件包括開始於第二導電材料之蝕刻。在一些實例中，介電材料包括氮化矽、氧化矽、氧化鋁或氧化鉛之至少一者。

描述一種設備。設備可包含用於增大在一硫屬化物材料記憶體儲存元件之一第一表面處之一化學元素之一濃度以儲存一第一邏輯值之構件及用於增大在硫屬化物材料記憶體儲存元件之一第二表面處之化學元素之一濃度以儲存不同於第一邏輯值之一第二邏輯值之構件，其中第一表面與第二表面相對。在一些實例中，第二表面可具有大於第一表面之一面積之一面積。

在一些實例中，在第一表面處之化學元素之濃度可大於在第二表面處之化學元素之濃度。一些實例可進一步包含施加一讀取脈衝至硫屬化物材料記憶體儲存元件。一些實例可進一步包含用於至少部分基於施加讀取脈衝而判定是否已經將第一邏輯值或第二邏輯值儲存於硫屬化物材料記憶體儲存元件處之構件。

在一些實例中，化學元素可為一陽離子且可使用一負極性施加脈衝。一些實例可進一步包含用於至少部分基於增大第一表面處之化學元素之濃度而增大在記憶體儲存元件之第二表面處之一不同化學元素之一濃度之構件。

應注意，上文描述之方法描述可能的實施方案，且操作及步驟可經

重新配置或以其他方式經修改使得其他實施方案係可能的。此外，可組合來自該等方法之兩個或兩個以上之特徵或步驟。

可使用各種不同工程技術及技術之任何者來表示本文描述之資訊及信號。例如，可藉由電壓、電流、電磁波、磁場或磁性粒子、光場或光學粒子或其任何組合表示可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及碼片(chip)。一些圖式可將信號繪示為一單一信號；然而，一般技術者將理解，信號可表示信號之一匯流排，其中匯流排可具有各種位元寬度。

如本文使用，術語「虛擬接地」係指保持在約零伏特(0 V)之一電壓但不與接地直接連接之一電路之一節點。因此，一虛擬接地之電壓可暫時波動且在穩定狀態返回至約0 V。可使用各種電子電路元件來實施一虛擬接地，諸如由運算放大器及電阻器構成之一分壓器。其他實施方案亦係可能的。「虛擬接地」或「經虛擬接地」意謂連接至約0V。

術語「電子連通」及「耦合」係指組件之間的一關係，其支援組件之間的電子流。此可包含組件之間的一直接連接或可包含中間組件。電子連通中或經彼此耦合之組件可係主動交換之電子或信號(例如，在一通電電路中)或可不係主動交換之電子或信號(例如，在一斷電電路中)，但可經組態且可操作以在使一電路通電之後交換電子或信號。舉實例而言，經由一開關(例如，一電晶體)實體連接之兩個組件電子連通或可經耦合，而不管開關之狀態(即，斷開或閉合)為何。

術語「隔離」係指組件之間的一關係，其中電子當前無法在其等之間流動；若組件之間存在一開路，則其等彼此隔離。例如，藉由一開關實體連接之兩個組件可在開關斷開時彼此隔離。

如本文使用，術語「短接(shorting)」係指其中經由啟動所討論的兩個組件之間的一單一中間組件建立組件之間的一導電路徑之組件之間的一關係。例如，經短接至一第二組件之一第一組件可當兩個組件之間的一開關閉合時與第二組件交換電子。因此，短接可為實現處於電子連通中之組件(或線)之間的電荷流動之一動態操作。

本文論述之裝置(包含記憶體陣列100)可在一半導體基板(諸如矽、鍺、矽鍺合金、砷化鎵、氮化鎵等)上形成。在一些情況中，基板係一半導體基板。在其他情況中，基板可係一絕緣體上覆矽(SOI)基板(諸如玻璃上矽(SOG)或藍寶石上矽(SOP))或另一基板上之半導體材料之磊晶層。可透過使用各種化學物種(包含但不限於磷、硼或砷)摻雜而控制基板或基板之子區域之導電率。可藉由離子植入或藉由任何其他摻雜方法在基板之初始形成或生長期間執行摻雜。

硫屬化物材料可為包含元素硫(S)、硒(Se)及碲(Te)之至少一者之材料或合金。本文論述之相變材料可為硫屬化物材料。硫屬化物材料及合金可包含但不限於Ge-Te、In-Se、Sb-Te、Ga-Sb、In-Sb、As-Te、Al-Te、Ge-Sb-Te、Te-Ge-As、In-Sb-Te、Te-Sn-Se、Ge-Se-Ga、Bi-Se-Sb、Ga-Se-Te、Sn-Sb-Te、In-Sb-Ge、Te-Ge-Sb-S、Te-Ge-Sn-O、Te-Ge-Sn-Au、Pd-Te-Ge-Sn、In-Se-Ti-Co、Ge-Sb-Te-Pd、Ge-Sb-Te-Co、Sb-Te-Bi-Se、Ag-In-Sb-Te、Ge-Sb-Se-Te、Ge-Sn-Sb-Te、Ge-Te-Sn-Ni、Ge-Te-Sn-Pd或Ge-Te-Sn-Pt。如本文使用之用連字符連接之化學組合物標記法指示包含於一特定化合物或合金中之元素且旨在表示涉及所指示元素之所有理想配比。例如，Ge-Te可包含 Ge_xTe_y ，其中x及y可為任何正整數。可變電阻材料之其他實例可包含二元金屬氧化物材料或包含兩個或兩

個以上金屬(例如，過渡金屬、鹼土金屬及/或稀土金屬)之混合價氧化物。實施例不限於一特定可變電阻材料或與記憶體胞之記憶體元件相關聯之材料。例如，可變電阻材料之其他實例可用於形成記憶體元件且可尤其包含硫屬化物材料、巨磁阻材料或基於聚合物之材料。

本文論述之一電晶體或若干電晶體可表示一場效電晶體(FET)且包括包含一源極、汲極及閘極之一三個終端裝置。該等終端可透過導電材料(例如，金屬)連接至其他電子元件。源極及汲極可係導電的且可包括一重度摻雜(例如，簡併)半導體區域。可藉由一輕度摻雜半導體區域或通道分離源極及汲極。若通道係n型(即，多數載子係電子)，則FET可被稱為一n型FET。若通道係p型(即，多數載子係電洞)，則FET可被稱為一p型FET。通道可藉由一絕緣閘極氧化物封端。可藉由施加一電壓至閘極而控制通道導電率。例如，分別施加一正電壓或一負電壓至一n型FET或一p型FET可導致通道變成導電。當施加大於或等於一電晶體之臨限電壓之一電壓至電晶體閘極時，可「開啟」或「啟動」該電晶體。當施加小於電晶體之臨限電壓之一電壓至電晶體閘極時，可「關閉」或「撤銷啟動」該電晶體。

本文陳述之描述以及附圖描述例示性組態且不表示可實施或在發明申請專利範圍之範疇內之所有實例。本文使用之術語「例示性」意謂「充當一實例、例項或繪示」且非「較佳的」或「優於其他實例」。實施方式出於提供對所描述技術之理解之目的而包含具體細節。然而，可在不具有此等具體細節之情況下實踐此等技術。在一些例項中，以方塊圖形式展示熟知結構及裝置以避免模糊所描述實例之概念。

在附圖中，類似組件或特徵可具有相同參考標籤。此外，可藉由在

參考標籤後加一破折號及區分類似組件之一第二標籤來區分相同類型之各種組件。若僅在說明書中使用第一參考標籤，則描述可適用於具有相同第一參考標籤之類似組件之任何者，而無關於第二參考標籤。

可使用各種不同工程技術及技術之任何者來表示本文描述之資訊及信號。例如，可藉由電壓、電流、電磁波、磁場或磁性粒子、光場或光學粒子或其等之任何組合表示可貫穿上文描述引用之資料、指令、命令、資訊、信號、位元、符號及碼片。

可使用經設計以執行本文中描述之功能之一通用處理器、一DSP、一ASIC、一FPGA或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其任何組合而實施或執行結合本文之揭示內容描述之各種闡釋性方塊及模組。一通用處理器可係一微處理器，但在替代例中，處理器可係任何習知處理器、控制器、微控制器或狀態機。一處理器亦可實施為計算裝置之一組合(例如，一數位信號處理器(DSP)及微處理器之一組合、多個微處理器、結合DSP核心之一或多個微處理器或任何其他此組態)。

可在硬體、藉由一處理器執行之軟體、韌體或其任何組合中實施本文描述之功能。若實施於藉由一處理器執行之軟體中，該等功能可作為一或多個指令或程式碼儲存於一電腦可讀媒體上或經由該電腦可讀媒體傳輸。其他實例及實施方案在本發明及隨附發明申請專利範圍之範疇內。例如，歸因於軟體之性質，可使用藉由一處理器實行之軟體、硬體、韌體、硬連線或此等之任何者之組合來實施上文描述之功能。實施功能之特徵亦可實體定位於各種位置處，包含經分佈使得在不同實體位置處實施功能之部分。又，如本文使用(包含在發明申請專利範圍中)，如在一項目清單(例如，以諸如「...之至少一者」或「...之一或多者」片語開始之一項目

清單)中使用之「或」指示一包含清單，使得例如A、B或C之至少一者之一清單意謂A或B或C或AB或AC或BC或ABC (即，A及B及C)。又，如本文使用，片語「基於」將不被解釋為對一閉合條件組之一參考。例如，描述為「基於條件A」之一例示性步驟可在不脫離本發明之範疇的情況下基於一條件A及一條件B兩者。換言之，如本文使用，片語「基於」將以與片語「至少部分基於」相同之方式進行解釋。

電腦可讀媒體包含非暫時性電腦儲存媒體及通信媒體兩者，包含促進一電腦程式從一個位置傳送至另一位置之任何媒體。一非暫時性儲存媒體可係可藉由一通用或專用電腦存取之任何可用媒體。舉實例而言但非限制，非暫時性電腦可讀媒體可包括RAM、ROM、電子可抹除可程式化唯讀記憶體(EEPROM)、光碟(CD) ROM或其他光碟儲存器、磁碟儲存器或其他磁性儲存裝置、或可用於攜載或儲存呈指令或資料結構形式之所需程式碼構件且可藉由一通用或專用電腦或一通用或專用處理器存取之任何其他非暫時性媒體。又，任何連接被適當地稱為一電腦可讀媒體。例如，若使用一同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術從一網站、伺服器或其他遠端源傳輸軟體，則同軸電纜、光纖電纜、雙絞線、數位用戶線(DSL)或諸如紅外線、無線電及微波之無線技術包含於媒體之定義中。如本文使用之磁碟及光碟包含CD、雷射光碟、光碟、數位多功能光碟(DVD)、軟磁碟及藍光光碟，其中磁碟通常磁性地重現資料，而光碟使用雷射光學地重現資料。上文之組合亦包含於電腦可讀媒體之範疇內。

提供本文之描述以使熟習此項技術者能夠實現或使用本發明。熟習此項技術者可容易地明白對本發明之各種修改，且在不背離本發明之範疇

之情況下，在本文中定義之一般原理可適用於其他變體。因此，本發明不限於在本文中描述之實例及設計，而應符合與本文中揭示之原則及新穎特徵一致之最廣範疇。

【符號說明】

100	記憶體陣列
100-a	記憶體陣列
100-b	記憶體陣列
105	記憶體胞
105-a	記憶體胞
105-b	記憶體胞
105-c	記憶體胞
105-d	記憶體胞
105-e	記憶體胞
105-f	記憶體胞
105-g	記憶體胞
110	存取線/字線
110-a	字線
110-b	字線
115	位元線/數位線
115-a	位元線
115-b	數位線
120	列解碼器
125	感測組件

125-a	感測組件
130	行解碼器
135	輸入/輸出
140	記憶體控制器
140-a	記憶體控制器
140-b	記憶體控制器
145	記憶體胞堆疊
200	記憶體陣列
205	電極
205-a	頂部電極
205-b	頂部電極
205-c	頂部電極
210	底部電極
210-a	底部電極
210-b	底部電極
210-c	底部電極
220	記憶體儲存元件
220-a	記憶體儲存元件
220-b	記憶體儲存元件
220-c	記憶體儲存元件
305	第一側
310	第二側
315	第三側

320	第四側
325	鈍角
330	銳角
335	高電阻率區
335-a	高電阻率區
340	低電阻率區
340-a	低電阻率區
400	方塊圖
405	偏壓組件
410	時序組件
415	鎖存器
500	系統
505	裝置
510	處理器
515	基礎輸入/輸出系統(BIOS)組件
520	周邊組件
525	I/O控制器
530	匯流排
535	輸入
540	輸出
600	方法
605	方塊
610	方塊

615	方塊
700-a	步驟
700-b	步驟
700-c	步驟
705	第一導電材料
710	第二導電材料
715	硫屬化物材料
720	第三導電材料
725	第四導電材料
730	介電材料
800-a	步驟
800-b	步驟
800-c	步驟
805	第一導電材料
810	第二導電材料
815	硫屬化物材料
820	第三導電材料
825	第四導電材料
830	介電材料
905	方塊
910	方塊



201907403

【發明摘要】**【中文發明名稱】**

自我選擇記憶體中之程式化加強

【英文發明名稱】**PROGRAMMING ENHANCEMENT IN SELF-SELECTING
MEMORY****【中文】**

本發明揭示用於記憶體胞中之程式化加強之方法、系統及裝置。一經不對稱塑形之記憶體胞可加強一特定電極處或附近之離子擁擠，此可經槓桿作用以用於精確地讀取該記憶體胞之一經儲存值。程式化該記憶體胞可使該記憶體胞內之元件分離，從而導致離子遷移朝向一特定電極。該遷移可取決於該記憶體胞之極性，且可在該記憶體胞內產生一高電阻率區及低電阻率區。可藉由跨該記憶體胞施加一電壓來感測該記憶體胞。該所得電流可接著遇到該高電阻率區及低電阻率區，且該等區之定向可表示該記憶體胞之一第一邏輯狀態或一第二邏輯狀態。

【英文】

Methods, systems, and devices for programming enhancement in memory cells are described. An asymmetrically shaped memory cell may enhance ion crowding at or near a particular electrode, which may be leveraged for accurately reading a stored value of the memory cell. Programming the memory cell may cause elements within the cell to separate, resulting in ion migration towards a particular electrode. The migration may depend on the polarity of the cell and may create a high

resistivity region and low resistivity region within the cell. The memory cell may be sensed by applying a voltage across the cell. The resulting current may then encounter the high resistivity region and low resistivity region, and the orientation of the regions may be representative of a first or a second logic state of the cell.

【指定代表圖】

圖4

【代表圖之符號簡單說明】

100-a	記憶體陣列
105-f	記憶體胞
110-b	字線
115-b	數位線
125-a	感測組件
140-a	記憶體控制器
405	偏壓組件
410	時序組件
415	鎖存器

【發明申請專利範圍】

【第1項】

一種記憶體裝置，其包括：

一硫屬化物材料記憶體儲存元件，其具有一第一表面及與該第一表面相對之一第二表面，該第二表面具有大於該第一表面之一面積；

一第一電極，其係與該第一表面耦合；及

一第二電極，其係與該第二表面耦合，且經由該硫屬化物材料記憶體儲存元件與該第一電極電子連通。

【第2項】

如請求項1之記憶體裝置，其中該硫屬化物材料記憶體儲存元件包括硒。

【第3項】

如請求項2之記憶體裝置，其中相對於該第一表面或該第二表面之該硒之一濃度係至少部分基於在該第一電極與該第二電極之間跨該硫屬化物材料記憶體儲存元件之一電壓之一極性。

【第4項】

如請求項3之記憶體裝置，其中該記憶體裝置之一邏輯狀態係至少部分基於使用該電壓之該極性來程式化該硫屬化物材料記憶體儲存元件。

【第5項】

如請求項1之記憶體裝置，其中該硫屬化物材料記憶體儲存元件之一橫截面包括一梯形。

【第6項】

如請求項1之記憶體裝置，其中該硫屬化物材料記憶體儲存元件包括

一梯形稜柱。

【第7項】

如請求項1之記憶體裝置，其中該硫屬化物材料記憶體儲存元件包括一錐台。

【第8項】

一種記憶體裝置，其包括：

一硫屬化物材料記憶體儲存元件，其具有一第一側、與該第一側相對之一第二側、與該第一側相鄰且與該第二側相鄰之一第三側及與該第三側相對之一第四側，其中該第一側及該第三側形成一鈍角，且該第二側及該第三側形成一銳角；

一第一電極，其係在該硫屬化物材料記憶體儲存元件之該第一側與一第一存取線之間耦合；及

一第二電極，其係在該硫屬化物材料記憶體儲存元件之該第二側與一第二存取線之間耦合。

【第9項】

如請求項8之記憶體裝置，其中該第一側及該第四側形成一鈍角，且該第二側及該第四側形成一銳角。

【第10項】

如請求項9之記憶體裝置，其中接觸該第一側之該第一電極之一部分具有小於接觸該第二側之該第二電極之一部分之面積。

【第11項】

如請求項8之記憶體裝置，其中該硫屬化物材料記憶體儲存元件包括一自我選擇記憶體組件。

【第12項】

如請求項8之記憶體裝置，其中該硫屬化物材料記憶體儲存元件包括硒、砷、碲、矽或鍺之至少一者之一組合物。

【第13項】

如請求項12之記憶體裝置，其中在該硫屬化物材料記憶體儲存元件之一程式化操作期間，相對於該硫屬化物材料記憶體儲存元件之該第一側或該第二側之硒之一濃度係至少部分基於該第一存取線與該第二存取線之間之一電壓之一極性。

【第14項】

如請求項8之記憶體裝置，其中該記憶體裝置之一邏輯狀態係至少部分基於接觸該第一電極之該硫屬化物材料記憶體儲存元件之一臨限電壓。

【第15項】

一種形成一記憶體裝置之方法，其包括：

形成包括一第一導電材料、一第二導電材料及在該第一導電材料與該第二導電材料之間之硫屬化物材料之一堆疊；

在一第一方向上之材料之一第一移除，以用該硫屬化物材料形成複數個記憶體組件，其中該複數個記憶體組件之各硫屬化物材料記憶體組件包括一第一側、一第二側、一第三側及一第四側，其中該第一側及該第三側形成一鈍角，且該第二側及該第三側形成一銳角；及

圍繞該第一導電材料、該第二導電材料及該複數個硫屬化物材料記憶體組件沈積一介電材料。

【第16項】

如請求項15之方法，其中材料之該第一移除導致該第一導電材料在

平行於該第一側之一平面中具有一第一尺寸，且該第二導電材料在平行於該第二側之一平面中具有一第二尺寸，且其中該第一尺寸小於該第二尺寸。

【第17項】

如請求項16之方法，其中該第一導電材料之該第一尺寸等於該第一側之一第一尺寸，且該第二側之該第二尺寸等於該第二側之一第一尺寸。

【第18項】

如請求項15之方法，其包括：

形成經耦合至該第一導電材料之一第一存取線；及

形成經耦合至該第二導電材料之一第二存取線。

【第19項】

如請求項18之方法，其中該第一導電材料不同於該第二導電材料。

【第20項】

如請求項19之方法，其中該硫屬化物材料包括硒、砷、鍺、矽或碲之至少一者。

【第21項】

如請求項15之方法，其中材料之該第一移除包括開始於該第一導電材料之蝕刻。

【第22項】

如請求項15之方法，其中材料之該第一移除包括開始於該第二導電材料之蝕刻。

【第23項】

如請求項15之方法，其中該介電材料包括氮化矽、氧化矽、氧化鋁

或氧化鉛之至少一者。

【第24項】

如請求項16之方法，進一步包括：

在一第一方向上之材料之一第二移除，其中該複數個記憶體組件包括一第五側、一第六側、一第七側及一第八側，其中該第五側及該第七側形成一鈍角，且該第六側及該第七側形成一銳角。

【第25項】

如請求項24之方法，其中材料之該第二移除導致該第一導電材料在平行於該第五側之一平面中具有一第三尺寸。

【第26項】

如請求項25之方法，其中材料之該第二移除導致該第二導電材料在平行於該第五側之一平面中具有一第四尺寸，且其中該第三尺寸大於該第二尺寸。

【第27項】

一種方法，其包括：

增大在一硫屬化物材料記憶體儲存元件之一第一表面處之一化學元素之一濃度，以儲存一第一邏輯值；及

增大在該硫屬化物材料記憶體儲存元件之一第二表面處之該化學元素之一濃度，以儲存不同於該第一邏輯值之一第二邏輯值，其中該第一表面係與該第二表面相對。

【第28項】

如請求項27之方法，其中該第二表面具有大於該第一表面之一面積之一面積。

【第29項】

如請求項27之方法，其中在該第一表面處之該化學元素之該濃度大於在該第二表面處之該化學元素之該濃度。

【第30項】

如請求項27之方法，進一步包括：

施加一讀取脈衝至該硫屬化物材料記憶體儲存元件；及

至少部分基於施加該讀取脈衝來判定是否已經將該第一邏輯值或該第二邏輯值儲存於該硫屬化物材料記憶體儲存元件處。

【第31項】

如請求項30之方法，其中該化學元素係一陽離子，且使用一負極性來施加該脈衝。

【第32項】

如請求項27之方法，進一步包括：

至少部分基於增大該第一表面處之該化學元素之該濃度來增大在該記憶體儲存元件之該第二表面處之一不同化學元素之一濃度。

【第33項】

一種裝置，其包括：

用於形成包括一第一導電材料、一第二導電材料及在該第一導電材料與該第二導電材料之間之硫屬化物材料之一堆疊的構件；

用於在一第一方向上之材料之一第一移除以用該硫屬化物材料形成複數個記憶體組件的構件，其中該複數個記憶體組件之各硫屬化物材料記憶體組件包括一第一側、一第二側、一第三側及一第四側，其中該第一側及該第三側形成一鈍角，且該第二側及該第三側形成一銳角；及

用於圍繞該第一導電材料、該第二導電材料及該複數個硫屬化物材料記憶體組件沈積一介電材料的構件。

【第34項】

如請求項33之設備，其中材料之該第一移除導致該第一導電材料在平行於該第一側之一平面中具有一第一尺寸且該第二導電材料在平行於該第二側之一平面中具有一第二尺寸，且其中該第一尺寸小於該第二尺寸。

【第35項】

如請求項34之設備，其中該第一導電材料之該第一尺寸等於該第一側之一第一尺寸，且該第二側之該第二尺寸等於該第二側之一第一尺寸。

【第36項】

如請求項33之設備，其包括：

用於形成經耦合至該第一導電材料之一第一存取線之構件；及
用於形成經耦合至該第二導電材料之一第二存取線之構件。

【第37項】

如請求項36之設備，其中該第一導電材料不同於該第二導電材料。

【第38項】

如請求項37之設備，其中該硫屬化物材料包括硒、砷、鍺、碲或碲之至少一者。

【第39項】

如請求項33之設備，其中用於材料之該第一移除之該等構件包括開始於該第一導電材料之蝕刻。

【第40項】

如請求項33之設備，其中用於材料之該第一移除之該等構件包括開

始於該第二導電材料之蝕刻。

【第41項】

如請求項33之設備，其中該介電材料包括氮化矽、氧化矽、氧化鋁或氧化鉛之至少一者。

【第42項】

如請求項34之設備，進一步包括：

用於在一第一方向上之材料之一第二移除之構件，其中該複數個記憶體組件包括一第五側、一第六側、一第七側及一第八側，其中該第五側及該第七側形成一鈍角，且該第六側及該第七側形成一銳角。

【第43項】

如請求項42之設備，其中用於材料之該第二移除之該等構件導致該第一導電材料在平行於該第五側之一平面中具有一第三尺寸。

【第44項】

如請求項43之設備，其中用於材料之該第二移除之該等構件導致該第二導電材料在平行於該第五側之一平面中具有一第四尺寸，且其中該第三尺寸大於該第二尺寸。

【第45項】

一種裝置，其包括：

用於增大在一硫屬化物材料記憶體儲存元件之一第一表面處之一化學元素之一濃度以儲存一第一邏輯值的構件；及

用於增大在該硫屬化物材料記憶體儲存元件之一第二表面處之該化學元素之一濃度以儲存不同於該第一邏輯值之一第二邏輯值的構件，其中該第一表面與該第二表面相對。

【第46項】

如請求項45之設備，其中該第二表面具有大於該第一表面之一面積之一面積。

【第47項】

如請求項45之設備，其中在該第一表面處之該化學元素之該濃度大於在該第二表面處之該化學元素之該濃度。

【第48項】

如請求項45之設備，進一步包括：

用於施加一讀取脈衝至該硫屬化物材料記憶體儲存元件之構件；及

用於至少部分基於施加該讀取脈衝來判定是否已經將該第一邏輯值或該第二邏輯值儲存於該硫屬化物材料記憶體儲存元件處之構件。

【第49項】

如請求項48之設備，其中該化學元素係一陽離子，且使用一負極性來施加該脈衝。

【第50項】

如請求項49之設備，進一步包括：

用於至少部分基於增大該第一表面處之該化學元素之該濃度來增大在該記憶體儲存元件之該第二表面處之一不同化學元素之一濃度的構件。

