



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098915  
(43) 공개일자 2008년11월12일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0044311

(22) 출원일자 2007년05월07일

심사청구일자 2007년05월07일

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

조석원

충북 청주시 흥덕구 분평동 분평주공7단지 704동 102호

(74) 대리인

특허법인 신성

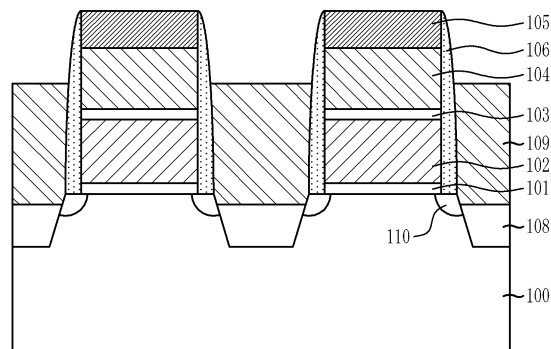
전체 청구항 수 : 총 22 항

#### (54) 비휘발성 메모리 소자 및 그 제조방법

#### (57) 요약

본 발명은 서로 직렬 연결된 메모리 셀을 포함하는 비휘발성 메모리 소자에서, 메모리 셀 간 간섭을 최소화할 수 있는 비휘발성 메모리 소자 및 그 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은 이웃하는 것끼리 접합 영역을 공유하는 복수의 메모리 셀을 포함하는 비휘발성 메모리 소자에 있어서, 상기 메모리 셀은, 기판 상에 형성된 게이트 구조물과, 상기 게이트 구조물과 전기적으로 분리되고, 상기 게이트 구조물 사이가 일부 매립되도록 형성된 접합영역을 포함하는 비휘발성 메모리 소자를 제공한다.

#### 대표도 - 도1



## 특허청구의 범위

### 청구항 1

이웃하는 것끼리 접합영역을 공유하는 복수의 메모리 셀을 포함하는 비휘발성 메모리 소자에 있어서,  
상기 메모리 셀은,  
기관 상에 형성된 게이트 구조물; 및  
상기 게이트 구조물과 전기적으로 분리되고, 상기 게이트 구조물 사이가 일부 매립되도록 형성된 접합영역을 포함하는 비휘발성 메모리 소자.

### 청구항 2

제 1 항에 있어서,  
상기 게이트 구조물은,  
상기 기관 상에 형성된 터널링 절연막;  
상기 터널링 절연막 상에 형성된 플로팅 게이트;  
상기 플로팅 게이트 상에 형성된 유전체막; 및  
상기 유전체막 상에 형성된 컨트롤 게이트  
를 포함하는 비휘발성 메모리 소자.

### 청구항 3

제 2 항에 있어서,  
상기 접합영역은 상면이 상기 플로팅 게이트와 상기 컨트롤 게이트 사이에 위치되도록 형성된 비휘발성 메모리 소자.

### 청구항 4

제 2 항에 있어서,  
상기 접합영역은 상면이 상기 유전체막의 상면보다 높게 위치되도록 형성된 비휘발성 메모리 소자.

### 청구항 5

제 1 항에 있어서,  
상기 접합영역과 상기 기관 사이에 형성된 확산 방지막을 더 포함하는 비휘발성 메모리 소자.

### 청구항 6

제 5 항에 있어서,  
상기 확산 방지막은 상기 기관 내에 트렌치 형태로 매립되도록 형성된 비휘발성 메모리 소자.

### 청구항 7

제 5 항에 있어서,  
상기 접합영역은 저부의 양측부가 상기 확산 방지막에 의해 덮혀지지 않고 노출된 상기 기관과 접속되도록 형성된 비휘발성 메모리 소자.

### 청구항 8

제 7 항에 있어서,  
상기 접합영역과 접속된 기관에는 상기 접합영역보다 낮은 농도로 형성된 이온 확산층을 더 포함하는 비휘발성

메모리 소자.

#### 청구항 9

제 8 항에 있어서,

상기 이온 확산층은 상기 접합영역과 동일 도전형으로 형성된 비휘발성 메모리 소자.

#### 청구항 10

제 2 항에 있어서,

상기 접합영역은 상기 플로팅 게이트와 동일 물질로 형성된 비휘발성 메모리 소자.

#### 청구항 11

이웃하는 것끼리 접합영역을 공유하는 복수의 메모리 셀을 포함하는 비휘발성 메모리 소자의 제조방법에 있어서,

기관 상에 게이트 구조물을 형성하는 단계;

상기 게이트 구조물 양측벽에 스페이서를 형성하는 단계; 및

상기 스페이서 사이가 일부 매립되도록 접합영역을 형성하는 단계

를 포함하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 12

제 11 항에 있어서,

상기 게이트 구조물을 형성하는 단계는,

상기 기관 상에 터널링 절연막을 형성하는 단계;

상기 터널링 절연막 상에 플로팅 게이트를 형성하는 단계;

상기 플로팅 게이트 상에 유전체막을 형성하는 단계; 및

상기 유전체막 상에 컨트롤 게이트를 형성하는 단계

를 포함하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 13

제 11 항에 있어서,

상기 스페이서는 질화막으로 형성하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 14

제 11 항에 있어서,

상기 스페이서를 형성하는 단계 후,

상기 스페이서를 식각 장벽층으로 상기 기관 내에 트렌치를 형성하는 단계를 더 포함하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 15

제 14 항에 있어서,

상기 트렌치를 형성하는 단계 후,

상기 트렌치가 일부 매립되도록 확산 방지막을 형성하는 단계를 더 포함하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 16

제 15 항에 있어서,

상기 확산 방지막은 절연막으로 형성하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 17

제 16 항에 있어서,

상기 접합영역은 저부의 양측부가 상기 확산 방지막에 의해 덮혀지지 않고 노출된 상기 기판과 접촉되도록 형성하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 18

제 17 항에 있어서,

상기 접합영역을 형성하는 단계 후,

상기 접합영역과 접속되는 상기 트렌치의 내측벽에 상기 접합영역보다 낮은 농도를 갖는 이온 확산층을 형성하는 단계를 더 포함하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 19

제 18 항에 있어서,

상기 이온 확산층은 상기 접합영역과 동일 도전형으로 형성하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 20

제 12 항에 있어서,

상기 접합영역은 상면이 상기 플로팅 게이트와 상기 컨트롤 게이트 사이에 위치되도록 형성하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 21

제 12 항에 있어서,

상기 접합영역은 상면이 상기 유전체막의 상면보다 높게 위치되도록 형성하는 비휘발성 메모리 소자의 제조방법.

#### 청구항 22

제 12 항에 있어서,

상기 접합영역은 도프트 폴리실리콘막으로 형성하는 비휘발성 메모리 소자의 제조방법.

### 명 세 서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 반도체 제조기술에 관한 것으로, 특히 이웃하는 것끼리 접합영역을 공유하는 복수의 메모리 셀을 포함하는 비휘발성 메모리 소자 및 그 제조방법에 관한 것이다.
- <11> 비휘발성 메모리 소자 중 현재 가장 널리 사용되고 있는 소자가 낸드 플래시 메모리 소자(NAND type flash memory device)이다. 이러한 낸드 플래시 메모리 소자는 고집적을 위한 소자로서, 주로 메모리 스틱(memory stick), USB 드라이버(Universal Serial Bus driver), 하드 디스크(hard disk)를 대체할 수 있는 메모리 소자로 그 적용 분야를 넓혀 가고 있다.
- <12> 보편적으로, 낸드 플래시 메모리 소자는 데이터(data)를 저장하기 위한 복수의 메모리 셀, 예컨대 16개, 32개

또는 64개의 메모리 셀과, 이들 메모리 셀 중 첫 번째 메모리 셀의 드레인(drain)과 비트 라인(bit line)을 연결하는 드레인 선택 트랜지스터와, 최종 번째 메모리 셀의 소스(source)와 공통 소스 라인(common source line)을 연결하는 소스 선택 트랜지스터가 직렬 연결되어 하나의 스트링(string)을 구성한다.

- <13> 이와 같이, 낸드 플래시 메모리 소자는 복수의 메모리 셀이 직렬 연결되어 단위 스트링을 구성하기 때문에 이웃하는 메모리 셀 간의 간섭에 매우 취약할 수밖에 없다. 더욱이, 소자가 고집적화되어 감에 따라 단위 면적당 패턴 밀도 또한 증가하면서 메모리 셀 간의 간섭이 더욱 심화되어 소자의 특성을 저하시키는 원인이 되고 있다.

### 발명이 이루고자 하는 기술적 과제

- <14> 따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 서로 직렬 연결된 메모리 셀을 포함하는 비휘발성 메모리 소자에서, 메모리 셀 간 간섭을 최소화할 수 있는 비휘발성 메모리 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

- <15> 상기한 목적을 달성하기 위한 일 측면에 따른 본 발명은, 이웃하는 것끼리 접합영역을 공유하는 복수의 메모리 셀을 포함하는 비휘발성 메모리 소자에 있어서, 상기 메모리 셀은, 기판 상에 형성된 게이트 구조물과, 상기 게이트 구조물과 전기적으로 분리되고, 상기 게이트 구조물 사이가 일부 매립되도록 형성된 접합영역을 포함하는 비휘발성 메모리 소자를 제공한다.

- <16> 또한, 상기한 목적을 달성하기 위한 다른 측면에 따른 본 발명은, 이웃하는 것끼리 접합영역을 공유하는 복수의 메모리 셀을 포함하는 비휘발성 메모리 소자의 제조방법에 있어서, 기판 상에 게이트 구조물을 형성하는 단계와, 상기 게이트 구조물 양측벽에 스페이스를 형성하는 단계와, 상기 스페이스 사이가 일부 매립되도록 접합영역을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법을 제공한다.

- <17> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위해 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다. 또한, 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이며, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나, 또는 그들 사이에 제3의 층이 개재될 수도 있다. 또한, 명세서 전체에 걸쳐서 동일한 도면번호로 표시된 부분은 동일한 층을 나타내며, 각 도면번호에 영어 대문자를 포함하는 경우 동일층이 식각 또는 연마 공정을 통해 변형된 것을 의미한다.

- <18> 실시예

- <19> 도 1은 본 발명의 실시예에 따른 비휘발성 메모리 소자를 설명하기 위하여 도시한 단면도이다. 여기서는 설명의 편의를 위해 2개의 메모리 셀만을 도시하였다.

- <20> 도 1을 참조하면, 본 발명의 실시예에 따른 비휘발성 메모리 소자는 서로 직렬 연결된 복수 개의 메모리 셀을 포함하고, 각 메모리 셀은 터널링 절연막(101), 플로팅 게이트(102), 유전체막(103) 및 컨트롤 게이트(104)를 포함하는 복수의 게이트 구조물과, 게이트 구조물과 스페이스(spacer)(106)를 통해 전기적으로 절연되어 게이트 구조물 사이에 매립된 접합영역(109), 예컨대 소스 및 드레인 영역을 포함한다.

- <21> 접합영역(109)은 기판(100) 상면으로부터 플로팅 게이트(102)보다는 높고, 컨트롤 게이트(104) 상면보다는 낮게 형성한다. 그 이유는 플로팅 게이트(102)가 메모리 셀 간 간섭 현상에 가장 큰 영향을 미치기 때문이다. 그 구조적인 특성상 플로팅 게이트(102) 사이에는 전, 후 공정을 통해 일정한 유전율을 갖는 절연막이 매립된다. 예를 들면, 소자 분리막, 유전체막, 층간 절연막 등이 매립된다. 이에 따라, 플로팅 게이트(102) 사이에는 어느 정도의 정전용량이 발생되고, 이러한 정전용량에 의해 간섭 현상이 발생된다.

- <22> 비휘발성 메모리 소자에서의 간섭 현상은 선택 셀과 이웃하는 주변 셀의 동작, 특히 데이터를 저장하는 기입(program) 동작으로 인해 선택 셀의 문턱 전압이 변하게 되는 현상을 의미한다. 즉, 간섭 현상이란 데이터를 독출(read)하기 위해 선택된 제1 메모리 셀과 이웃하는 제2 메모리 셀에 대해 기입 동작을 수행하는 경우, 제2 메모리 셀의 플로팅 게이트로 주입되는 전자에 의해 제1 메모리 셀과 제2 메모리 셀 간의 정전용량이 변동하고, 이러한 변동에 의해 제1 메모리 셀의 독출시 제1 메모리 셀의 문턱 전압보다 높은 전압이 독출되는 현상이 발생되는데 이러한 현상을 일컫는 것으로, 선택 셀의 플로팅 게이트에 주입된 전하량은 변화하지 않지만, 이웃한 셀의 상태 변화에 의해 선택 셀의 문턱 전압이 왜곡되는 현상을 일컫는다.

- <23> 따라서, 플로팅 게이트(102) 사이에 정전용량을 유발하는 절연성 물질 대신에 도전성 물질을 삽입시켜 플로팅 게이트(102) 간의 간섭 현상을 최소화할 수 있다. 더욱이, 도전성 물질을 메모리 셀의 접합영역(109)으로 기능하도록 함으로써 기존 공정에 비해 많은 수의 공정 추가 없이 메모리 셀을 구현할 수 있는 이점 또한 얻을 수 있다.
- <24> 한편, 접합영역(109)은 컨트롤 게이트(104) 상면보다는 낮게 형성하는 것이 바람직한데, 그 이유는 접합영역(109)이 컨트롤 게이트(104) 상면보다 높게 형성되는 경우, 컨트롤 게이트(104)와의 단락 문제가 발생할 소지가 그만큼 높아지기 때문이다. 따라서, 컨트롤 게이트(104)와의 단락 문제를 고려하여 그 높이는 결정되어야 한다.
- <25> 또한, 접합영역(109)은 적어도 저부의 양측부가 반도체 기판(100)과 접촉되어야 한다. 접합영역(109) 중 적어도 일부가 반도체 기판(100)과 접촉되지 않는 경우 접합영역(109)의 전자가 게이트 구조물 하부에 형성된 채널영역을 통해 이웃하는 접합영역으로 이동하지 못해 독출 동작 또는 스위칭 소자로서 동작하지 못하기 때문이다.
- <26> 비휘발성 메모리 소자, 예컨대 낸드 플래시 메모리 소자의 경우 기입 및 소거 동작은 F-N 터널링(Fowler Nordheim Tunneling) 방식으로 이루어지지만, 독출 동작은 소스 및 드레인 영역 사이에 흐르는 전자를 검출하는 방식으로 진행된다. 또한, 기입 및 소거 동작시에도 선택되지 않은 비 선택 셀은 스위칭 소자로 동작해야 한다. 이러한 이유로 접합영역(109)은 채널영역과 접하도록 반도체 기판(100)과 접촉된다.
- <27> 또한, 본 발명의 실시예에 따른 메모리 셀은 접합영역(109) 하부에 접합영역(109) 형성공정시 수직방향, 즉 반도체 기판(100) 방향으로 접합영역(109)이 확장되어 정전용량이 증가하는 것을 방지하기 위해 형성된 확산 방지막(108)을 더 포함할 수 있다.
- <28> 접합영역(109)이 소스 및 드레인 영역으로 기능하기 위해서는 불순물 이온(예컨대, 인(P) 또는 붕소(B))이 도핑되어 어느 정도의 도핑 농도를 유지해야만 한다. 하지만, 접합영역(109)에 포함된 불순물 이온들이 후속 열처리 공정에 의해 반도체 기판(100)으로 확산되는 경우 접합영역(109)이 확장되는 결과를 초래할 수 있다. 따라서, 접합영역(109)에 포함된 불순물 이온들이 열처리 공정에 의해 반도체 기판(100)으로 확산되는 것을 방지하기 위해 접합영역(109) 하부에 확산 방지막(108)을 형성한다.
- <29> 이러한 확산 방지막(108)은 반도체 기판(100) 내에 형성된 트렌치(trench)가 일부 매립되도록 형성하여 그 상부에 형성된 접합영역(109)이 확산 방지막(108)에 의해 덮여지지 않고 노출되는 반도체 기판(100)과 접촉될 수 있도록 공간을 제공한다.
- <30> 이하, 도 1에 도시된 본 발명의 실시예에 따른 비휘발성 메모리 소자의 제조방법 설명하기로 한다.
- <31> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위하여 도시한 공정 단면도이다. 여기서는 설명의 편의를 위해 2개의 메모리 셀만을 도시하였다.
- <32> 먼저, 도 2a에 도시된 바와 같이, 반도체 기판(100) 상에 터널링 절연막(101), 플로팅 게이트(102), 유전체막(103) 및 컨트롤 게이트(104)를 포함하는 게이트 구조물을 형성한다. 또한, 컨트롤 게이트(104) 상에는 보호막(105)을 더 형성할 수 있는데, 이때 보호막(105)은 질화막 계열, 예컨대 실리콘질화막( $\text{Si}_3\text{N}_4$ )으로 형성한다.
- <33> 터널링 절연막(101)은 산화막, 예컨대 실리콘산화막( $\text{SiO}_2$ )으로 형성하거나, 실리콘산화막을 형성한 후  $\text{N}_2$  가스를 이용한 열처리 공정을 실시하여 실리콘산화막과 기판(100) 계면에 질화층을 더 형성할 수도 있다. 그 제조방법으로는 건식 산화, 습식 산화 공정 또는 라디칼 이온을 이용한 산화 공정을 이용할 수도 있으나, 특정 측면에서 라디칼 이온을 이용한 산화 공정 대신에 건식 산화, 습식 산화 공정으로 실시하는 것이 바람직하다. 또한, 터널링 절연막(101)은 50~100Å 정도의 두께로 형성할 수 있다.
- <34> 플로팅 및 컨트롤 게이트(102, 104)는 도전성을 갖는 물질은 모두 사용가능하며, 예컨대 폴리실리콘, 전이 금속 또는 희토류 금속 중 선택된 어느 하나의 물질로 형성할 수 있다. 예컨대, 폴리실리콘막은 불순물이 도핑되지 않은 언-도프트(un-doped) 폴리실리콘막 또는 불순물이 도핑된 도프트(doped) 폴리실리콘막 모두 사용가능하며, 언-도프트 폴리실리콘막의 경우 후속 이온주입공정을 통해 별도로 불순물 이온을 주입한다. 이러한 폴리실리콘막은 LPCVD(Low Pressure Chemical Vapor Deposition) 방식으로 형성하고, 이때 소스 가스로는  $\text{SiH}_4$ 를 사용하며, 도핑 가스로는  $\text{PH}_3$ ,  $\text{PH}_3$ ,  $\text{BCl}_3$  또는  $\text{B}_2\text{H}_6$  가스 사용한다. 전이 금속으로는 철(Fe), 코발트(Co), 텅스텐(W), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 몰리브덴(Mo) 또는 티타늄(Ti) 등을 사용하고, 희토류 금속으로는 어븀(Er), 이터븀(Yb), 사마륨(Sm), 이트륨(Y), 란타넘(La), 세륨(Ce), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 툴



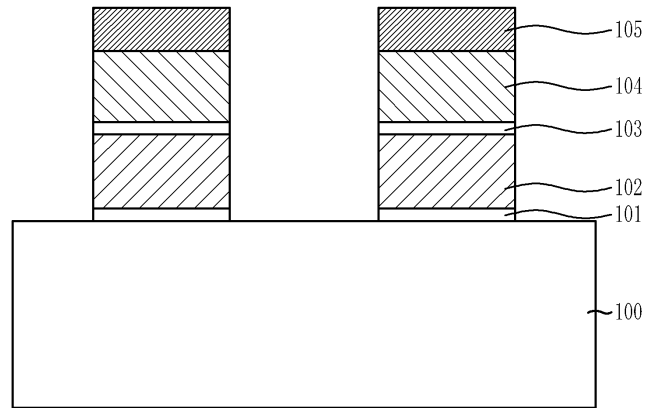
륨(Tm) 및 루테튬(Lu) 등을 사용한다.

- <35> 유전체막(103)은 산화막-질화막-산화막의 적층 구조로 형성하거나, 유전율이 실리콘산화막( $\text{SiO}_2$ )보다 높은 3.9 이상인 금속 산화물층, 예컨대 알루미늄산화막( $\text{Al}_2\text{O}_3$ ), 지르코늄산화막( $\text{ZrO}_2$ ) 또는 하프늄산화막( $\text{HfO}_2$ ) 중 선택된 어느 하나의 막으로 형성하거나, 또는 이들이 혼합된 혼합막 또는 이들의 적층막으로 형성할 수도 있다.
- <36> 한편, 컨트롤 게이트(104)와 보호막(105) 사이에는 비저항을 낮추기 위해 금속 질화물, 금속 실리사이드층 또는 이들이 적층된 적층막을 더 형성할 수도 있다. 예컨대, 금속 질화물으로는 티타늄질화막(TiN), 탄탈늄질화막(TaN), 텅스텐질화막(WN), 금속 실리사이드층으로는 티타늄실리사이드층( $\text{TiSi}_2$ ), 텅스텐실리사이드층(Wsi) 등이 있다.
- <37> 이어서, 도 2b에 도시된 바와 같이, 게이트 구조물의 양측벽에 스페이서(106)를 형성한다. 이때, 스페이서(106)는 절연성을 갖는 물질, 예컨대 질화막으로 형성할 수 있다.
- <38> 이어서, 도 2c에 도시된 바와 같이, 스페이서(106)를 식각 장벽층으로 하여 반도체 기판(100)을 식각한다. 이로써, 반도체 기판(100) 내에 트렌치(107)가 형성된다.
- <39> 도 2c에서 트렌치(107)를 형성하기 위한 식각공정과 도 2b에서 실시된 스페이서(106)를 형성하기 위한 식각공정은 동일 플라즈마 식각 장비를 이용하여 인-시튜(in-situ) 공정으로 실시할 수 있다. 예컨대, 스페이서용 질화막을 증착한 후 전면 식각공정, 예컨대 에치백(etch back) 공정을 실시하여 게이트 구조물의 양측벽에 스페이서(106)를 형성한 후, 이 스페이서(106)를 구성하는 질화막과 기판(100)을 구성하는 단결정실리콘 간의 높은 식각선택비를 갖는 식각 가스, 예컨대 HBr와  $\text{O}_2$  가스를 사용하여 선택적으로 스페이서(106) 사이로 노출되는 기판(100)을 식각한다.
- <40> 이어서, 도 2d에 도시된 바와 같이, 트렌치(107, 도 2c참조)가 일부 매립되도록 확산 방지막(108)을 형성한다. 이때, 확산 방지막(108)은 절연성 물질, 예컨대 산화공정으로 형성된 실리콘산화막( $\text{SiO}_2$ ), HDP(High Density Plasma)막, TEOS(Tetra Ethyle Ortho Silicate)막, SOD(Spin On Dielectric)막, USG(Un-doped Silicate Glass)막, BPSG(BoroPhosphoSilicate Glass) 또는 PSG(PhosphoSilicate Glass)막 중 선택된 어느 하나의 막으로 형성하거나, 이들이 적층된 적층막으로 형성할 수 있다. 또한, 확산 방지막(108)은 터널링 절연막(101)보다 두껍게 형성할 수 있다.
- <41> 한편, 확산 방지막(108)을 CVD(Chemical Vapor Deposition) 공정으로 형성하는 경우, CVD 공정으로 확산 방지막용 절연막을 증착한 후, 전면 식각공정, 예컨대 에치백 공정을 실시하여 트렌치(107)의 내측벽 중 일부가 노출되도록 절연막을 후퇴(recess)시켜 형성한다. 또한, 산화공정으로 형성하는 경우에도 별도의 식각공정을 실시하여 트렌치(107)의 내측벽 중 적어도 일부가 노출되도록 후퇴시켜 형성한다.
- <42> 이어서, 도 2e에 도시된 바와 같이, 게이트 구조물 사이가 일부 매립되도록 접합영역(109)을 형성한다. 이때, 접합영역(109)은 플로팅 게이트(102)와 컨트롤 게이트(104)의 경계부분, 즉 유전체막(103)보다 높게 형성한다. 또한, 접합영역(109)은 폴리실리콘막, 예컨대 도프트(doped) 폴리실리콘막으로 형성한다. 예컨대, 도프트 폴리실리콘막은 소스 가스(source gas)로  $\text{SiH}_4$  가스를 사용하고, 도핑 가스로는  $\text{PH}_3$ ,  $\text{BCl}_3$  또는  $\text{B}_2\text{H}_6$  가스 중 선택된 어느 하나를 사용하여 LPCVD 공정으로 형성한다.
- <43> 예컨대, 접합영역(109)은 LPCVD 공정으로 기판(100) 상에 도프트 폴리실리콘막을 증착한 후, 전면 식각공정, 예컨대 에치백 공정을 실시하여 그 상부가 플로팅 게이트(102)와 컨트롤 게이트(104) 사이, 즉 유전체막(103) 상에 위치되도록 후퇴시켜 형성한다.
- <44> 한편, 도 2f에서, 접합영역(109)의 양측으로 접하는 반도체 기판(100) 내에는 접합영역(109)에 포함된 불순물 이온들이 확산되어 이온 확산층(110)이 형성될 수 있다. 이러한 이온 확산층(110)은 접합영역(109)과 동일 도전형(p형 또는 n형)으로 형성하되, 접합영역(109)의 농도보다 낮은 농도를 갖도록 제어하여, 널리 알려진 LDD(Lightly Doped Drain) 구조와 동일한 효과, 즉 메모리 셀이 스위칭 소자로 동작하는 경우 항복전압을 높일 수 있는 효과를 얻을 수 있다. 이러한 이온 확산층(110)은 접합영역(109) 형성 후, 별도의 열처리 공정, 예컨대 RTP(Rapid Thermal Process) 또는 퍼니스 어닐(funance anneal) 장비를 이용한 열처리 공정으로 형성하거나, 보편적으로 후속 증착공정 또는 열처리 공정으로 대신할 수도 있다.
- <45> 본 발명의 기술 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 특히, 본 발명의 실시예는 낸드 플래시 메모리 소자의

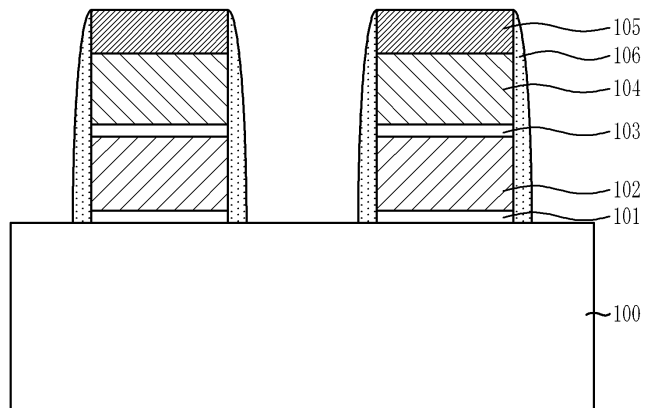




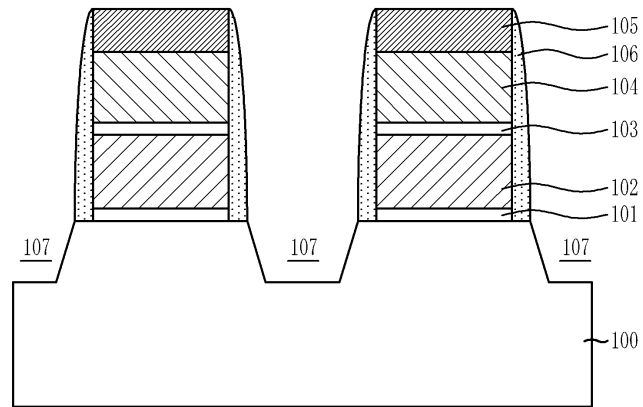
도면2a



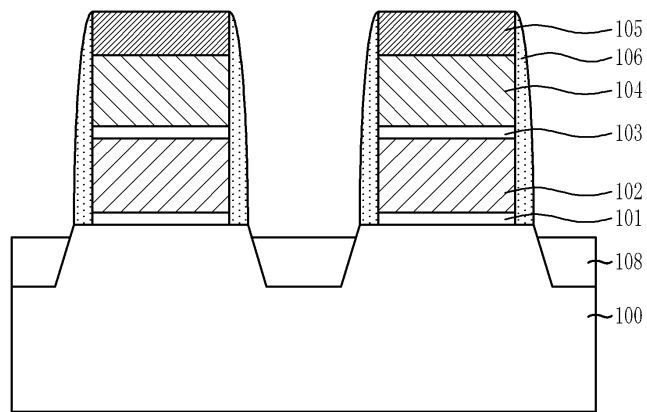
도면2b



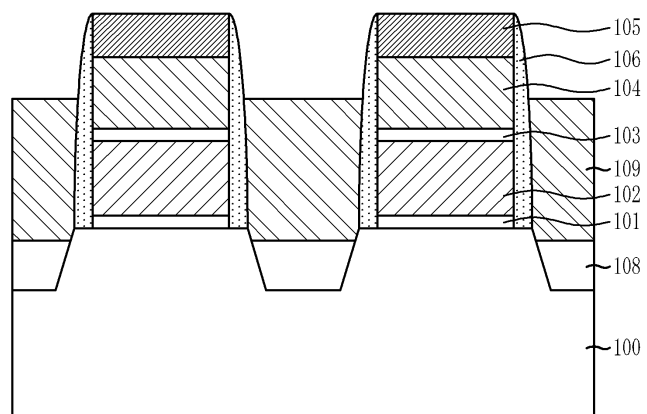
도면2c



도면2d



도면2e



도면2f

