(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 6 月 8 日(08.06.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/094095 A1

(51) 国際特許分類:
*H02H 9/02* (2006.01) *H02J 1/00* (2006.01)

(21) 国際出願番号: PCT/JP2015/083689

(22) 国際出願日: 2015 年 12 月 1 日(01.12.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 濱田　芳隆(HAMADA Yoshitaka); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号　富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 森田　雄一(MORITA YUICHI); 〒1010051 東京都千代田区神田神保町３－１９－７　ダイナミック・アート九段下ビル６階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

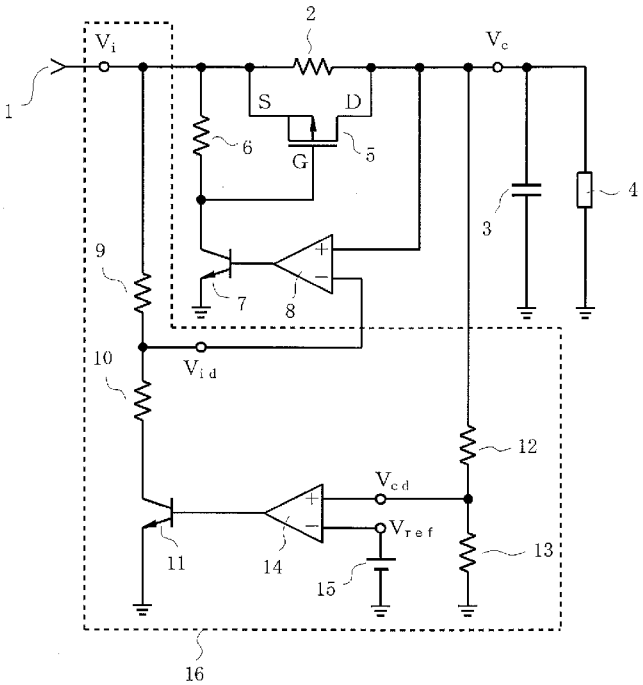
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: INRUSH CURRENT PREVENTION CIRCUIT

(54) 発明の名称 : 突入電流防止回路




(57) **Abstract**: Provided is an inrush current prevention circuit capable of reliably suppressing inrush current during power-on regardless of a rated input voltage range by using a comparatively simple circuit configuration. An inrush current prevention circuit is configured such that: inrush current flowing when a power supply voltage is applied to a power supply input terminal 1 is suppressed by a current limit resistor 2; and when an output voltage to a load 4 exceeds a bypass threshold value, a bypass switching element 5 connected in parallel with the current limit resistor 2 is turned on and thereby the current flowing through the current limit resistor 2 is bypassed. The inrush current prevention circuit is provided with a bypass threshold value setting means 16 in which the voltage value at a dividing point is set as a bypass threshold value, said dividing point being given by resistors 9, 10 for dividing the power supply voltage in accordance with an output voltage. The bypass threshold value setting means 16 is constituted by resistors 9, 10, 12, 13, a comparator 14, a reference power supply 15, and a switching element 11.

(57) 要約:　比較的簡単な回路構成により、定格入力電圧範囲に関わらず電源投入時の突入電流を確実に抑制可能とした突入電流防止回路を提供する。　電源入力端子１に電源電圧が印加された時に流入する突入電流を電流制限抵抗２により抑制し、負荷４への出力電圧がバイパス閾値を超えた時に、電流制限抵抗２と並列に接続されたバイパス用のスイッチング素子５をオンさせて電流制限抵抗２の電流をバイパスするようにした突入電流防止回路において、出力電圧に応じて、電源電圧を分圧する抵抗９，１０による分圧点の電圧値をバイパス閾値として設定するバイパス閾値設定手段１６を備え、このバイパス閾値設定手段１６を、抵抗９，１０，１２，１３、比較器１４、基準電源１５、スイッチング素子１１により構成する。

WO 2017/094095 A1

# 明　細　書

## 発明の名称 ： 突入電流防止回路

## 技術分野

[0001] 本発明は、電子回路への電源投入時に流れる突入電流を抑制するようにした突入電流防止回路に関する。

## 背景技術

[0002] コンデンサを含む電子回路に電源が投入されると、その直後にはコンデンサを充電するために過渡的に非常に大きな電流、すなわち突入電流が流れる。過大な突入電流が流れると、コンデンサや負荷だけでなく、電源に対しても深刻なダメージを及ぼす恐れがある。

そこで、電源投入時には、電流制限抵抗等の高抵抗素子を電路に挿入して突入電流を抑制し、突入電流が収束した後に高抵抗素子を低抵抗のバイパス素子によりバイパスすることで、高抵抗素子による無用な電力消費を抑えるようにした突入電流防止回路が広く知られている。

[0003] 上述した突入電流防止回路においては、突入電流が十分に収束する前にバイパス素子によりバイパスすると、突入電流が再度流れてしまうため、高抵抗素子をバイパスするタイミングを適切に制御することが要求される。

突入電流が十分に収束したか否かを判断するためには、コンデンサの充電電圧を検出すれば良い。すなわち、コンデンサの充電電圧を検出してその値が所定値を超えたタイミングでバイパス動作させれば、大きな突入電流が再度流入する恐れはない。

このような原理に基づく突入電流防止回路は、例えば特許文献１に記載されている。

[0004] 図４は、特許文献１に記載された突入電流防止回路を示している。

図４において、１０１は直流電源、１０２はコネクタ、１０３はバイパス素子としてのＦＥＴ、１０４は高抵抗素子としての充電抵抗（電流制限抵抗）、１０５，１０６は分圧抵抗、１０７，１０９はコンデンサ、１０８はＦ

ＥＴ１０３のゲート電圧制御用のトランジスタ、１１０は制御回路、１１１は比較器、１１２は基準電源、１１３，１１４は出力電圧の分圧抵抗、１２０は負荷である。

[0005] この従来技術において、コネクタ１０２を接続して電源を投入した時には、コンデンサ１０９が十分に充電されるまでの間、ＦＥＴ１０３はオフ状態（非導通）であり、コンデンサ１０９に流れ込む充電電流（突入電流）は充電抵抗１０４を介して流れるため、突入電流が抑制される。

上記の動作により抑制された電流によってコンデンサ１０９が次第に充電され、分圧抵抗１１３，１１４による分圧値が充電閾値（基準電源１１２による基準電圧）を超えると比較器１１１の出力が反転し、トランジスタ１０８及びＦＥＴ１０３がオン状態（導通）になって充電抵抗１０４をバイパスする。

この従来技術は、コンデンサ１０９の電圧に相当する分圧値が充電閾値を超えることにより、ＦＥＴ１０３によるバイパス動作を実行する点を特徴としている。

[0006] ところで、図４の回路では、基準電源１１２による充電閾値を定格入力電圧範囲の下限側に合わせて一意に設定する必要があるため、回路の定格入力電圧範囲が広い場合には、ＦＥＴ１０３がオフ状態からオン状態になった際の突入電流を十分に抑制できないという問題がある。

例えば、定格入力電圧範囲が５～６［Ｖ］である場合、充電閾値を４．５［Ｖ］程度に設定すれば、入力電圧が最大定格電圧の６［Ｖ］であったとしても、ＦＥＴ１０３がオフ状態からオン状態になって充電抵抗１０４をバイパスする時の同抵抗１０４の両端電位差（ＦＥＴ１０３のドレイン－ソース間電圧）は１．５［Ｖ］であるため、ＦＥＴ１０３がオン状態になった際に過大な突入電流が生じることはないと言える。

[0007] しかしながら、例えば定格入力電圧範囲が５～１５［Ｖ］である場合でも、充電閾値を４．５［Ｖ］程度に設定しなければならないので、入力電圧が最大定格電圧の１５［Ｖ］であった時には、ＦＥＴ１０３がオフ状態からオ

ン状態になって充電抵抗１０４をバイパスする時のＦＥＴ１０３のドレイン－ソース間電圧は１０．５［Ｖ］になり、ＦＥＴ１０３を介して過大な突入電流が流入してしまうという問題がある。

[0008] 一方、特許文献２には、直流電源電圧をコンバータにより昇圧して出力する昇圧電源装置において、入力電圧が高い場合に昇圧コンバータのスイッチング素子に流れる電流を制限して突入電流を抑制するようにした技術が開示されている。

[0009] 図５は、特許文献２に記載された昇圧電源装置の回路図であり、昇圧コンバータ１５０の出力電圧$V_o$が比較器１６１の閾値$V_r$以下である起動時（$V_o \leqq V_r$）には、比較器１６１の「Ｌｏｗ」レベルの出力信号が反転回路１６２により「Ｈｉｇｈ」レベルに反転されて起動回路１４０に入力される。起動回路１４０では、昇圧コンバータ１５０内のＦＥＴ１５１のドレイン電圧$V_x$が比較器１４１の閾値$V_{th}$を超えないように、駆動回路１４２を介してＦＥＴ１５１の動作を制御することにより突入電流を抑制する。

また、$V_o > V_r$となった場合には、比較器１６１の「Ｈｉｇｈ」レベルの出力信号が遅延回路１６３を介して制御回路１６４に入力されるため、上述の起動回路１４０に代えて制御回路１６４がＦＥＴ１５１の動作を制御する。

[0010] この従来技術では、直流電源１３１の電圧が高く、ＦＥＴ１５１のドレイン電圧$V_x$が比較器１４１の閾値$V_{th}$を超える期間が長くなると、起動回路１４０からＦＥＴ１５１に送られるゲートパルスが短くなるように動作し、ＦＥＴ１５１に過大な電流が流れるのを防止している。

[0011] また、特許文献３には、燃料噴射装置用の電磁弁に流れる突入電流を抑制するようにした負荷制御装置が記載されている。図６は、この従来技術を示す回路図である。

図６において、処理回路１８０は、比較器１７４の負入力端子の入力電圧を、電磁弁１９０を起動する際の一定期間Ｗ１では高くし、その後の保持期間Ｗ２では低くするように分圧制御用スイッチ１７３を制御し、かつ、上記

の期間Ｗ１～ Ｗ２にわたり駆動用スイッチング素子１７７をオンさせるように動作する。なお、１７１は直流電源、１７２は分圧抵抗である。

[0012] 負荷電流検出回路１７８の出力は比較器１７４の正入力端子に入力され、比較器１７４は、正負入力端子の電圧の大小関係に応じた指示信号を制御回路１７５に出力する。制御回路１７５は、期間Ｗ１ではデューティ制御用スイッチング素子１７６をオンさせ、期間Ｗ２では上記スイッチング素子１７６をオフさせるように動作し、期間Ｗ１における負荷電流Ｉ$_{L}$を第１の電流値以下の第３の電流値に制限し、保持期間Ｗ２における負荷電流Ｉ$_{L}$を、第３の電流値以下であって電磁弁１９０の駆動に必要最小限である第２の電流値に制限する。

## 先行技術文献

## 特許文献

[0013] 特許文献1：特開２００９－２６１１６６号公報（段落［００４３］～［００４９］、図４等）

特許文献2：特開２００８－７９４４８号公報（段落［００１８］～［００２９］、図１，図２等）

特許文献3：特開２００５－１５８７０号公報（段落［００５５］～［００６７］、図１～図５等）

## 発明の概要

## 発明が解決しようとする課題

[0014] 特許文献２に記載された従来技術によれば、起動時の突入電流を抑制することは可能であるが、起動回路１４０と制御回路１６３との何れか一方を動作させる原理上、回路の利用率が低く、回路構成やコストの面で無駄があった。

また、特許文献３に記載された従来技術では、短い期間ではあっても起動時の期間Ｗ１に大きな電流（第３の電流値）が流れるので、突入電流の抑制という観点からは未だ改良の余地がある。

[0015] そこで、本発明の解決課題は、比較的簡単な回路構成により、定格入力電圧範囲に関わらず電源投入時の突入電流を確実に抑制可能とした突入電流防止回路を提供することにある。

## 課題を解決するための手段

[0016] 上記課題を解決するため、請求項１に係る発明は、電源入力端子に電源電圧が印加された時に流入する突入電流を高抵抗素子により抑制し、負荷への出力電圧がバイパス閾値を超えた時に、前記高抵抗素子と並列に接続された低抵抗のバイパス素子を動作させて前記高抵抗素子の電流をバイパスするようにした突入電流防止回路において、前記出力電圧に応じて、前記電源電圧を分圧してその分圧点の電圧値により前記バイパス閾値を設定するバイパス閾値設定手段を備えたものである。

[0017] 請求項２に係る発明は、請求項１に記載した突入電流防止回路において、前記バイパス閾値設定手段は、前記負荷への出力電圧相当値と第１の閾値とを比較する第１の比較器と、前記出力電圧相当値が前記第１の閾値を超えた時の前記第１の比較器の出力信号により動作する第１のスイッチング素子と、前記第１のスイッチング素子の動作により前記電源電圧を分圧する分圧回路と、を備え、前記出力電圧相当値が前記第１の閾値を超えた時に、前記分圧回路における分圧点の電圧値を前記バイパス閾値として設定するものである。

[0018] 請求項３に係る発明は、請求項２に記載した突入電流防止回路において、前記出力電圧相当値を、前記負荷への出力電圧を分圧した電圧とし、かつ、前記第１の閾値を、定格入電圧範囲の下限値に応じて設定したものである。

[0019] 請求項４に係る発明は、請求項２または３に記載した突入電流防止回路において、前記第１の閾値を、前記負荷の最低動作電圧より低く設定したものである。

[0020] 請求項５に係る発明は、請求項２～４の何れか１項に記載した突入電流防止回路において、前記負荷への出力電圧と前記バイパス閾値とを比較する第２の比較器と、前記出力電圧が前記バイパス閾値を超えた時の前記第２の比

較器の出力信号により動作する第２のスイッチング素子と、を備え、前記第２のスイッチング素子の動作により、前記バイパス素子が前記高抵抗素子の電流をバイパスするものである。

[0021] 請求項６に係る発明は、請求項５に記載した突入電流防止回路において、前記第２の比較器がヒステリシス特性を有するものである。

[0022] 請求項７に係る発明は、請求項５または６に記載した突入電流防止回路において、前記第２の比較器の出力信号を遅延させて前記第２のスイッチング素子に加えるための遅延回路を備えたものである。

[0023] 請求項８に係る発明は、前記高抵抗素子と前記バイパス素子との並列回路を前記電源入力端子と前記負荷との間にｎ（ｎは複数）個直列に接続し、前記バイパス閾値設定手段は、前記電源電圧を分圧する分圧回路におけるｎ個の分圧点の電圧をｎ個の前記バイパス閾値として設定し、前記出力電圧が各バイパス閾値を超えた時にｎ個の前記バイパス素子をそれぞれ動作させて当該バイパス素子に並列接続された前記高抵抗素子の電流をバイパスするものである。

[0024] 請求項９に係る発明は、請求項５～７の何れか１項に記載した突入電流防止回路において、前記高抵抗素子と前記バイパス素子との並列回路を前記電源入力端子と前記負荷との間にｎ（ｎは複数）個直列に接続し、前記バイパス閾値設定手段は、前記分圧回路におけるｎ個の分圧点の電圧をｎ個の前記バイパス閾値としてｎ個の前記第２の比較器にそれぞれ与え、前記出力電圧が各バイパス閾値を超えた時にｎ個の前記第２のスイッチング素子をそれぞれオンさせることにより、ｎ個の前記バイパス素子をそれぞれオンさせて当該バイパス素子に並列接続された前記高抵抗素子の電流をバイパスするものである。

## 発明の効果

[0025] 本発明によれば、電流制限抵抗等の高抵抗素子をバイパスするタイミングトリガとなるバイパス閾値（コンデンサの充電閾値）を電源電圧の分圧比に応じて設定するため、定格入力電圧範囲に関係なく、高抵抗素子をバイパス

した際に生じる過大な突入電流を防止することができる。

## 図面の簡単な説明

[0026] [図1]本発明の第１実施形態を示す回路図である。

[図2]本発明の第２実施形態を示す回路図である。

[図3]本発明の第３実施形態の主要部を示す回路図である。

[図4]特許文献１に記載された従来技術を示す回路図である。

[図5]特許文献２に記載された従来技術を示す回路図である。

[図6]特許文献３に記載された従来技術を示す回路図である。

## 発明を実施するための形態

[0027] 以下、図に沿って本発明の実施形態を説明する。

図１は、本発明の第１実施形態に係る突入電流防止回路を示している。図１において、直流電源（図示せず）が接続される電源入力端子１には、高抵抗素子としての電流制限抵抗２を介してコンデンサ３及び負荷４の各一端が接続されている。

[0028] 電流制限抵抗２の両端は、パイパス素子（バイパス用スイッチング素子）としてのＰ型ＭＯＳＦＥＴ（以下、単にＦＥＴという）５のソースＳ、ドレインＤにそれぞれ接続されている。また、電源入力端子１と接地点との間には、プルアップ用の抵抗６と第２のスイッチング素子７とが直列に接続され、両者の接続点はＦＥＴ５のゲートＧに接続される。

スイッチング素子７はバイポーラトランジスタであり、そのベースには第２の比較器８の出力信号が加えられている。この比較器８の正入力端子にはコンデンサ３の一端の電圧（出力電圧）$V_c$が加わっている。

[0029] 一方、電源入力端子１と接地点との間には、入力電圧（電源電圧）$V_i$を分圧する抵抗９，１０と、バイポーラトランジスタである第１のスイッチング素子１１とが直列に接続されており、抵抗９，１０同士の接続点すなわち分圧点は、前記比較器８の負入力端子に接続されている。

また、コンデンサ３の一端と接地点との間には、出力電圧$V_c$を分圧する抵抗１２，１３が直列に接続されており、抵抗１２，１３同士が接続された分

圧点の電圧（出力電圧相当値）$V_{cd}$は第１の比較器１４の正入力端子に加えられている。なお、比較器１４の負入力端子には、基準電源１５の基準電圧$V_{ref}$が加えられており、この比較器１４の出力信号が前記スイッチング素子１１のベースに与えられている。

[0030] ここで、符号１６は、分圧用の抵抗９，１０，１２，１３、スイッチング素子１１、比較器１４及び基準電源１５からなるバイパス閾値設定手段であり、その主要部は、例えば汎用的なＩＣによって構成可能である。

このバイパス閾値設定手段１６は、出力電圧$V_c$の大きさに応じて、抵抗９，１０からなる分圧回路により入力電圧$V_i$を分圧してその分圧点の電圧$V_{id}$を第２の比較器８の閾値（バイパス閾値）として設定するように動作するものである。

[0031] 第２の比較器８は、コンデンサ３の電圧$V_c$と、入力電圧$V_i$を抵抗９，１０により分圧して設定された電圧、すなわちバイパス閾値$V_{id}$との比較結果に応じて「Ｈｉｇｈ」レベルまたは「Ｌｏｗ」レベルの信号を出力し、第２のスイッチング素子７をオン・オフ制御する。抵抗９，１０による分圧比は任意であるが、ＦＥＴ５によるバイパス動作時の突入電流を抑制する観点から、抵抗９，１０の抵抗値をそれぞれ$R_9$，$R_{10}$とすると、$R_{10}/(R_9+R_{10})$が概ね０．９（９０［％］）程度になるように各抵抗値を選定すれば良い。

[0032] 第１の比較器１４は、コンデンサ３の電圧$V_c$を抵抗１２，１３により分圧した出力電圧相当値$V_{cd}$と基準電圧$V_{ref}$との比較結果に応じて「Ｈｉｇｈ」レベルまたは「Ｌｏｗ」レベルの信号を出力し、第１のスイッチング素子１１をオン・オフ制御する。ここで、抵抗１２，１３の分圧比は、負荷４の最低動作電圧よりも低い電圧$V_c$に相当する電圧$V_{cd}$が発生した時にスイッチング素子１１をオンできることが望ましい。

[0033] 次に、この第１実施形態の動作を説明する。

いま、回路に電源が投入されて入力電圧$V_i$が印加されたとすると、電流制限抵抗２により大きさが制限された電流によってコンデンサ３の充電が開始

される。充電に伴って徐々に上昇していく出力電圧$V_c$の分圧値$V_{cd}$と基準電圧$V_{ref}$との大小関係が、$V_{cd} \leqq V_{ref}$である期間は、比較器１４の出力信号は「Ｌｏｗ」レベルであり、スイッチング素子１１はオフ状態を保つ。

このため、比較器８の負入力端子の電圧$V_{id}$は抵抗９によって電源入力端子１にプルアップされることになり、入力電圧$V_i$と等しくなる。

[0034] この時、明らかに$V_i > V_c$であるから$V_{id} > V_c$となり、比較器８の出力信号は「Ｌｏｗ」レベルになってスイッチング素子７はオフ状態となる。これにより、ＦＥＴ５のゲートＧは抵抗６によって入力電圧$V_i$にプルアップされるため、ＦＥＴ５のゲートＧ－ソースＳ間電圧は概ね０［Ｖ］となり、ＦＥＴ５はオフ状態を維持する。

[0035] 次に、コンデンサ３の充電が進行し、$V_{cd} > V_{ref}$となるほどに電圧$V_c$が上昇した時の動作を説明する。

この場合、$V_{cd} > V_{ref}$であるから、比較器１４の出力信号は「Ｈｉｇｈ」レベルとなり、スイッチング素子１１がオン状態になる。ここで、理解を容易にするため、スイッチング素子１１のコレクター－エミッタ間電圧を０［Ｖ］と仮定すると、抵抗９，１０による分圧点の電圧$V_{id}$は各抵抗９，１０の抵抗値$R_9$，$R_{10}$によって決まる値となる。例えば、抵抗値$R_9$を１［ｋΩ］、抵抗値$R_{10}$を９［ｋΩ］とした場合には、入力電圧$V_i$の９０［％］の電圧$V_{id}$がバイパス閾値として比較器８の負入力端子に印加される。

[0036] 比較器８の正入力端子には電圧$V_c$が入力されているので、上記の抵抗値$R_9$，$R_{10}$の例によれば、$V_c$が$V_i$の９０［％］以下である時には、比較器８の出力信号は「Ｌｏｗ」レベルとなり、スイッチング素子７はオフ状態を維持する。$V_c$が$V_i$の９０［％］を超えると比較器８の出力信号が反転して「Ｈｉｇｈ」レベルとなり、スイッチング素子７がオン状態になる。理解を容易にするため、スイッチング素子７のコレクター－エミッタ間電圧を０［Ｖ］と仮定すると、この時、ＦＥＴ５のゲートＧ－ソースＳ間電圧は$-V_i$［Ｖ］となるのでＦＥＴ５がオン状態になり、電流制限抵抗２をバイパスする。

[0037] 例えば、定格入力電圧範囲が５～１５［Ｖ］、抵抗値$R_9$，$R_{10}$の比を１：

９とした場合、入力電圧Ｖ$_i$が５［Ｖ］の場合に電圧Ｖ$_c$はその９０［％］（４．５［Ｖ］）以上であるから、ＦＥＴ５がオフ状態からオン状態になる時の電流制限抵抗２の両端電位差（ＦＥＴ５のドレインＤ－ソースＳ間電圧）は最大でも０．５［Ｖ］であり、また、入力電圧Ｖ$_i$が１５［Ｖ］の場合に電圧Ｖ$_c$はその９０［％］（１３．５［Ｖ］）以上であるから、同様に電流制限抵抗２の両端電位差は最大でも１．５［Ｖ］である。従って、ＦＥＴ５がオン状態に移行した際に、過大な電流がコンデンサ３や負荷４に流入することはない。

[0038] 以上のように、第１実施形態によれば、ＦＥＴ５によるバイパス動作のトリガ条件となるバイパス閾値を、入力電圧Ｖ$_i$の分圧比に応じて設定できるため、定格入力電圧範囲が広い場合でもバイパス動作時の突入電流を確実に抑制することができる。

[0039] 次いで、本発明の第２実施形態を図２に基づいて説明する。

図２において、図１と同一の機能を有する部分については同一の参照符号を付して説明を省略し、以下では図１と異なる部分を中心に説明する。

[0040] 図２において、ＦＥＴ５のドレインＤと比較器８の正入力端子との間には抵抗１９が接続され、比較器８の正入力端子と出力端子との間には抵抗２０が接続されている。これらの抵抗１９，２０はその抵抗値の比によって比較器８にヒステリシス特性を付与するためのものである。

また、比較器８の出力端子とスイッチング素子７との間には、遅延回路を構成するダイオード２１、コンデンサ２２及び抵抗２３，２４が接続されている。

更に、ＦＥＴ５のソースＳ－ゲートＧ間にはツェナーダイオード１８が図示の極性で接続され、そのアノードとスイッチング素子７のコレクタとの間には抵抗１７が接続されている。

なお、ツェナーダイオード１８は、入力過電圧に対してＦＥＴ５を保護する用途を持ち、抵抗１７は入力過電圧が生じた際にツェナーダイオード１８を保護する用途を持つものであり、何れも本発明の主要な回路動作を左右す

るものではない。

[0041] 前述した第１実施形態では、ＦＥＴ５がオン状態になるためのバイパス閾値を抵抗９，１０の抵抗値$R_9$，$R_{10}$に基づく分圧比のみによって定めているが、この第２実施形態では、抵抗１９，２０の抵抗値をそれぞれ$R_{19}$，$R_{20}$とした場合、$\{R_{10}/(R_9+R_{10})\}\times\{(R_{19}+R_{20})/R_{20}\}$が概ね０．９（９０［％］）程度になるように抵抗１９，２０を選定する。

これらの抵抗１９，２０によって比較器８にヒステリシス特性を付与することにより、例えば、電圧$V_c$がノイズなどの影響でバイパス閾値を跨ぐように繰り返し変動したとしても、ＦＥＴ５がオン・オフ動作を繰り返す恐れは少なくなる。

更に、比較器８の出力側に、ダイオード２１、コンデンサ２２及び抵抗２３，２４からなる遅延回路を設ければ、例えば、$V_{cd}<V_{ref}$となるほどに電圧$V_c$が単調低下した場合に、負荷４が動作を続けている期間はＦＥＴ５のオン状態を維持して電力を供給することが可能になる。

[0042] 次に、この第２実施形態の動作を説明する。

電源が投入された直後において、電圧$V_c$の分圧値$V_{cd}$と基準電圧$V_{ref}$との大小関係が$V_{cd}\leqq V_{ref}$である期間の動作は第１実施形態と同様であり、比較器１４の出力信号は「Ｌｏｗ」レベルであってスイッチング素子１１はオフ状態である。また、比較器８の負入力端子の電圧$V_{id}$は入力電圧$V_i$に等しくなる。

[0043] この時、$V_i>V_c$であるから$V_{id}>V_c$となり、比較器８の出力信号は「Ｌｏｗ」レベルになってスイッチング素子７はオフ状態となる。よって、ＦＥＴ５のゲートＧは抵抗１７，６によって入力電圧$V_i$にプルアップされ、ＦＥＴ５のゲートＧ－ソースＳ間電圧は概ね０［Ｖ］になるため、ＦＥＴ５はオフ状態を維持する。

[0044] 次に、コンデンサ３の充電が進行し、$V_{cd}>V_{ref}$となるほどに電圧$V_c$が上昇した時の動作を説明する。

$V_{cd}>V_{ref}$になると比較器１４の出力信号は「Ｈｉｇｈ」レベルとなり、

スイッチング素子１１はオン状態となる。第１実施形態と同様にスイッチング素子１１のコレクターエミッタ間電圧を０［Ｖ］と仮定すると、分圧点の電圧$Ｖ_{id}$は抵抗９，１０による分圧値となり、例えば抵抗９の抵抗値$Ｒ_{9}$を１［ｋΩ］、抵抗１０の抵抗値$Ｒ_{10}$を３［ｋΩ］とすると、入力電圧$Ｖ_{i}$の７５［％］の電圧が比較器８の負入力端子にバイパス閾値として印加される。この時、比較器８の出力信号が「Ｌｏｗ」レベルから「Ｈｉｇｈ」レベルに反転するようであれば、ヒステリシス用の抵抗１９，２０の抵抗値$Ｒ_{19}$，$Ｒ_{20}$と併せて抵抗値$Ｒ_{9}$，$Ｒ_{10}$を選定し直せば良い。

[0045] コンデンサ３の電圧$Ｖ_{c}$が更に上昇し、上述した入力電圧$Ｖ_{i}$の７５［％］の電圧と抵抗１９，２０により設定されるヒステリシス電圧とを加えた電圧を超えた時には、比較器８の出力信号が「Ｌｏｗ」レベルから「Ｈｉｇｈ」レベルに反転する。

[0046] 例えば、抵抗値$Ｒ_{19}$を８［ｋΩ］、抵抗値$Ｒ_{20}$を４［ｋΩ］とした場合には、$\{Ｒ_{10}／（Ｒ_{9}＋Ｒ_{10}）\}×\{（Ｒ_{19}＋Ｒ_{20}）／Ｒ_{20}\}$が０．９（９０［％］）になるので、コンデンサ３の電圧$Ｖ_{c}$が入力電圧$Ｖ_{i}$の９０［％］以上にまで上昇すると、比較器８の出力信号が「Ｌｏｗ」レベルから「Ｈｉｇｈ」レベルに反転し、ダイオード２１を介して遅延回路内のコンデンサ２２が充電され、スイッチング素子７がオン状態になる。なお、図２にはコンデンサ２２の充電抵抗が図示されていないが、ＦＥＴ５のオン動作を更に遅延させたい場合には、ダイオード２１のカソードとコンデンサ２２の一端との間に所定の抵抗値を持つ充電抵抗を挿入すれば良い。

[0047] 比較器８の出力信号が「Ｈｉｇｈ」レベルになってスイッチング素子７がオン状態に移行した場合、前記同様にスイッチング素子７のコレクターエミッタ間電圧を０［Ｖ］と仮定すると、ＦＥＴ５のゲートＧ－ソースＳ間電圧は$－Ｖ_{i}$［Ｖ］になるので、ＦＥＴ５がオン状態になり、電流制限抵抗２をバイパスする。

以上のように、この第２実施形態においても、ＦＥＴ５によるバイパス動作のトリガ条件となるバイパス閾値を、入力電圧$Ｖ_{i}$の分圧比に応じて設定で

きるため、定格入力電圧範囲が広い場合でもバイパス動作時の突入電流を確実に抑制することができる。

[0048] 次いで、この第２実施形態において、入力電圧$V_i$が低下した場合の動作を説明する。

入力電圧$V_i$が定格入力範囲内にある時は、ＦＥＴ５がオン状態になるため、$V_i$，$V_c$の大小関係は、厳密には$V_i > V_c$であるが概ね等しい値となる。この時、スイッチング素子１１もまたオン状態にあるため、その範囲内では、分圧点の電圧$V_{id}$は常にコンデンサ３の電圧$V_c$より低くなる。

従って、入力電圧$V_i$が定格入力範囲内において低下したとしても、比較器８の出力信号が「Ｈｉｇｈ」レベルから「Ｌｏｗ」レベルに反転することはないので、ＦＥＴ５はオン状態を維持する。

[0049] ここで、図２における負荷４に相当する部品には、一般に最低動作電圧が規定されているが、実際には、この最低動作電圧より若干低い電圧が印加された場合でも負荷４は動作可能である。このため、電圧$V_c$が負荷４の定格入力範囲を下回るほどに低下した場合、負荷４が動作しているにも関わらずＦＥＴ５がオフ状態になってしまう事態を回避する必要があり、図２における遅延回路は上記の点を考慮して設けられている。

[0050] すなわち、電圧$V_c$が、例えば$V_{cd} < V_{ref}$となるほどまで低下した時には、比較器１４の出力信号が「Ｈｉｇｈ」レベルから「Ｌｏｗ」レベルに反転する。この時、スイッチング素子１１がオフ状態になることで、比較器８の負入力端子には抵抗９を介して入力電圧$V_i$が印加される。

前述したごとく、$V_i > V_c$であるから、比較器８の出力信号は「Ｈｉｇｈ」レベルから「Ｌｏｗ」レベルに反転するが、遅延回路内のコンデンサ２２及び抵抗２３，２４の値を適宜、設定すれば所望の遅延時間だけＦＥＴ５のオン状態を保持することができ、負荷４の駆動状態を維持することができる。

[0051] 次に、図３は本発明の第３実施形態の主要部を示す回路図である。

この第３実施形態は、定格入力電圧範囲が非常に広い場合を想定したもの

であり、第１，第２実施形態における第２の比較器８、第２のスイッチング素子７、電流制限抵抗２及びＦＥＴ５を複数段設け、コンデンサ３の電圧$V_c$の大きさに応じてＦＥＴ５を順次オンさせることにより、バイパス動作時の突入電流を抑制するものである。

[0052] 図３において、電源入力端子１とコンデンサ３の一端との間には、ｎ（ｎは複数）個の電流制限抵抗$2_1$～$2_n$が直列に接続され、各抵抗$2_1$～$2_n$には$FET5_1$～$5_n$がそれぞれ並列に接続されている。

コンデンサ３側の$FET5_1$のドレインＤは、電流制限抵抗$2_1$～$2_n$に対応して設けられたｎ個の第２の比較器$8_1$～$8_n$の正入力端子にそれぞれ接続され、比較器$8_1$～$8_n$の負入力端子は、電源入力端子１と接地点との間に接続された分圧用の抵抗$9_1$～$9_n$と抵抗１０との直列回路における抵抗相互間の分圧点にそれぞれ接続されている。

[0053] また、第２の比較器$8_1$～$8_n$の出力端子は、ｎ個の第２のスイッチング素子$7_1$～$7_n$のベースにそれぞれ接続され、これらのスイッチング素子$7_1$～$7_n$のコレクタは抵抗$6_1$～$6_n$を介して$FET5_n$のソースＳに接続されている。また、スイッチング素子$7_1$～$7_n$のエミッタは全て接地されている。

なお、バイパス閾値設定手段１６Ａの構成は、分圧用の抵抗$9_1$～$9_n$の直列回路を除けば第１，第２実施形態と同一であるため、ここでは説明を省略する。

[0054] この第３実施形態では、電源投入後にコンデンサ３の電圧$V_c$が徐々に上昇していくにつれて（入力電圧$V_i$と電圧$V_c$との差が小さくなるにつれて）、$FET5_1$～$5_n$は、$5_n \rightarrow 5_{n-1} \rightarrow \cdots\cdots \rightarrow 5_2 \rightarrow 5_1$という順にオン状態となる。

例えば、抵抗$9_1$～$9_n$の直列回路の合成抵抗値と抵抗１０の抵抗値との比を９：１とした場合、入力電圧$V_i$が５［Ｖ］の時に抵抗$9_n$，１０同士の接続点の電圧$V_{id1}$は０．５［Ｖ］であり、この電圧$V_{idn}$が比較器$8_n$の負入力端子にバイパス閾値として加わる。このため、コンデンサ３の電圧$V_c$が０．５［Ｖ］を超えた時点で比較器$8_n$の出力信号が「Ｈｉｇｈ」レベルになり

、スイッチング素子７$_n$がオン状態になってＦＥＴ５$_n$もオン状態になる。この時点で、ＦＥＴ５$_n$のソースＳ－ドレインＤ間の電圧は僅かな値である。

[0055] また、抵抗９$_1$～９$_n$，１０による分圧点の電圧は$V_{idn}$→$V_{idn-1}$→……→$V_{id2}$→$V_{id1}$という順で高くなっていくので、コンデンサ３の電圧$V_c$が上昇するにつれて比較器は８$_n$→８$_{n-1}$→……→８$_2$→８$_1$という順で出力信号が「Ｈｉｇｈ」レベルになり、ＦＥＴも５$_n$→５$_{n-1}$→……→５$_2$→５$_1$という順でオン状態になる。

すなわち、コンデンサ３の電圧$V_c$の上昇と共に電流制限抵抗が２$_n$→２$_{n-1}$→……→２$_2$→２$_1$という順でバイパスされていき、電圧$V_c$が抵抗９$_1$，９$_2$による分圧点の電圧$V_{id1}$を超えた時点で、全ての電流制限抵抗２$_1$～２$_n$がバイパスされる。

従って、分圧用の抵抗９$_1$，～９$_n$，１０の値を適切に選定すれば、全ての電流制限抵抗がバイパスされた場合の電流制限抵抗２$_1$～２$_n$の直列回路の両端電位差を小さくすることができ、過大な突入電流がコンデンサ３や負荷４に流入することはない。

[0056] 入力電圧$V_i$が極めて大きい場合には、その大きさに応じて分圧点の電圧$V_{id1}$～$V_{idn}$もそれぞれ大きくなるが、入力電圧$V_i$が小さい場合と同様の動作により、電流制限抵抗２$_1$～２$_n$の直列回路の両端電位差は小さい値になるため、バイパス動作によりＦＥＴ５$_1$～５$_n$を介して流れる電流を低減して突入電流の発生を防止することができる。

[0057] なお、この第３実施形態においても、第２実施形態と同様に、第２の比較器８$_1$～８$_n$にヒステリシス特性を持たせても良いし、第２の比較器８$_1$～８$_n$と第２のスイッチング素子７$_1$～７$_n$との間に遅延回路を挿入しても良い。

## 産業上の利用可能性

[0058] 本発明は、電源からの定格入力電圧範囲が広く、負荷に所定の大きさの直流電圧を供給する用途を持つ各種の直流電源装置として利用することができる。

## 符号の説明

[0059] １：電源入力端子

２，２$_1$～２$_n$：電流制限抵抗

３：コンデンサ

４：負荷

５，５$_1$～５$_n$：ＦＥＴ

７，７$_1$～７$_n$，１１：スイッチング素子

６，６$_1$～６$_n$，９，９$_1$～９$_n$，１０，１２，１３，１７，１９，２０，２３，２４：抵抗

８，８$_1$～８$_n$，１４：比較器

１５：基準電源

１６，１６Ａ：バイパス閾値設定手段

１８：ツェナーダイオード

２１：ダイオード

２２：コンデンサ

Ｇ：ゲート

Ｓ：ソース

Ｄ：ドレイン

# 請求の範囲

[請求項1] 電源入力端子に電源電圧が印加された時に流入する突入電流を高抵抗素子により抑制し、負荷への出力電圧がバイパス閾値を超えた時に、前記高抵抗素子と並列に接続された低抵抗のバイパス素子を動作させて前記高抵抗素子の電流をバイパスするようにした突入電流防止回路において、

前記出力電圧に応じて、前記電源電圧を分圧してその分圧点の電圧値により前記バイパス閾値を設定するバイパス閾値設定手段を備えたことを特徴とする突入電流防止回路。

[請求項2] 請求項１に記載した突入電流防止回路において、

前記バイパス閾値設定手段は、

前記負荷への出力電圧相当値と第１の閾値とを比較する第１の比較器と、

前記出力電圧相当値が前記第１の閾値を超えた時の前記第１の比較器の出力信号により動作する第１のスイッチング素子と、

前記第１のスイッチング素子の動作により前記電源電圧を分圧する分圧回路と、を備え、

前記出力電圧相当値が前記第１の閾値を超えた時に、前記分圧回路における分圧点の電圧値を前記バイパス閾値として設定することを特徴とする突入電流防止回路。

[請求項3] 請求項２に記載した突入電流防止回路において、

前記出力電圧相当値を、前記負荷への出力電圧を分圧した電圧とし、かつ、前記第１の閾値を、定格入電圧範囲の下限値に応じて設定したことを特徴とする突入電流防止回路。

[請求項4] 請求項２または３に記載した突入電流防止回路において、

前記第１の閾値を、前記負荷の最低動作電圧より低く設定したことを特徴とする突入電流防止回路。

[請求項5] 請求項２～４の何れか１項に記載した突入電流防止回路において、

前記負荷への出力電圧と前記バイパス閾値とを比較する第２の比較器と、

前記出力電圧が前記バイパス閾値を超えた時の前記第２の比較器の出力信号により動作する第２のスイッチング素子と、を備え、

前記第２のスイッチング素子の動作により、前記バイパス素子が前記高抵抗素子の電流をバイパスすることを特徴とする突入電流防止回路。

[請求項6] 請求項５に記載した突入電流防止回路において、

前記第２の比較器がヒステリシス特性を有することを特徴とする突入電流防止回路。

[請求項7] 請求項５または６に記載した突入電流防止回路において、

前記第２の比較器の出力信号を遅延させて前記第２のスイッチング素子に加えるための遅延回路を備えたことを特徴とする突入電流防止回路。

[請求項8] 請求項１～４の何れか１項に記載した突入電流防止回路において、

前記高抵抗素子と前記バイパス素子との並列回路を前記電源入力端子と前記負荷との間にｎ（ｎは複数）個直列に接続し、

前記バイパス閾値設定手段は、前記電源電圧を分圧する分圧回路におけるｎ個の分圧点の電圧をｎ個の前記バイパス閾値として設定し、

前記出力電圧が各バイパス閾値を超えた時にｎ個の前記バイパス素子をそれぞれ動作させて当該バイパス素子に並列接続された前記高抵抗素子の電流をバイパスすることを特徴とする突入電流防止回路。

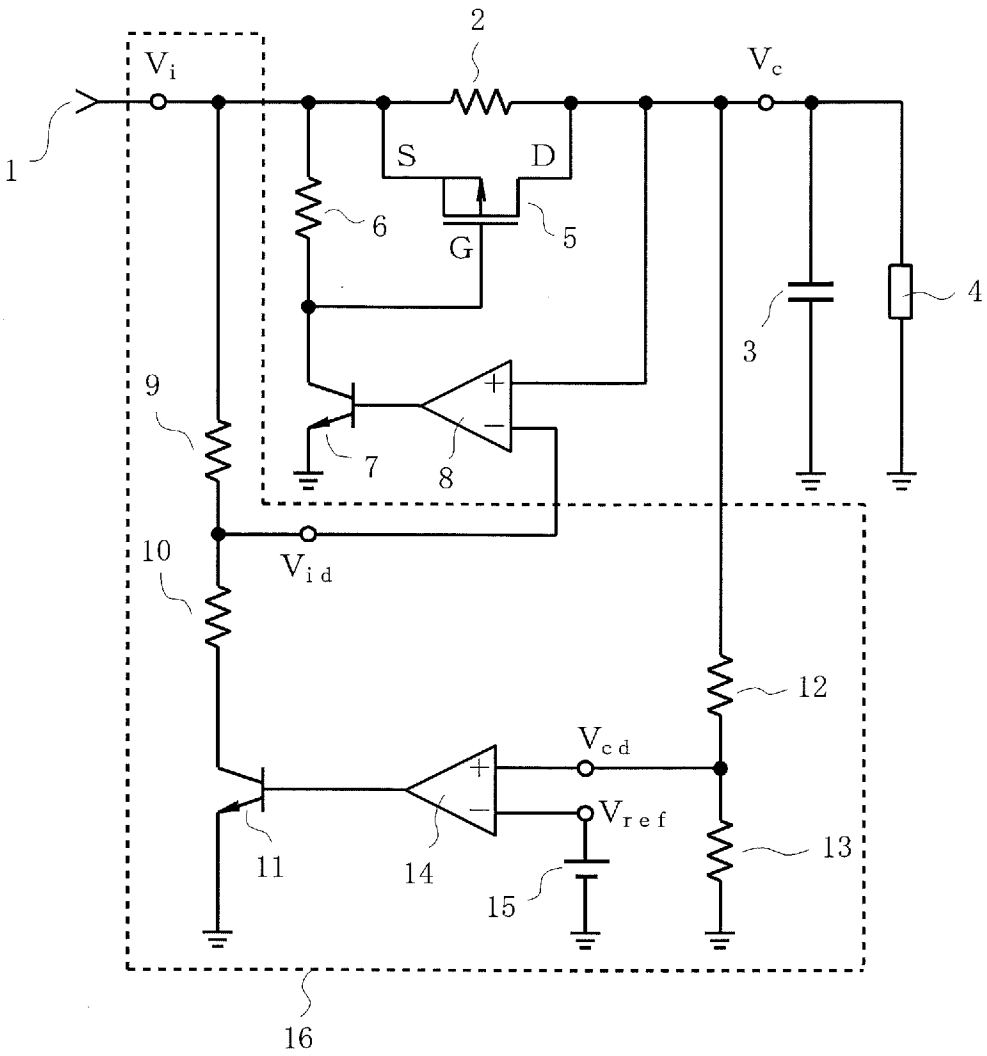
[請求項9] 請求項５～７の何れか１項に記載した突入電流防止回路において、

前記高抵抗素子と前記バイパス素子との並列回路を前記電源入力端子と前記負荷との間にｎ（ｎは複数）個直列に接続し、

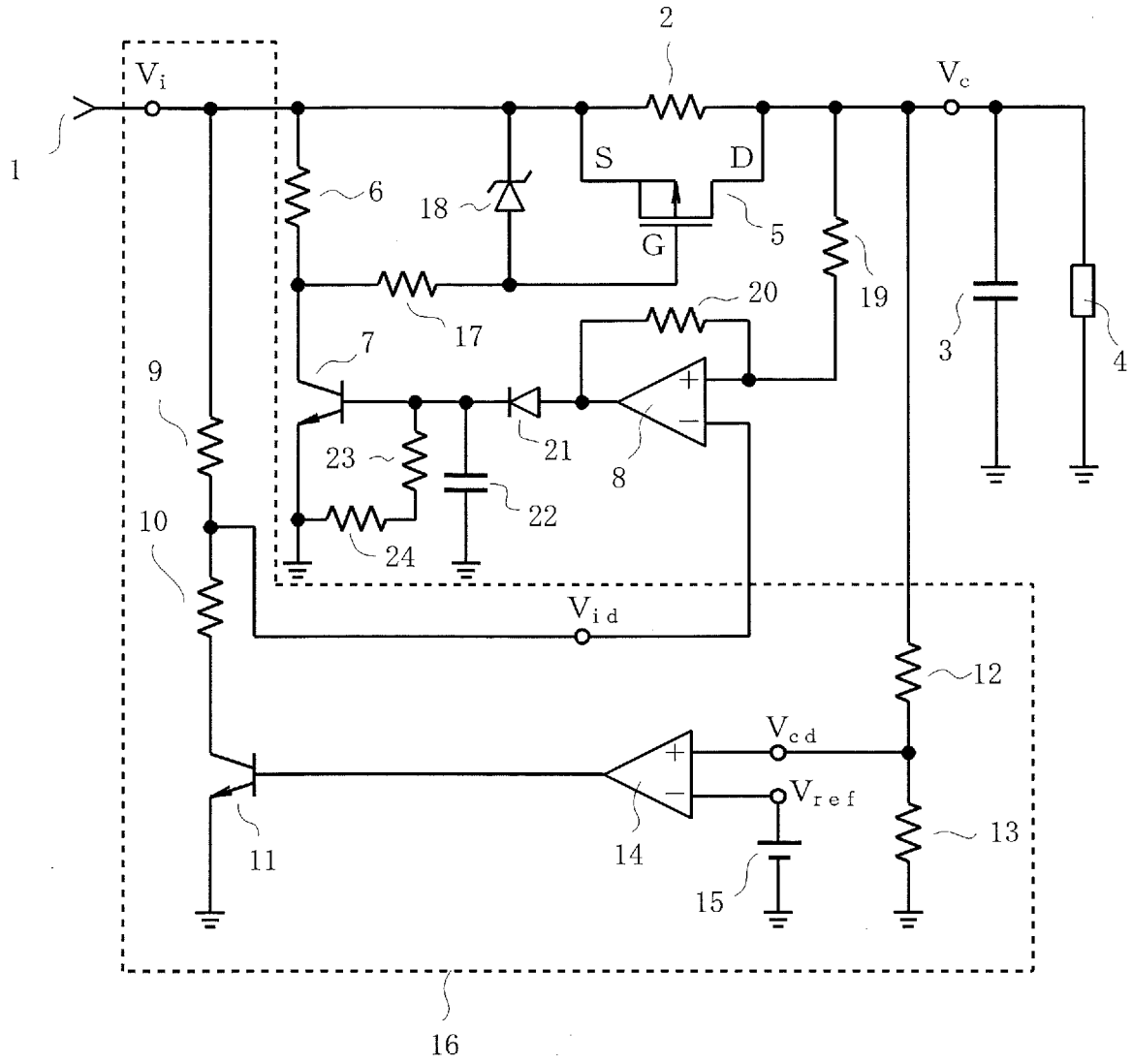
前記バイパス閾値設定手段は、前記分圧回路におけるｎ個の分圧点の電圧をｎ個の前記バイパス閾値としてｎ個の前記第２の比較器にそれぞれ与え、

前記出力電圧が各バイパス閾値を超えた時にｎ個の前記第２のスイッチング素子をそれぞれオンさせることにより、ｎ個の前記バイパス素子をそれぞれオンさせて当該バイパス素子に並列接続された前記高抵抗素子の電流をバイパスすることを特徴とする突入電流防止回路。

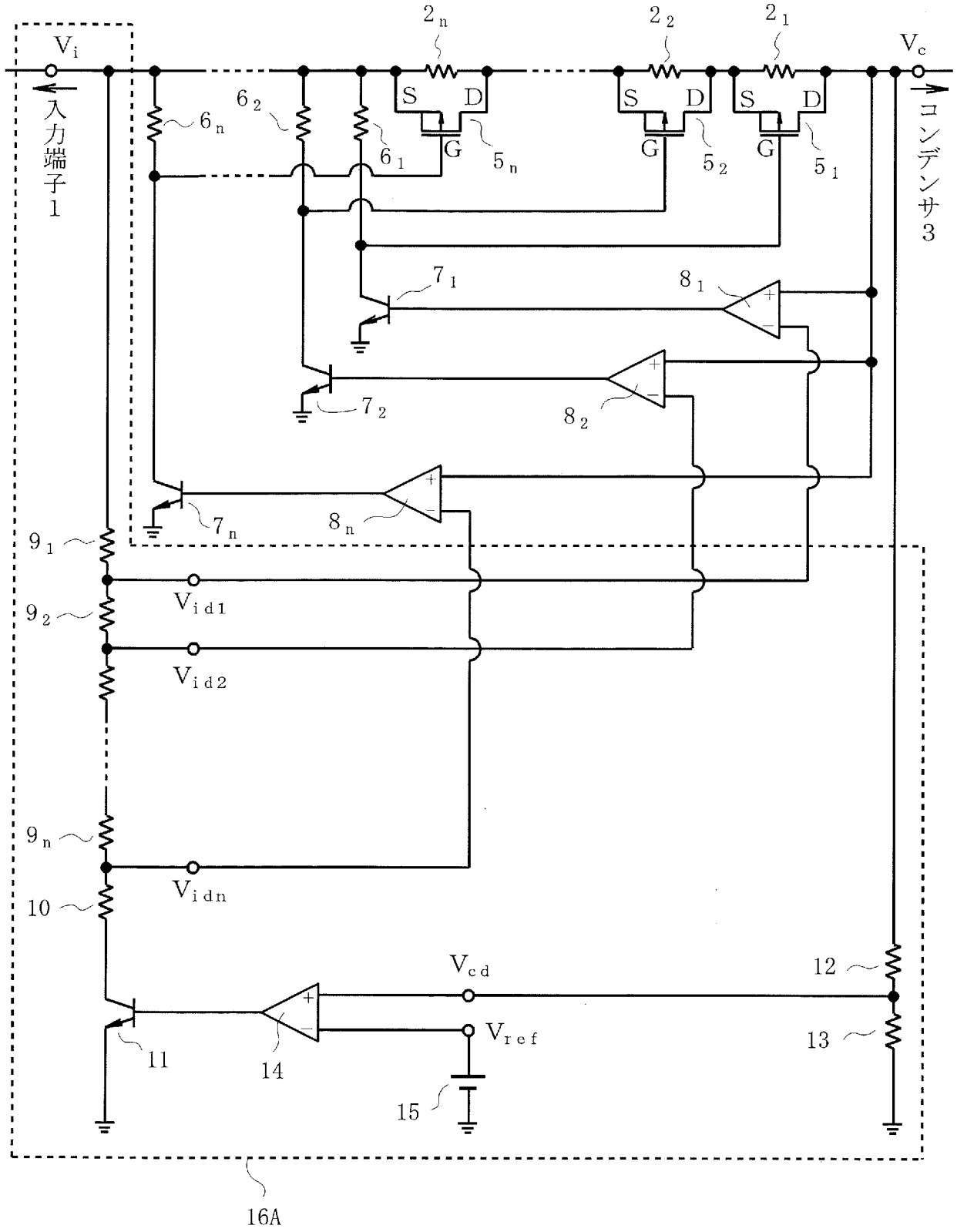
[図1]



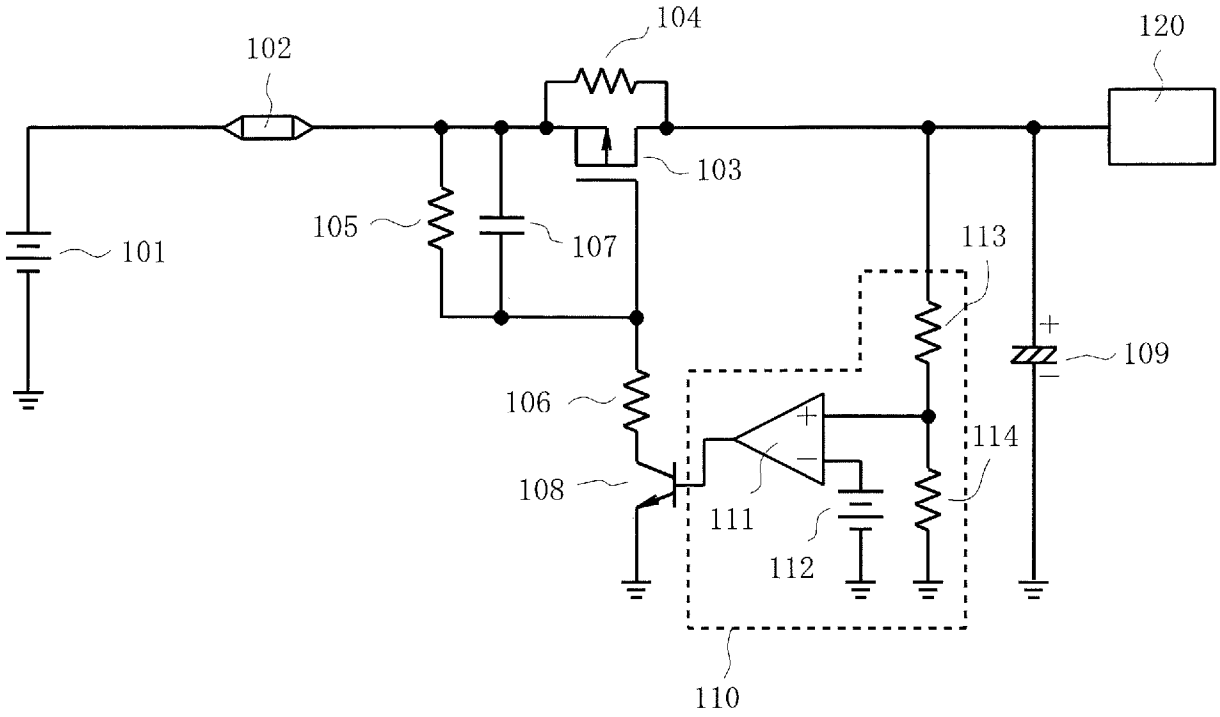
[図2]


2
Vi
Vc
1
S
D
G
6
18
5
19
20
17
7
9
3
4
21
23
8
22
10
24
Vid
12
Vcd
Vref
11
14
13
15
16

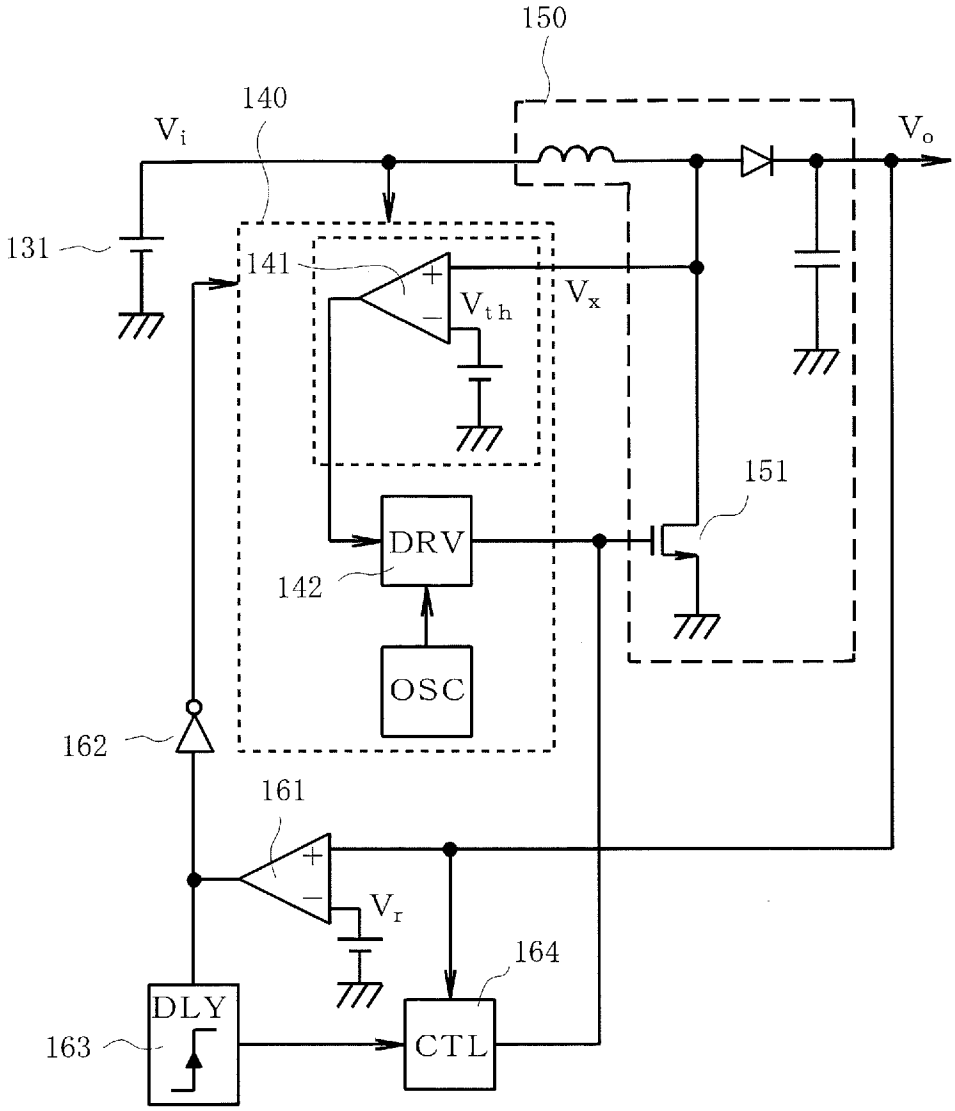
[図3]


Vi
入力端子1
2n
22
21
Vc
コンデンサ3
6n
62
61
S
D
G
5n
52
51
71
81
72
82
7n
8n
91
92
9n
Vid1
Vid2
Vidn
10
Vcd
12
Vref
13
11
14
15
16A

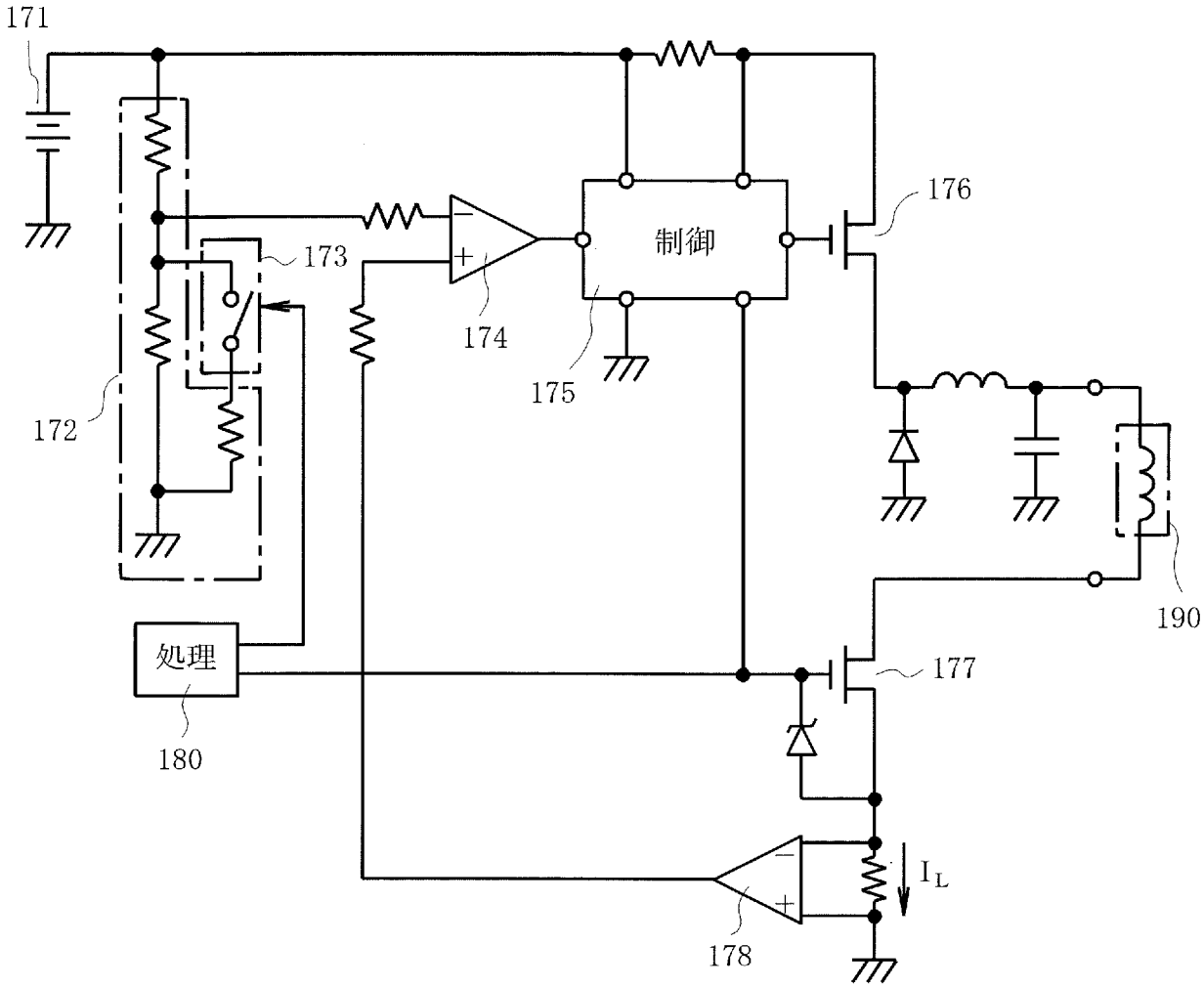
[図4]



[図5]


150
140
Vi
Vo
131
141
+
−
Vth
Vx
151
DRV
142
OSC
162
161
+
−
Vr
164
DLY
163
CTL

[図6]



# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/083689

A. CLASSIFICATION OF SUBJECT MATTER
*H02H9/02*(2006.01)i, *H02J1/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02H9/02, H02J1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2005-198357 A (Canon Finetech Inc.), 21 July 2005 (21.07.2005), paragraphs [0009] to [0015]; fig. 1 to 2 (Family: none) | 1-9 |
| A | JP 2003-189464 A (Sanken Electric Co., Ltd.), 04 July 2003 (04.07.2003), paragraphs [0010] to [0019]; fig. 1 to 2 (Family: none) | 1-9 |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 08 February 2016 (08.02.16) | 16 February 2016 (16.02.16) |

| Name and mailing address of the ISA/ | Authorized officer |
|---|---|
| Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Telephone No. |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０８３６８９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02H9/02(2006.01)i, H02J1/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02H9/02, H02J1/00

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１６年 |
| 日本国実用新案登録公報 | １９９６－２０１６年 |
| 日本国登録実用新案公報 | １９９４－２０１６年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Ａ | JP 2005-198357 A（キヤノンファインテック株式会社）2005.07.21, 段落［０００９］－［００１５］, 第１－２図（ファミリーなし） | １ － ９ |
| Ａ | JP 2003-189464 A（サンケン電気株式会社）2003.07.04, 段落［００１０］－［００１９］, 第１－２図（ファミリーなし） | １ － ９ |

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ０８．０２．２０１６ | １６．０２．２０１６ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｔ　３４５８
赤穂　嘉紀
電話番号　０３－３５８１－１１０１　内線　３５６８