

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96101259

※申請日期：96.1.12 ※IPC 分類：H01L31/0248

一、發明名稱：(中文/英文)

光致電壓元件及其製造方法 / PHOTOVOLTAIC
DEVICE AND METHOD OF MANUFACTURING
THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

李進源/ JIN-YUAN LEE

代表人：(中文/英文)

住居所或營業所地址：(中文/英文)

新竹市仙水里安和街 4 巷 11 號/ NO. 11, LANE 4, AN-HO ST.,
HSINCHU, TAIWAN, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 1 人)

姓 名：(中文/英文)

李進源/ JIN-YUAN LEE

國 籍：(中文/英文) 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體元件，且特別是有關於一種光致電壓元件（photovoltaic device）。

【先前技術】

傳統的石化燃料發電或是核能發電等方式，不但會產生環境污染，且會消耗地球上有限的資源。為了避免環境污染以及地球溫室效應所造成的自然災害，人類對於再生性能源的需求日益升高。太陽能具有安全、清潔、無污染等優點，且其供應源源不絕而不虞匱乏。因此，利用太陽能已成為現今最受重視的絕佳能源替代方案。

請參考圖 1，其繪示習知之一種光致電壓元件的側視示意圖。習知光致電壓元件 100 包括一 P 型摻雜矽層（P-type doped silicon layer）110 與一 N 型摻雜矽層（doped silicon layer）120。P 型摻雜矽層 110 為具有硼摻質的單晶矽層（boron-doped single crystal silicon layer）或具有硼摻質的複晶矽層（boron-doped poly crystal silicon layer）。N 型摻雜矽層 120 配置於 P 型摻雜矽層 110 上，且 N 型摻雜矽層 120 的厚度 t_1 小於 P 型摻雜矽層 110 的厚度 t_2 ，以利於外界光線由 N 型摻雜矽層 120 射入光致電壓元件 100 內部。N 型摻雜矽層 120 為具有磷摻質（phosphor-doped）或砷摻質（arsenic-doped）的單晶矽層，或者具有磷摻質或砷摻質的複晶矽層。

光致電壓元件 100 的 P 型摻雜矽層 110 與 N 型摻雜矽層 120 的接合面為一 PN 接面 (PN junction)。在 PN 接面的鄰近區域，N 型摻雜矽層 120 內的部分電子會擴散 (diffuse) 至 P 型摻雜矽層 110 中，以填補其內的部分電洞。因此，在 PN 接面的鄰近區域，這些電子與這些電洞的結合會形成一個具有內建電場 (built-in electric field) f_1 的空乏區 (depletion region) 10。當太陽光照射到習知光致電壓元件 100 的空乏區 10 時，空乏區 10 因吸收太陽光而產生多個電子—電洞對 (electron-hole pair)。這些電子—電洞對受到空乏區 10 的內建電場 f_1 的作用而在光致電壓元件 100 內移動，具體而言，這些電子是逆著內建電場 f_1 的方向移動，而這些電洞是順著內建電場 f_1 的方向移動。據此，光致電壓元件 100 即為業界通稱的太陽能電池 (solar cell)。

由上述可知，光致電壓元件 100 的光電效率 (photoelectric efficiency) 高低與空乏區 10 的範圍大小相關，唯有太陽光入射至空乏區 10 而產生的電子—電洞對才可在內建電場 f_1 的作用下產生電流。然而，光致電壓元件 100 在 PN 接面的鄰近區域所形成的空乏區 10 的範圍較小，進而降低光致電壓元件 100 的光電效率。

【發明內容】

本發明是提供一種光致電壓元件，其光電效率較高。

本發明是提供一種光致電壓元件的製造方法，其所製

造之光致電壓元件的光電效率較高，且可與現有製程整合。

本發明提出一第一種光致電壓元件，其包括一第一型摻雜單晶矽基板（doped single crystal silicon substrate）、一第二型摻雜矽層、一本質矽層（intrinsic silicon layer）、一第一金屬電極層（metal electrode layer）與一第二金屬電極層。本質矽層配置於第一型摻雜單晶矽基板與第二型摻雜矽層之間。第一金屬電極層配置於第一型摻雜單晶矽基板之遠離本質矽層的一第一表面上。第二金屬電極層配置於第二型摻雜矽層之遠離本質矽層的一第二表面上。

在本發明一實施例中，上述第一型摻雜單晶矽基板可為 P 型摻雜單晶矽基板，且第二型摻雜矽層可為 N 型摻雜矽層。

在本發明一實施例中，上述第一型摻雜單晶矽基板亦可為 N 型摻雜單晶矽基板，且第二型摻雜矽層為 P 型摻雜矽層。

在本發明一實施例中，上述第一型摻雜單晶矽基板的厚度可介於 100 至 800 微米之間。

在本發明一實施例中，上述第二型摻雜矽層的厚度可介於 0.03 至 1 微米之間。

在本發明一實施例中，上述本質矽層的厚度可介於 0.5 至 100 微米之間。

在本發明一實施例中，上述第一型摻雜單晶矽基板的較佳厚度可介於 200 至 500 微米之間。

在本發明一實施例中，上述第二型摻雜矽層的較佳厚

度可介於 0.05 至 0.5 微米之間。

在本發明一實施例中，上述本質矽層的較佳厚度可介於 1 至 50 微米之間。

在本發明一實施例中，上述光致電壓元件更包括一抗反射層（anti-reflective layer），其配置於第二型摻雜矽層之第二表面上，且暴露出第二金屬電極層。

在本發明一實施例中，上述第二型摻雜矽層的材質包括單晶矽（single crystal silicon）或複晶矽（poly crystal silicon）。

在本發明一實施例中，上述本質矽層的材質包括單晶矽或複晶矽。

在本發明一實施例中，上述第一型摻雜單晶矽基板之與本質矽層相接觸的一第三表面的最大高度粗糙度（maximum height roughness）可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述第一型摻雜單晶矽基板之第一表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述本質矽層之與第二型摻雜矽層相接觸的一第四表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述第二型摻雜矽層之第二表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述本質矽層中如含有少量的

P 型摻質與 N 型摻質，則其 P 型摻質與 N 型摻質的濃度差須小於十億分之一（1 ppb）。

本發明提出一第二種光致電壓元件，其包括一第一型摻雜矽層、一第二型摻雜矽層、一單晶本質矽基板（single crystal intrinsic silicon substrate）、一第一金屬電極層與一第二金屬電極層。單晶本質矽基板配置於第一型摻雜矽層與第二型摻雜矽層之間。第一金屬電極層配置於第一型摻雜矽層之遠離單晶本質矽基板的一第一表面上。第二金屬電極層配置於第二型摻雜矽層之遠離單晶本質矽基板的一第二表面上。

在本發明一實施例中，上述第一型摻雜矽層可為 P 型摻雜矽層，且第二型摻雜矽層可為 N 型摻雜矽層。

在本發明一實施例中，上述第一型摻雜矽層亦可為 N 型摻雜矽層，且第二型摻雜矽層為 P 型摻雜矽層。

在本發明一實施例中，上述第一型摻雜矽層的厚度可介於 0.3 至 10 微米之間。

在本發明一實施例中，上述第二型摻雜矽層的厚度可介於 0.03 至 1 微米之間。

在本發明一實施例中，上述單晶本質矽基板的厚度可介於 50 至 800 微米之間。

在本發明一實施例中，上述第一型摻雜矽層的較佳厚度可介於 0.3 至 1 微米之間。

在本發明一實施例中，上述第二型摻雜矽層的較佳厚度可介於 0.05 至 0.3 微米之間。

在本發明一實施例中，上述單晶本質矽基板較佳的厚度可介於 50 至 400 微米之間。

在本發明一實施例中，上述光致電壓元件更包括一反射層，其配置於第二型摻雜矽層之第二表面上，且暴露出第二金屬電極層。

在本發明一實施例中，上述第一型摻雜矽層的材質包括單晶矽或複晶矽。

在本發明一實施例中，上述第二型摻雜矽層的材質包括單晶矽或複晶矽。

在本發明一實施例中，上述單晶本質矽基板之與第一型摻雜矽層相接觸的一第三表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述第一型摻雜矽層之第一表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述單晶本質矽基板之與第二型摻雜矽層相接觸的一第四表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述第二型摻雜矽層之第二表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述單晶本質矽基板中如含有少量的 P 型摻質與 N 型摻質，則其 P 型摻質與 N 型摻質的濃度差須小於十億分之一（1 ppb）。

本發明提出一第三種光致電壓元件，其包括一摻雜矽層、一第一電極層、一本質矽層與一第二電極層。第一電

極層具有一功函數 (work function) 大於 5.5 電子伏特之導電層。本質矽層配置於摻雜矽層與第一電極層之間，其中導電層直接接觸本質矽層。第二金屬電極層配置於摻雜矽層之遠離本質矽層的第一表面上。

在本發明一實施例中，上述摻雜矽層可為 N 型摻雜矽層。

在本發明一實施例中，上述導電層之材料包括鉑。

在本發明一實施例中，上述摻雜矽層的厚度可介於 0.05 至 1 微米之間。

在本發明一實施例中，上述第一電極層的厚度可介於 0.03 至 10 微米之間。

在本發明一實施例中，上述本質矽層的厚度可介於 0.5 至 500 微米之間。

在本發明一實施例中，上述摻雜矽層的較佳厚度可介於 0.1 至 0.5 微米之間。

在本發明一實施例中，上述導電層的厚度可介於 0.05 至 0.3 微米之間。

在本發明一實施例中，上述本質矽層較佳的厚度可介於 1 至 50 微米之間。

在本發明一實施例中，上述光致電壓元件更包括一抗反射層，其配置於摻雜矽層之遠離本質矽層的第一表面上，且暴露出第二電極層。

在本發明一實施例中，上述摻雜矽層的材質包括單晶矽或複晶矽。

在本發明一實施例中，上述本質矽層之與摻雜矽層相接觸的一第二表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述摻雜矽層之第一表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述本質矽層之與第一電極層相接觸的一第三表面的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述本質矽層如含有少量的 P 型摻質與 N 型摻質，則其 P 型摻質與 N 型摻質的濃度差小於十億分之一（1 ppb）。

本發明提出一第一種光致電壓元件的製造方法，其包括下列步驟。首先，形成一本質矽層於一第一型摻雜單晶矽基板上。接著，形成一第二型摻雜矽層於本質矽層上。接著，形成一第一金屬電極層於第一型摻雜單晶矽基板之遠離本質矽層的一第一表面上。之後，形成一第二金屬電極層於第二型摻雜矽層之遠離本質矽層的一第二表面上。

在本發明一實施例中，上述形成本質矽層的方式包括化學氣相沈積（chemical vapor deposition）。此外，上述形成本質矽層的方式可在含有 SiH_4 或 SiH_2Cl_2 的環境中進行。

在本發明一實施例中，上述形成本質矽層的方式包括非晶矽化學氣相沈積及晶粒成長。此外，非晶矽化學氣相沈積可在含有 SiH_4 或 SiH_2Cl_2 的環境中進行。另外，晶粒

成長可在攝氏 590 度與 650 度之間進行。

在本發明一實施例中，上述形成本質矽層的方式包括磊晶矽化學氣相沈積。

在本發明一實施例中，上述形成第二型摻雜矽層的方式包括離子佈植 (ion implantation)、擴散 (diffusion) 或化學氣相沈積。

在本發明一實施例中，上述第一型摻雜單晶矽基板可為 P 型摻雜單晶矽基板，且第二型摻雜矽層可為 N 型摻雜矽層。

在本發明一實施例中，上述第一型摻雜單晶矽基板亦可為 N 型摻雜單晶矽基板，且第二型摻雜矽層為 P 型摻雜矽層。

在本發明一實施例中，上述光致電壓元件的製造方法更包括形成一抗反射層於第二型摻雜矽層之第二表面上，其中抗反射層暴露出第二金屬電極層。

在本發明一實施例中，上述光致電壓元件的製造方法在形成本質矽層之前，更包括蝕刻第一型摻雜單晶矽基板之相對於第一表面的一第三表面，使得第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述光致電壓元件的製造方法在形成第二型摻雜矽層之前，更包括蝕刻本質矽層之暴露於外的一第四表面，使得第四表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

本發明提出一第二種光致電壓元件的製造方法，其包

括下列步驟。首先，形成一第一型摻雜矽層於一單晶本質矽基板之一第一表面上。接著，形成一第二型摻雜矽層於單晶本質矽基板之相對於第一表面的一第二表面上。接著，形成一第一金屬電極層於第一型摻雜矽層之遠離單晶本質矽基板的一第三表面上。之後，形成一第二金屬電極層於第二型摻雜矽層之遠離單晶本質矽基板的一第四表面上。

在本發明一實施例中，上述形成第一型摻雜矽層的方式包括離子佈植、擴散或化學氣相沈積。

在本發明一實施例中，上述形成第二型摻雜矽層的方式包括離子佈植、擴散或化學氣相沈積。

在本發明一實施例中，上述光致電壓元件的製造方法在形成第一型摻雜矽層之前，更包括蝕刻第一表面，使得第一表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述光致電壓元件的製造方法在形成第二型摻雜矽層之前，更包括蝕刻第二表面，使得第二表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述光致電壓元件的製造方法在形成第一型摻雜矽層之後，更包括蝕刻第三表面，使得第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述光致電壓元件的製造方法在形成第二型摻雜矽層之後，更包括蝕刻第四表面，使得第四表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述第一型摻雜矽層可為 P 型

摻雜矽層，且第二型摻雜矽層可為 N 型摻雜矽層。

在本發明一實施例中，上述第一型摻雜矽層亦可為 N 型摻雜矽層，且第二型摻雜矽層為 P 型摻雜矽層。

在本發明一實施例中，上述光致電壓元件的製造方法更包括形成一抗反射層於第二型摻雜矽層之第四表面上，其中抗反射層暴露出第二金屬電極層。

本發明提出一第三種光致電壓元件的製造方法，其包括下列步驟。首先，形成一摻雜矽層於一本質矽層的一第一表面上。接著，形成一第一電極層於本質矽層之相對於第一表面的一第二表面上，其中第一電極層具有一功函數大於 5.5 電子伏特之導電層，且導電層直接接觸本質矽層。接著，形成一第二電極層於摻雜矽層之遠離本質矽層的一第三表面上。

在本發明一實施例中，上述形成摻雜矽層的方式包括離子佈植、擴散或化學氣相沈積。

在本發明一實施例中，上述形成第一電極層的方法包括濺鍍、電鍍或無電電鍍，且導電層之材料包括鉑。

在本發明一實施例中，上述光致電壓元件的製造方法在形成摻雜矽層之前，更包括蝕刻第一表面，使得第一表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述光致電壓元件的製造方法在形成第一金屬電極層之前，更包括蝕刻第二表面，使得第二表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述光致電壓元件的製造方法

在形成摻雜矽層之後，更包括蝕刻第三表面，使得第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

在本發明一實施例中，上述摻雜矽層可為 N 型摻雜矽層。

在本發明一實施例中，上述光致電壓元件的製造方法更包括形成一抗反射層於摻雜矽層之第三表面上，其中抗反射層暴露出第二電極層。

本發明提出一第三種光致電壓元件的另一製造方法，其包括下列步驟。首先，形成一第一電極層於一基板上，其中第一電極層具有一功函數大於 5.5 電子伏特之導電層，且導電層遠離基板。接著，形成一本質矽層於第一電極層上，其中該導電層直接接觸該本質矽層。接著，形成一摻雜矽層於該本質矽層上。之後，形成一第二電極層於摻雜矽層上。

在本發明一實施例中，上述形成摻雜矽層的方式包括離子佈植、擴散或化學氣相沈積。

在本發明一實施例中，上述形成第一電極層的方法包括濺鍍、電鍍或無電電鍍。

在本發明一實施例中，上述摻雜矽層可為 N 型摻雜矽層。

在本發明一實施例中，上述光致電壓元件的製造方法更包括形成一抗反射層於摻雜矽層上，其中抗反射層暴露出第二電極層。

在本發明一實施例中，上述基板之材料可為有機高分

子、玻璃、陶瓷或矽。

基於上述，由於本發明之光致電壓元件具有本質矽區域，所以本發明之光致電壓元件內部的空乏區的範圍較大。因此，本發明之光致電壓元件的光電效率較高。此外，本發明之光致電壓元件的製造方法可製造出上述光電效率較高的光致電壓元件。另外，由於本發明之光致電壓元件的製造方法可利用現有製程設備而進行，因此本發明之光致電壓元件的製造方法可與現有製程結合。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

第一實施例

請參考圖 2，其繪示本發明第一實施例之一種光致電壓元件的側視示意圖。第一實施例之光致電壓元件 200 包括一第一型摻雜單晶矽基板 210、一第二型摻雜矽層 220、一本質矽層 230、一第一金屬電極層 240 與一第二金屬電極層 250。本質矽層 230 配置於第一型摻雜單晶矽基板 210 與第二型摻雜矽層 220 之間。第一金屬電極層 240 配置於第一型摻雜單晶矽基板 210 之遠離本質矽層 230 的一表面 212 上。第二金屬電極層 250 配置於第二型摻雜矽層 220 之遠離本質矽層 230 的一表面 222 上。

由於本質矽層 230 配置於第一型摻雜單晶矽基板 210

與第二型摻雜矽層 220 之間，所以光致電壓元件 200 內部的空乏區 20 的範圍較大。當外界太陽光入射至空乏區 20 時，空乏區 20 內所產生的電子—電洞對的數目較多，因而可在空乏區 20 之內建電場 f_2 的作用下產生較大的電流。因此，光致電壓元件 200 的光電效率較高。

在第一實施例中，第一型摻雜單晶矽基板 210 可為 P 型摻雜單晶矽基板（例如具有硼摻質的單晶矽基板），且第二型摻雜矽層 220 可為 N 型摻雜矽層（例如具有磷摻質或砷摻質的單晶矽層，或者具有磷摻質或砷摻質的複晶矽層），因而內建電場 f_2 的方向是由第二型摻雜矽層 220（N 型摻雜矽層）指向第一型摻雜單晶矽基板 210（P 型摻雜單晶矽基板）。此外，本質矽層 230 的材質包括單晶矽或複晶矽，本質矽層的摻質包括 P 型摻質與 N 型摻質，且 P 型摻質與 N 型摻質的濃度差小於 1 ppb；換言之，P 型摻質與 N 型摻質的濃度近乎相同。另外，在另一實施例中，第一型摻雜單晶矽基板 210 可為 N 型摻雜單晶矽基板，且第二型摻雜矽層 220 可為 P 型摻雜矽層。在此必須說明的是，第一型摻雜單晶矽基板 210 與第二型摻雜矽層 220 其矽之純度可介於 95% 至 99.9999% 之間。

值得注意的是，由於外界太陽光通常是由光致電壓元件 200 的上方射入，亦即在第一實施例中，外界太陽光必須穿過第二型摻雜矽層 220 而進入空乏區 20。因此，第二摻雜矽層 220 的厚度 t_4 較薄時可使得光致電壓元件 200 具有較佳的光電效率。換言之，第一實施例之第一型摻雜單

晶矽基板 210 的厚度 t_3 可大於第二型摻雜矽層 220 的厚度 t_4 ，且本質矽層 230 的厚度 t_5 可大於第二型摻雜矽層 220 的厚度 t_4 ，使得光致電壓元件 200 可獲得高光電效率且具有足夠的機械強度。

具體而言，第一型摻雜單晶矽基板 210 的厚度 t_3 可介於 100 至 800 微米之間，而第一型摻雜單晶矽基板 210 的厚度 t_3 較佳可介於 200 至 500 微米之間。第二型摻雜矽層 220 的厚度 t_4 可介於 0.03 至 1 微米之間，而第二型摻雜矽層 220 的厚度 t_4 較佳可介於 0.05 至 0.5 微米之間。本質矽層 230 的厚度 t_5 可介於 0.5 至 100 微米之間，而本質矽層 230 的厚度 t_5 較佳可介於 1 至 50 微米之間。

必須說明的是，第一實施例中，設計者為了使得入射之太陽光穿過第二型摻雜矽層 220 的機率增加，亦即入射之太陽光被第二型摻雜矽層 220 之遠離本質矽層 230 之表面 222 所反射的光反射率 (light reflectivity) 降低，所以表面 222 可為一粗糙面 (rough surface)，其最大高度粗糙度可介於 0.01 微米與 10 微米之間。本質矽層 230 之與第二型摻雜矽層 220 相接觸的一表面 232 亦可為一粗糙面，其最大高度粗糙度可介於 0.01 微米與 10 微米之間，使得表面 232 的光反射率降低以提升太陽光進入空乏區 20 的機率。此外，粗糙的表面 232 可增加第二摻雜矽層 220 與本質矽層 230 相接觸的面積，使得空乏區 20 的範圍增加。另外，在第一實施例中，為了使得空乏區 20 的範圍增加，第一型摻雜單晶矽基板 210 之與本質矽層 230 相接觸

的一表面 214 亦可為一粗糙面，其最大高度粗糙度可介於 0.01 微米與 10 微米之間。

第一實施例之光致電壓元件 200 更包括一抗反射層 260。抗反射層 260 配置於第二摻雜矽層 220 上，且暴露出第二金屬電極層 250。第一金屬電極層 240 與第二金屬電極層 250 用以外接一負載電路 (load circuit) (未繪示)，而抗反射層 260 的材質包括氮化矽 (silicon nitride)，其用以更為降低外界入射之太陽光被反射的光反射率。抗反射層 260 之厚度可介於 0.1 微米與 10 微米之間。

以下對於第一實施例之光致電壓元件 200 的製造方法作說明。圖 3A 至圖 3C 繪示本發明第一實施例之光致電壓元件的製造方法的流程示意圖。首先，請參考圖 3A，可藉由化學氣相沈積的方式形成本質矽層 230 於第一型摻雜單晶矽基板 210 之表面 214 上。在此必須說明的是，在形成本質矽層 230 之前，可藉由濕式蝕刻 (wet etching) 的方式蝕刻第一型摻雜單晶矽基板 210 的表面 214，亦即例如藉由具有溶質為氫氧化鉀或氫氧化鈉的蝕刻液 (etchant) 蝕刻表面 214，使得表面 214 為一粗糙面。

在形成本質矽層 230 的過程中，若本質矽層 230 的材質包括單晶矽，則本質矽層 230 可藉由兩種方式而形成於表面 214 上。其一為磊晶製程 (epitaxy process)，其環境溫度可介於攝氏 950 度與 1200 度之間，且直接磊晶成長製程的反應氣體可為 SiH_4 、 SiH_3Cl 、 SiH_2Cl_2 、或者 SiHCl_3 與 H_2 的混合氣體，或者 SiCl_4 與 H_2 的混合氣體。其二是非

晶矽沈積 (amorphous silicon deposition) 以及晶粒成長 (grain growth)。非晶矽可藉由化學氣相沈積 (例如電漿輔助化學氣相沉積或其他化學氣相沉積) 的方式, 在反應溫度介於攝氏 250 度與 580 度之間且反應氣體可為 SiH_4 、 SiH_3Cl 或 SiH_2Cl_2 的情形下進行沈積。接著, 非晶矽在環境溫度介於攝氏 590 度與 650 度之間進行晶粒成長。在完成上述例如為單晶的本質矽層 230 之後, 本質矽層 230 可被施以介於攝氏 900 到 1100 度之間的回火 (annealing) 製程以進一步降低晶體缺陷 (crystal defect), 此回火製程可在含氫之環境中進行。

若本質矽層 230 的材質包括複晶矽, 則本質矽層 230 亦可藉由兩種方式形成於表面 214 上: 其一, 藉由非晶矽沈積並且晶粒成長的方式; 其二, 藉由複晶矽沈積 (polycrystal silicon deposition) 的方式。在非晶矽沈積並且晶粒成長的過程中, 在環境溫度介於攝氏 250 度與 580 度之間且反應氣體可為 SiH_4 、 SiH_3Cl 或 SiH_2Cl_2 的情形下, 非晶矽可藉由化學氣相沈積 (例如是電漿輔助化學氣相沉積或其他化學氣相沉積) 的方式而沈積於表面 214 上, 接著非晶矽在環境溫度介於攝氏 700 度與 900 度之間進行晶粒成長。在複晶矽沈積的過程中, 在環境溫度介於攝氏 590 度與 650 度之間且反應氣體可為 SiH_4 、 SiH_3Cl 或 SiH_2Cl_2 的情形下, 複晶矽可藉由化學氣相沈積 (例如是電漿輔助化學氣相沉積或其他化學氣相沉積) 的方式而沈積於表面 214 上。

接著，在形成本質矽層 230 的步驟之後，可藉由濕式蝕刻的方式蝕刻本質矽層 230 的表面 232，亦即例如藉由具有溶質為氫氧化鉀或氫氧化鈉的蝕刻液蝕刻表面 232，使得表面 232 為一粗糙面。

之後，請參考圖 3B，可藉由離子佈植、擴散或化學氣相沈積的方式形成第二型摻雜矽層 220 於本質矽層 230 之表面 232 上。其中化學氣相沈積方式可製作低電阻（高摻雜度）且薄的第二型摻雜矽層 220，故為較佳之選擇。第二型摻雜矽層 220 如為 N 型摻雜矽層，其化學氣相沈積製程可在環境溫度介於攝氏 590 度與 650 度之間且反應氣體含 PH_3 及 SiH_4 或 SiH_3Cl 或 SiH_2Cl_2 的情形下進行。第二型摻雜矽層 220 如為 N 型摻雜矽層，其離子佈植製程則可藉由植入磷或砷於鄰近於本質矽層 230 之表面 232 處，再藉由回火（攝氏 800 度以上）而達成。第二型摻雜矽層 220 如為 N 型摻雜矽層，其擴散製作方式可有二種方式。其一是在含 POCl 氣體且環境溫度為攝氏 900 度以上的情形下進行擴散（即 POCl doping）；其二是塗上一含磷或砷之玻璃層（glass layer）於本質矽層 230 上，而後在環境溫度介於攝氏 900 至 1100 度之間的情形下進行固態擴散，之後再將玻璃層去除而達成。

第二型摻雜矽層 220 如為 P 型摻雜矽層，其化學氣相沈積製作方式可在環境溫度介於攝氏 590 度與 650 度之間且反應氣體含 BH_3 及 SiH_4 或 SiH_3Cl 或 SiH_2Cl_2 的情形下完成。第二型摻雜矽層 220 如為 P 型摻雜矽層，其離子佈植

製作方式則可藉由植入硼再回火（攝氏 800 度以上）而達成。第二型摻雜矽層 220 如為 P 型摻雜矽層，其擴散製作方式則是塗上一含硼之玻璃層於本質矽層 230 上，而後在環境溫度介於攝氏 900 至 1100 度之間的情形下進行固態擴散，之後再將玻璃層去除而達成。

然後，請參考圖 3C，依序於第一型摻雜單晶矽基板 210 之表面 212 與第二型摻雜矽層 220 之表面 222 上形成第一金屬電極層 240 與第二金屬電極層 250，其中第二金屬電極層 250 是經過圖案化製程而形成。然後，請再參考圖 3C，形成暴露出第二金屬電極層 250 的抗反射層 260 於第二型摻雜矽層 220 之表面 222 上。必須說明的是，第二金屬電極層 250 與抗反射層 260 的形成順序可有所不同。抗反射層 260 可先形成於第二型摻雜矽層 220 上，其中抗反射層 260 暴露出部分第二型摻雜矽層 220。接著，將第二金屬電極層 250 形成於被抗反射層 260 所暴露出之第二型摻雜矽層 220 上，但是上述並未以圖面繪示。

值得注意的是，光致電壓元件 200 亦可在第一金屬電極層 240 上依序形成第一摻雜單晶矽基板 210、本質矽層 230、第二型摻雜矽層 220 與第二金屬電極層 250，其中第二金屬電極層 250 經過圖案化製程而形成。然後，於第二型摻雜矽層 220 上形成暴露出第二金屬電極層 250 之抗反射層 260，但是上述亦並未以圖面繪示。

第二實施例

請參考圖 4，其繪示本發明第二實施例之一種光致電

壓元件的側視示意圖。第二實施例之光致電壓元件 300 在結構上與第一實施例之光致電壓元件 200 的主要不同之處在於，單晶本質矽基板 330 的厚度 t_5' 可較厚，其可介於 50 至 800 微米之間，而單晶本質矽基板 330 的厚度 t_5' 較佳可介於 50 至 400 微米之間。在第二實施例中，第一型摻雜矽層 310 的厚度 t_3' 可介於 0.3 至 10 微米之間，而第一摻雜矽層 310 的厚度 t_3' 較佳可介於 0.3 至 1 微米之間。第二型摻雜矽層 320 的厚度 t_4' 可介於 0.03 至 1 微米之間，而第二摻雜矽層 320 的厚度 t_4' 較佳可介於 0.05 至 0.3 微米之間。

值得注意的是，由於外界太陽光通常是由光致電壓元件 300 的上方射入，亦即在第二實施例中，外界太陽光必須穿過第二型摻雜矽層 320 而進入空乏區 30。因此，第二型摻雜矽層 320 的厚度 t_4' 可小於第一型摻雜矽層 310 的厚度 t_3' 。

以下對於第二實施例之光致電壓元件 300 的製造方法作說明。圖 5A 至圖 5C 繪示本發明第二實施例之光致電壓元件的製造方法的流程示意圖。首先，請參考圖 5A，可藉由離子佈植、擴散或化學氣相沈積的方式形成第一型摻雜矽層 310 於單晶本質矽基板 330 之一表面 332 上。在此必須說明的是，在形成第一型摻雜矽層 310 之前，可藉由濕式蝕刻的方式蝕刻單晶本質矽基板 330 的相對兩表面 332 與 334，亦即例如藉由具有溶質為氫氧化鉀或氫氧化鈉的蝕刻液蝕刻兩表面 332 與 334，使得兩表面 332 與 334 各

為一粗糙面，其最大高度粗糙度介於 0.01 微米與 10 微米之間。

接著，請參考圖 5B，可藉由離子佈植、擴散或化學氣相沈積的方式形成第二型摻雜矽層 320 於單晶本質矽基板 330 的表面 334 上。

然後，請參考圖 5C，依序於第一型摻雜矽層 310 之一表面 312 與第二型摻雜矽層 320 之一表面 322 上形成一第一金屬電極層 340 與一第二金屬電極層 350，其中第二金屬電極層 350 是經過圖案化製程而形成。然後，可形成一暴露出第二金屬電極層 350 的抗反射層 360 於第二型摻雜矽層 320 之表面 322 上。

第三實施例

請參考圖 6，其繪示本發明第三實施例之一種光致電壓元件的側視示意圖。第三實施例之光致電壓元件 400 包括一摻雜矽層 410、一第一電極層 420、一本質矽層 430 與一第二電極層 440。第一電極層 420 具有一功函數大於 5.5 電子伏特的導電層 422（例如為鉑）。本質矽層 430 配置於摻雜矽層 410（例如為 N 型摻雜矽層）與第一電極層 420 之間，且導體層 422 直接接觸本質矽層 430。第二電極層 440 配置於摻雜矽層 410 之遠離本質矽層 430 之一表面 412 上。

在本實施例中，由於功函數大於 5.5 電子伏特之導電層 422 是直接接觸本質矽層 430，故光致電壓元件 400 得以具有較強的內建電壓，因此光致電壓元件 400 的效能較

佳。

本實施例中，摻雜矽層 410 的厚度 t_6 可介於 0.05 至 1 微米之間，而摻雜矽層 410 的厚度 t_6 較佳可介於 0.05 至 0.5 微米之間。第一電極層 420 的厚度 t_7 可介於 0.03 至 10 微米之間，而第一電極層 420 之導電層 422 的厚度 t_7' 可介於 0.05 至 0.3 微米之間。本質矽層 430 的厚度 t_8 可介於 0.5 至 500 微米之間，而本質矽層 430 的厚度 t_8 較佳可介於 1 至 50 微米之間。此外，本質矽層 430 可以是單晶本質矽層或複晶本質矽層，亦可以具有其他半導體材質，例如砷化鎵 (GaAs)。

本實施例之光致電壓元件 400 更包括一抗反射層 450，其配置於摻雜矽層 410 之表面 412 上，且暴露出第二電極層 440。此外，在本實施例中，摻雜矽層 410 的材質包括單晶矽或複晶矽，或是其他半導體材質。本質矽層 430 如含有少量的 P 型摻質與 N 型摻質，則其 P 型摻質與 N 型摻質的濃度差小於 1 ppb。另外，本質矽層 430 之與摻雜矽層 410 相接觸的一表面 432 以及本質矽層 430 之與第一電極層 420 相接觸的一表面 434 的最大高度粗糙度分別可介於 0.01 微米與 10 微米之間。此外，摻雜矽層之表面 412 的最大高度粗糙度可介於 0.01 微米與 10 微米之間。

以下對於第三實施例之光致電壓元件 400 的製造方法作一說明。圖 7A 至圖 7C 繪示本發明第三實施例之光致電壓元件的製造方法的流程示意圖。首先，請參考圖 7A，可藉由離子佈植、擴散或化學氣相沈積的方式而形成摻雜矽

層 410 於本質矽層 430 的表面 432 上。在此必須說明的是，在形成摻雜矽層 410 之前，可藉由濕式蝕刻的方式蝕刻本質矽層 430 的相對兩表面 432 與 434，亦即例如藉由具有溶質為氫氧化鉀或氫氧化鈉的蝕刻液蝕刻兩表面 432 與 434，使得兩表面 432 與 434 各為一粗糙面，其最大高度粗糙度介於 0.01 微米與 10 微米之間。

接著，請參考圖 7B，可藉由濺鍍、電鍍或無電電鍍的方式形成第一電極層 420 於本質矽層 430 之表面 434 上。詳言之，形成第一電極層 420 的步驟可先形成功函數大於 5.5 電子伏特的導電層 422（例如為鉑），再形成一較厚之金屬層（未標示於圖中）以構成第一電極層 420。

接著，請參考圖 7C，藉由濺鍍、電鍍或無電電鍍的方式，形成第二電極層 440 於摻雜矽層 410 的表面 412 上，其中第二電極層 440 是經過圖案化製程而形成。接著，可形成抗反射層 450 於摻雜矽層 410 之表面 412 上，其中抗反射層 450 暴露出第二金屬電極層 440。

值得注意的是，第三實施例之光致電壓元件 400 的製造方法亦可藉由於一基板（其材質可為有機高分子、玻璃、陶瓷或矽，但未繪示）上依序形成第一電極層 420、本質矽層 430、摻雜矽層 410 與第二電極層 440 來完成，但是並未以圖面繪示。

必須說明的是，在上述實施例中，只要可在光致電壓元件內部形成一本質矽區域以提升光電效率，本發明之光致電壓元件的構件在製造方法中的形成先後順序可依設計

者的需求而作改變。據此，上述這些實施例是用以舉例而非限定本發明。

綜上所述，本發明之光致電壓元件及其製造方法至少具有以下優點：

一、由於本發明之光致電壓元件具有本質矽區域，所以本發明之光致電壓元件內部的空乏區的範圍較大。當外界太陽光入射至空乏區時，空乏區內所產生的電子—電洞對的數目較多，因而可在空乏區之內建電場的作用下產生較大的電流。因此，本發明之光致電壓元件的光電效率較高。

二、本發明之光致電壓元件的製造方法可製造出上述光電效率較高的光致電壓元件。

三、由於本發明之光致電壓元件的製造方法可利用現有製程設備而進行，因此本發明之光致電壓元件的製造方法可與現有製程結合。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示習知之一種光致電壓元件的側視示意圖。

圖 2 繪示本發明第一實施例之一種光致電壓元件的側

視示意圖。

圖 3A 至圖 3C 繪示本發明第一實施例之光致電壓元件的製造方法的流程示意圖。

圖 4 繪示本發明第二實施例之一種光致電壓元件的側視示意圖。

圖 5A 至圖 5C 繪示本發明第二實施例之光致電壓元件的製造方法的流程示意圖。

圖 6 繪示本發明第三實施例之一種光致電壓元件的側視示意圖。

圖 7A 至圖 7C 繪示本發明第三實施例之光致電壓元件的製造方法的流程示意圖。

【主要元件符號說明】

10、20、30：空乏區

100、200、300、400：光致電壓元件

110：P 型摻雜矽層

120：N 型摻雜矽層

210：摻雜單晶矽基板

220、310、320、410：摻雜矽層

212、214、222、232、312、322、332、334、412、

432、434：表面

230、430：本質矽層

240、250、340、350、420、440：電極層

260、360、450：抗反射層

330：單晶本質矽基板

422：導體層

f1、f2：內建電場

t1、t2、t3、t4、t5、t3'、t4'、t5'、t6、t7、t7'、t8：

厚度

五、中文發明摘要：

一種光致電壓元件，其包括一第一型摻雜單晶矽基板、一第二型摻雜矽層、一本質矽層、一第一金屬電極層與一第二金屬電極層。本質矽層配置於第一型摻雜單晶矽基板與第二型摻雜矽層之間。第一金屬電極層配置於第一型摻雜單晶矽基板之遠離本質矽層的一第一表面上。第二金屬電極層配置於第二型摻雜矽層之遠離本質矽層的一第二表面上。此外，一種上述光致電壓元件的製造方法也被提出。

六、英文發明摘要：

A photovoltaic device including a first-type doped single crystal silicon substrate, a second-type doped silicon layer, an intrinsic silicon layer, a first metal electrode layer, and a second metal electrode layer is provided. The intrinsic silicon layer is disposed between the first-type doped single crystal silicon substrate and the second-type doped silicon layer. The first metal electrode layer is disposed on a first surface of the first-type doped single crystal silicon substrate away from the intrinsic silicon layer. The second metal electrode layer is disposed on a second surface of the second-type doped silicon layer away from the intrinsic silicon layer. A method of manufacturing the photovoltaic device is also provided.

十、申請專利範圍：

1.一種光致電壓元件，包括：

一第一型摻雜單晶矽基板；

一第二型摻雜矽層；

一本質矽層，配置於該第一型摻雜單晶矽基板與該第二型摻雜矽層之間；

一第一金屬電極層，配置於該第一型摻雜單晶矽基板之遠離該本質矽層的一第一表面上；以及

一第二金屬電極層，配置於該第二型摻雜矽層之遠離該本質矽層的一第二表面上。

2.如申請專利範圍第1項所述之光致電壓元件，其中該第一型摻雜單晶矽基板為P型摻雜單晶矽基板，且該第二型摻雜矽層為N型摻雜矽層。

3.如申請專利範圍第1項所述之光致電壓元件，其中該第一型摻雜單晶矽基板為N型摻雜單晶矽基板，且該第二型摻雜矽層為P型摻雜矽層。

4.如申請專利範圍第1項所述之光致電壓元件，其中該第一型摻雜單晶矽基板的厚度介於100至800微米之間。

5.如申請專利範圍第1項所述之光致電壓元件，其中該第二型摻雜矽層的厚度介於0.03至1微米之間。

6.如申請專利範圍第1項所述之光致電壓元件，其中該本質矽層的厚度介於0.5至100微米之間。

7.如申請專利範圍第1項所述之光致電壓元件，其中該第一型摻雜單晶矽基板的厚度介於200至500微米之間。

8.如申請專利範圍第 1 項所述之光致電壓元件，其中該第二型摻雜矽層的厚度介於 0.05 至 0.5 微米之間。

9.如申請專利範圍第 1 項所述之光致電壓元件，其中該本質矽層的厚度介於 1 至 50 微米之間。

10.如申請專利範圍第 1 項所述之光致電壓元件，更包括：

一抗反射層，配置於該第二型摻雜矽層之該第二表面上，且暴露出該第二金屬電極層。

11.如申請專利範圍第 1 項所述之光致電壓元件，其中該第二型摻雜矽層的材質包括單晶矽或複晶矽。

12.如申請專利範圍第 1 項所述之光致電壓元件，其中該本質矽層的材質包括單晶矽或複晶矽。

13.如申請專利範圍第 1 項所述之光致電壓元件，其中該第一型摻雜單晶矽基板之與該本質矽層相接觸的一第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

14.如申請專利範圍第 1 項所述之光致電壓元件，其中該第一型摻雜單晶矽基板之該第一表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

15.如申請專利範圍第 1 項所述之光致電壓元件，其中該本質矽層之與該第二型摻雜矽層相接觸的一第四表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

16.如申請專利範圍第 1 項所述之光致電壓元件，其中該第二型摻雜矽層之該第二表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

17.如申請專利範圍第 1 項所述之光致電壓元件，其中該本質矽層的摻質包括 P 型摻質與 N 型摻質，且 P 型摻質與 N 型摻質的濃度差小於十億分之一（1 ppb）。

18.一種光致電壓元件，包括：

一第一型摻雜矽層；

一第二型摻雜矽層；

一單晶本質矽基板，配置於該第一型摻雜矽層與該第二型摻雜矽層之間；

一第一金屬電極層，配置於該第一型摻雜矽層之遠離該單晶本質矽基板的一第一表面上；以及

一第二金屬電極層，配置於該第二型摻雜矽層之遠離該單晶本質矽基板的一第二表面上。

19.如申請專利範圍第 18 項所述之光致電壓元件，其中該第一型摻雜矽層為 P 型摻雜矽層，且該第二型摻雜矽層為 N 型摻雜矽層。

20.如申請專利範圍第 18 項所述之光致電壓元件，其中該第一型摻雜矽層為 N 型摻雜矽層，且該第二型摻雜矽層為 P 型摻雜矽層。

21.如申請專利範圍第 18 項所述之光致電壓元件，其中該第一型摻雜矽層的厚度介於 0.3 至 10 微米之間。

22.如申請專利範圍第 18 項所述之光致電壓元件，其中該第二型摻雜矽層的厚度介於 0.03 至 1 微米之間。

23.如申請專利範圍第 18 項所述之光致電壓元件，其中該單晶本質矽基板的厚度介於 50 至 800 微米之間。

24.如申請專利範圍第 18 項所述之光致電壓元件，其中該第一型摻雜矽層的厚度介於 0.3 至 1 微米之間。

25.如申請專利範圍第 18 項所述之光致電壓元件，其中該第二型摻雜矽層的厚度介於 0.05 至 0.3 微米之間。

26.如申請專利範圍第 18 項所述之光致電壓元件，其中該單晶本質矽基板的厚度介於 50 至 400 微米之間。

27.如申請專利範圍第 18 項所述之光致電壓元件，更包括：

一抗反射層，配置於該第二型摻雜矽層之該第二表面上，且暴露出該第二金屬電極層。

28.如申請專利範圍第 18 項所述之光致電壓元件，其中該第一型摻雜矽層的材質包括單晶矽或複晶矽。

29.如申請專利範圍第 18 項所述之光致電壓元件，其中該第二型摻雜矽層的材質包括單晶矽或複晶矽。

30.如申請專利範圍第 18 項所述之光致電壓元件，其中該單晶本質矽基板之與該第一型摻雜矽層相接觸的一第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

31.如申請專利範圍第 18 項所述之光致電壓元件，其中該第一型摻雜矽層之該第一表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

32.如申請專利範圍第 18 項所述之光致電壓元件，其中該單晶本質矽基板之與該第二型摻雜矽層相接觸的一第四表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

33.如申請專利範圍第 18 項所述之光致電壓元件，其

中該第二型摻雜矽層之該第二表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

34.如申請專利範圍第 18 項所述之光致電壓元件，其中該單晶本質矽基板的摻質包括 P 型摻質與 N 型摻質，且 P 型摻質與 N 型摻質的濃度差小於十億分之一（1 ppb）。

35.一種光致電壓元件，包括：

- 一摻雜矽層；
- 一第一電極層，具有一功函數大於 5.5 電子伏特之導電層；
- 一本質矽層，配置於該摻雜矽層與該第一電極層之間，其中該導電層直接接觸該本質矽層；以及
- 一第二電極層，配置於該摻雜矽層之遠離該本質矽層的一第一表面上。

36.如申請專利範圍第 35 項所述之光致電壓元件，其中該摻雜矽層為 N 型摻雜矽層。

37.如申請專利範圍第 35 項所述之光致電壓元件，其中該導電層之材料包括鉑。

38.如申請專利範圍第 35 項所述之光致電壓元件，其中該摻雜矽層的厚度介於 0.05 至 1 微米之間。

39.如申請專利範圍第 35 項所述之光致電壓元件，其中該第一電極層的厚度介於 0.03 至 10 微米之間。

40.如申請專利範圍第 35 項所述之光致電壓元件，其中，該本質矽層的厚度介於 0.5 至 500 微米之間。

41.如申請專利範圍第 35 項所述之光致電壓元件，其

中該摻雜矽層的厚度介於 0.05 至 0.5 微米之間。

42.如申請專利範圍第 35 項所述之光致電壓元件，其中，該導電層的厚度介於 0.05 至 0.3 微米之間。

43.如申請專利範圍第 35 項所述之光致電壓元件，其中，該本質矽層的厚度介於 1 至 50 微米之間。

44.如申請專利範圍第 35 項所述之光致電壓元件，更包括：

一抗反射層，配置於該摻雜矽層之遠離該本質矽層的該第一表面上，且暴露出該第二電極層。

45.如申請專利範圍第 35 項所述之光致電壓元件，其中該摻雜矽層的材質包括單晶矽或複晶矽。

46.如申請專利範圍第 35 項所述之光致電壓元件，其中該本質矽層之與該摻雜矽層相接觸的一第二表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

47.如申請專利範圍第 35 項所述之光致電壓元件，其中該摻雜矽層之該第一表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

48.如申請專利範圍第 35 項所述之光致電壓元件，其中該本質矽層之與該第一電極層相接觸的一第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

49.如申請專利範圍第 35 項所述之光致電壓元件，其中該本質矽層的摻質包括 P 型摻質與 N 型摻質，且 P 型摻質與 N 型摻質的濃度差小於十億分之一（1 ppb）。

50.一種光致電壓元件的製造方法，包括：

形成一本質矽層於一第一型摻雜單晶矽基板上；

形成一第二型摻雜矽層於本質矽層上；

形成一第一金屬電極層於該第一型摻雜單晶矽基板之遠離該本質矽層的一第一表面上；以及

形成一第二金屬電極層於該第二型摻雜矽層之遠離該本質矽層的一第二表面上。

51.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，其中形成該本質矽層的方式包括化學氣相沈積。

52.如申請專利範圍第 51 項所述之光致電壓元件的製造方法，其中形成該本質矽層的方式是在含有 SiH_4 或 SiH_2Cl_2 的環境中進行。

53.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，其中形成該本質矽層的方式包括非晶矽化學氣相沈積及晶粒成長。

54.如申請專利範圍第 53 項所述之光致電壓元件的製造方法，其中非晶矽化學氣相沈積是在含有 SiH_4 或 SiH_2Cl_2 的環境中進行。

55.如申請專利範圍第 53 項所述之光致電壓元件的製造方法，其中晶粒成長是在攝氏 590 度與 650 度之間進行。

56.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，其中形成該本質矽層的方式包括磊晶矽化學氣相沈積。

57.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，其中形成該第二型摻雜矽層的方式包括離子佈

植、擴散或化學氣相沈積。

58.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，其中該第一型摻雜單晶矽基板為 P 型摻雜單晶矽基板，且該第二型摻雜矽層為 N 型摻雜矽層。

59.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，其中該第一型摻雜單晶矽基板為 N 型摻雜單晶矽基板，且該第二型摻雜矽層為 P 型摻雜矽層。

60.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，更包括：

形成一抗反射層於該第二型摻雜矽層之該第二表面上，其中該抗反射層暴露出該第二金屬電極層。

61.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，其中在形成該本質矽層之前，更包括蝕刻該第一型摻雜單晶矽基板之相對於該第一表面的一第三表面，使得該第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

62.如申請專利範圍第 50 項所述之光致電壓元件的製造方法，其中在形成該第二型摻雜矽層之前，更包括蝕刻該本質矽層之暴露於外的一第四表面，使得該第四表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

63.一種光致電壓元件的製造方法，包括：

形成一第一型摻雜矽層於一單晶本質矽基板之一第一表面上；

形成一第二型摻雜矽層於該單晶本質矽基板之相對

於該第一表面的一第二表面上；

形成一第一金屬電極層於該第一型摻雜矽層之遠離該單晶本質矽基板的一第三表面上；以及

形成一第二金屬電極層於該第二型摻雜矽層之遠離該單晶本質矽基板的一第四表面上。

64.如申請專利範圍第 63 項所述之光致電壓元件的製造方法，其中形成該第一型摻雜矽層的方式包括離子佈植、擴散或化學氣相沈積。

65.如申請專利範圍第 63 項所述之光致電壓元件的製造方法，其中形成該第二型摻雜矽層的方式包括離子佈植、擴散或化學氣相沈積。

66.如申請專利範圍第 63 項所述之光致電壓元件的製造方法，其中在形成該第一型摻雜矽層之前，更包括蝕刻該第一表面，使得該第一表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

67.如申請專利範圍第 63 項所述之光致電壓元件的製造方法，其中在形成該第二型摻雜矽層之前，更包括蝕刻該第二表面，使得該第二表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

68.如申請專利範圍第 63 項所述之光致電壓元件的製造方法，其中在形成該第一型摻雜矽層之後，更包括蝕刻該第三表面，使得該第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

69.如申請專利範圍第 63 項所述之光致電壓元件的製

造方法，其中在形成該第二型摻雜矽層之後，更包括蝕刻該第四表面，使得該第四表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

70.如申請專利範圍第 63 項所述之光致電壓元件的製造方法，其中該第一型摻雜矽層為 P 型摻雜矽層，且該第二型摻雜矽層為 N 型摻雜矽層。

71.如申請專利範圍第 63 項所述之光致電壓元件的製造方法，其中該第一型摻雜矽層為 N 型摻雜矽層，且該第二型摻雜矽層為 P 型摻雜矽層。

72.如申請專利範圍第 63 項所述之光致電壓元件的製造方法，更包括：

形成一抗反射層於該第二型摻雜矽層之該第四表面上，其中該抗反射層暴露出該第二金屬電極層。

73.一種光致電壓元件的製造方法，包括：

形成一摻雜矽層於一本質矽層的一第一表面上；

形成一第一電極層於該本質矽層之相對於該第一表面的一第二表面上，其中該第一電極層具有一功函數大於 5.5 電子伏特之導電層，且該導電層直接接觸該本質矽層；
以及

形成一第二電極層於該摻雜矽層之遠離該本質矽層的一第三表面上。

74.如申請專利範圍第 73 項所述之光致電壓元件的製造方法，其中形成該摻雜矽層的方式包括離子佈植、擴散或化學氣相沈積。

75.如申請專利範圍第 73 項所述之光致電壓元件的製造方法，其中形成該第一電極層的方法包括濺鍍、電鍍或無電電鍍，且該導電層之材料包括鉑。

76.如申請專利範圍第 73 項所述之光致電壓元件的製造方法，其中在形成該摻雜矽層之前，更包括蝕刻該第一表面，使得該第一表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

77.如申請專利範圍第 73 項所述之光致電壓元件的製造方法，其中在形成該第一電極層之前，更包括蝕刻該第二表面，使得該第二表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

78.如申請專利範圍第 73 項所述之光致電壓元件的製造方法，其中在形成該摻雜矽層之後，更包括蝕刻該第三表面，使得該第三表面的最大高度粗糙度介於 0.01 微米與 10 微米之間。

79.如申請專利範圍第 73 項所述之光致電壓元件的製造方法，其中該摻雜矽層為 N 型摻雜矽層。

80.如申請專利範圍第 73 項所述之光致電壓元件的製造方法，更包括：

形成一抗反射層於該摻雜矽層之該第三表面上，其中該抗反射層暴露出該第二電極層。

81.一種光致電壓元件的製造方法，包括：

形成一第一電極層於一基板上，其中該第一電極層具有一功函數大於 5.5 電子伏特之導電層，且該導電層遠離

該基板；

形成一本質矽層於該第一電極層上，其中該導電層直接接觸該本質矽層；

形成一摻雜矽層於該本質矽層上；以及

形成一第二電極層於該摻雜矽層上。

82.如申請專利範圍第 81 項所述之光致電壓元件的製造方法，其中形成該摻雜矽層的方式包括離子佈植、擴散或化學氣相沈積。

83.如申請專利範圍第 81 項所述之光致電壓元件的製造方法，其中形成該第一電極層的方法包括濺鍍、電鍍或無電電鍍。

84.如申請專利範圍第 81 項所述之光致電壓元件的製造方法，其中該摻雜矽層為 N 型摻雜矽層。

85.如申請專利範圍第 81 項所述之光致電壓元件的製造方法，更包括：

形成一抗反射層於該摻雜矽層上，其中該抗反射層暴露出該第二電極層。

86.如申請專利範圍第 81 項所述之光致電壓元件的製造方法，其中該基板之材料是有機高分子、玻璃、陶瓷或矽。

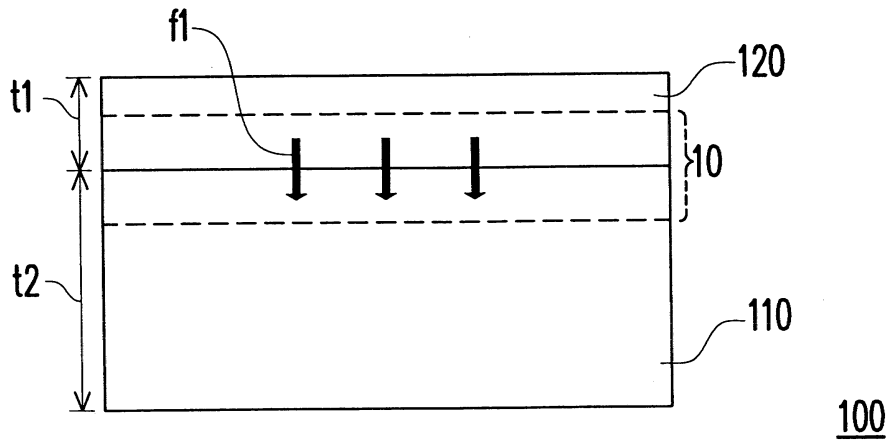


圖 1

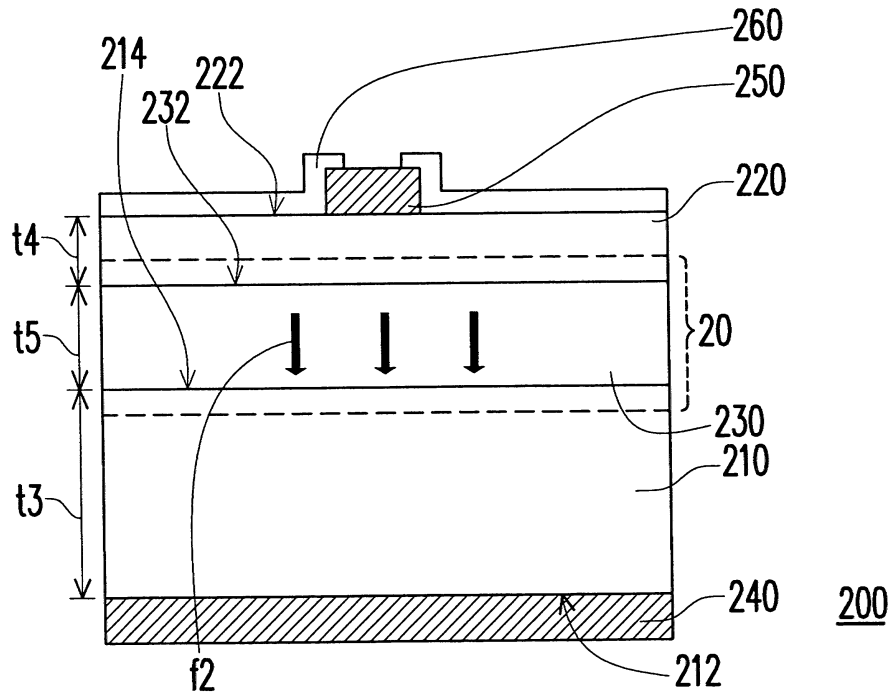


圖 2

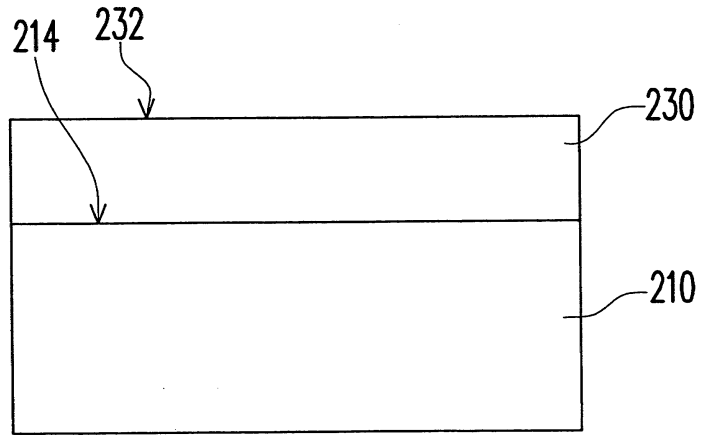


圖 3A

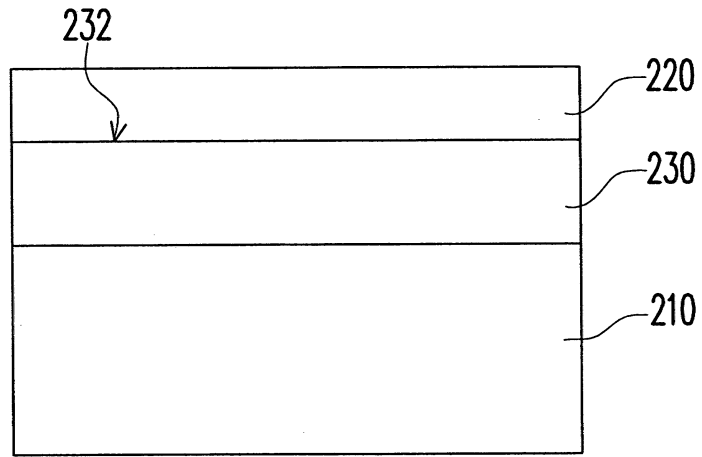


圖 3B

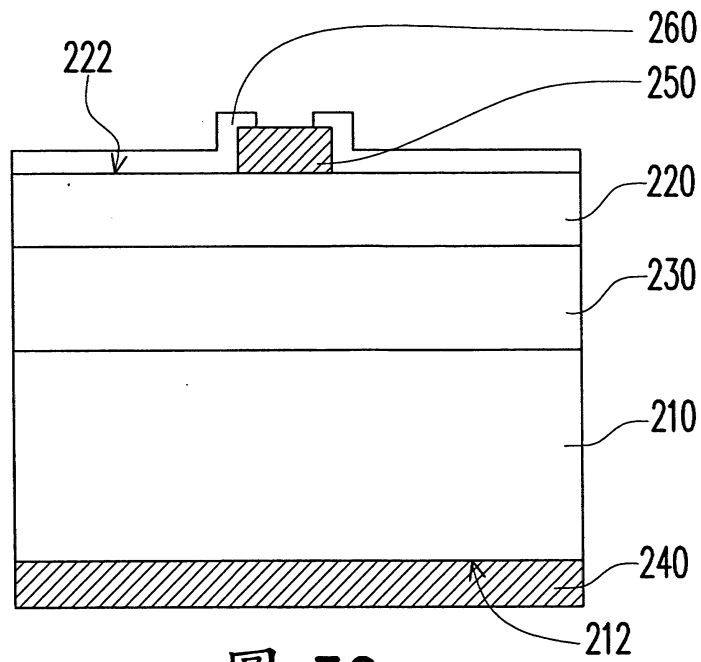


圖 3C

200

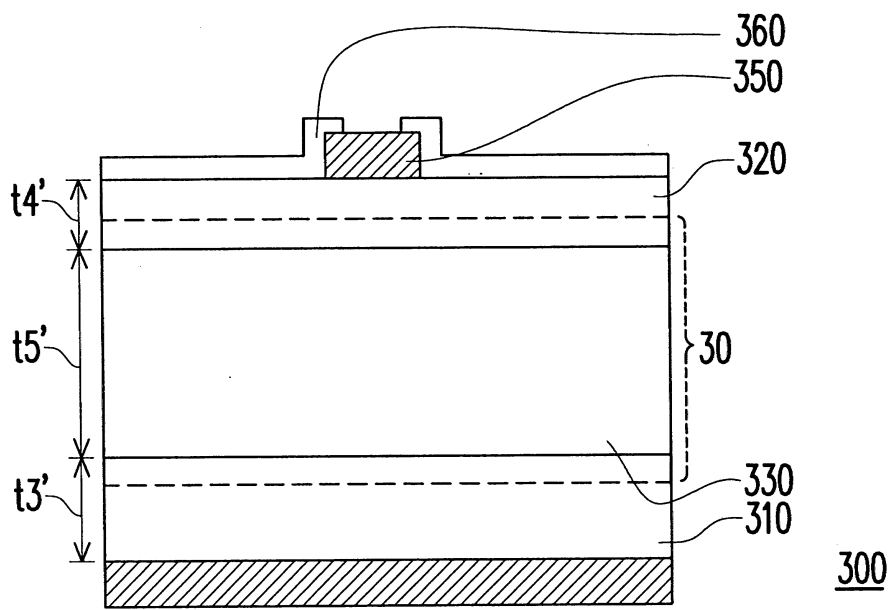
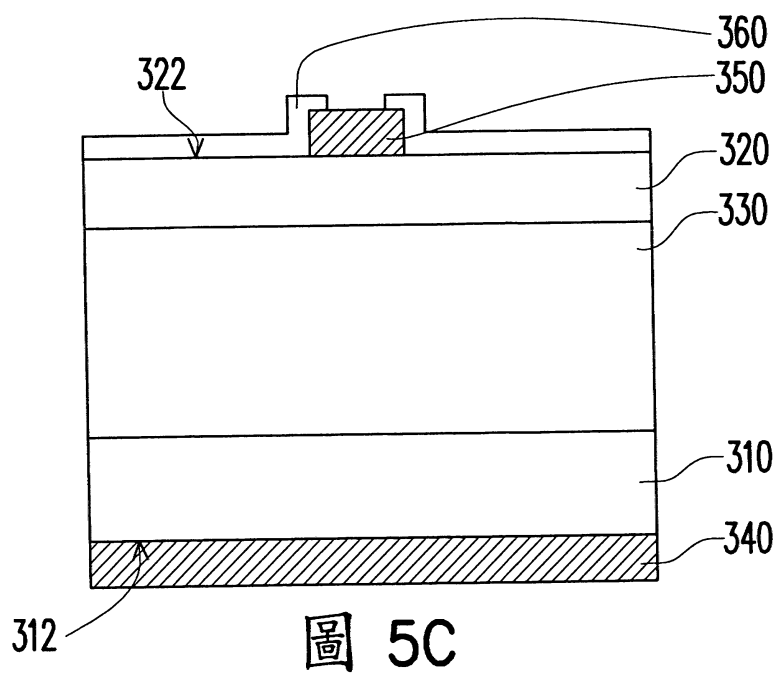
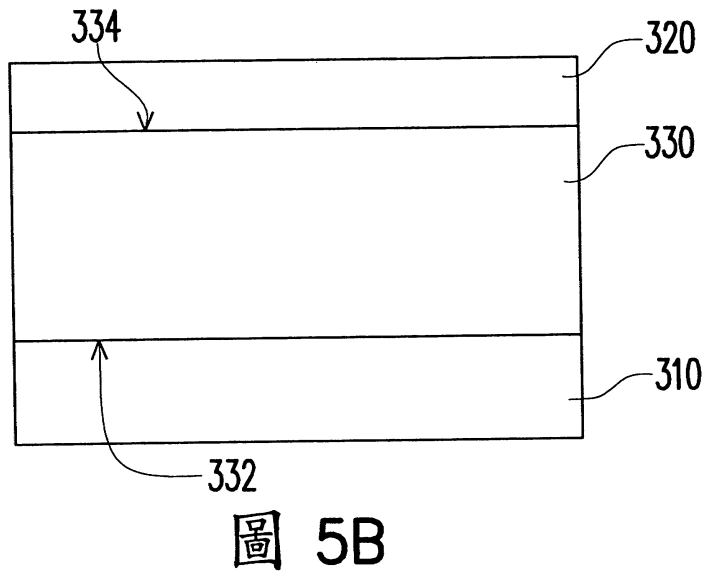
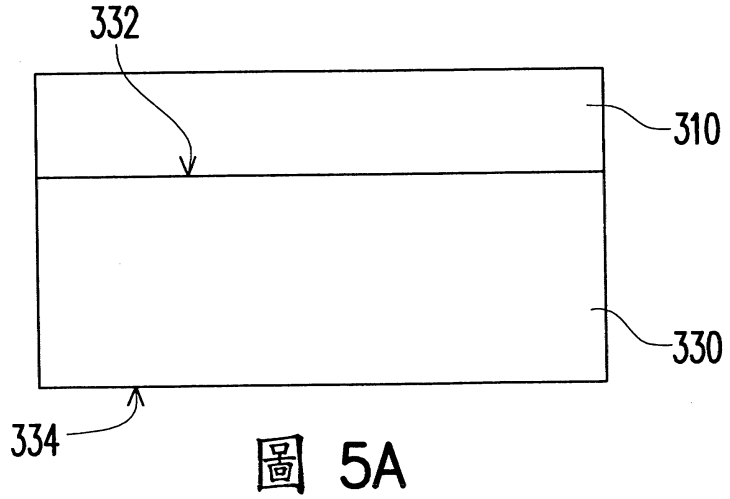


圖 4



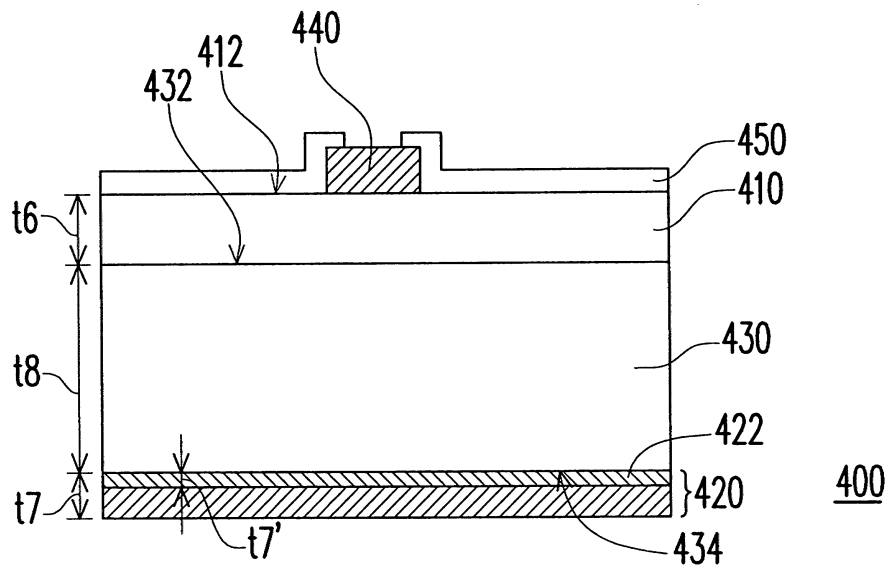
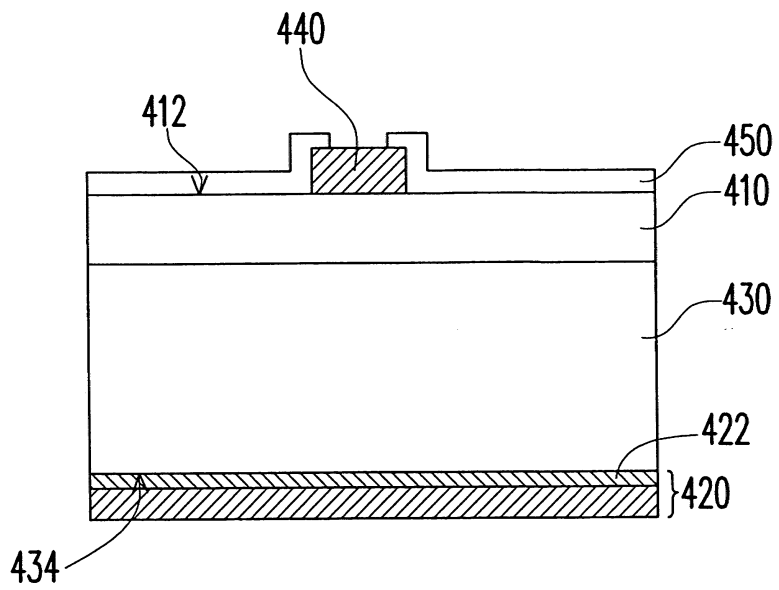
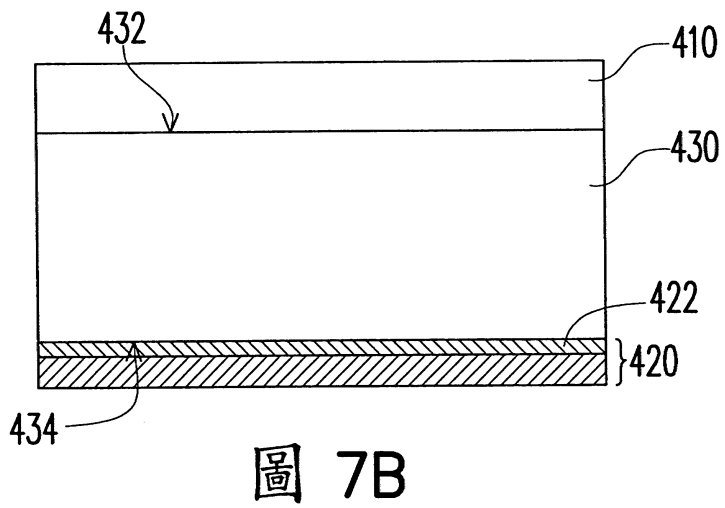
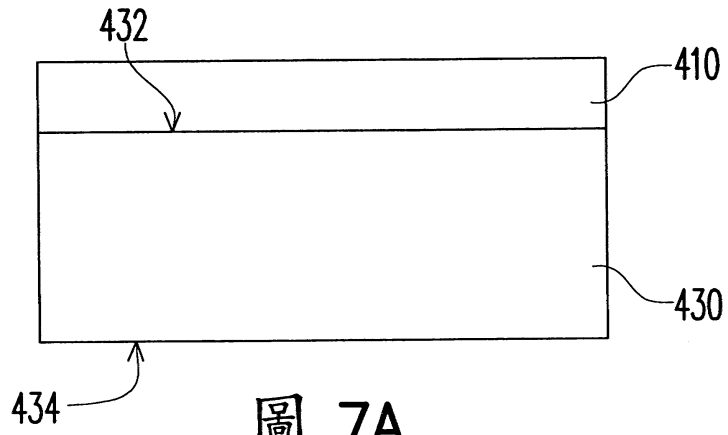


圖 6



七、指定代表圖：

(一) 本案之指定代表圖：圖 2

(二) 本代表圖之元件符號簡單說明：

20：空乏區

200：光致電壓元件

210：第一型摻雜單晶矽基板

212、214、222、232：表面

220：第二型摻雜矽層

230：本質矽層

240、250：金屬電極層

260：抗反射層

f2：內建電場

t3、t4、t5：厚度

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無