

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5848754号  
(P5848754)

(45) 発行日 平成28年1月27日 (2016. 1. 27)

(24) 登録日 平成27年12月4日 (2015. 12. 4)

(51) Int. Cl.	F I
HO4N 5/345 (2011.01)	HO4N 5/335 450
HO4N 5/353 (2011.01)	HO4N 5/335 530
HO4N 5/369 (2011.01)	HO4N 5/335 690
HO4N 5/3745 (2011.01)	HO4N 5/335 745
HO4N 5/378 (2011.01)	HO4N 5/335 780

請求項の数 51 (全 42 頁) 最終頁に続く

(21) 出願番号	特願2013-510321 (P2013-510321)	(73) 特許権者	510298045
(86) (22) 出願日	平成23年5月12日 (2011. 5. 12)		ペリカン イメージング コーポレイション
(65) 公表番号	特表2013-526801 (P2013-526801A)		アメリカ合衆国 カリフォルニア 950
(43) 公表日	平成25年6月24日 (2013. 6. 24)		50, サンタ クララ, エル カミーノ レアル 451, 스위트 100
(86) 国際出願番号	PCT/US2011/036349	(74) 代理人	100078282
(87) 国際公開番号	W02011/143501		弁理士 山本 秀策
(87) 国際公開日	平成23年11月17日 (2011. 11. 17)	(74) 代理人	230113332
審査請求日	平成26年5月9日 (2014. 5. 9)		弁護士 山本 健策
(31) 優先権主張番号	61/334, 011	(74) 代理人	100113413
(32) 優先日	平成22年5月12日 (2010. 5. 12)		弁理士 森下 夏樹
(33) 優先権主張国	米国 (US)	(74) 代理人	100181674
			弁理士 飯田 貴敏

最終頁に続く

(54) 【発明の名称】 撮像装置アレイおよびアレイカメラのためのアーキテクチャ

(57) 【特許請求の範囲】

【請求項1】

撮像装置アレイであって、  
該撮像装置アレイは、

$M \times N$ の焦点面であって、各焦点面は、各次元に少なくとも2つのピクセルを有するピクセルの2次元配設を備え、各焦点面は、別の焦点面からのピクセルを含有しない該撮像装置アレイの領域内に含有される、 $M \times N$ の焦点面と、

制御回路であって、該制御回路は、該焦点面内の該ピクセルによる画像情報の捕捉を制御するように構成され、該制御回路は、該焦点面のうちの少なくとも2つの焦点面の中の該ピクセルのリセット時間および積分時間を別々に制御することにより、該少なくとも2つの焦点面の中の該ピクセルからの画像情報の捕捉が別々に制御可能であるように構成される、制御回路と、

ピクセル出力をデジタルピクセルデータに変換するように構成されるサンプリング回路と、

出力インターフェースを介してデジタルピクセルデータを伝送するように構成される出力インターフェース回路と

を備え、

該出力インターフェースが、 $M \times N$ 未満の出力ポートを含み、

該制御回路が、メモリを含み、該制御回路が、該出力インターフェースの該 $M \times N$ 未満の出力ポート上に該 $M \times N$ の焦点面からの該デジタルピクセルデータを時間多重化するこ

とと、該データを伝送するために該出力インターフェース上でタイムスロットが利用可能となるまで該M×Nの焦点面から該デジタルピクセルデータをバッファリングすることとを  
実行するように構成され、該制御回路が、該出力インターフェースを介して伝送される  
該ピクセルデータの間、焦点面を識別するコードを挿入するようにさらに構成されるこ  
とを特徴とする、撮像装置アレイ。

【請求項 2】

前記M×Nの焦点面は、1つの次元に少なくとも3つの焦点面を有する焦点面の2次元アレイとして配設される、請求項1に記載の撮像装置アレイ。

【請求項 3】

前記M×Nの焦点面は、両方の次元に少なくとも3つの焦点面を有する焦点面の2次元アレイとして配設される、請求項1に記載の撮像装置アレイ。

10

【請求項 4】

前記M×Nの焦点面は、青色光を捕捉するように構成される少なくとも2つの焦点面と、緑色光を捕捉するように構成される少なくとも2つの焦点面と、赤色光を捕捉するように構成される少なくとも2つの焦点面とを備える、請求項1に記載の撮像装置アレイ。

【請求項 5】

各焦点面は、ピクセルの行および列を備える、請求項1に記載の撮像装置アレイ。

【請求項 6】

前記制御回路は、ピクセルの読み出しを制御することによって、前記ピクセルによる画像情報の捕捉を制御するように構成される、請求項1に記載の撮像装置アレイ。

20

【請求項 7】

前記制御回路は、各ピクセルの積分時間を制御することによって、画像情報の捕捉を制御するように構成される、請求項1に記載の撮像装置アレイ。

【請求項 8】

前記制御回路は、前記サンプリング回路の利得を制御することによって、画像情報の処理を制御するように構成される、請求項1に記載の撮像装置アレイ。

【請求項 9】

前記制御回路は、各ピクセルの黒レベルオフセットを制御することによって、画像情報の処理を制御するように構成される、請求項1に記載の撮像装置アレイ。

【請求項 10】

30

前記制御回路は、読み出し方向を制御することによって、画像情報の捕捉を制御するように構成される、請求項1に記載の撮像装置アレイ。

【請求項 11】

前記読み出し方向は、  
上面から底面、および  
底面から上面  
から成る群より選択される、請求項10に記載の撮像装置アレイ。

【請求項 12】

前記読み出し方向は、  
左側から右側、および  
右側から左側  
から成る群より選択される、請求項10に記載の撮像装置アレイ。

40

【請求項 13】

前記制御回路は、画像情報の捕捉を、関心の読み出し領域を制御することによって制御するように構成される、請求項1に記載の撮像装置アレイ。

【請求項 14】

前記制御回路は、画像情報の捕捉を、水平サブサンプリングを制御することによって制御するように構成される、請求項1に記載の撮像装置アレイ。

【請求項 15】

前記制御回路は、画像情報の捕捉を、垂直サブサンプリングを制御することによって制

50

御するように構成される、請求項 1 に記載の撮像装置アレイ。

【請求項 16】

前記制御回路は、画像情報の捕捉を、ピクセル電荷ビニングを制御することによって制御するように構成される、請求項 1 に記載の撮像装置アレイ。

【請求項 17】

前記撮像装置アレイは、モノリシック集積回路撮像装置アレイである、請求項 1 に記載の撮像装置アレイ。

【請求項 18】

少なくとも 1 つの焦点面内の隣接ピクセルの 2 次元アレイは、同じ捕捉帯域を有する、請求項 1 に記載の撮像装置アレイ。

10

【請求項 19】

前記捕捉帯域は、  
 青色光、  
 シアン光、  
 可視光および近赤外光を含む拡張色光、  
 緑色光、  
 赤外光、  
 マゼンタ光、  
 近赤外光、  
 赤色光、  
 黄色光、および  
 白色光

20

から成る群より選択される、請求項 18 に記載の撮像装置アレイ。

【請求項 20】

前記焦点面のうちの少なくとも 1 つは、隣接ピクセルのアレイを含み、該隣接ピクセルのアレイの中のピクセルは、光の異なる色を捕捉するように構成される、請求項 1 に記載の撮像装置アレイ。

【請求項 21】

前記隣接ピクセルのアレイは、ベイヤーフィルタパターンを採用する、請求項 20 に記載の撮像装置アレイ。

30

【請求項 22】

前記  $M \times N$  の焦点面は、焦点面の  $2 \times 2$  のアレイとして配設され、  
 該焦点面のアレイの中の第 1 の焦点面は、ベイヤーフィルタパターンを採用する隣接ピクセルのアレイを含み、  
 該焦点面のアレイの中の第 2 の焦点面は、緑色光を捕捉するように構成される隣接ピクセルのアレイを含み、  
 該焦点面のアレイの中の第 3 の焦点面は、赤色光を捕捉するように構成される隣接ピクセルのアレイを含み、  
 該焦点面のアレイの中の第 4 の焦点面は、青色光を捕捉するように構成される隣接ピクセルのアレイを含む、請求項 21 に記載の撮像装置アレイ。

40

【請求項 23】

前記  $M \times N$  の焦点面は、1 つの次元に少なくとも 3 つの焦点面を有する焦点面の 2 次元アレイとして配設される、請求項 21 に記載の撮像装置アレイ。

【請求項 24】

前記  $M \times N$  の焦点面は、両方の次元に少なくとも 3 つの焦点面を有する焦点面の 2 次元アレイとして配設される、請求項 21 に記載の撮像装置アレイ。

【請求項 25】

前記制御回路は、グローバルカウンタを備える、請求項 1 に記載の撮像装置アレイ。

【請求項 26】

前記制御回路は、各焦点面がグローバルカウンタに対して制御された時間的オフセット

50

を有するように、画像読み出しの開始点を交互にするように構成される、請求項 2 5 に記載の撮像装置アレイ。

【請求項 2 7】

前記制御回路は、前記グローバルカウンタを使用して、前記焦点面内の前記ピクセルの前記捕捉帯域に基づいて、各焦点面内の該ピクセルの積分時間を別々に制御するように構成される、請求項 2 5 に記載の撮像装置アレイ。

【請求項 2 8】

前記制御回路は、前記グローバルカウンタに基づいて、各焦点面のフレームレートを別々に制御するように構成される、請求項 2 5 に記載の撮像装置アレイ。

【請求項 2 9】

前記制御回路は、各焦点面に対する一対のポイントをさらに備える、請求項 2 5 に記載の撮像装置アレイ。

【請求項 3 0】

前記ポイント間のオフセットは、プログラム可能である、請求項 2 9 に記載の撮像装置アレイ。

【請求項 3 1】

前記制御回路は、各焦点面専用の行コントローラを備える、請求項 1 に記載の撮像装置アレイ。

【請求項 3 2】

前記  $M \times N$  の焦点面は、アレイ状に配設されており、  
前記制御回路は、 $M$  個の焦点面の各行の中のピクセルの各行をアドレス指定するように構成される単一の行デコーダ回路を備える、請求項 1 に記載の撮像装置アレイ。

【請求項 3 3】

前記制御回路は、前記行デコーダおよび列回路が、第 1 の焦点面内のピクセルの第 1 の行をサンプリングするように、第 1 組のピクセルレベルタイミング信号を生成するように構成され、

該制御回路は、該行デコーダおよび列回路が、第 2 の焦点面内のピクセルの第 2 の行をサンプリングするように第 2 組のピクセルレベルタイミング信号を生成するように構成される、請求項 3 2 に記載の撮像装置アレイ。

【請求項 3 4】

各焦点面は、専用サンプリング回路を備える、請求項 1 に記載の撮像装置アレイ。

【請求項 3 5】

前記サンプリング回路の少なくとも一部分は、複数の前記焦点面によって共有される、請求項 1 に記載の撮像装置アレイ。

【請求項 3 6】

前記  $M \times N$  の焦点面は、アレイ状に配設されており、  
前記サンプリング回路は、 $M$  個のアナログ信号プロセッサ (ASP) を備え、各 ASP は、 $N$  個の焦点面から読み出されたピクセルをサンプリングするように構成される、請求項 3 5 に記載の撮像装置アレイ。

【請求項 3 7】

各 ASP は、 $N$  個の入力を介して前記  $N$  個の焦点面からピクセル出力信号を受信するように構成され、

各 ASP は、その  $N$  個の入力上で各ピクセル出力信号を連続的に処理するように構成される、請求項 3 6 に記載の撮像装置アレイ。

【請求項 3 8】

前記制御回路は、単一の共通アナログピクセル信号読み出しラインが  $N$  個の焦点面のグループの中の全てのピクセルによって共有されるように構成され、

該制御回路は、画像データの捕捉を制御して、前記  $M$  個の ASP の各々によって受信される前記ピクセル出力信号を時間多重化するように構成される、請求項 3 6 に記載の撮像装置アレイ。

10

20

30

40

50

## 【請求項 39】

前記  $M \times N$  の焦点面は、アレイ状に配設されており、

前記サンプリング回路は、複数のアナログ信号プロセッサ (ASP) を備え、各 ASP は、複数の焦点面から読み出されたピクセルをサンプリングするように構成され、

前記制御回路は、単一の共通アナログピクセル信号読出しラインが該複数の焦点面内の全てのピクセルによって共有されるように構成され、

該制御回路は、画像データの捕捉を制御して、該複数の ASP の各々によって受信される前記ピクセル出力信号を時間多重化するように構成される、請求項 35 に記載の撮像装置アレイ。

## 【請求項 40】

10

前記サンプリング回路は、アナログフロントエンド (AFE) 回路と、アナログデジタル変換 (ADC) 回路とを備える、請求項 1 に記載の撮像装置アレイ。

## 【請求項 41】

前記サンプリング回路は、各焦点面が専用 AFE を有し、少なくとも 1 つの ADC が少なくとも 2 つの焦点面の間に共有されるように構成される、請求項 40 に記載の撮像装置アレイ。

## 【請求項 42】

前記サンプリング回路は、少なくとも 1 つの ADC が一对の焦点面の間に共有されるように構成される、請求項 41 に記載の撮像装置アレイ。

## 【請求項 43】

20

前記サンプリング回路は、少なくとも 1 つの ADC が 4 つの焦点面の間に共有されるように構成される、請求項 41 に記載の撮像装置アレイ。

## 【請求項 44】

前記サンプリング回路は、少なくとも 1 つの AFE が少なくとも 2 つの焦点面の間に共有されるように構成される、請求項 43 に記載の撮像装置アレイ。

## 【請求項 45】

前記サンプリング回路は、少なくとも 1 つの AFE が少なくとも一对の焦点面の間に共有されるように構成される、請求項 44 に記載の撮像装置アレイ。

## 【請求項 46】

前記サンプリング回路は、各々が AFE を共有する 2 対の焦点面が集合的に ADC を共有するように構成される、請求項 45 に記載の撮像装置アレイ。

30

## 【請求項 47】

前記制御回路は、各焦点面および関連 AFE 回路の電源を切った状態または各焦点面の処理タイムスロットを別々に制御するように構成される、請求項 1 に記載の撮像装置アレイ。

## 【請求項 48】

前記制御回路は、電源を切った状態の少なくとも 1 つの焦点面の前記ピクセルが一定のリセット状態にあるように構成する、請求項 47 に記載の撮像装置アレイ。

## 【請求項 49】

少なくとも 1 つの焦点面は、該焦点面を使用して捕捉されるピクセルデータを校正するための基準ピクセルを含む、請求項 1 に記載の撮像装置アレイ。

40

## 【請求項 50】

前記制御回路は、前記焦点面の関連 AFE 回路の電源を切った状態または該焦点面の処理タイムスロットを別々に制御するように構成され、

該制御回路は、該焦点面の前記基準ピクセルの読出し中に、該焦点面の関連 AFE 回路への電力を維持するように構成される、請求項 49 に記載の撮像装置アレイ。

## 【請求項 51】

第 1 の焦点面内の隣接ピクセルの第 1 のアレイは、第 1 の捕捉帯域を有し、

第 2 の焦点面内の隣接ピクセルの第 2 のアレイは、第 2 の捕捉帯域を有し、該第 1 の捕捉帯域と第 2 の捕捉帯域とは、同じであり、

50

周辺回路は、該隣接ピクセルの第1のアレイの積分時間が第1の期間であるように構成され、

該周辺回路は、該隣接ピクセルの第2のアレイの積分時間が第2の期間であるように構成され、該第2の期間は、該第1の期間よりも長い、請求項1に記載の撮像装置アレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、撮像装置に関し、より具体的には、アレイカメラで使用される撮像装置アレイに関する。

10

【背景技術】

【0002】

従来の単一のセンサカメラで使用されるセンサは、典型的には、行コントローラと、1つ以上の列読み出し回路とを含む。撮像装置の中のピクセルのアレイとの関連で、「行」という用語は、典型的には、共通制御ラインを共有するピクセル群を指すために使用され、「列」という用語は、共通読み出しラインを共有するピクセル群である。個々のカメラ/センサのアレイ、または単一焦点面センサ上で焦点を合わせられたレンズアレイのいずれか一方を使用する、いくつかのアレイカメラ設計が提案されている。複数の別個のカメラがアレイカメラの実装で使用されるときに、各カメラは、別個の入出力経路を有し、カメラコントローラは、典型的には、何らかの方法で同期化される必要がある。単一焦点面センサ上で焦点を合わせられたレンズアレイが、アレイカメラを実装するために使用されるときに、センサは、典型的には、従来のカメラで使用されるものと同様の従来のセンサである。そのようなものとして、センサは、レンズアレイの中の各センサの画像範囲内のピクセルを独立して制御する能力を保有しない。

20

【発明の概要】

【課題を解決するための手段】

【0003】

撮像装置アレイが、本発明の実施形態によるモノリシック集積回路として実装される、システムおよび方法が開示される。多くの実施形態では、撮像装置アレイは、撮像装置アレイ内の制御論理によってそれぞれ独立して制御される、複数の撮像装置を含み、各撮像装置によって捕捉される画像データは、共通入出力経路を使用して、撮像装置アレイから出力される。いくつかの実施形態では、各撮像装置のピクセルは、裏面照射され、撮像装置アレイのバルクシリコンは、各撮像装置によって感知されるスペクトル波長に従って、異なる撮像装置に対応する領域中で異なる深度まで薄くされる。

30

【0004】

本発明の一実施形態は、複数の焦点面であって、各焦点面は、各次元に少なくとも2つのピクセルを有する、ピクセルの2次元配設を備え、各焦点面は、別の焦点面からのピクセルを含有しない、撮像装置アレイの領域内に含有される、複数の焦点面と、焦点面内のピクセルによる画像情報の捕捉を制御するように構成される、制御回路であって、制御回路は、焦点面の少なくとも2つの中のピクセルによる画像情報の捕捉が別々に制御可能であるように、構成される、制御回路と、ピクセル出力をデジタルピクセルデータに変換するように構成される、サンプリング回路とを含む。

40

【0005】

さらなる実施形態では、複数の焦点面は、1つの次元に少なくとも3つの焦点面を有する、焦点面の2次元アレイとして配設される。

【0006】

別の実施形態では、複数の焦点面は、両方の次元に少なくとも3つの焦点面を有する、焦点面の2次元アレイとして配設される。

【0007】

なおもさらなる実施形態では、焦点面のN×Mアレイとして配設される、複数の焦点面

50

は、青色光を捕捉するように構成される少なくとも2つの焦点面と、緑色光を捕捉するように構成される少なくとも2つの焦点面と、赤色光を捕捉するように構成される少なくとも2つの焦点面とを備える。

【0008】

なおも別の実施形態では、各焦点面は、ピクセルの行および列を備える。

【0009】

さらなる実施形態では、制御回路は、ピクセルの再設定を制御することによって、ピクセルによる画像情報の捕捉を制御するように構成される。

【0010】

さらに別の実施形態では、制御回路は、ピクセルの読み出しを制御することによって、ピクセルによる画像情報の捕捉を制御するように構成される。

10

【0011】

再度、さらなる実施形態では、制御回路は、各ピクセルの積分時間を制御することによって、画像情報の捕捉を制御するように構成される。

【0012】

再度、別の実施形態では、制御回路は、サンプリング回路の利得を制御することによって、画像情報の処理を制御するように構成される。

【0013】

さらなる付加的な実施形態では、制御回路は、各ピクセルの黒レベルオフセットを制御することによって、画像情報の処理を制御するように構成される。

20

【0014】

別の付加的な実施形態では、制御回路は、読み出し方向を制御することによって、画像情報の捕捉を制御するように構成される。

【0015】

なおもさらなる実施形態では、読み出し方向は、上面から底面、および底面から上面から成る群より選択される。

【0016】

なおもさらなる別の実施形態では、読み出し方向は、左側から右側、および右側から左側から成る群より選択される。

【0017】

再度、なおもさらなる実施形態では、制御回路は、関心の読み出し領域を制御することによって、画像情報の捕捉を制御するように構成される。

30

【0018】

再度、なおも別の実施形態では、制御回路は、水平サブサンプリングを制御することによって、画像情報の捕捉を制御するように構成される。

【0019】

なおもさらなる付加的な実施形態では、制御回路は、垂直サブサンプリングを制御することによって、画像情報の捕捉を制御するように構成される。

【0020】

なおも別の付加的な実施形態では、制御回路は、ピクセル電荷ビニングを制御することによって、画像情報の捕捉を制御するように構成される。

40

【0021】

再度、さらなる実施形態では、撮像装置アレイは、モノリシック集積回路撮像装置アレイである。

【0022】

再度、さらに別の実施形態では、少なくとも1つの焦点面内の隣接ピクセルの2次元アレイは、同じ捕捉帯域を有する。

【0023】

さらに付加的な実施形態では、捕捉帯域は、青色光、シアン光、視光および近赤外光を含む拡張色光、緑色光、赤外光、マゼンタ光、近赤外光、赤色光、黄色光、および白色光

50

を含む、群から選択される。

【0024】

再度、さらなる付加的な実施形態では、第1の焦点面内の隣接ピクセルの第1のアレイは、第1の捕捉帯域を有し、第2の焦点面内の隣接ピクセルの第2のアレイは、第2の捕捉帯域を有し、第1の捕捉帯域と第2の捕捉帯域とは、同じであり、周辺回路は、隣接ピクセルの第1のアレイの積分時間が第1の期間であるように、構成され、周辺回路は、隣接ピクセルの第2のアレイの積分時間が第2の期間であるように、構成され、第2の期間は、第1の期間よりも長い。

【0025】

別のさらなる実施形態では、焦点面のうちの少なくとも1つは、隣接ピクセルのアレイを含み、隣接ピクセルのアレイの中のピクセルは、光の異なる色を捕捉するように構成される。

10

【0026】

さらに別のさらなる実施形態では、隣接ピクセルのアレイは、ベイヤーフィルタパターンを採用する。

【0027】

なおも別のさらなる実施形態では、複数の焦点面は、焦点面の2×2アレイとして配設され、焦点面のアレイの中の第1の焦点面は、ベイヤーフィルタパターンを採用する隣接ピクセルのアレイを含み、焦点面のアレイの中の第2の焦点面は、緑色光を捕捉するように構成される隣接ピクセルのアレイを含み、焦点面のアレイの中の第3の焦点面は、赤色光を捕捉するように構成される隣接ピクセルのアレイを含み、焦点面のアレイの中の第4の焦点面は、青色光を捕捉するように構成される隣接ピクセルのアレイを含む。

20

【0028】

再度、別のさらなる実施形態では、複数の焦点面は、1つの次元に少なくとも3つの焦点面を有する、焦点面の2次元アレイとして配設される。

【0029】

別のさらなる付加的な実施形態では、複数の焦点面は、両方の次元に少なくとも3つの焦点面を有する、焦点面の2次元アレイとして配設される。

【0030】

なおもさらに別のさらなる実施形態では、制御回路は、グローバルカウンタを備える。

30

【0031】

再度、なおも別のさらなる実施形態では、制御回路は、各焦点面が、グローバルカウンタに対して制御された時間的オフセットを有するように、画像読み出しの開始点を交互にするように構成される。

【0032】

再度、なおも別のさらなる付加的な実施形態では、制御回路は、グローバルカウンタを使用して、焦点面内のピクセルの捕捉帯域に基づいて、各焦点面内のピクセルの積分時間を別々に制御するように構成される。

【0033】

再度、さらに別のさらなる実施形態では、制御回路は、グローバルカウンタに基づいて、各焦点面のフレームレートを別々に制御するように構成される。

40

【0034】

さらに別のさらなる付加的な実施形態では、制御回路はさらに、各焦点面に対する一対のポイントを備える。

【0035】

なおもさらなる実施形態では、ポイント間のオフセットは、積分時間を特定する。

【0036】

なおもさらなる別の実施形態では、ポイント間のオフセットは、プログラム可能である。

【0037】

50



さらなる実施形態では、制御回路は、各焦点面専用の行コントローラを備える。

【0038】

さらに別の実施形態では、撮像装置アレイは、 $M \times N$ の焦点面のアレイを含み、制御回路は、 $M$ 個の焦点面の各行の中のピクセルの各行をアドレス指定するように構成される、単一行デコーダ回路を備える。

【0039】

再度、さらなる実施形態では、制御回路は、行デコーダおよび列回路が、第1の焦点面内のピクセルの第1の行をサンプリングするように、第1組のピクセルレベルタイミング信号を生成するように構成され、制御回路は、行デコーダおよび列回路が、第2の焦点面内のピクセルの第2の行をサンプリングするように、第2組のピクセルレベルタイミング信号を生成するように構成される。

10

【0040】

再度、別の実施形態では、各焦点面は、専用サンプリング回路を備える。

【0041】

さらなる付加的な実施形態では、サンプリング回路の少なくとも一部分は、複数の焦点面によって共有される。

【0042】

別の付加的な実施形態では、撮像装置アレイは、 $M \times N$ の焦点面のアレイを含み、サンプリング回路は、 $M$ 個のアナログ信号プロセッサ (ASP) を備え、各ASPは、 $N$ 個の焦点面から読み出されたピクセルをサンプリングするように構成される。

20

【0043】

なおもさらなる実施形態では、各ASPは、 $N$ 個の入力を介して $N$ 個の焦点面からピクセル出力信号を受信するように構成され、各ASPは、その $N$ 個の入力上で各ピクセル出力信号を連続的に処理するように構成される。

【0044】

なおもさらに別の実施形態では、制御回路は、単一の共通アナログピクセル信号読み出しラインが、 $N$ 個の焦点面のグループの中の全てのピクセルによって共有されるように、構成され、制御回路は、画像データの捕捉を制御して、 $M$ 個のASPのそれぞれによって受信されるピクセル出力信号を時間多重化するように構成される。

【0045】

30

再度、なおも別の実施形態では、撮像装置アレイは、 $M \times N$ の焦点面のアレイを含み、サンプリング回路は、複数のアナログ信号プロセッサ (ASP) を備え、各ASPは、複数の焦点面から読み出されたピクセルをサンプリングするように構成され、制御回路は、単一の共通アナログピクセル信号読み出しラインが、複数の焦点面内の全てのピクセルによって共有されるように、構成され、制御回路は、画像データの捕捉を制御して、複数のASPのそれぞれによって受信されるピクセル出力信号を時間多重化するように構成される。

【0046】

再度、さらなる実施形態では、サンプリング回路は、アナログフロントエンド (AFE) 回路と、アナログ・デジタル変換 (ADC) 回路とを備える。

40

【0047】

再度、さらに別の実施形態では、サンプリング回路は、各焦点面が、専用AFEを有し、少なくとも1つのADCが、少なくとも2つの焦点面の間で共有されるように、構成される。

【0048】

さらなる付加的な実施形態では、サンプリング回路は、少なくとも1つのADCが、一対の焦点面の間で共有されるように、構成される。

【0049】

さらに別の付加的な実施形態では、サンプリング回路は、少なくとも1つのADCが、4つの焦点面の間で共有されるように、構成される。

50

## 【0050】

再度、さらに付加的な実施形態では、サンプリング回路は、少なくとも1つのAFEが、少なくとも2つの焦点面の間で共有されるように、構成される。

## 【0051】

再度、別の付加的な実施形態では、サンプリング回路は、少なくとも1つのAFEが、少なくとも1対の焦点面の間で共有されるように、構成される。

## 【0052】

別のさらなる実施形態では、サンプリング回路は、それぞれAFEを共有する2対の焦点面が、集散的にADCを共有するように、構成される。

## 【0053】

なおも別のさらなる実施形態では、制御回路は、各焦点面および関連AFE回路またはその中の処理タイムスロットの電源を切った状態を別々に制御するように構成される。

## 【0054】

さらに別のさらなる実施形態では、制御回路は、一定のリセット状態であるように、少なくとも1つの不活性焦点面のピクセルを構成する。

## 【0055】

再度、別のさらなる実施形態では、少なくとも1つの焦点面は、焦点面を使用して捕捉されるピクセルデータを校正するように、基準ピクセルを含む。

## 【0056】

別のさらなる付加的な実施形態では、制御回路は、焦点面の関連AFE回路またはその中の処理タイムスロットの電源を切った状態を別々に制御するように構成され、制御回路は、焦点面の基準ピクセルの読み出しのために、関連AFE回路またはその中の処理タイムスロットの電源を切ることなく、焦点面の関連AFE回路またはその中の処理タイムスロットの電源を切るように構成される。

## 【0057】

なおもさらに別のさらなる付加的な実施形態では、隣接ピクセルのアレイの中のピクセルは、読み出し回路を共有する。

## 【0058】

再度、なおも別のさらなる実施形態では、読み出し回路は、リセットトランジスタ、浮動拡散コンデンサ、ソースフォロア増幅器トランジスタとを含む。

## 【0059】

なおも別のさらなる付加的な実施形態では、少なくとも1つの焦点面の中の隣接ピクセルのアレイは、隣接ピクセルの第1のアレイであり、撮像装置アレイは、複数の焦点面のうちのもう1つの内側の隣接ピクセルの第2のアレイと、隣接ピクセルの第2のアレイの中のピクセルとを含み、隣接ピクセルの第2のアレイの中のピクセルの捕捉帯域は、隣接ピクセルの第1のアレイの中のピクセルの捕捉帯域とは異なり、隣接ピクセルの第1のアレイの中のピクセルのフルウェルキャパシティは、隣接ピクセルの第2のアレイの中のピクセルのフルウェルキャパシティとは異なる。

## 【0060】

再度、さらに別のさらなる実施形態では、隣接ピクセルの第1のアレイの中のピクセルのフルウェルキャパシティは、ピクセルが、所定の最大スペクトル放射輝度を有する第1の捕捉帯域内で輝くように、所定の積分時間にわたって露出されたときに、各ピクセルウェルが生成された電子の数によって充填されるように、構成され、隣接ピクセルの第2のアレイの中のピクセルのフルウェルキャパシティは、ピクセルが、所定の最大スペクトル放射輝度を有する第2の捕捉帯域内で輝くように、所定の積分時間にわたって露出された時に、各ピクセルウェルが生成された電子の数によって充填されるように、構成される。

## 【0061】

さらに別のさらなる付加的な実施形態では、浮動拡散容量が、隣接ピクセルのアレイの中の各ピクセルの変換利得を決定する。

## 【0062】

10

20

30

40

50

さらなる実施形態では、少なくとも1つの焦点面内の隣接ピクセルのアレイは、隣接ピクセルの第1のアレイであり、撮像装置アレイは、複数の焦点面のうちのもう1つの内側に隣接ピクセルの第2のアレイを含み、隣接ピクセルの第2のアレイの中のピクセルは、隣接ピクセルの第2のアレイの中の各ピクセルの変換利得を決定する、浮動拡散容量を有し、隣接ピクセルの第2のアレイの中のピクセルの捕捉帯域は、隣接ピクセルの第1のアレイの中のピクセルの捕捉帯域とは異なり、隣接ピクセルの第1のアレイの中のピクセルの変換利得は、隣接ピクセルの第2のアレイの中のピクセルの変換利得とは異なる。

【0063】

別の実施形態では、隣接ピクセルの第1および第2のアレイの浮動拡散コンデンサは、ピクセル出力の入力基準雑音を最小限化するように構成される。

10

【0064】

なおもさらなる実施形態では、少なくとも1つの焦点面内の隣接ピクセルのアレイは、隣接ピクセルの第1のアレイであり、撮像装置アレイは、複数の焦点面のうちのもう1つの内側に隣接ピクセルの第2のアレイを含み、隣接ピクセルの第2のアレイの中のピクセルは、隣接ピクセルの第2のアレイの中の各ピクセルの変換利得を決定する、浮動拡散容量を有し、隣接ピクセルの第2のアレイの中のピクセルの捕捉帯域は、隣接ピクセルの第1のアレイの中のピクセルの捕捉帯域と同じであり、隣接ピクセルの第1のアレイの中のピクセルの変換利得は、隣接ピクセルの第2のアレイの中のピクセルの変換利得とは異なる。

【0065】

なおも別の実施形態では、アレイの中の各ピクセルのソースフォロワ利得は、ピクセルの出力電圧を決定する。

20

【0066】

さらなる実施形態では、少なくとも1つの焦点面内の隣接ピクセルのアレイは、隣接ピクセルの第1のアレイであり、撮像装置アレイは、複数の焦点面のうちのもう1つの内側に隣接ピクセルの第2のアレイを含み、隣接ピクセルの第2のアレイの中のピクセルは、隣接ピクセルの第2のアレイの中の各ピクセルの固定ソースフォロワ利得を有し、隣接ピクセルの第2のアレイの中のピクセルの捕捉帯域は、隣接ピクセルの第1のアレイの中のピクセルの捕捉帯域とは異なり、隣接ピクセルの第1のアレイの中のピクセルのソースフォロワ利得は、隣接ピクセルの第2のアレイの中のピクセルのソースフォロワ利得とは異なる。

30

【0067】

さらに別の実施形態では、隣接ピクセルの第1のアレイと第2のアレイとのソースフォロワ利得は、各ピクセルの最大出力信号振れが同じであるように構成される。

【0068】

再度、さらなる実施形態では、第1の焦点面内の隣接ピクセルの第1のアレイは、第1の捕捉帯域を有し、第2の焦点面内の隣接ピクセルの第2のアレイは、第2の捕捉帯域を有し、第1および第2の捕捉帯域は、異なり、撮像装置アレイは、裏面照射され、隣接ピクセルの第1のアレイを含有する領域中の撮像装置アレイの薄化深度は、隣接ピクセルの第2のアレイを含有する撮像装置アレイの領域の薄化深度とは異なる。

40

【0069】

再度、別の実施形態では、第1の捕捉帯域と第2の捕捉帯域とは、重複しない。

【0070】

さらに付加的な実施形態では、第1のアレイを含有する領域中のアレイの中の撮像装置の薄化深度は、第1の捕捉帯域に関係し、第2のアレイを含有する領域中のアレイの中の撮像装置の薄化深度は、第2の捕捉帯域に関係する。

【0071】

別の付加的な実施形態では、第1の薄化深度は、450nmの公称捕捉帯域波長を考慮して、フォトダイオードの空乏領域内にピークキャリア生成を位置付けるよう構成される。

50

## 【 0 0 7 2 】

なおもさらなる実施形態では、第1の薄化深度は、550nmの公称捕捉帯域波長を考慮して、フォトダイオードの空乏領域内にピークキャリア生成を位置付けるよう構成される。

## 【 0 0 7 3 】

なおもさらなる別の実施形態では、第1の薄化深度は、640nmの公称捕捉帯域波長を考慮して、フォトダイオードの空乏領域内にピークキャリア生成を位置付けるよう構成される。

## 【 0 0 7 4 】

再度、なおもさらなる実施形態では、第1の焦点面内の隣接ピクセルの第1のアレイは、第1の捕捉帯域を有し、第2の焦点面内の隣接ピクセルの第2のアレイは、第2の捕捉帯域を有し、第1および第2の捕捉帯域は、異なり、隣接ピクセルの第1のアレイの中のピクセルは、第1のピクセルサイズであり、隣接ピクセルの第2のアレイの中のピクセルは、第2のピクセルサイズであり、第1のピクセルサイズは、第2のピクセルサイズよりも大きく、第1の捕捉帯域は、第2の捕捉帯域よりも長い光の波長を含む。

10

## 【 0 0 7 5 】

なおもさらなる付加的な実施形態では、制御回路の第1の部分は、焦点面の片側に位置し、制御回路の第2の部分は、焦点面の反対側に位置する。

## 【 0 0 7 6 】

なおも別の付加的な実施形態では、制御回路の第1の部分は、第1の焦点面内の複数のピクセル、および第1の焦点面に隣接して位置する第2の焦点面内の複数のピクセルによる、情報の捕捉を制御するように構成される。

20

## 【 0 0 7 7 】

再度、さらなる実施形態では、撮像装置アレイは、撮像装置アレイの焦点面より上側に位置付けられるレンズアレイを受容するように構成され、複数の焦点面のそれぞれは、レンズアレイが撮像装置アレイに載置された時に、レンズアレイの画像範囲に対応する撮像装置アレイの中の領域内に位置する。

## 【 0 0 7 8 】

再度、さらに別の実施形態はまた、撮像装置アレイの焦点面より上側に載置されるカバーガラスも含む。

30

## 【 0 0 7 9 】

再度、さらに付加的な実施形態では、隣接焦点面は、間隔距離によって分離される。

## 【 0 0 8 0 】

再度、別の付加的な実施形態では、制御回路は、隣接焦点面の間の間隔距離内に位置する。

## 【 0 0 8 1 】

別のさらなる実施形態では、サンプリング回路は、隣接焦点面の間の間隔距離内に位置する。

## 【 0 0 8 2 】

一実施形態は、複数の焦点面であって、各焦点面は、各次元に少なくとも2つのピクセルを有する、ピクセルの2次元配設を備え、各焦点面は、別の焦点面からのピクセルを含有しない、撮像装置アレイの領域内に含有される、複数の焦点面と、焦点面内のピクセルによる画像情報の捕捉を制御するように構成される、制御回路であって、制御回路は、焦点面の少なくとも2つの中のピクセルによる画像情報の捕捉が別々に制御可能であるように、構成される、制御回路と、ピクセル出力をデジタルピクセルデータに変換するように構成される、サンプリング回路と、出力インターフェースを介してピクセルデータを伝送するように構成される、出力インターフェース回路とを含む。

40

## 【 0 0 8 3 】

本発明のさらなる実施形態では、撮像装置アレイは、 $M \times N$ の焦点面を含み、出力インターフェースは、 $M \times N$ 未満の出力ポートを含み、制御回路は、出力インターフェースの

50

出力ポート上にピクセルデータを時間多重化するように構成される。

【0084】

別の実施形態では、制御回路はさらに、タイムスロットが、ピクセルデータを伝送するために出力インターフェースの出力ポート上で利用可能となるまで、複数の焦点面からピクセルデータをバッファリングするように構成されるメモリを備える。

【0085】

なおもさらなる実施形態では、制御回路は、出力インターフェースを介して伝送されるピクセルデータの間コードを挿入するように構成され、コードは、焦点面を識別する情報を提供する。

【0086】

なおも別の実施形態では、制御回路は、出力インターフェースを介して伝送されるピクセルデータの間コードを挿入するように構成され、コードは、焦点面内のピクセルの少なくとも1つの行を識別する情報を提供する。

【0087】

さらなる実施形態では、制御回路は、出力インターフェースを介して伝送されるピクセルデータの間コードを挿入するように構成され、コードは、焦点面内のピクセルの少なくとも1つの列を識別する情報を提供する。

【0088】

さらに別の実施形態では、制御回路は、出力インターフェースを介して伝送されるピクセルデータの間コードを挿入するように構成され、コードは、ピクセルデータ捕捉の相対的時間を識別する情報を提供する。

【0089】

再度、さらなる実施形態では、コードは、ピクセルデータ捕捉の相対的開始時間を識別する情報を提供する。

【0090】

再度別の実施形態では、コードは、ピクセルデータ捕捉の相対的終了時間を識別する情報を提供する。

【0091】

さらに付加的な実施形態では、制御回路はさらに、カウンタを備え、ピクセルデータ捕捉の相対的時間を識別する情報を提供するコードは、カウンタを使用して生成される。

【0092】

別の付加的な実施形態では、制御回路は、出力インターフェースを介して伝送されるピクセルデータの間コードを挿入するように構成され、コードは、撮像装置アレイの動作パラメータに関する情報を提供する。

【0093】

なおもさらなる実施形態では、コードは、各焦点面の積分時間を提供する。

【0094】

なおもさらなる別の実施形態では、コードは、各焦点面の利得を提供する。

【0095】

再度、なおもさらなる実施形態では、出力インターフェース回路は、出力インターフェースを介したピクセルデータの伝送の間にフレームブランキング区間を挿入するように構成される。

【0096】

再度、なおも別の実施形態では、出力インターフェース回路はさらに、出力インターフェースを介したピクセルデータのラインの伝送の間にラインブランキング区間を挿入するように構成される。

【0097】

なおもさらなる付加的な実施形態では、出力インターフェース回路は、ビット削減を行うことによって、ピクセルデータを変換するように構成される。

【0098】

10

20

30

40

50

本発明の方法の実施形態は、複数の焦点面を有する撮像装置アレイを使用して、ピクセルデータを別々に捕捉するステップであって、各焦点面は、各次元に少なくとも2つのピクセルを有する、ピクセルの2次元配設を備え、各焦点面は、ピクセルデータの捕捉中に、別の焦点面からのピクセルを含有しない、撮像装置アレイの領域内に含有される、ステップと、撮像装置アレイの中のメモリ内に、捕捉したピクセルデータの複数部分をバッファリングするステップと、タイムスロットが出力ポート上で利用可能であるときに、撮像装置アレイの中の出カインターフェースを介して、バッファリングしたピクセルデータを伝送するステップとを含む。

【0099】

本発明のさらなる実施形態はまた、出力インターフェースを介して伝送されるピクセルデータの間にコードを挿入するために、撮像装置アレイ上の制御回路を使用するステップも含み、コードは、焦点面を識別する情報を提供する。

10

【0100】

本発明の別の実施形態はまた、出力インターフェースを介して伝送されるピクセルデータの間にコードを挿入するために、撮像装置アレイ上の制御回路を使用するステップも含み、コードは、焦点面内のピクセルの少なくとも1つの行を識別する情報を提供する。

【0101】

本発明のなおさらなる実施形態はまた、出力インターフェースを介して伝送されるピクセルデータの間にコードを挿入するために、撮像装置アレイ上の制御回路を使用するステップも含み、コードは、焦点面内のピクセルの少なくとも1つの列、ピクセルデータ捕捉の相対的時間、ピクセルデータ捕捉の相対的開始時間、ピクセルデータ捕捉の相対的終了時間、各焦点面の積分時間、および各焦点面の利得のうちの少なくとも1つを識別する情報を提供する。

20

【0102】

本発明のなお別の実施形態はまた、出力インターフェースを介した、バッファリングしたピクセルデータの伝送の間にラインランキング区間を挿入するために、撮像装置アレイ上の制御回路を使用するステップも含む。

【0103】

本発明のさらなる実施形態はまた、捕捉したピクセルデータの伝送の完了時にフレームランキング区間を挿入するために、撮像装置アレイ上の制御回路を使用するステップも含む。

30

本明細書は、例えば、以下の項目も提供する。

(項目1)

撮像装置アレイであって、

該撮像装置アレイは、

複数の焦点面であって、各焦点面は、各次元に少なくとも2つのピクセルを有するピクセルの2次元配設を備え、各焦点面は、別の焦点面からのピクセルを含有しない該撮像装置アレイの領域内に含有される、複数の焦点面と、

制御回路であって、該制御回路は、該焦点面内の該ピクセルによる画像情報の捕捉を制御するように構成され、該制御回路は、該焦点面のうちの少なくとも2つの中の該ピクセルによる画像情報の捕捉が別々に制御可能であるように構成される、制御回路と、

40

ピクセル出力をデジタルピクセルデータに変換するように構成されるサンプリング回路と

を備える、撮像装置アレイ。

(項目2)

前記複数の焦点面は、1つの次元に少なくとも3つの焦点面を有する焦点面の2次元アレイとして配設される、項目1に記載の撮像装置アレイ。

(項目3)

前記複数の焦点面は、両方の次元に少なくとも3つの焦点面を有する焦点面の2次元アレイとして配設される、項目1に記載の撮像装置アレイ。

50

(項目4)

焦点面のN×Mのアレイとして配設される前記複数の焦点面は、青色光を捕捉するように構成される少なくとも2つの焦点面と、緑色光を捕捉するように構成される少なくとも2つの焦点面と、赤色光を捕捉するように構成される少なくとも2つの焦点面とを備える、項目1に記載の撮像装置アレイ。

(項目5)

各焦点面は、ピクセルの行および列を備える、項目1に記載の撮像装置アレイ。

(項目6)

前記制御回路は、ピクセルの再設定を制御することによって、前記ピクセルによる画像情報の捕捉を制御するように構成される、項目1に記載の撮像装置アレイ。

10

(項目7)

前記制御回路は、ピクセルの読み出しを制御することによって、前記ピクセルによる画像情報の捕捉を制御するように構成される、項目1に記載の撮像装置アレイ。

(項目8)

前記制御回路は、各ピクセルの積分時間を制御することによって、画像情報の捕捉を制御するように構成される、項目1に記載の撮像装置アレイ。

(項目9)

前記制御回路は、前記サンプリング回路の利得を制御することによって、画像情報の処理を制御するように構成される、項目1に記載の撮像装置アレイ。

(項目10)

前記制御回路は、各ピクセルの黒レベルオフセットを制御することによって、画像情報の処理を制御するように構成される、項目1に記載の撮像装置アレイ。

20

(項目11)

前記制御回路は、読み出し方向を制御することによって、画像情報の捕捉を制御するように構成される、項目1に記載の撮像装置アレイ。

(項目12)

前記読み出し方向は、

上面から底面、および

底面から上面

から成る群より選択される、項目11に記載の撮像装置アレイ。

30

(項目13)

前記読み出し方向は、

左側から右側、および

右側から左側

から成る群より選択される、項目11に記載の撮像装置アレイ。

(項目14)

前記制御回路は、画像情報の捕捉を、関心の読み出し領域を制御することによって制御するように構成される、項目1に記載の撮像装置アレイ。

(項目15)

前記制御回路は、画像情報の捕捉を、水平サブサンプリングを制御することによって制御するように構成される、項目1に記載の撮像装置アレイ。

40

(項目16)

前記制御回路は、画像情報の捕捉を、垂直サブサンプリングを制御することによって制御するように構成される、項目1に記載の撮像装置アレイ。

(項目17)

前記制御回路は、画像情報の捕捉を、ピクセル電荷ビニングを制御することによって制御するように構成される、項目1に記載の撮像装置アレイ。

(項目18)

前記撮像装置アレイは、モノリシック集積回路撮像装置アレイである、項目1に記載の撮像装置アレイ。

50

(項目19)

少なくとも1つの焦点面内の隣接ピクセルの2次元アレイは、同じ捕捉帯域を有する、項目1に記載の撮像装置アレイ。

(項目20)

前記捕捉帯域は、  
青色光、  
シアン光、  
可視光および近赤外光を含む拡張色光、  
緑色光、  
赤外光、  
マゼンタ光、  
近赤外光、  
赤色光、  
黄色光、および  
白色光  
から成る群より選択される、項目19に記載の撮像装置アレイ。

10

(項目21)

第1の焦点面内の隣接ピクセルの第1のアレイは、第1の捕捉帯域を有し、  
第2の焦点面内の隣接ピクセルの第2のアレイは、第2の捕捉帯域を有し、該第1の捕捉帯域と第2の捕捉帯域とは、同じであり、  
周辺回路は、該隣接ピクセルの第1のアレイの積分時間が第1の期間であるように構成され、  
該周辺回路は、該隣接ピクセルの第2のアレイの積分時間が第2の期間であるように構成され、該第2の期間は、該第1の期間よりも長い、項目1に記載の撮像装置アレイ。

20

(項目21)

前記焦点面のうちの少なくとも1つは、隣接ピクセルのアレイを含み、該隣接ピクセルのアレイの中のピクセルは、光の異なる色を捕捉するように構成される、項目1に記載の撮像装置アレイ。

(項目22)

前記隣接ピクセルのアレイは、ベイヤーフィルタパターンを採用する、項目21に記載の撮像装置アレイ。

30

(項目23)

前記複数の焦点面は、焦点面の2×2のアレイとして配設され、  
該焦点面のアレイの中の第1の焦点面は、ベイヤーフィルタパターンを採用する隣接ピクセルのアレイを含み、  
該焦点面のアレイの中の第2の焦点面は、緑色光を捕捉するように構成される隣接ピクセルのアレイを含み、  
該焦点面のアレイの中の第3の焦点面は、赤色光を捕捉するように構成される隣接ピクセルのアレイを含み、  
該焦点面のアレイの中の第4の焦点面は、青色光を捕捉するように構成される隣接ピクセルのアレイを含む、項目22に記載の撮像装置アレイ。

40

(項目24)

前記複数の焦点面は、1つの次元に少なくとも3つの焦点面を有する焦点面の2次元アレイとして配設される、項目22に記載の撮像装置アレイ。

(項目25)

前記複数の焦点面は、両方の次元に少なくとも3つの焦点面を有する焦点面の2次元アレイとして配設される、項目22に記載の撮像装置アレイ。

(項目26)

前記制御回路は、グローバルカウンタを備える、項目1に記載の撮像装置アレイ。

(項目27)

50



前記制御回路は、各焦点面がグローバルカウンタに対して制御された時間的オフセットを有するように、画像読み出しの開始点を交互にするように構成される、項目 2 6 に記載の撮像装置アレイ。

(項目 2 8)

前記制御回路は、前記グローバルカウンタを使用して、前記焦点面内の前記ピクセルの前記捕捉帯域に基づいて、各焦点面内の該ピクセルの積分時間を別々に制御するように構成される、項目 2 6 に記載の撮像装置アレイ。

(項目 2 9)

前記制御回路は、前記グローバルカウンタに基づいて、各焦点面のフレームレートを別々に制御するように構成される、項目 2 6 に記載の撮像装置アレイ。

10

(項目 3 0)

前記制御回路は、各焦点面に対する一対のポイントをさらに備える、項目 2 6 に記載の撮像装置アレイ。

(項目 3 1)

前記ポイント間のオフセットは、積分時間を特定する、項目 3 0 に記載の撮像装置アレイ。

(項目 3 2)

前記ポイント間のオフセットは、プログラム可能である、項目 3 0 に記載の撮像装置アレイ。

(項目 3 3)

20

前記制御回路は、各焦点面専用の行コントローラを備える、項目 1 に記載の撮像装置アレイ。

(項目 3 4)

前記撮像装置アレイは、 $M \times N$ の焦点面のアレイを含み、

前記制御回路は、 $M$ 個の焦点面の各行の中のピクセルの各行をアドレス指定するように構成される単一の行デコーダ回路を備える、項目 1 に記載の撮像装置アレイ。

(項目 3 5)

前記制御回路は、前記行デコーダおよび列回路が、第 1 の焦点面内のピクセルの第 1 の行をサンプリングするように、第 1 組のピクセルレベルタイミング信号を生成するように構成され、

30

該制御回路は、該行デコーダおよび列回路が、第 2 の焦点面内のピクセルの第 2 の行をサンプリングするように第 2 組のピクセルレベルタイミング信号を生成するように構成される、項目 3 4 に記載の撮像装置アレイ。

(項目 3 6)

各焦点面は、専用サンプリング回路を備える、項目 1 に記載の撮像装置アレイ。

(項目 3 7)

前記サンプリング回路の少なくとも一部分は、前記複数の焦点面によって共有される、項目 1 に記載の撮像装置アレイ。

(項目 3 8)

前記撮像装置アレイは、 $M \times N$ の焦点面のアレイを含み、

40

前記サンプリング回路は、 $M$ 個のアナログ信号プロセッサ (ASP) を備え、各 ASP は、 $N$ 個の焦点面から読み出されたピクセルをサンプリングするように構成される、項目 3 7 に記載の撮像装置アレイ。

(項目 3 9)

各 ASP は、 $N$ 個の入力を介して前記 $N$ 個の焦点面からピクセル出力信号を受信するように構成され、

各 ASP は、その $N$ 個の入力上で各ピクセル出力信号を連続的に処理するように構成される、項目 3 8 に記載の撮像装置アレイ。

(項目 4 0)

前記制御回路は、単一の共通アナログピクセル信号読出しラインが $N$ 個の焦点面のグル

50

ープの中の全てのピクセルによって共有されるように構成され、

該制御回路は、画像データの捕捉を制御して、前記M個のASPの各々によって受信される前記ピクセル出力信号を時間多重化するように構成される、項目38に記載の撮像装置アレイ。

(項目41)

前記撮像装置アレイは、M×Nの焦点面のアレイを含み、

前記サンプリング回路は、複数のアナログ信号プロセッサ(ASP)を備え、各ASPは、複数の焦点面から読み出されたピクセルをサンプリングするように構成され、

前記制御回路は、単一の共通アナログピクセル信号読出しラインが該複数の焦点面内の全てのピクセルによって共有されるように構成され、

該制御回路は、画像データの捕捉を制御して、該複数のASPの各々によって受信される前記ピクセル出力信号を時間多重化するように構成される、項目37に記載の撮像装置アレイ。

(項目42)

前記サンプリング回路は、アナログフロントエンド(AFE)回路と、アナログデジタル変換(ADC)回路とを備える、項目1に記載の撮像装置アレイ。

(項目43)

前記サンプリング回路は、各焦点面が専用AFEを有し、少なくとも1つのADCが少なくとも2つの焦点面の間に共有されるように構成される、項目42に記載の撮像装置アレイ。

(項目44)

前記サンプリング回路は、少なくとも1つのADCが一对の焦点面の間に共有されるように構成される、項目43に記載の撮像装置アレイ。

(項目45)

前記サンプリング回路は、少なくとも1つのADCが4つの焦点面の間に共有されるように構成される、項目43に記載の撮像装置アレイ。

(項目46)

前記サンプリング回路は、少なくとも1つのAFEが少なくとも2つの焦点面の間に共有されるように構成される、項目45に記載の撮像装置アレイ。

(項目47)

前記サンプリング回路は、少なくとも1つのAFEが少なくとも一对の焦点面の間に共有されるように構成される、項目46に記載の撮像装置アレイ。

(項目48)

前記サンプリング回路は各々、AFEを共有する2対の焦点面が集合的にADCを共有するように構成される、項目47に記載の撮像装置アレイ。

(項目49)

前記制御回路は、各焦点面および関連AFE回路の電源を切った状態またはその中の処理タイムスロットを別々に制御するように構成される、項目1に記載の撮像装置アレイ。

(項目50)

前記制御回路は、少なくとも1つの不活性焦点面の前記ピクセルが一定のリセット状態にあるように構成する、項目49に記載の撮像装置アレイ。

(項目51)

少なくとも1つの焦点面は、該焦点面を使用して捕捉されるピクセルデータを校正するための基準ピクセルを含む、項目1に記載の撮像装置アレイ。

(項目52)

前記制御回路は、前記焦点面の関連AFE回路の電源を切った状態またはその中の処理タイムスロットを別々に制御するように構成され、

該制御回路は、該焦点面の前記基準ピクセルの読出しのために、該関連AFE回路またはその中の処理タイムスロットの電源を切ることなく、該焦点面の関連AFE回路またはその中の処理タイムスロットの電源を切るように構成される、項目51に記載の撮像装置

10

20

30

40

50

アレイ。

【図面の簡単な説明】

【0104】

【図1】図1は、本発明の実施形態による、アレイカメラのブロック図である。

【図1A】図1Aは、本発明の実施形態による、モノリシック撮像装置アレイのブロック図である。

【図2】図2A - 2Bは、本発明の実施形態による、撮像装置アレイの撮像装置構成を図示する。

【図3】図3は、本発明の実施形態による、撮像装置アレイのアーキテクチャを図示する。

【図4】図4は、本発明の実施形態による、共有アナログ・デジタル変換器を含む、撮像装置アレイの別のアーキテクチャを図示する。

【図4A】図4Aは、本発明の実施形態による、共有列回路を含む、撮像装置アレイのさらなるアーキテクチャを図示する。

【図4B】図4Bは、本発明の実施形態による、共有分割列回路を含む、撮像装置アレイのなお別のアーキテクチャを図示する。

【図4C】図4Cは、本発明の実施形態による、読み出された2つの焦点面からの列回路出力の移相を図示する。

【図4D】図4Dは、本発明の実施形態による、専用アナログフロントエンド回路を有し、アナログ・デジタル変換器を共有する、撮像装置アレイの中の一対の焦点面を図示する。

【図4E】図4Eは、本発明の実施形態による、複数対の焦点面がアナログフロントエンド回路を共有し、4つの焦点面のグループがアナログ・デジタル変換器を共有する、撮像装置アレイの4つの焦点面のグループを図示する。

【図4F】図4Fは、本発明の実施形態による、一対の焦点面が列制御読み出し回路を共有する、撮像装置アレイ内の一対の焦点面を図示する。

【図4G】図4Gは、本発明の実施形態による、列制御および読み出し回路が分割され、列制御および読み出し回路の単一のブロックが、第1の焦点面からの奇数列および第2の焦点面からの偶数列を読み出す、撮像装置アレイ内の一対の焦点面を図示する。

【図4H】図4Hは、本発明の実施形態による、焦点面タイミングおよび制御回路を図示するブロック図である。

【図5】図5は、本発明の実施形態による、最適化された薄化深度を伴う裏面照射された撮像装置アレイを図示する。

【発明を実施するための形態】

【0105】

ここで図面を参照すると、本発明の実施形態によるアレイカメラで使用するために構成される、撮像装置アレイのアーキテクチャが図示されている。多くの実施形態では、撮像装置アレイ上の集中コントローラが、アレイの中の各焦点面の捕捉時間の微調整を可能にする。焦点面という用語は、ピクセルの2次元配設を表す。撮像装置アレイの中の焦点面は、典型的には重複しない(すなわち、各焦点面が撮像装置アレイ上の別個の領域内に位置する)。撮像装置という用語は、焦点面、および焦点面内のピクセルを使用して画像情報の捕捉を制御する制御回路の組み合わせを表すために使用される。いくつかの実施形態では、撮像装置アレイの焦点面は、別々に誘起することができる。いくつかの実施形態では、撮像装置アレイの焦点面は、各焦点面内のピクセルの捕捉帯域に併せた異なる積分時間を利用する。ピクセルの捕捉帯域は、典型的には、ピクセルが敏感である、電磁システムの連続サブバンドを指す。加えて、焦点面内のピクセルの全てまたは大部分が同じ捕捉帯域を有するような特定の焦点面の特殊化は、いくつかのピクセル性能向上、および撮像装置アレイ内の周辺回路の利用の効率の増加を可能にする。

【0106】

いくつかの実施形態では、撮像装置アレイのピクセルは、裏面照射され、焦点面のそれ

10

20

30

40

50

それを含有する領域の基板は、各焦点面の中のピクセルによって感知されるスペクトル波長に応じて、異なる深度まで薄くされる。加えて、特定の捕捉帯域に対するピクセルの性能を向上させるように、ピクセル自体を修正することができる。多くの実施形態では、各焦点面の中のピクセルの変換利得、ソースフォロワ利得、およびフルウェルキャパシティは、それらの特定の捕捉帯域に対するピクセルの性能を向上させるように決定される。

#### 【0107】

いくつかの実施形態では、各焦点面は、画像情報の情報を制御するように専用周辺回路を保有する。ある実施形態では、焦点面の中へ同じ捕捉帯域を捕捉することを目的としているピクセルのグループ化は、周辺回路がピクセルの間で共有されることを可能にする。多くの実施形態では、アナログフロントエンド、アナログ・デジタル変換器、および/または列読み出しおよび制御回路が、2つの焦点面内のピクセルの間で共有される。

10

#### 【0108】

多くの実施形態では、撮像装置アレイの中の撮像装置は、電力を節約するように低電力状態にすることができ、それは、出力画像を生成するために全ての撮像装置が使用されることを要求しない動作モード（例えば、低解像度モード）で有用となり得る。いくつかの実施形態では、低電力状態の撮像装置のピクセルは、その最大潜在能力およびキャリア収集能力でフォトダイオードの空乏領域を維持するよう、移動ゲートがオンの状態で保たれ、したがって、非動作中撮像装置の中で生成された光生成キャリアが、動作中撮像装置のピクセルに移動する確率を最小限化する。本発明の実施形態によるアレイカメラおよび撮像装置アレイは、以下でさらに論議される。

20

#### 【0109】

##### (1. アレイカメラアーキテクチャ)

本発明の実施形態による種々のアレイカメラ構成で使用することができる、アレイカメラアーキテクチャが、図1に図示されている。アレイカメラ100は、画像処理パイプラインモジュール120およびコントローラ130に接続される、撮像装置アレイ110を含む。

#### 【0110】

撮像装置アレイ110は、そのそれぞれが別個のレンズシステムを通して光を受容する、個々の独立した焦点面の $M \times N$ のアレイを含む。撮像装置アレイはまた、焦点面および物理的パラメータを感知する1つ以上のセンサを使用して、画像データの捕捉を制御する他の回路を含むこともできる。制御回路は、露出時間、トリガ時間、利得、および黒レベルオフセット等の撮像および機能パラメータを制御することができる。制御回路はまた、読み出し方向（例えば、上面から底面または底面から上面、および左側から右側または右側から左側）を制御することによって、画像情報の捕捉を制御することもできる。制御回路はまた、関心の領域、水平サブサンプリング、垂直サブサンプリング、および/または電荷ビニングの読み出しを制御することもできる。多くの実施形態では、撮像パラメータを制御するための回路は、別々に、または同期化して、各焦点面を誘起してもよい。撮像装置アレイは、動作温度における暗電流を推定するように、暗ピクセルを含むが、それらに限定されない、種々の他のセンサを含むことができる。本発明の実施形態によるアレイカメラで利用することができる撮像装置アレイは、その開示が、その全体で参照することにより本明細書に組み込まれる、Venkataramanらに対する国際公開第2009/151903号で開示されている。モノリシック実装では、撮像装置アレイは、モノリシック集積回路を使用して実装されてもよい。本発明の実施形態による撮像装置アレイが、単一の内蔵型SOCチップまたはダイで実装されるときに、撮像装置アレイを撮像装置アレイと呼ぶことができる。撮像装置アレイという用語は、その上で撮像装置アレイおよび関連制御、サポート、および読み出し電子機器が統合される、半導体チップを表すために使用することができる。

30

40

#### 【0111】

画像処理パイプラインモジュール120は、撮像装置アレイ110から受信される画像を処理するためのハードウェア、ファームウェア、ソフトウェア、またはそれらの組み合

50

わせである。画像処理パイプラインモジュール120は、典型的には、本発明の実施形態に従って、カメラアレイによって捕捉される複数の低解像度(LR)画像を処理し、合成高解像度画像を生成する。いくつかの実施形態では、画像処理パイプラインモジュール120は、出力122を介して、合成画像データを提供する。本発明の実施形態によるカメラアレイで利用することができる、種々の画像処理パイプラインモジュールは、その開示が、その全体で参照することにより本明細書に組み込まれる、2010年12月14日出願の「System and Methods for Synthesizing High Resolution Images Using Super-Resolution Processes」と題された米国特許出願第12/967,807号で開示されている。

10

#### 【0112】

コントローラ130は、撮像装置アレイ110の種々の動作パラメータを制御するためのハードウェア、ソフトウェア、ファームウェア、またはそれらの組み合わせである。多くの実施形態では、コントローラ130は、ユーザまたは他の外部構成要素から入力132を受信し、撮像装置アレイ110を制御するように操作信号を送信する。コントローラ130はまた、撮像装置アレイ110によって捕捉されるLR画像の処理をサポートするように、情報を画像処理パイプラインモジュール120に送信することもできる。

#### 【0113】

特定のアレイカメラアーキテクチャが図1に図示されているが、撮像装置アレイを使用して場面の複数の画像を捕捉するための代替的なアーキテクチャも、本発明の実施形態に従って利用することができる。本発明の実施形態による、アレイカメラの動作、撮像装置アレイ構成、および場面の複数の捕捉した画像の処理は、以下でさらに論議される。

20

#### 【0114】

##### (2. 撮像装置アレイアーキテクチャ)

本発明の実施形態による撮像装置アレイが、図1Aに図示されている。撮像装置アレイは、焦点面153のアレイを含む焦点面アレイコア152と、全アナログ信号処理、ピクセルレベル制御論理、信号伝達、およびアナログ・デジタル変換回路とを含む。撮像装置アレイはまた、ピクセルを使用して画像情報の捕捉を制御する責任がある、焦点面タイミングおよび制御回路154も含む。いくつかの実施形態では、焦点面タイミングおよび制御回路は、ピクセルの積分時間を制御するために、リセットおよび読み出し信号を利用する。他の実施形態では、ピクセルの積分時間を制御するために、および/またはピクセルを使用して画像情報を捕捉するために、種々の技法のうちのいずれかを利用することができる。多くの実施形態では、焦点面タイミングおよび制御回路154は、高ダイナミックレンジ撮像、高速ビデオ、および電子画像安定化を含む(しかしそれらに限定されない)特徴を可能にする、画像情報捕捉制御の融通性を提供する。種々の実施形態では、撮像装置アレイは、電力管理およびバイアス生成回路156を含む。電力管理およびバイアス生成回路156は、ADCがそれに対して変換される信号を測定する、基準電圧等の電流および電圧基準をアナログ回路に提供する。多くの実施形態では、電力管理およびバイアス回路はまた、節電理由により、使用されていないときに、ある回路への電流/電圧基準をオフにする論理も含む。いくつかの実施形態では、撮像装置アレイは、撮像装置アレイによって捕捉される画像データの黒レベルの一貫性を増加させ、行の時間的雑音および列の固定パターン雑音の出現を低減することができる、暗電流および固定パターン(FPN)補正回路158を含む。いくつかの実施形態では、各焦点面は、焦点面の暗電流およびFPNを較正する目的で基準ピクセルを含み、制御回路は、暗電流およびFPNの較正の必要性を低減することによって、撮像装置アレイに電力供給することができる速度を増加させるために、焦点面の残りのピクセルの電源が切られたときに、基準ピクセルを動作状態に保つことができる。多くの実施形態では、SOC撮像装置は、焦点面から捕捉されたデータをコンテナファイルの中へパッケージ化し、伝送のために捕捉した画像を準備することができる、焦点面フレーミング回路160を含む。いくつかの実施形態では、焦点面フレーミング回路は、捕捉した画像が由来する、焦点面および/またはピクセル群を識別す

30

40

50

る情報を含む。いくつかの実施形態では、撮像装置アレイはまた、捕捉した画像データを外部デバイスに伝送するためのインターフェースも含む。図示した実施形態では、インターフェースは、撮像装置アレイから30fpsでビデオの読み出しをサポートすることができる、4つのレーンをサポートし、データ出力インターフェース回路162、インターフェース制御回路164、およびインターフェース入力回路166を組み込む、MIPI CSI 2出力インターフェースである。典型的には、各レーンの帯域幅は、撮像装置アレイの中のピクセルの総数および所望のフレームレートのために最適化される。本発明の実施形態による、撮像装置アレイ内の撮像装置のアレイによって捕捉された画像データを外部デバイスに伝送するための、MIPI CSI 2インターフェースを含む種々のインターフェースの使用は、その開示が、その全体で参照することにより本明細書に組み込まれる、2011年5月11日出願の「Systems and Methods for Transmitting Array Camera Data」と題された米国仮特許出願第61/484,920号で説明されている。しかし、撮像装置アレイアーキテクチャの特定の構成要素が、図1Aに関して上記で論議されている。以下でさらに論議されるように、本発明の実施形態に従って、複数の焦点面で場面の画像の捕捉を可能にする、種々の撮像装置アレイのうちのいずれかを、本発明の実施形態に従って構築することができる。したがって、本発明の実施形態による、撮像装置アレイに含むことができる、焦点面アレイコアおよび種々の構成要素が、以下でさらに論議される。

10

#### 【0115】

##### (3. 焦点面アレイコア)

20

本発明の実施形態による焦点面アレイコアは、撮像装置のアレイと、各焦点面内のピクセルを使用して画像データを捕捉するための専用周辺回路とを含む。本発明の実施形態による撮像装置アレイは、特定の用途に適切な種々の異なる構成のうちのいずれかで構成される、焦点面アレイコアを含むことができる。例えば、焦点面、ピクセル、および専用周辺回路に関することを含んで(しかしそれらに限定されない)、特定の撮像装置アレイ設計に、カスタマイズを行うことができる。本発明の実施形態による焦点面アレイコアに組み込むことができる、種々の焦点面、ピクセル設計、および周辺回路は、以下で論議される。

#### 【0116】

##### (3.1. 撮像装置アレイ上の焦点面の形成)

30

焦点面がピクセル要素のアレイから形成される、撮像装置アレイを構築することができ、各焦点面は、ピクセルのサブアレイである。各サブアレイが同じ数のピクセルを有する、実施形態では、撮像装置アレイは、 $K = M \times X$ および $L = N \times Y$ であるように、 $X \times Y$ ピクセルの $M \times N$ のサブアレイで区分される、合計 $K \times L$ のピクセル要素を含む。撮像装置アレイとの関連で、各サブアレイまたは焦点面は、場面の別個の画像を生成するために使用することができる。ピクセルの各サブアレイは、従来の撮像装置(すなわち、単一焦点面を含むカメラの中の撮像装置)のピクセルと同じ機能を提供する。

#### 【0117】

以下でさらに論議されるように、本発明の実施形態による撮像装置アレイは、各焦点面を別々に順序付け、制御することができる、単一のコントローラを含むことができる。共通コントローラおよび入出力回路を有することは、より少ないシリコン面積の使用による、システムの費用の削減、リソース共有および低減したシステム相互接続による、電力消費の減少、 $M \times N$ のコントローラおよび読み出し入出力経路よりもむしろ、単一のコントローラのみと通信するホストシステムによる、より単純なシステム統合、共通コントローラの使用による、より単純なアレイ同期化、および相互接続の数の削減による、向上したシステム信頼性を含む、重要なシステム利点を提供することができる。

40

#### 【0118】

##### (3.2. 撮像装置のレイアウト)

国際公開第2009/151903号(上記で参照することにより組み込まれた)で開示されているように、撮像装置アレイは、図2Aに図示される撮像装置アレイ(200)

50

等の焦点面の任意の  $N \times M$  アレイを含むことができる。焦点面のそれぞれは、典型的には、関連フィルタおよび/または光学要素を有し、異なる光の波長を撮像することができる。いくつかの実施形態では、撮像装置アレイは、赤色光 (R) を感知する焦点面と、緑色光 (G) を感知する焦点面と、青色光 (B) を感知する焦点面とを含む。しかし、いくつかの実施形態では、焦点面のうちの1つ以上は、光の異なる色を捕捉するように構成されるピクセルを含む。いくつかの実施形態では、ピクセルは、焦点面の異なるピクセルが光の異なる色を捕捉することを可能にする、ベイヤーフィルタパターン(または同様のパターン)を採用する。いくつかの実施形態では、 $2 \times 2$  撮像装置アレイは、ピクセルがベイヤーフィルタパターン(または同様のパターン)を採用する焦点面と、ピクセルが青色光を捕捉するように構成される焦点面と、ピクセルが緑色光を捕捉するように構成される焦点面と、ピクセルが赤色光を捕捉するように構成される焦点面とを含むことができる。そのようなセンサアレイを組み込むアレイカメラは、ベイヤーフィルタを採用する焦点面を使用して捕捉された画像の色を鮮やかにするために、青色、緑色、および赤色焦点面によって捕捉される色情報を利用することができる。他の実施形態では、ベイヤーパターンを採用する焦点面は、次元のうちの1つに少なくとも3つの焦点面がある、焦点面の2次元配設を含む、撮像装置アレイに組み込まれる。いくつかの実施形態では、両方の次元に少なくとも3つの焦点面がある。

#### 【0119】

人間の眼は、赤色および青色光よりも緑色光に敏感であり、したがって、赤色または青色光を感知する焦点面よりも多くの緑色光を感知する焦点面を含む、アレイを使用して、撮像装置アレイによって捕捉された低解像度画像データから合成される画像の解像度の増加を達成することができる。緑色光 (G) を感知する17個の焦点面、赤色光 (R) を感知する4個の焦点面、および青色光 (B) を感知する4個の焦点面を含む、 $5 \times 5$  撮像装置アレイ (210) が、図2Bに図示されている。いくつかの実施形態では、撮像装置アレイはまた、微光状態でアレイカメラの性能を向上させるために使用することができる、近赤外波長または拡張色波長(すなわち、色および近赤外波長の両方に及ぶ)を感知する焦点面も含む。他の実施形態では、 $5 \times 5$  撮像装置アレイは、少なくとも13個の焦点面、少なくとも15個の焦点面、または少なくとも17個の焦点面を含む。加えて、 $5 \times 5$  撮像装置アレイは、赤色光を感知する少なくとも4つの焦点面、および/または青色光を感知する少なくとも4つの焦点面を含むことができる。加えて、赤色光を感知する焦点面の数および青色光を感知する焦点面の数は、同じとなり得るが、同じである必要はない。実際に、本発明の実施形態による、いくつかの撮像装置アレイは、異なる数の赤色光を感知する焦点面および青色光を感知する焦点面を含む。多くの実施形態では、 $3 \times 2$  アレイ、 $3 \times 3$  アレイ、 $3 \times 4$  アレイ、 $4 \times 4$  アレイ、 $4 \times 5$  アレイ、 $4 \times 6$  アレイ、 $5 \times 5$  アレイ、 $5 \times 6$  アレイ、 $6 \times 6$  アレイ、および $3 \times 7$  アレイを含む(しかしそれらに限定されない)、他のアレイが利用される。いくつかの実施形態では、撮像装置アレイは、次元のうちの1つに少なくとも3つの焦点面を有する、焦点面の2次元アレイを含む。いくつかの実施形態では、アレイの両方の次元に少なくとも3つの焦点面がある。いくつかの実施形態では、アレイは、青色光を捕捉するように構成されるピクセルを有する、少なくとも2つの焦点面と、緑色光を捕捉するように構成されるピクセルを有する、少なくとも2つの焦点面と、赤色光を捕捉するように構成されるピクセルを有する、少なくとも2つの焦点面とを含む。

#### 【0120】

付加的な撮像装置アレイ構成は、その開示が、その全体で参照することにより本明細書に組み込まれる、Venkataramanらに対する「Capturing and Process of Images Using Monolithic Camera Array with Heterogenous Imagers」と題された米国特許出願第12/952,106号で開示されている。

#### 【0121】

特定の撮像装置アレイ構成が上記で開示されているが、可視光、可視光スペクトルの複

10

20

30

40

50

数部分、近赤外光、スペクトルの他の部分、および/またはスペクトルの異なる部分の組み合わせを感知する撮像装置を含む、撮像装置の種々の規則的または不規則的レイアウトのうちの一つ以上を、本発明の実施形態によるSR過程で使用するための情報の一つ以上のチャンネルを提供する、画像を捕捉するために利用することができる。本発明の実施形態による、撮像装置アレイの中の撮像装置のピクセルの構造は、撮像装置によって撮像されるスペクトルの特定の部分に依存することができる。本発明の実施形態による撮像装置アレイの焦点面で使用することができる、異なる種類のピクセルが、以下で論議される。

#### 【0122】

##### (3.3.ピクセル設計)

色またはマルチスペクトル捕捉のために設計されている撮像装置アレイ内で、可視スペクトルのサブバンドを捕捉するように、各個別焦点面を指定することができる。各焦点面は、それが捕捉するように指定されるスペクトル帯に基づいて、本発明の実施形態による種々の方法で最適化することができる。これらの最適化は、可視スペクトルのそれぞれのサブバンドを捕捉するピクセルが、同じピクセルアレイ内で全て交互配置されるため、過去のベイヤーパターンベースの画像センサで実施することが困難である。本発明の多くの実施形態では、特定の焦点面の捕捉帯域に応じて、撮像装置アレイが異なる深度まで薄くされる、裏面照射が使用される。いくつかの実施形態では、撮像装置アレイの中のピクセルのサイズは、特定の撮像装置の捕捉帯域に基づいて決定される。いくつかの実施形態では、焦点面内のピクセル群の変換利得、ソースフォロワ利得、およびフルウェルキャパシティは、ピクセルの捕捉帯域に基づいて決定される。ピクセルの捕捉帯域に応じて、ピクセルが撮像装置アレイの中の焦点面の間で変化し得る、種々の方法が、以下でさらに論議される。

#### 【0123】

##### (3.3.1.最適化された薄化深度を伴う裏面照射された撮像装置アレイ)

シリコン基板の中の誘電体スタックの底部に位置する、フォトダイオードに最終的に到達する前に、光子が最初に、誘電体スタックを通して進まなければならない、正面から、従来の画像センサが照射される。誘電体スタックは、素子内の金属相互接続を支持するように存在する。正面照射は、光がピクセル内の金属構造によって遮断されること等の問題により、本質的に不良な量子効率(QE)性能(入射光子に対する生成されたキャリアの比)に悩まされる。向上は、典型的には、ピクセル内の金属構造を回避しようとする円錐状の入射光を集束するよう、各ピクセルに対する誘電体スタックの上のマイクロレンズ要素の堆積を通して達成される。

#### 【0124】

裏面照射は、撮像装置のQE性能を向上させるよう、画像センサ製造で採用される技法である。裏面照射(BSI)では、光子がシリコン基板の裏面を通過してフォトダイオードの空乏領域に到達することを可能にするように、(通常、化学エッチング過程を用いて)シリコン基板バルクが薄くされる。光が基板の裏面に入射するとき、正面照射に固有の金属構造による開口の問題が回避される。しかしながら、シリコンにおける光の吸収深度は、赤色光子が青色光子よりもはるかに深く浸透するように、波長に比例する。薄化過程が十分なシリコンを除去しない場合、空乏領域は、深くなりすぎて、青色光子から生成された光電子を収集できなくなる。薄化過程が過剰に多くのシリコンを除去する場合、空乏領域は、過剰に浅くなり得て、赤色光子は、相互作用してキャリアを生成することなく真っ直ぐに進む場合がある。赤色光子は、正面から後方に反射し、素子の厚さの軽微な違いにより、入射光子と相互作用して建設的および相殺的干渉を生成し得る。素子の厚さの変動によって引き起こされる効果は、縁パターンとして、および/またはとがったスペクトルQE応答として明白となり得る。

#### 【0125】

従来の撮像装置では、RGB色捕捉を提供するために、カラーフィルタ(典型的にはベイヤーフィルタ)のモザイクがしばしば使用される。モザイクベースのカラー撮像装置がBSIのために薄くされるとき、使用される過程が、個々のピクセルを異なる深度まで薄

10

20

30

40

50



くしないため、薄化深度は、典型的には全てのピクセルに対して同じである。ピクセルの共通薄化深度は、青色波長と赤色/近赤外波長との間のQE性能の必要な平衡をもたらす。本発明の実施形態による撮像装置アレイは、焦点面内のピクセルが同じスペクトル波長を感知する、撮像装置のアレイを含む。異なる焦点面は、可視スペクトルの異なるサブバンド、またはシリコンのバンドギャップエネルギーが0よりも大きい量子収率利得を有する、電磁スペクトルの実際にあらゆるサブバンドを感知することができる。したがって、各ピクセルが捕捉するように設計されている光の波長に対応する、吸収深度に最適に合致するように、焦点面のピクセルに対する薄化深度が選択される、BSIを使用することによって、撮像装置アレイの性能を向上させることができる。いくつかの実施形態では、撮像装置アレイのシリコンバルク材料は、QEを最大化するように、フォトダイオードの空乏領域内の各カメラの捕捉帯域の吸収深度に合致するように異なる厚さまで薄くされる。

10

#### 【0126】

シリコン基板が、本発明の実施形態に従って、異なるスペクトル帯域幅を感知する焦点面(すなわち、サブアレイ)に対応する領域中で異なる深度まで薄くされる、撮像装置アレイが、図5で概念的に図示されている。撮像装置アレイ500は、シリコン基板502を含み、その正面上で、誘電体スタックおよび金属相互接続504が形成される。図示した実施形態では、シリコン基板は、青色光を感知するための焦点面を形成するピクセルのフォトダイオード、緑色光を感知するための焦点面を形成するピクセルのフォトダイオード、赤色光を感知するための焦点面を形成するピクセルのフォトダイオードがそれぞれ位置する、領域506、508、510を含む。シリコン基板の裏面は、各領域中で異なる深度まで薄くされる。図示した実施形態では、基板は、青色光を感知するための撮像装置を形成するピクセルのフォトダイオードが位置する領域506中で、450nm波長光(すなわち、約0.4 $\mu$ m)の吸収深度に対応するように薄くされ、基板は、緑色光を感知するための撮像装置を形成するピクセルのフォトダイオードが位置する領域508中で、550nm波長光(すなわち、約1.5 $\mu$ m)の吸収深度に対応するように薄くされ、および基板は、赤色光を感知するための撮像装置を形成するピクセルのフォトダイオードが位置する領域510中で、640nm波長光(すなわち、約3.0 $\mu$ m)の吸収深度に対応するように薄くされる。特定の深度が図5に示されているが、特定の撮像装置によって感知されるスペクトル波長および用途の要件に適切な他の深度を、本発明の実施形態に従って利用することができる。加えて、異なる薄化深度も、本発明の実施形態による撮像装置アレイを使用して実装されない、アレイカメラで使用することができる。

20

30

#### 【0127】

多くの実施形態では、アレイ内の各撮像装置への色チャネルの指定は、フォトダイオードへの光子の光路内の帯域通過フィルタを通した入射光子の第1の濾過を介して達成される。いくつかの実施形態では、空乏領域の深度が各撮像装置のスペクトルQEを定義するため、薄化深度自体が、捕捉波長の指定を作成するために使用される。

#### 【0128】

##### (3.3.2.ピクセルサイズの最適化)

スペクトルの各サブバンドを捕捉するように指定された撮像装置で使用されるピクセルサイズを変更することによって、付加的なSNR利益を達成することができる。ピクセル面積に対するフォトダイオード空乏領域の面積の比が減少するため、ピクセルサイズが縮小するにつれて、ピクセルの効果的なQEが減少する。マイクロレンズは、典型的には、これを代償しようとするために使用され、ピクセルサイズが縮小するにつれて、より重要となる。ピクセルサイズ縮小によるピクセル性能にとっての別の不利益は、増加した雑音に由来する。光活性対読み出し回路面積のバランスを維持しようとするために、多くの実施形態では、ピクセル移動ゲート、ソースフォロワ増幅器トランジスタ、およびリセットトランジスタも小さく作られる。これらのトランジスタがサイズを縮小するにつれて、多数の性能パラメータが低下させられ、典型的には、雑音の増加をもたらす。

40

#### 【0129】

電気「クロストーク」も、縮小したピクセルとピクセルの間隔の関数として増加する。

50

長波長光子が、電荷キャリアを作成するようにシリコンと相互作用する前に、基板の中へより深く浸透する。これらの電荷キャリアは、フォトダイオード空乏領域中の再浮上および収集前に、いくらかランダムに動き回る。この推定再浮上および収集の「範囲」は、浸透深度の関数として増大する。したがって、ピクセルがより小さくなるほど、推定再浮上の範囲がより多数のピクセルに及ぶ。この効果は、光子波長の増加とともに、変調伝達関数 (MTF) の低下をもたらす。

#### 【 0 1 3 0 】

したがって、より長い波長を捕捉するように指定された撮像装置は、ピクセルサイズを増大させ、したがって、ピクセルのQEを増加させることごとによって、システムSNRを向上させるように最適化することができる。MTFが増加した波長の関数として低下するため、解像度目的でのより小さいピクセルの利益は、増加した波長とともに軽減される。したがって、QEを向上させ、したがって、全体的なシステムSNRを向上させるよう、より長い波長に対するピクセルサイズを増大させながら、全体的なシステム解像度を維持することができる。しかし、多くの実施形態では、本発明の実施形態による撮像装置アレイは、製造できるほど小さいピクセルを利用する。したがって、上記で概説される方式でピクセルサイズを増大させることは、単純に、カメラ性能を向上させるために利用することができる1つの技法であり、選択される特定のピクセルサイズは、典型的には、特定の用途に依存する。

#### 【 0 1 3 1 】

##### ( 3 . 3 . 3 . 撮像装置最適化 )

ますます小さいピクセルの強い要求は、近傍内で読み出し回路を共有するように、ピクセルを再設計するようピクセル設計者を促してきた。例えば、4つのフォトダイオードのグループが、同じリセットトランジスタ、浮動拡散ノード、およびソースフォロワ増幅器トランジスタを共有してもよい。4つのピクセルがベイヤーパターン配設で配設されるときに、4つのピクセルのグループが、捕捉の全可視スペクトルに及ぶ。本発明の実施形態による撮像装置アレイでは、これらの共有ピクセル構造は、焦点面内のピクセルの性能を所与の捕捉帯域に合わせるように適合することができる。これらの構造が、従来の色フィルタアレイベースの画像センサの中に異なる捕捉帯域を有する、ピクセルによって共有されるという事実は、性能向上を達成するための同じ技法が、典型的には実行可能ではないことを意味する。ピクセルの捕捉帯域に基づく、変換利得、ソースフォロワ利得、およびフルウェルキャパシティの選択による、焦点面内のピクセルの性能の向上は、以下で論議される。以下に続く論議は、4T CMOSピクセルに関するが、ピクセルが本発明の実施形態による回路を共有する、任意の撮像装置アレイの中で、ピクセル性能の同様の向上を達成することができる。

#### 【 0 1 3 2 】

##### ( 3 . 3 . 3 . 1 . 変換利得の最適化 )

異なる捕捉帯域のそれぞれに合わせた異なる変換利得とともにピクセルを利用することによって、スペクトルの特定のサブバンドを捕捉することを目的としている、撮像装置アレイ内の撮像装置の性能を向上させることができる。典型的な4T CMOSピクセルにおける変換利得は、「感知ノード」、典型的には、浮動拡散コンデンサ (FD) の静電容量のサイズを変更することによって制御することができる。電荷・電圧変換は、方程式  $V = Q / C$  に従い、式中、 $Q$  は電荷であり、 $C$  は静電容量であり、 $V$  は電圧である。したがって、静電容量がより小さくなるほど、より高い電圧が所与の電荷に起因し、よって、ピクセルの電荷・電圧変換利得がより高くなる。しかしながら、明らかに、変換利得を無限に増加させることはできない。ピクセルの見掛けのフルウェルキャパシティ (ピクセルが記録することができる光電子の数) は、FDの静電容量が小さくなりすぎた場合に減少する。これは、電子に作用する電位差により、電子がフォトダイオードからFDの中へ移動するためである。電荷移動は、電位差がゼロである (または電位障壁がPFとFDとの間に存在する) ときに停止する。したがって、FDの静電容量が小さすぎる場合、全ての電子がフォトダイオードから外へ移動させられる前に、電位平衡に達してもよい。

## 【 0 1 3 3 】

## ( 3 . 3 . 3 . 2 . ソースフォロワ利得の最適化 )

焦点面内の各ピクセルにおける増幅器の特性を変化させることによって、付加的な性能向上を達成することができる。従来の4T CMOSピクセルにおける増幅器は、ソースフォロワトランジスタから構築される。ソースフォロワトランジスタは、列ラインを下って、信号が後にサンプリングされる列回路へ、ピクセル信号を駆動するよう、FDにわたって電圧を増幅する。

## 【 0 1 3 4 】

インプラントドーピングレベルを変化させることによって、入力電力振幅の関数としての出力電圧振幅(すなわち、ソースフォロワ増幅器の利得)を製造中に制御することができる。ピクセルフォトダイオードの(電子における)フルウェルキャパシティおよびFDの静電容量を考慮して、一連の電圧が、ソースフォロワトランジスタの入力時に、関係  $V_{in} = V_{rst} - Q/C$  によって確立され、式中、 $V_{rst}$  はFDのリセット電圧であり、 $Q$  はフォトダイオードからFDに移動させられた電子の電荷であり、 $C$  はFDの静電容量である。

10

## 【 0 1 3 5 】

フォトダイオードは、蓄積されてもよい電荷の範囲が0電子とフルウェルキャパシティとの間であるように、ピン止め構造である。したがって、フォトダイオードの所与のフルウェルキャパシティ、およびFDの所与の静電容量、およびソースフォロワの所望の出力信号振れを用いて、ソースフォロワトランジスタに対する最適な利得またはほぼ最適な利得を選択することができる。

20

## 【 0 1 3 6 】

## ( 3 . 3 . 3 . 3 . フルウェルキャパシティの最適化 )

行うことができる別の最適化は、フォトダイオードのフルウェルキャパシティの変更によるものである。フォトダイオードのフルウェルキャパシティは、フォトダイオードがその最大空乏状態で貯蔵することができる、最大数の電子である。ピクセルのフルウェルは、フォトダイオードの $x-y$ サイズ、ダイオード構造を形成するインプラントのドーピングレベル、およびピクセルをリセットするために使用される電圧を通して制御することができる。

30

## 【 0 1 3 7 】

## ( 3 . 3 . 3 . 4 . 3 パラメータ最適化 )

前の項から分かるように、向上した撮像性能のために、同じ捕捉帯域を有する焦点面でピクセルを構成するために調整することができる、3つの主要な特性がある。3つ全てのパラメータに対する最適な解決法は、特定の焦点面の標的挙動に依存している。各焦点面は、それが捕捉するように構成されるスペクトル帯に合わせるすることができる。ピクセルの設計を最適化することができる一方で、多くの実施形態では、ピクセルの性能は単純に、(たとえ向上が最適ではない場合があっても)特定の捕捉帯域に対して向上させられる。最適化例は、以下の通りであり、特定の捕捉帯域に対してピクセルの性能を単純に向上させるために、同様の過程を使用することができる。

40

## 【 0 1 3 8 】

## ( a . フォトダイオードフルウェルキャパシティの最適化 )

光学部品(速度および色フィルタ)の透過率を考慮すると、所与の最大スペクトル放射輝度に対する所与の最短積分時間(例えば、 $50\mu s$ )を考慮して生成される電子の数を推定することが可能である。スペクトルの各サブバンド(色)はおそらく、異なる数の生成された電子を有する。各サブバンド(色)に対するフォトダイオードのフルウェルキャパシティは、最短積分時間下でのそのバンド内の最大放射輝度が、ウェルを満たすように、選択することができる。この標的フルウェルキャパシティが達成される手段は、 $x-y$ 次元を変化させること、ダイオード製造中にドーピングレベルを変化させること、ピクセルのリセット電圧を変化させること、またはこれらのパラメータのうち2つ以上の組み合わせによるものとなり得る。

50

## 【 0 1 3 9 】

## ( b . 変換利得の最適化 )

次のステップは、ピクセルの変換利得を最適化することである。フルウェル最適化ステップで定義される電子の数を考慮して、浮動拡散のための最適な静電容量を選択することができる。最適な静電容量は、妥当な持続時間でフルウェルキャパシティを移動させることができるように、FDからの電荷移動をサポートする電位差を維持するものである。この最適化の目標は、入力基準雑音が最小限化され、したがって、各色チャネルに対する最大SNRが実現されるように、電荷・電圧変換利得が可能な限り高くなるように、可能な限り最小の静電容量を選択することである。

## 【 0 1 4 0 】

## ( c . ソースフォロワ利得の最適化 )

いったん最適なフルウェルキャパシティおよび電荷・電圧変換利得が決定されると、ソースフォロワ増幅器利得を選択することができる。FDのリセット電圧 ( $V_{rst}$ ) とフルウェル電荷負荷を含有するFDの電圧 ( $V_{rst} - Q/C$ ) との間の差は、ソースフォロワ増幅器に対する最適な利得の定義を可能にする。ソースフォロワ利得は、 $V_{rst}$  と  $V_{rst} - Q/C$  との間の出力信号振れを定義する。最適な信号振れは、アナログ信号処理の動作電圧、およびピクセル出力信号をサンプリングして変換するA/D変換器等のパラメータによって定義される。ソースフォロワ利得は、それぞれの信号振れが全て相互に合致し、アナログ信号処理およびA/D変換器回路によってサポートされる最大信号振れに合致するように、各色チャネルについて選択される。

## 【 0 1 4 1 】

これらのピクセルレベル最適化を捕捉帯域ごとに行った後、システムは、線形動作を考慮して、各捕捉帯域に対する最大SNRおよびダイナミックレンジを求める。上記で説明される過程は、最大SNRおよびダイナミックレンジに関して最適な解決法を提供するように設計されているが、特定の捕捉帯域または用途特有の所望の挙動に関して向上したピクセル性能を提供するために、上記で説明される3つのパラメータの選択において、他の設計基準を使用することができる。

## 【 0 1 4 2 】

## ( 3 . 3 . 4 . ダイナミックレンジ調整 )

同じスペクトル帯内で異なる変換利得のピクセルを使用することによって、撮像装置アレイのさらなる最適化を達成することができる。例えば、「緑色」撮像装置を、2つ以上の異なる変換利得を有するピクセルから構築することができる。したがって、各「緑色」撮像装置は、アレイの中の「緑色」撮像装置のうちのもう1つの中のピクセルの変換利得とは異なる、均一な変換利得を有するピクセルを含む。代替として、各撮像装置は、異なる変換利得を有するピクセルのモザイクから構築することができる。

## 【 0 1 4 3 】

前述のように、変換利得がある閾値を超えて増加するにつれて、入力基準雑音が減少し続けるが、有効フルウェルキャパシティを犠牲にする。この効果は、より高いダイナミックレンジを有するシステムをもたらすために活用することができる。例えば、入力基準雑音およびフルウェルキャパシティの両方を最適化する変換利得を使用して、全ての「緑色」焦点面の半分を構築することができる(「通常緑色」)。全ての「緑色」焦点面の他方の半分は、より高い変換利得、したがって、より低い入力基準雑音、およびより低い有効フルウェルキャパシティを有するピクセルから構築することができる(「高速緑色」)。より低い光のレベルを有する場面の領域は、「高速緑色」ピクセル(飽和していない)から回収することができ、より明るい光のレベルの領域は、「通常緑色」ピクセルから回収することができる。結果は、システムの大なミックレンジの全体的増加である。「高速緑色」と「通常緑色」との間の焦点面の特定の50/50割付が上記で論議されているが、「高速」撮像専用の焦点面の数、および「通常」撮像専用の焦点面の数は、特定の用途の要件に完全に依存している。加えて、「高速」および「通常」撮像専用の別個の焦点面は、他のスペクトル帯のダイナミックレンジを増加させるために利用することができ、撮

10

20

30

40

50

像装置アレイが緑色光を捕捉するダイナミックレンジを増加させることに単純に限定されない。

【0144】

「高速」ピクセルがより長く統合するように、「高速」および「通常」緑色サブアレイの積分時間を制御することによって、同様の効果を達成することができる。しかしながら、非静止場面では、「高速」ピクセルが「通常」ピクセルよりも長く場面の動きを統合し、望ましくない場合がある、明白な空間的格差を2つの緑色チャンネルの間に生じるため、これは、動きアーチファクトをもたらす得る。

【0145】

本発明は、ある具体的実施形態において説明されているが、多くの付加的な修正および変化例が、当業者に明白となるであろう。したがって、本発明の範囲および精神から逸脱することなく、サイズ、形状、および材料の種々の変更を含んで、本発明が具体的に説明された以外の方法で実践されてもよいことを理解されたい。したがって、本発明の実施形態は、あらゆる点で、制限的ではなく例証的と見なされるべきである。

【0146】

(3.4.周辺回路)

従来の撮像装置では、ピクセルは、典型的には、ピクセルの各行を横断して走る水平制御ラインを使用して、行方向にアクセスされる。列周囲においてピクセル出力をサンプリング回路に接続するために、各ピクセルを通して垂直に走る出力信号ラインが使用される。水平制御ラインおよび出力信号ラインは、典型的には、シリコン上の金属配線として実装される。行の中の全てのピクセルからの出力は、列周囲において同時にサンプリングされ、列コントローラを使用して連続的にスキャン出力される。しかしながら、撮像装置アレイの中のK個のピクセルの行全体に沿った共通行方向アクセスは、撮像装置が独立して読み出されることを可能にしない。上述のように、撮像装置アレイを利用することの利益の多くは、焦点面の独立、および撮像装置アレイが各焦点面内のピクセルによる画像情報の捕捉を別々に制御する能力に由来する。情報の捕捉を別々に制御する能力とは、焦点面内のピクセルによる画像情報の捕捉を、焦点面が捕捉するように構成されるスペクトル帯にカスタマイズできることを意味する。いくつかの実施形態では、異なる積分時間を有する焦点面を使用して画像の捕捉を同期化すること、およびスローモーションビデオシーケンスを提供するように登録することができる一連の画像を捕捉することにおいて、別個のトリガ時間を提供する能力が有用となり得る。撮像装置アレイ内の異なる焦点面による画像情報の捕捉を制御するために、独立読み出し制御を各焦点面に提供することができる。いくつかの実施形態では、撮像装置アレイは、各焦点面が、関連行(列)コントローラ、列(行)読み出し回路、ならびに専用ピクセル信号アナログプロセッサおよびデジタイザを有するという事実により、独立読み出し制御を有する。多くの実施形態では、焦点面の間で共有される周辺回路を使用して、異なる焦点面内のピクセルによる画像情報の捕捉の別個の制御が達成される。本発明の実施形態による、専用周辺回路および共有周辺回路を使用して実装される撮像装置アレイは、以下で論議される。

【0147】

(3.4.1.専用周辺回路)

本発明の実施形態による、各焦点面が専用周辺回路を有する、独立読み出し制御およびピクセルデジタル化を有する複数の焦点面を含む、撮像装置アレイが、図3に図示されている。撮像装置アレイ300は、焦点面302のピクセルの複数のサブアレイを含む。各焦点面は、共通行タイミング制御論理回路306によって制御される、専用行制御論理回路304をその周囲に有する。列回路および行デコーダは、焦点面の片側に単一のブロックとして示されているが、単一ブロックとしての描写は、純粹に概念的であり、各ブロックは、2倍のピクセルピッチでレイアウトを可能にするよう、焦点面の左/右および/または上/下の間で分割することができる。このようにして制御および読み出し回路をレイアウトすることは、偶数列が列(行)回路の一方のバンクの中でサンプリングされ、奇数列が他方のバンクの中でサンプリングされる構成をもたらす得る。

## 【 0 1 4 8 】

M × Nの焦点面を含む素子では、読み出し制御論理は、焦点面の行 (N) につき、M組の列制御出力を含む。各列サンプリング/読み出し回路 3 0 8 はまた、捕捉した画像情報をデジタルピクセルデータに変換するための専用サンプリング回路を有することもできる。多くの実施形態では、サンプリング回路は、アナログフロントエンド (A F E) 増幅器回路と、アナログ・デジタル変換器 (A D C) 3 1 0 とを含む、アナログ信号プロセッサ (A S P) を含む。他の実施形態では、捕捉した画像情報をデジタル化ピクセル情報に変換するために、種々のアナログ回路のうちのいずれかを使用することができる。A S Pは、Xが (例えば、パイプラインまたはS A R A D Cを伴って) 列サンプリング回路によって支配される焦点面の行の中のピクセルの数である、行期間につきX回のピクセル変換で動作する単一のA S Pとして、行期間につき1回のピクセル変換で並行して動作するX個のA S Pとして、または1行につきX/P回の変換で並行して動作するP個のA S Pを含むが、それらに限定されない、いくつかの方法で実装することができる (以下の論議を参照)。共通読み出し制御回路 3 1 2 は、各撮像装置の中の列の読み出しを制御する。

10

## 【 0 1 4 9 】

図示した実施形態では、マスタ制御論理回路 3 1 4 は、各撮像装置の独立した読み出しを制御する。マスタ制御論理回路 3 1 4 は、個別焦点面の画像捕捉および読み出し過程を制御するように、高レベルタイミング制御論理回路を含む。いくつかの実施形態では、このブロックのマスタ制御部分は、各焦点面がグローバル基準に対して制御された時間的オフセットを有するように、画像読み出しの開始点を交互にすること、撮像されているスペクトル帯域幅に特有の積分時間を提供するように、特定の焦点面内のピクセルの積分時間を制御すること、各撮像装置の水平および垂直読み出し方向、各焦点面内のピクセルの水平および垂直サブサンプリング/ビニング/ウィンドウイング、各焦点面のフレーム/行/ピクセルレート、および各焦点面の電源を切った状態の制御を含むが、それらに限定されない、特徴を実装することができる。

20

## 【 0 1 5 0 】

マスタ制御論理回路 3 1 4 は、撮像装置のそれぞれからのピクセルデータの収集を取り扱う。いくつかの実施形態では、マスタ制御論理回路は、画像データを構造化された出力形式に詰める。画像データを出力するためにM × Nよりも少ない出力ポートが使用される (例えば、2つの出力ポートがある) と考慮して、撮像装置データは、これらの出力ポート上に時間多重化される。いくつかの実施形態では、出力ポート 3 1 6 上の次の利用可能なタイムスロットまで、撮像装置のピクセルからのデータをバッファ格納するために、少量のメモリ (F I F O) が使用され、撮像装置アレイの中のマスタ制御論理回路 3 1 4 または他の回路は、焦点面を識別する情報、焦点面内の行および/または列を識別する情報、および/または捕捉あるいは読み出し過程が焦点面のうちの1つ以上に対して開始/終了した相対的時間を識別する情報を含むが、それらに限定されない情報を提供するデータストリームにコードを周期的に挿入する。相対的時間情報は、オンチップタイマまたはカウンタから導出することができ、その瞬時値は、フレームレートまたはラインレートのいずれか一方で、各撮像装置からのピクセル読み出しの開始/終了時に捕捉することができる。各焦点面の積分時間およびチャネル利得等の動作パラメータを示すよう、付加的なコードもデータ出力に追加することができる。以下でさらに論議されるように、ホストコントローラは、データストリームを、各焦点面によって捕捉された個々の画像に完全に組み立て直すことができる。いくつかの実施形態では、(これらに限定されないが) 積分時間および相対的読み出し位置等の動作パラメータにかかわらず、データが常に同じタイミング/順序付け配設でパッケージ化されるように、撮像装置アレイは、全ての焦点面からの画像データの並べ替えおよび/または再タイミング化をサポートするよう、少なくとも全ての焦点面からの画像データの行全体をバッファ格納するのに十分な記憶装置を含む。いくつかの実施形態では、データが、画像データのホストの再構築を容易にする、例えば、画像データを再タイミング化し/並べ替え、相対的読み出し位置にもかかわらず、全ての焦点面からのデータを全ての焦点面に対する均一な行開始位置に整合させる、便利な方式

30

40

50

でパッケージ化されるように、撮像装置アレイは、全ての焦点面からの画像データの並べ替えおよび/または再タイミング化をサポートするよう、少なくとも全ての焦点面からの画像データの行全体をバッファ格納するのに十分な記憶装置を含む。

【0151】

(3.4.2. A S P共有)

図3に図示される撮像装置アレイは、各焦点面と関連付けられる別個のA S Pを含む。A S P、または(これらに限定されないが)A F EあるいはA D C等のA S Pの複数部分が、焦点面の間で共有される、撮像装置アレイを、本発明の実施形態に従って構築することができる。本発明の実施形態による、複数の焦点面の間でA S Pを共有する撮像装置アレイが、図4に図示されている。撮像装置アレイ300'は、焦点面のM×Nのアレイの10  
 一列の中の全てのピクセルのサンプリングのためにA S P310'を利用する。図示した実施形態では、M個のA S Pに接続されたアナログピクセル信号読み出しラインのM個のグループがある。アナログピクセル信号読み出しラインのM個のグループのそれぞれは、N本の個々のラインを有する。M個のA S Pのそれぞれは、そのN個の入力上で各ピクセル信号を連続的に処理する。そのような構成では、A S Pは、その入力における各焦点面が活性状態であるならば、N個の入力のピクセル信号期間につき少なくともN回の過程を行う。A S Pの焦点面入力のうちの1つ以上が、不活性状態または電源を切った状態である場合、処理速度を(電力消費のさらなる節約を達成するよう)低減または(フレームレートの増加を達成するよう)維持することができる。代替として、列読み出し制御ブロック312'によって制御されるシーケンシングを通して、A S P処理の時間多重化機能を20  
 実装することができるように、共通の単一アナログピクセル信号読み出しラインを焦点面(N)の列の中の全ての列回路によって共有することができる。

【0152】

図4に図示される撮像装置アレイは、共有A S Pを含むが、本発明の多くの実施形態による撮像装置アレイは、専用A F Eを含み、A D Cを共有することができる。他の実施形態では、A F EおよびA D Cの共有比は、同じ数の焦点面に従わない。いくつかの実施形態では、各焦点面は、専用A F Eを有してもよいが、2つ以上のA F E出力が共通A D Cに入力される。多くの実施形態では、2つの隣接焦点面が、同じA F Eを共有し、次いで、これらの焦点面組のうちの1つ以上が、A D Cの中へ入力される。したがって、A F EおよびA D Cは、本発明の実施形態による特定の用途に適切な種々の異なる方法のうちの30  
 いずれかで、S O C撮像装置の中の異なる焦点面の間で共有することができる。

【0153】

本発明の実施形態による撮像装置アレイの中の複数対の焦点面間のA D Cの共有が、図4dに図示されている。図示した実施形態では、複数対の焦点面間のA D Cの共有を、撮像装置アレイ内の複数対の焦点面の間で複製することができる。複数対の焦点面間のA F Eの共有、および本発明の実施形態による撮像装置アレイの中の4つの焦点面のグループ間のA D Cの共有が、図4eに図示されている。図4eに図示されるA F EおよびA D Cの共有は、撮像装置アレイ内の4つの焦点面の複数グループの間で複製することができる。多くの実施形態では、共有は、複数対の焦点面および/または3つ以上の焦点面のグループの中で起こる。40

【0154】

多くの実施形態では、各焦点面内のピクセルは、一貫したオフセットおよび利得特性を有するように、常に同じ回路要素を通して一貫して処理される。多くの実施形態では、制御および読み出し回路ならびにA F Eは、各焦点面の位相およびタイムスロット割当が一貫しているように、共通クロッキング回路によって制御される。本発明の実施形態による、異なる焦点面の列読み出しの間の位相偏移の実施例が、図4cに図示されている。図に示すように、各焦点面内の列の読み出しは、本発明の実施形態による共有A S Pによる処理を可能にするように交互にされる。

【0155】

ある焦点面が撮像していないときに電力の低減をサポートするために、撮像装置アレイ

10

20

30

40

50

内で利用されるASP、クロッキング、およびバイアス/電流スキームは、サンプルレートが常に単一焦点面のピクセルレートのP倍であり、Pが処理/サンプリングされている活性焦点面の数であるように、複数のサンプルレート構成をサポートすることができる。

【0156】

図4に図示されるリソース共有アーキテクチャの回転変化例も実装することができ、単一のASPが、(M×Nの列の中よりもむしろ)M×Nの行の中の全てのピクセルの間で共有される。したがって、そのような配設は、M個の入力、またはM個の焦点面に共通であり、シークエンシング制御を使用して列読み出し制御ブロックによって時間多重化される単一の入力をそれぞれ有する、N個のASPの使用を伴う。

【0157】

(3.4.3.列回路共有)

本発明の別の実施形態では、M\*Nよりも少ない列回路が、撮像装置アレイの中の焦点面のピクセル値をサンプリングするために使用される。素子が本発明の実施形態によるM組の列回路のみを利用するように、撮像装置アレイの列内の個々の焦点面が共通列回路ブロック308'を共有するように構成される、撮像装置アレイ301が、図4aに図示されている。M個の列回路は、M個のASP310'を伴う。

【0158】

いくつかの実施形態では、列回路は、列回路より上側および下側の焦点面からのピクセルの読み出しを可能にするように、時間共有される。本発明の実施形態による、撮像装置アレイ内の複数対の焦点面間の列回路の共有が、図4fに図示されている。図4fに示される共有は、M=2である、図4aの特別な場合である。一对の焦点面間の列回路の共有により、列回路は、単一の焦点面からの所望のフレームレートよりも2倍の速度で動作する。多くの実施形態では、ピクセルは、相関二重サンプリングされ、アナログ形態で、または列回路内でアナログ・デジタル変換されて、読み出される。いったん最後のピクセルがシフトアウトされると(または全ての列のアナログ・デジタル変換が行われると)、前のピクセルアレイから残留電荷を除去するように、列回路をリセットすることができる。次いで、同じ動作が第2の焦点面に起こるために、第2のタイムスロットを使用することができる。図示した実施形態では、複数対の焦点面間のADCの共有を、撮像装置アレイ内の複数対の焦点面の間で複製することができる。

【0159】

他の実施形態では、図4aに図示される撮像装置アレイ301の変化例は、より多いまたは少ないASPを利用することができる。加えて、列回路308'は、デジタル化のためにM個よりも多いまたは少ないアナログ出力を形成するように、分割する、または組み合わせることができる。例えば、撮像装置アレイは、M個の列回路のデジタル化に使用される単一のASPがあるように設計することができる。列回路のM個の出力は、ASPへの入力時に時間多重化される。M個よりも多くのASPが使用される場合、M個の列回路のそれぞれは、各列回路がデジタル化のために1つよりも多くのアナログ出力を有するように、さらに分割される。ASPの数が多くなるほど、標的読み出し速度(フレームレート)を満たすように各ASPがより遅くなり得るため、これらのアプローチは、シリコン面積と電力消費との間のトレードオフを提供する。

【0160】

図4aに図示される実施形態への構造修正は、M\*2列回路ブロックがあるように、撮像装置アレイの最上部と底部との間でM個の列回路を分割することである。そのような修正では、M\*2列回路のそれぞれは、焦点面の列の中の各焦点面のピクセルの半分のみをサンプリングする責任がある(例えば、各焦点面内の全ての偶数ピクセルは、アレイの底部で列回路に接続することができ、全ての奇数ピクセルは、最上部で列回路に接続することができる)。依然としてM\*X列サンプリング回路があるが、それらは、M\*2組のX/2列サンプリング回路があるように、物理的に分割される。本発明の実施形態による、分割列回路を含む撮像装置アレイが、図4bに図示されている。撮像装置アレイ301'は、M\*2列回路ブロック(308a'、308b')およびM\*2ASP(310a'

10

20

30

40

50



、310b')を使用する。上記で論議されるように、 $M^*$  2列回路よりも少ない、または多くのASPもあり得る。列回路が奇数/偶数列のサンプリングのために最上部/底部に分割され、介在列回路が、列回路より上側および下側の焦点面間で時間共有される、本発明の実施形態による分割列回路を伴う別の変化例が、図4gに図示されている。図示した実施形態では、複数対の焦点面間の列回路の分割および列回路の共有は、本発明の実施形態による撮像装置アレイ内の複数対の焦点面の間で複製される。加えて、列回路のそれぞれは、(撮像装置アレイの周囲における列回路を除いて)上下の焦点面の間で共有することができる。

#### 【0161】

(3.4.4. ASPの数および速度)

本発明の実施形態による撮像装置アレイの列サンプリング回路に、いくつかの異なる配設がある。しばしば、ASP回路の配設は、 $X$ 個のピクセルに及ぶ列回路につき、単一のASPが使用され、したがって、行期間につき $X$ 回の変換を行うように、列サンプリング回路の論理的実装に従う。代替として、行期間につき1回の変換を行う列回路につき、 $X$ 個のASPを利用することができる。一般的な意味では、本発明の実施形態は、行期間につき $X/P$ 回の変換があるように、 $X$ 個のピクセルの列回路につき $P$ 個のASPを利用することができる。このアプローチは、全体的なADC変換過程が、よりゆっくりした速度で起こるように、任意の列回路におけるサンプルの変換を並行処理することができる手段である。例えば、本明細書で説明される構成のうちいずれかでは、行期間につき $T/P$ 回の変換があるように、いくつかのピクセル( $T$ )をサンプリングし、 $P$ 個のASPを使用してアナログ・デジタル変換を行う、列回路配設を成すことが可能となる。(固定フレームレートがある場合のように)固定行期間を考慮すると、各ASPの個別変換速度は、因数 $P$ で低減される。例えば、2つのASPがある場合、それぞれは $1/2$ の速度で作動する。4つある場合、各ASPは、 $1/4$ の速度で作動しなければならない。この一般的な意味では、列回路の構成にもかかわらず、特定の用途に適切な速度で作動する任意の数のASPを、本発明の実施形態に従って利用することができる。

#### 【0162】

(3.4.5. 行デコーダ最適化)

本発明の実施形態による撮像装置アレイは、各焦点面のピクセルによる画像情報の捕捉に関する別個の動作パラメータを有効にするよう、所与の瞬間に各焦点面内の異なる行にアクセスする能力を保有する。行デコーダは、典型的には、 $2^E$ もの多くの「イネーブル(enable)」信号(しばしば「ワンホット(one-hot)」表現とも呼ばれる)への物理アドレス( $E$ ビット2進数として表される)の第1の組み合わせ復号から形成される。例えば、8ビット物理アドレスは、ピクセルの256行を有するピクセルアレイの中へのアドレス指定をサポートするよう、256個の「イネーブル」信号に復号される。これらの「イネーブル」信号のそれぞれは順に、ピクセルタイミング信号で論理的にAND処理され、次いで、その結果は、ピクセルリセットおよびピクセル電荷移動等の行ベースのピクセル動作を可能にするよう、ピクセルアレイに適用される。

#### 【0163】

行デコーダは、ワンホット復号への2進数の共有を通してシリコン面積を縮小するように最適化することができる。ワンホット復号への2進数を含む、完全に機能的な行デコーダを有する各サブアレイよりもむしろ、本発明の多くの実施形態は、撮像装置アレイ内の焦点面の所与の行に対するワンホットデコーダへの単一の2進数を有する。このデコーダの「イネーブル」出力は、全ての焦点面を横断して、各焦点面の(あまり機能的ではない)行デコーダのそれぞれへ送られる。別個の複数組のピクセルレベルタイミング信号は、各焦点面専用となり(行タイミングおよび制御論理回路によって生成される)、論理AND関数が、各焦点面の行デコーダの中に残る。

#### 【0164】

そのようなスキームによる読み出しは、カメラアレイの中の焦点面の行につき $M$ 個のタイムスロットがあるように、各焦点面専用のタイムスロットの中で行われる。第1の焦点

10

20

30

40

50

面内の第1の行が選択され、専用の1組のピクセルレベルタイミング信号が、その行デコーダに印加され、列回路が、これらのピクセルをサンプリングする。次のタイムスロットでは、物理アドレスが、次の焦点面内の所望の行を指し示すように変化し、別の1組の専用ピクセルレベルタイミング信号が、その行デコーダに印加される。再度、列回路が、これらのピクセルをサンプリングする。過程は、カメラアレイの中の焦点面の行内の全ての焦点面がサンプリングされるまで繰り返す。列回路が撮像装置アレイからの別の行をサンプリングするために利用可能であるとき、過程は再び始まることができる。

**【0165】**

(3.5. 画像データを記憶するメモリ構造を提供する)

撮像装置アレイの中の各焦点面による画像情報の捕捉の別個の制御の付加的な利益は、個々の焦点面のフレームレートを増加させることなく、スローモーションビデオ捕捉をサポートする能力である。スローモーションビデオでは、各焦点面は、わずかにオフセットした時点で読み出される。従来のカメラでは、フレーム間の時間差分(すなわち、捕捉フレームレート)は、単一のフレームの読み出し時間によって決定付けられる。個別焦点面の独立した読み出し時間のサポートを提供する撮像装置アレイでは、フレーム間の差分は、個別フレームの読み出しよりも小さくなり得る。例えば、別の焦点面が、そのフレームの読み出しの途中である時に、1つの焦点面が、そのフレーム読み出しを始めることができる。したがって、2倍の速度で動作するように焦点面に要求することなく、捕捉速度の見掛け上の倍増が達成される。しかしながら、カメラから画像のストリームを出力するときに、この全ての焦点面からの重複フレーム読み出しは、出力するべき連続的画像があることを意味する。

**【0166】**

カメラシステムは、典型的には、ブランキング期間として知られている、画像データの読み出しまたは表示の間の期間を採用する。多くのシステムは、付加的な動作を行うために、このブランキング期間を必要とする。例えば、CRTでは、ブランキング期間は、ラインまたはフレームの終わりから次のラインまたはフレームの始まりまで、電子ビームを再配置するために使用される。撮像装置では、典型的には、ピクセルの次のラインがアドレス指定され、その中の電荷がサンプリング回路によってサンプリングされることを可能にするように、ライン間のブランキング区間がある。また、フレーム読み出し時間よりも長い積分時間を可能にするように、フレーム間のブランキング区間もあり得る。

**【0167】**

本発明の実施形態による、スローモーション捕捉モードで動作するアレイカメラについて、全ての焦点面が、異なる時点でそれらのブランキング区間に進入するように、フレーム読み出しは、全ての焦点面内で時間的にオフセットされる。したがって、典型的には、伝送するべき画像データがない時点がなくなる。本発明の実施形態によるアレイカメラは、伝送中に人工ブランキング期間を導入することができるように、画像データの読み出し経路に再タイミング化FIFOメモリを含むことができる。再タイミング化FIFOは、ブランキング区間が導入される時点の間に、全ての焦点面から伝送される画像データを一時的に記憶する。

**【0168】**

(3.6. 撮像装置アレイ平面図)

本発明の実施形態による撮像装置アレイは、ある設計制約の範囲内でシリコン面積を最小限化するように最適化される、平面図を含むことができる。そのような設計制約は、光学システムに課せられるものを含む。各焦点面を形成するピクセルのサブアレイは、撮像装置アレイより上側に位置付けられるレンズアレイの各個別レンズスタックのイメージサークル内に配置することができる。したがって、レンズ要素の製造過程は、典型的には、撮像装置に最小間隔距離(すなわち、焦点面間の最小ピッチ)を課す。光学的制約に由来する焦点間隔における別の考慮事項は、許容することができる迷光の大きさである。焦点面間の光学的クロストークを制限するために、本発明の実施形態による多くのカメラアレイは、相互から個々の焦点面を光学的に隔離する。レンズスタック内の隣接焦点面の光路

10

20

30

40

50

の間に、不透明の障壁を作成することができる。不透明の障壁は、センサカバーガラスまで延在し、光学部品結合表面および裏焦点スペースにセンサを提供するという付加的な目的を果たすことができる。レンズのイメージサークルの中への不透明な遮蔽の侵入は、焦点面の中へのいくらかのレベルの後方反射をもたらし得る。多くの実施形態では、光学部品と撮像装置アレイとの間の複雑な相互作用は、特定の用途の設計制約の平衡を保つ適切な解決法に集中する反復過程の使用をもたらす。

#### 【0169】

焦点面間の空間（すなわち、間隔距離）は、撮像装置アレイの動作中に利用されるASP回路または他の回路を含む、制御回路ならびにサンプリング回路を実装するために使用することができる。撮像装置アレイ内の論理回路はまた、自動配置およびルーティング技法を使用して、隣接焦点面間の間隔距離内で分解および実装することもできる。

10

#### 【0170】

撮像装置アレイの平面図への特定の制約が上記で説明されているが、本発明の実施形態による素子の異なる領域中で撮像装置アレイの種々の論理回路の実装を可能にする、付加的な制約を平面図に課すことができる。多くの実施形態では、ピクセルサイズ/性能、アレイカメラの光学システム、シリコン土台費用、および撮像装置アレイを加工するために使用される製造過程等の要件は全て、撮像装置アレイの全体的アーキテクチャおよび平面図において微妙な変動を推進することができる。

#### 【0171】

##### （3.6.1. サンプリング多様性）

多くの実施形態では、平面図はまた、場面の好ましいサンプリング多様性をもたらす配設を収容するように設計されている焦点面も収容する（すなわち、焦点面内のピクセルは、撮像装置アレイ内の他の焦点面に対してわずかに偏移した視野から光を収集している）。これは、種々の技法を通して達成することができる。いくつかの実施形態では、焦点面とそれぞれのレンズとの間の整合における相対的サブピクセル偏移を通して、異なるサブピクセル量だけ、焦点面がそれぞれの光路の中心から相対的にオフセットされるように、撮像装置アレイを構築することによって、サンプリング多様性が達成される。多くの実施形態では、光学視野は、画像におけるサブピクセル偏移に対応する角度（単一のピクセルに対応する立体角よりも小さい量）だけ、わずかに異なって「狙いを定められる」。いくつかの実施形態では、マイクロレンズ（光をピクセルに向け直す）によって捕捉される光の特定の立体角を改変し、したがって、わずかなサブピクセル偏移を達成するために、焦点面間のわずかなマイクロレンズ偏移が利用される。ある実施形態では、焦点面は、光学的整合公差にもかかわらず、サンプリング多様性が提供されるように、焦点面間のピクセルピッチのわずかな差を有するピクセルで構築される。例えば、4×4撮像装置アレイは、サイズ2.0 μm、2.05 μm、2.1 μm、2.15 μm、および2.2 μmの長さおよび幅寸法を伴うピクセルを有する、焦点面で構築することができる。他の実施形態では、特定の用途に応じて適宜に、撮像装置アレイ内の焦点面の間サンプリング多様性を向上させるための種々のピクセル寸法および/または技法のうちいずれかを利用することができる。

20

30

#### 【0172】

##### （4. 焦点面タイミングおよび制御回路）

図1aを再び参照すると、本発明の実施形態による撮像装置アレイは、撮像装置アレイ内の焦点面のそれぞれの中のピクセルのリセットおよび読み出し（したがって統合）を制御する、焦点面タイミングおよび制御回路154を含むことができる。読み出しおよび積分時間制御における融通性を提供する、本発明の実施形態による撮像装置アレイの能力は、高ダイナミックレンジ撮像、高速ビデオ、および電子画像安定化を含む（がそれらに限定されない）特徴を可能にすることができる。

40

#### 【0173】

従来の画像センサは、名目上、ピクセルアレイの中への2つのローリングアドレスポイントを採用し、その役割は、所与の行を列ラインに接続し、ピクセルの感知ノードのサン

50

プリングを可能にするために、ピクセルレベル電荷移動信号ならびに「行選択」信号を受信する行を示すことである。本発明の実施形態による多くのSOC画像アレイでは、これらのローリングアドレスポインタは、 $2 \times M \times N$ のローリングアドレスポインタまで拡張される。各焦点面に対するポインタペアは、各焦点面内の同じ行をアドレス指定することができ、またはグローバル基準に対して相互からオフセットすることができる。

#### 【0174】

本発明の実施形態による焦点面タイミングおよび制御アドレスポインタ回路が、図4hに図示されている。焦点面タイミングおよび制御回路400は、グローバル行カウンタ402と、読み出しポインタアドレス論理回路404と、各焦点面と関連付けられるリセットポインタアドレス論理回路406とを含む。グローバル行カウンタ402は、ピクセルの行をサンプリングするためのグローバル基準である。いくつかの実施形態では、グローバル行カウンタ402は、0から焦点面内の行の総数まで数える。他の実施形態では、代替的なグローバル行カウンタは、特定の用途の要件に応じて適宜に利用される。読み出しポインタアドレス論理回路404およびリセットポインタアドレス論理回路406は、読み出し方向およびウィンドウウィング等の設定の関数として、グローバル行カウンタ値をアレイ内の物理アドレスに変換する。図示した実施形態では、 $M \times N$ の読み出しポインタおよびリセットポインタアドレス論理回路がある。各焦点面読み出しおよびリセット位置(FP\_offset[x, y])の行ベースのタイミング偏移が、読み出しポインタアドレス論理およびリセットポインタアドレス論理回路に提供される。これらのタイミング偏移は、撮像装置アレイ内の構成レジスタに記憶することができる。タイミング偏移の値は、読み出しポインタアドレス論理およびリセットポインタアドレス論理回路による変換前に、(行の総数を法として)グローバル行カウンタ値に加算することができる。このようにして、各焦点面には、プログラム可能なタイミングオフセットを提供することができる。いくつかの実施形態では、タイミングオフセットは、アレイカメラの異なる動作モードに基づいて構成される。

#### 【0175】

##### (5. システム電力管理およびバイアス生成)

システム電力管理およびバイアス生成回路は、ADCがそれに対して変換される信号を測定する、(これらに限定されないが)基準電圧等の電流および/または電圧基準をアナログ回路に提供するように構成される。加えて、本発明の多くの実施形態による、システム電力管理およびバイアス生成回路は、節電理由により、使用されていないときに、ある回路への電流/電圧基準をオフにすることができる。本発明の多くの実施形態による電力管理回路を使用して実装することができる、付加的な電力管理技法は、以下で論議される。

#### 【0176】

##### (5.1. 電力最適化)

本発明の多くの実施形態による撮像装置アレイのマスタ制御ブロックは、撮像装置アレイの電力消費を管理することができる。多くの実施形態では、マスタ制御ブロックは、所望の出力解像度が素子の全性能未満である動作モード中に、ある焦点面を「オフにすることによって、電力消費を低減することができる。そのようなモードでは、使用されていない焦点面と関連付けられる増幅器、バイアス発生器、ADC、および他のクロック回路は、静的および動的な電力の引き込みを最小限化または排除するように、低電力状態にされる。

#### 【0177】

##### (5.1.1. 撮像装置の電源が切れている間にキャリア移動を防止する)

電源を切った状態にある焦点面にもかかわらず、光がそのサブアレイの中のピクセルに入射する。入射光子は、シリコン基板の中で電荷キャリアを作成し続ける。電源を切った焦点面内のピクセルが浮動して放置された場合、電荷キャリアがピクセルウェルを充填し、電位障壁を枯渇させ、これ以上キャリアを捕捉できないようにする。次いで、持続的な光子束によって作成される過剰なキャリアは、放置されて基板を動き回る。これらの過剰

なキャリアが不活性焦点面から活性焦点面の中へ動き周り、活性焦点面内のピクセルのウェルの中で集まる場合、そのピクセル内で生成された光電子であると誤って測定される。結果は、不活性近傍から活性焦点面の中へ移動する遊離キャリアの流れによって引き起こされる、動作中撮像装置の周辺のブルーミングの出現となり得る。

**【 0 1 7 8 】**

不活性焦点面からの過剰なキャリアの移動を軽減するために、ピクセルウェルがその最大電位に対して開いたまま保たれるように、不活性焦点面のピクセルにおけるフォトダイオードは、各ピクセル内のトランジスタスイッチを介して電力供給に接続される。ウェルを開いたまま保つことは、フォトダイオードが、入射光によって生成されるキャリアを常に収集し、したがって、非動作中撮像装置からのキャリア移動の問題を低減することを可能にする。各ピクセルにおけるトランジスタは、通常ピクセルアーキテクチャの一部、すなわち、移動ゲートであり、それは、ウェルを開いたまま保つようにトランジスタに信号伝達する行コントローラとともにマスタ制御論理である。

10

**【 0 1 7 9 】****( 5 . 1 . 2 . スタンバイモード )**

多くの実施形態では、基準ピクセルが、暗電流およびF P Nの較正で使用される。いくつかの実施形態では、電力管理回路は、基準ピクセルが動作中のままであるように、焦点面内のピクセルの電源を切ることを可能にするように構成される。いくつかの実施形態では、これは、基準ピクセルの読み出し中にA S Pに電力供給するが、別様にA S Pを低電流モードで維持することによって達成される。このようにして、焦点面は、焦点面が起動されたときに暗電流およびF P Nを較正する必要性を低減することによって、より急速に起動することができる。多くの場合において、較正は、焦点面の低電力状態中に基準ピクセルの電源が切られたときに、暗電流およびF P Nに対して行われる。他の実施形態では、本発明の実施形態による、焦点面およびその関連周辺回路による電流引き込みを低減するために、回路の種々の部分的電力供給のいくらかでも利用することができる。

20

**【 0 1 8 0 】****( 6 . 焦点面データ照合およびフレーミング論理 )**

図1 aを再び参照すると、本発明のいくつかの実施形態による撮像装置アレイは、焦点面からデータを捕捉し、所定のコンテナ形式に従ってデータをコンテナの中へパッケージ化する責任がある、焦点面データ照合およびフレーミング論理回路を含む。いくつかの実施形態では、回路はまた、データへのビット削減（例えば、10ビットから8ビットの変換）を含むが、それに限定されないデータ変換を行うことによって、伝送のためにデータを準備する。

30

**【 0 1 8 1 】**

特定の撮像装置アレイアーキテクチャが上記で説明されているが、本発明の実施形態に従って、ピクセルサイズ/性能、アレイカメラの光学システム、シリコン土台費用、および撮像装置アレイを加工するために使用される製造過程を含むが、それらに限定されない要件に基づき、撮像装置アレイ実装するために代替的な撮像装置アレイアーキテクチャを使用することができる。加えて、発明の実施形態による撮像装置アレイは、正方形のピクセル、長方形のピクセル、六角形のピクセル、および種々のピクセル形状を含むが、それらに限定されない、ピクセルの種々の形状のうちのいずれかを使用して実装することができる。したがって、本発明の範囲は、図示された実施形態によってではなく、添付の請求項およびそれらの同等物によって決定されるべきである。

40

【図1】

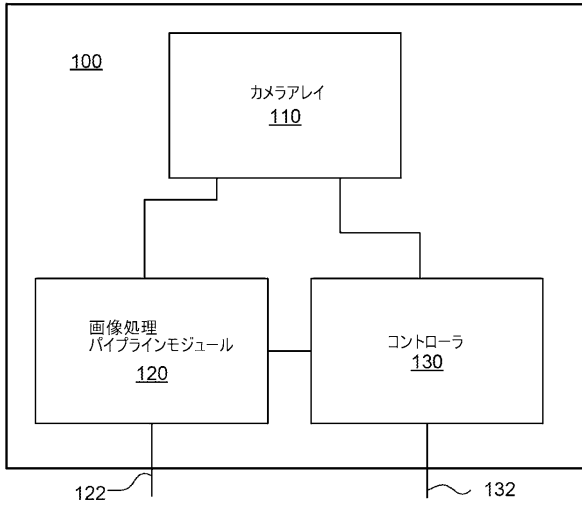


FIG. 1

【図1A】

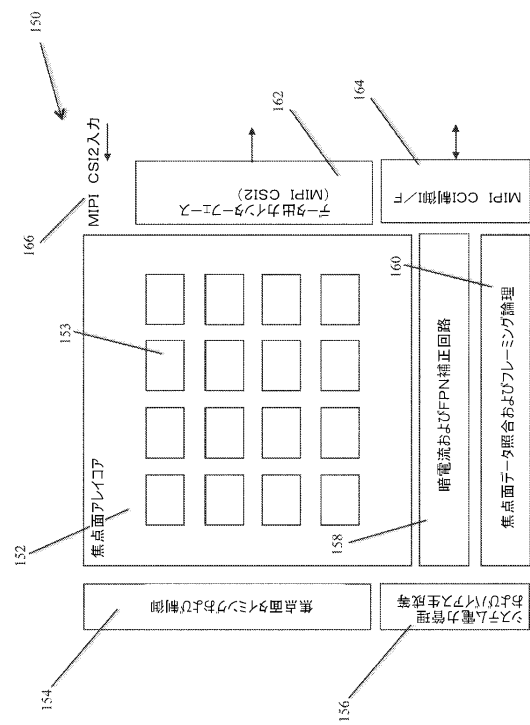


FIG. 1A

【図2A】

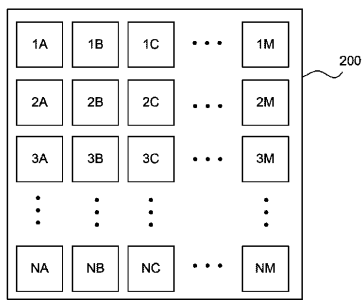


FIG. 2A

【図2B】

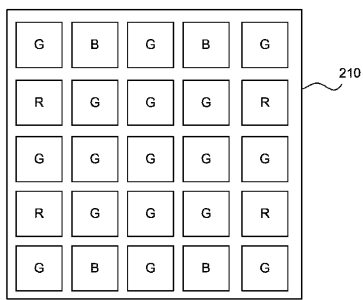


FIG. 2B

【図3】

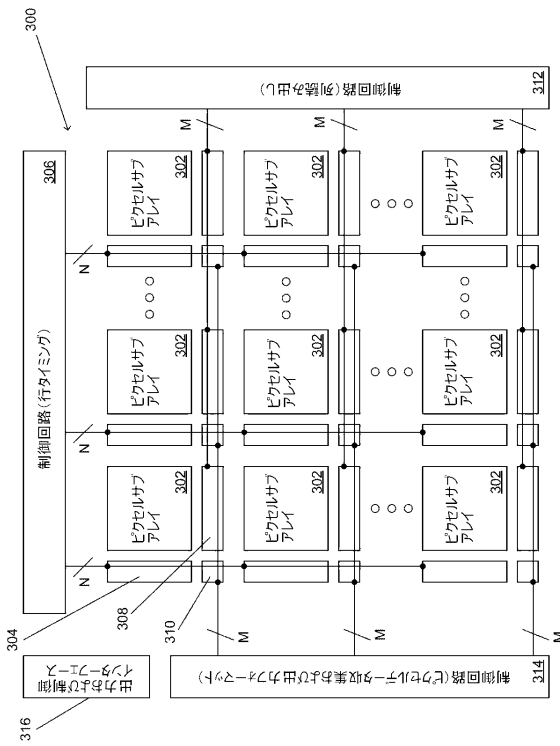


FIG. 3

【図 4】

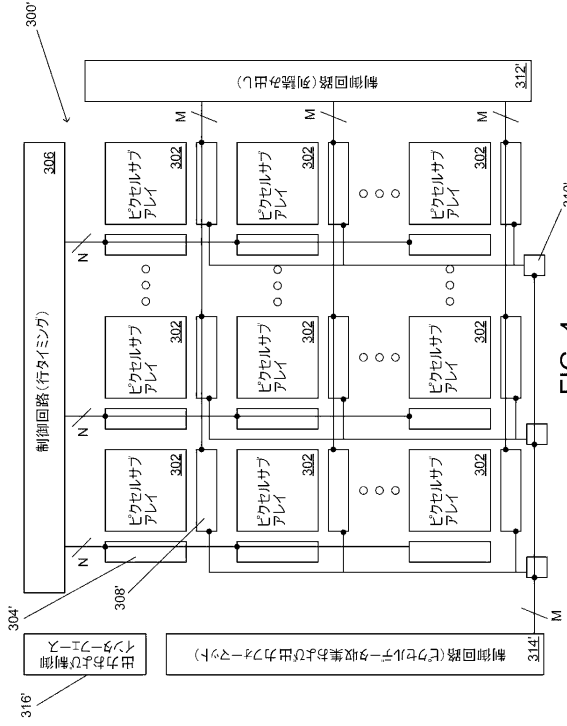


FIG. 4

【図 4 A】

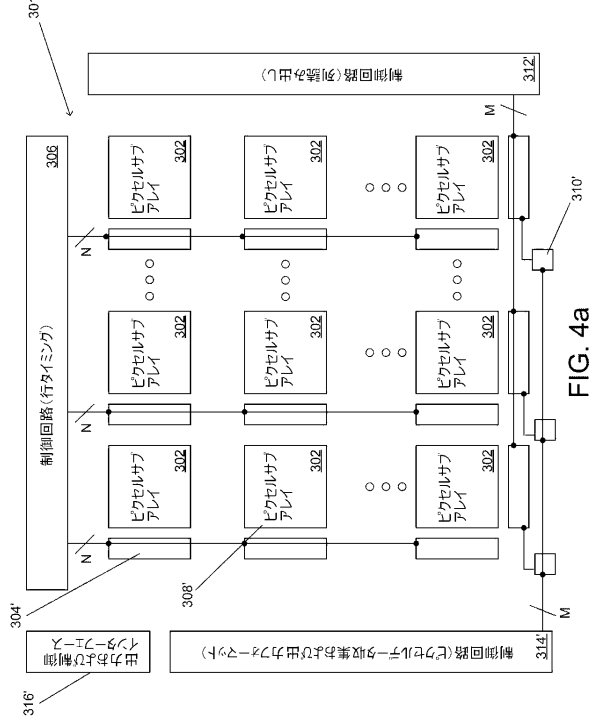


FIG. 4a

【図 4 B】

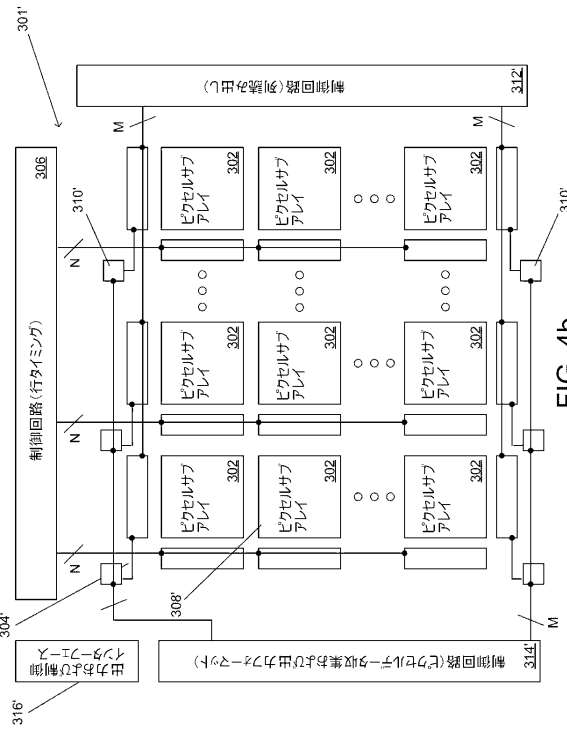
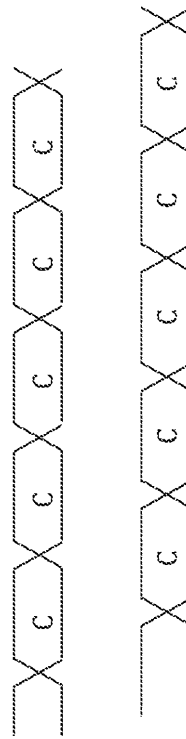


FIG. 4b

【図 4 C】



焦点面#1列

焦点面#2列

FIG. 4c

【図4D】

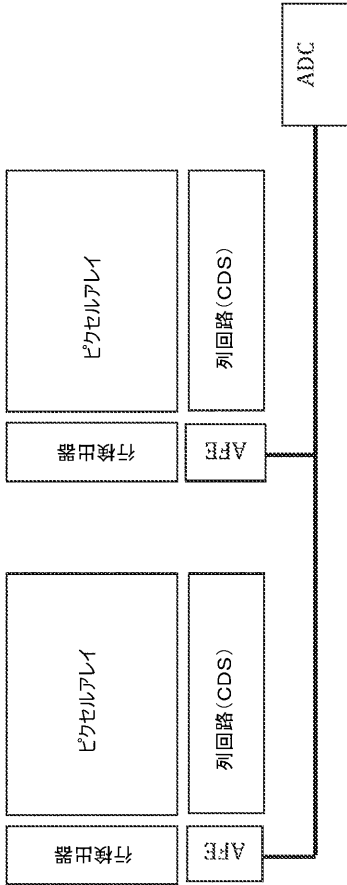


FIG. 4D

【図4E】

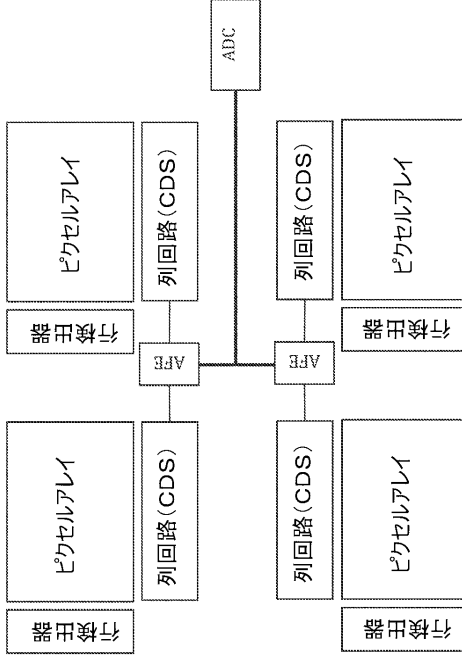


FIG. 4E

【図4F】

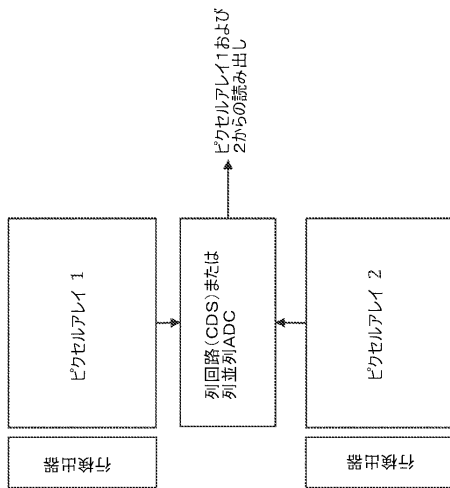


FIG. 4F

【図4G】

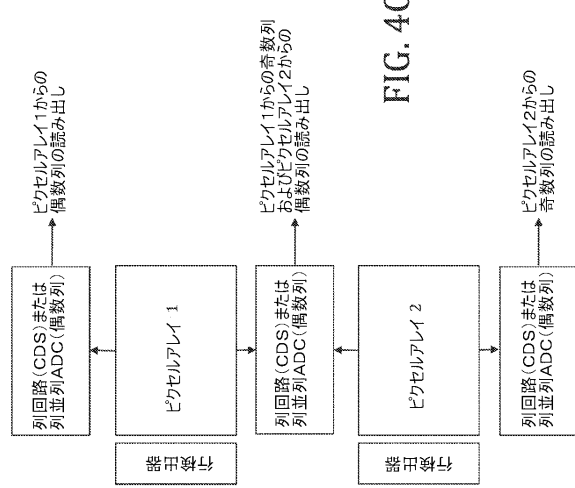


FIG. 4G



【 図 4 H 】

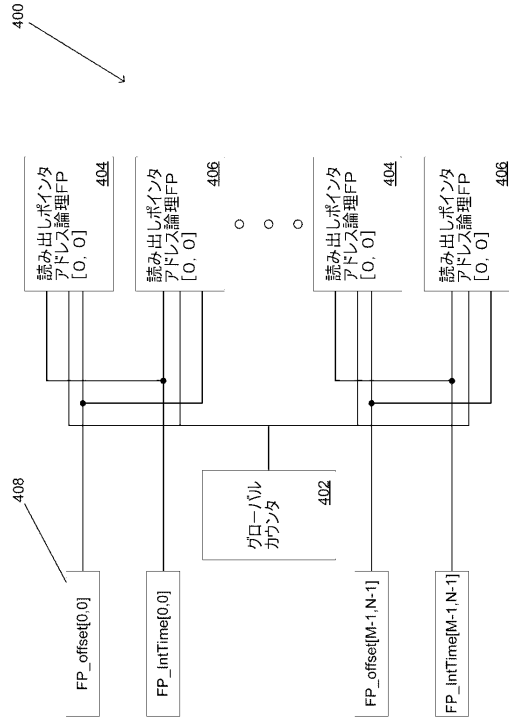


FIG. 4H

【 図 5 】

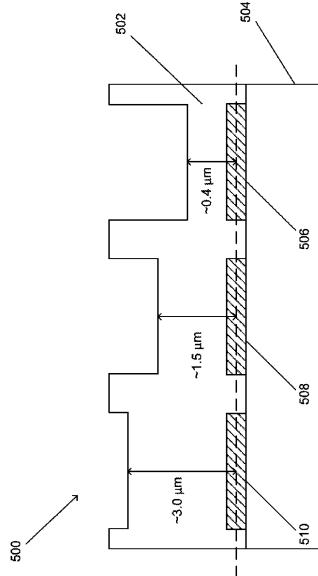


FIG. 5

フロントページの続き

(51)Int.Cl. F I  
 H 0 4 N 9/07 (2006.01) H 0 4 N 9/07 A

(74)代理人 100181641

弁理士 石川 大輔

(72)発明者 パイン, ベダブラト

アメリカ合衆国 カリフォルニア 9 0 0 4 6, ロサンゼルス, エヌ. クレセント ハイ  
 ツ ブールバード 8 2 8

(72)発明者 マクマホン, アンドリュー ケニス ジョン

アメリカ合衆国 カリフォルニア 9 4 0 2 5, メンロ パーク, オーク コート 1 4 8

審査官 久保 光宏

(56)参考文献 特開2002-252338(JP,A)  
 特開2003-163938(JP,A)  
 特開平1-37177(JP,A)  
 米国特許第7199348(US,B2)  
 特開昭59-25483(JP,A)  
 特表2008-507874(JP,A)  
 米国特許出願公開第2007/0228256(US,A1)  
 特開2004-221585(JP,A)  
 特開2008-258885(JP,A)  
 特開平2-285772(JP,A)  
 特開2005-295381(JP,A)  
 米国特許出願公開第2002/0101528(US,A1)  
 特開2000-209503(JP,A)  
 国際公開第2008/108926(WO,A1)  
 米国特許出願公開第2005/0205785(US,A1)  
 米国特許出願公開第2008/0174670(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 4 N 5 / 3 0 - 5 / 3 7 8 ,

H 0 4 N 9 / 0 4 - 9 / 1 1 ,

H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8