

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7318930号  
(P7318930)

(45)発行日 令和5年8月1日(2023.8.1)

(24)登録日 令和5年7月24日(2023.7.24)

(51)国際特許分類 F I  
H 0 1 L 31/053 (2014.01) H 0 1 L 31/04 6 1 0  
H 0 1 G 17/00 (2006.01) H 0 1 G 17/00

請求項の数 17 (全27頁)

(21)出願番号	特願2019-519392(P2019-519392)	(73)特許権者	515207499 パワー ロール リミテッド イギリス国 エスアール5 3エヌゼット タイン アンド ウィア、サンダーランド 、タービン ウェイ 2、ワシントン ピ ジネス センター
(86)(22)出願日	平成29年10月6日(2017.10.6)	(74)代理人	100147485 弁理士 杉村 憲司
(65)公表番号	特表2020-501337(P2020-501337 A)	(74)代理人	230118913 弁護士 杉村 光嗣
(43)公表日	令和2年1月16日(2020.1.16)	(74)代理人	100175477 弁理士 高橋 林太郎
(86)国際出願番号	PCT/GB2017/053042	(72)発明者	アレクサンダー ジョン トッピング イギリス国 エスアール5 3エヌゼット タイン アンド ウェア サンダーランド
(87)国際公開番号	WO2018/069682		
(87)国際公開日	平成30年4月19日(2018.4.19)		
審査請求日	令和2年8月19日(2020.8.19)		
(31)優先権主張番号	1617276.9		
(32)優先日	平成28年10月11日(2016.10.11)		
(33)優先権主張国・地域又は機関	英国(GB)		
(31)優先権主張番号	1712877.8		
(32)優先日	平成29年8月10日(2017.8.10)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 エネルギー貯蔵

(57)【特許請求の範囲】

【請求項1】

一連の細長い溝を備える基板であって、前記一連の細長い溝の各溝は互いに平行であり、かつ各溝が第1の面、第2の面および前記第1の面と前記第2の面との間の凹部を有し、前記凹部は前記溝の容積を規定する、基板と、

前記溝内に高誘電材料であるキャパシタ材料とを備え、

前記キャパシタ材料は少なくとも部分的に各溝の前記容積を充填し、前記一連の細長い溝にまたがるように各溝を過充填しており、

前記溝の前記第1の面および前記第2の面が金属からなる被膜を有し、

各溝内において、前記第1の面の前記金属からなる被膜が前記第2の面の前記金属からなる被膜と電氣的に接触せず、

前記一連の細長い溝の第1の溝の第2の面は、第2の溝の第1の面と電氣的に接触しており、

各溝および/または前記一連の細長い溝の長さが5 m ~ 1 0 0 0 mである、エネルギー貯蔵デバイス。

【請求項2】

前記溝の第1の側面が、前記溝の前記第1の面と前記基板の前記溝付近の第1の面とを含み、前記溝の第2の側面が、前記溝の前記第2の面と前記基板の前記溝付近の第2の面とを含む、請求項1に記載のエネルギー貯蔵デバイス。

【請求項3】

前記第 1 の面の第 1 の長さは、前記溝の前記第 1 の面と前記基板の前記第 1 の面との接合部および前記第 1 の面と前記第 2 の面との接合部から測定され、

前記第 2 の面の第 2 の長さは、前記溝の前記第 2 の面と前記基板の前記第 2 の面との接合部および前記第 1 の面と前記第 2 の面との接合部から測定され、

前記溝の前記第 1 の面の前記第 1 の長さおよび前記溝の前記第 2 の面の前記第 2 の長さは、各々 1000 nm ~ 10 マイクロメートルである、請求項 2 に記載のエネルギー貯蔵デバイス。

【請求項 4】

前記溝の前記第 1 の面の前記第 1 の長さおよび前記溝の前記第 2 の面の前記第 2 の長さは異なる、請求項 3 に記載のエネルギー貯蔵デバイス。

10

【請求項 5】

前記エネルギー貯蔵デバイスが光電子デバイスでもあり、前記溝の前記第 1 の面が第 1 の半導体材料からなる被膜をさらに有する、請求項 2 ~ 4 のいずれか一項に記載のエネルギー貯蔵デバイス。

【請求項 6】

前記溝の前記第 1 の面上の前記第 1 の半導体材料および前記溝の前記第 2 の面上の金属からなる前記被膜がそれぞれ第 2 の半導体材料と接触し、前記第 2 の半導体材料は各溝を部分的に充填し、各溝を過充填して前記一連の細長い溝にまたがるように前記キャパシタ材料が前記溝内の前記第 2 の半導体材料を覆う、請求項 5 に記載のエネルギー貯蔵デバイス。

20

【請求項 7】

前記溝の前記第 2 の側面において、前記溝の前記第 2 の側面の第 1 の半導体材料と前記溝内の前記第 2 の半導体材料との間に間隙が存在する、請求項 6 に記載のエネルギー貯蔵デバイス。

【請求項 8】

前記溝の前記第 1 の面が、前記基板から垂直に対して第 1 の角度をなし、前記溝の前記第 2 の面が、前記基板から垂直に対して第 2 の角度をなし、前記第 1 および第 2 の角度が 25 ° 以上 90 ° 未満である、請求項 1 ~ 7 のいずれか一項に記載のエネルギー貯蔵デバイス。

【請求項 9】

前記第 2 の半導体材料内に開口がある、請求項 6 または 7 に記載のエネルギー貯蔵デバイス。

30

【請求項 10】

前記基板が第 1 および第 2 の一連の細長い溝と該一連の細長い溝間にチャンネルとを備える、請求項 1 ~ 9 のいずれか一項に記載のエネルギー貯蔵デバイス。

【請求項 11】

前記チャンネルが、前記第 1 および第 2 の一連の細長い溝の端部にわたって延在する場合、前記第 1 および第 2 の一連の細長い溝に直角であり、前記チャンネルが、前記第 1 および第 2 の一連の細長い溝の間に延在する場合、前記第 1 および第 2 の一連の細長い溝に平行である、請求項 10 に記載のエネルギー貯蔵デバイス。

40

【請求項 12】

前記チャンネルの深さが前記第 1 および第 2 の一連の細長い溝の各溝の深さの少なくとも 2 倍である、請求項 10 または請求項 11 に記載エネルギー貯蔵デバイス。

【請求項 13】

前記エネルギー貯蔵デバイスが光電子デバイスおよび太陽光電池でもある、請求項 1 ~ 12 のいずれか一項に記載のエネルギー貯蔵デバイス。

【請求項 14】

請求項 1 ~ 13 のいずれか一項に記載のエネルギー貯蔵デバイスを設ける工程と、前記溝の前記第 1 の面の前記金属からなる被膜、または前記溝の前記第 2 の面の前記金属からなる被膜に AC 電圧を供給する工程と、

50

前記第 1 の面の前記金属からなる被膜が前記第 2 の面の前記金属からなる被膜と電氣的に接触しないよう、前記第 1 の面の前記金属からなる被膜と、前記第 2 の面の前記金属からなる被膜との間に間隙を形成する工程とを含む、基板調整方法。

【請求項 15】

前記第 1 の面の前記金属からなる前記被膜、または前記溝の前記第 2 の面の前記金属からなる被膜に前記 AC 電圧を供給する工程が、前記第 1 の面の前記金属からなる前記被膜、または前記溝の前記第 2 の面の前記金属からなる被膜に、熱の形でエネルギーを供給する、請求項 14 に記載の基板調整方法。

【請求項 16】

前記溝の前記第 1 または第 2 の面の前記金属全体にわたって熱の形の前記エネルギーを放散させる工程を含む、請求項 15 に記載の基板調整方法。 10

【請求項 17】

前記間隙が前記溝の底部に形成される、請求項 14 ~ 16 のいずれか一項に記載の基板調整方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はエネルギー貯蔵デバイスに関する。

【背景技術】

【0002】

再生可能エネルギー源への需要により、太陽光電池のコストおよび効率に大幅な改善がもたらされているが、既存技術は依然としてややコストの高い発電方法である。 20

【発明の概要】

【発明が解決しようとする課題】

【0003】

再生可能エネルギー源への需要はまた、エネルギー貯蔵に改善をももたらしている。再生可能エネルギーが世界のエネルギー需要のより多くをまかなうことになるとすると、エネルギー貯蔵効率を向上させ、かつ/あるいはエネルギー貯蔵コストを減少させることが必要である。 30

【0004】

本発明は既存のエネルギー貯蔵デバイスの 1 つ以上の欠点を軽減することを目的とする。

【課題を解決するための手段】

【0005】

本発明の第 1 の態様によれば、第 1 および第 2 の面を有する溝を備える基板を備え、溝内にキャパシタ材料またはスーパーキャパシタ材料が存在する、エネルギー貯蔵デバイスが提供される。 40

【0006】

このデバイスがエネルギーを貯蔵する確実な方法を提供すること、特にこのデバイスが他の既知の貯蔵デバイスと比較してショートし難いことは、本発明の利点となり得る。ショートはキャパシタまたはスーパーキャパシタの容量に悪影響を及ぼす。 40

【0007】

キャパシタ材料はスーパーキャパシタの特徴を有し得る。必要に応じて、キャパシタ材料は溝内のスーパーキャパシタ材料である。キャパシタ材料は高誘電キャパシタ材料であってもよい。通常、キャパシタ材料は、溝内の高誘電キャパシタ材料である。

【0008】

一般的に、エネルギー貯蔵デバイスは電気エネルギー貯蔵デバイスである。

【0009】

キャパシタ材料またはスーパーキャパシタ材料が溝内に存在する場合、キャパシタ材料またはスーパーキャパシタ材料により、溝を部分的に充填してもよく、溝を完全に充填し 50

てもよく、または溝を過充填してもよい。

【0010】

溝の第1および/または第2の面は、金属で被覆され、すなわち金属からなる被膜を有してもよい。典型的に、この金属は溝内のキャパシタ材料またはスーパーキャパシタ材料と接触し、通常電氣的に接触する。この金属は導体、典型的には導電体と呼ぶことができる。通常、溝の第1の面の金属と第2の面の金属の間には間隙が存在する。通常、間隙は、溝の第1の面の金属が溝の第2の面の金属に電氣的に接触しないことを意味する。間隙は典型的に溝の底部に存在する。

【0011】

溝が第1の面の金属と第2の面の金属の間の空間を画定することは、本発明の利点となり得る。第1の面の金属導体の間の距離は、多くの場合正確に設定され、通常比較的正確に設定され、かつ/あるいは一定である。

10

【0012】

溝内のキャパシタ材料またはスーパーキャパシタ材料が他の既知のキャパシタおよびスーパーキャパシタと比較して電圧破壊の影響を受け難いことは、本発明の利点となり得る。本発明によるエネルギー貯蔵デバイスは、各溝のそれぞれの電圧を低下させている。溝の数はデバイスの動作電圧と関係する。多数の積層を必要とする、他の既知のキャパシタ/スーパーキャパシタデバイスと異なり、本発明によるエネルギー貯蔵デバイスは多数の積層を必要とせず、同一層内の一連の溝を用いる。このデバイスは多くの溝にわたって電圧を分配するため、各個別の溝の電圧は、溝内のキャパシタ材料またはスーパーキャパシタ材料の破壊レベルを下回る。

20

【0013】

エネルギー貯蔵デバイスは光電子デバイスでもある場合がある。溝の第1の面は金属で被覆され、すなわち金属からなる被膜を有してもよく、溝の第2の面は、導体材料で覆われ、すなわち導体材料からなる被膜を有してもよい。

【0014】

一般的に、キャパシタ材料は高誘電材料である。高誘電材料が、デバイスが起動される際のサージなどのエネルギー需要スパイクを平準化することにより光電子デバイスの動作を補助することは、本発明の利点となり得る。高誘電材料は高誘電キャパシタ材料であってもよい。

30

【0015】

半導体材料および導体材料は溝内の別の半導体材料に接触してもよい。キャパシタ材料またはスーパーキャパシタ材料は、典型的に溝内の別の半導体材料を被覆するか、半導体材料上に存在するか、半導体材料を覆うかの1つ以上の状態になる。キャパシタまたはスーパーキャパシタは通常、半導体材料、導体材料および/または別の半導体材料によって占められていない、溝の残容積のすべてを充填する。

【0016】

キャパシタ材料またはスーパーキャパシタ材料は一般的に、ウルトラキャパシタとも呼ばれるスーパーキャパシタの機能をもたらす。スーパーキャパシタの機能はスーパーキャパシタ材料のみによりもたらされる場合があり、あるいは、スーパーキャパシタ材料と半導体材料、導体材料および別の半導体材料のうち1種以上との相互作用を必要とする場合もある。

40

【0017】

キャパシタ材料またはスーパーキャパシタ材料は、静電二重層容量および/もしくは電気化学疑似容量または任意の電荷分離メカニズムを用いて電気エネルギーを貯蔵し得る。

【0018】

溝の第1の面が半導体材料で被覆され、溝の第2の面が導体材料で被覆され、かつ/または別の半導体材料が溝内に存在する場合、キャパシタ材料またはスーパーキャパシタ材料は溝内に存在し、溝を過充填してもよい。すなわち、キャパシタ材料またはスーパーキャパシタ材料は2つの隣接する溝間の誘電体かつ/または絶縁体である。

50

## 【 0 0 1 9 】

キャパシタ材料またはスーパーキャパシタ材料が、溝の残容積のすべてを完全に充填し、さらに溝の外に及び、かつ/または溝の容積を越えて広がるように溝を過充填することが有効である場合がある。キャパシタ材料またはスーパーキャパシタ材料は、このように、キャパシタ材料またはスーパーキャパシタ材料が複数の溝にまたがってその上に層をなす程度に複数の溝を過充填してもよい。キャパシタ材料またはスーパーキャパシタ材料は2つ以上の隣接する溝の間の誘電体であってもよい。溝を過充填することにより、キャパシタ材料またはスーパーキャパシタ材料の、基板および/またはデバイスの他の要素への密着性を高め、かつ/あるいは得られるデバイスの容量を増加させ得る。

## 【 0 0 2 0 】

使用時、一般的に光電子デバイスは電気エネルギーを生成する。光電子デバイスは負荷と電氣的に接続する場合がある。負荷は、典型的に電気エネルギーを消費する電気素子である。負荷は例えば電球であってもよい。

## 【 0 0 2 1 】

使用時、キャパシタ材料またはスーパーキャパシタ材料は典型的に負荷が消費しない電気エネルギーまたは電荷を貯蔵する。こうして、過剰な電気エネルギーを将来的な負荷による使用のために貯蔵することができる。したがって、光電子デバイスが電気エネルギーを生成しないときに、負荷が使用可能な電気エネルギーが存在することになる。

## 【 0 0 2 2 】

溝の第1の側面は通常溝の第1の面および溝付近の基板の第1の表面からなる。溝の第2の側面は通常溝の第2の面および溝付近の基板の第2の表面からなる。溝付近の第1および第2の表面は一般的に基板と少なくとも実質的に平行であり、かつ/または基板と同一面内に存在する。溝の第1および第2の側面は、通常基板の同一表面に存在する。

## 【 0 0 2 3 】

溝の第1および第2の面の長さは典型的に1000nm~3μm、通常約10nmである。溝の第1および第2の面の高さは典型的に100nm~30μm、通常約1μm~3μmである。

## 【 0 0 2 4 】

溝の第1の面の長さは通常、溝の第1の面と基板の第1の表面の接合部および溝の第1の面と第2の面の接合部から測定する。溝の第2の面の長さは通常、溝の第2の面と基板の第2の表面の接合部および溝の第2の面と第1の面の接合部から測定する。

## 【 0 0 2 5 】

溝の第1および第2の面の長さは、少なくとも実質的に同じであってもよく、または異なってもよい。

## 【 0 0 2 6 】

溝の第1および第2の側面は通常それぞれ導体材料、必要に応じて半導体材料で被覆される。溝の第1の側面の半導体材料および溝の第2の側面の導体材料は典型的に溝内の別の半導体材料に接触する。

## 【 0 0 2 7 】

溝の第2の側面において、溝の第2の側面の半導体材料と溝内の別の半導体材料との間には間隙が存在し得る。

## 【 0 0 2 8 】

使用時、溝の第2の側面の半導体材料と溝内の別の半導体材料との間の間隙が、溝を横切って、ひいては、典型的に別の半導体材料を移動させることにより溝の第1の側面と第2の側面の間における分流の発生を阻止するか、軽減するか、または大幅に減少させるかの1つ以上を行うことは本発明の利点となり得る。

## 【 0 0 2 9 】

間隙は典型的に空隙である。間隙は別の材料、好ましくは非導電性材料および/または電気絶縁材料で充填してもよい。間隙は、典型的に、溝の第2の側面の半導体材料と溝内の別の半導体材料との間に電氣的絶縁を生じる。代替的な実施形態では、溝内のキャパシ

10

20

30

40

50

タ材料またはスーパーキャパシタ材料を空隙に置き換える。空隙は、キャパシタまたはスーパーキャパシタであるが、一般的に比較的弱いキャパシタまたはスーパーキャパシタである。

【0030】

空隙をキャパシタ材料またはスーパーキャパシタ材料で充填してもよい。溝の第2の側面の半導体材料と別の半導体材料との間の空隙は、一般的に別の半導体材料が半導体材料に接触せず、かつ/または半導体材料から絶縁していることを意味する。

【0031】

溝の第2の側面の半導体材料と溝内の別の半導体材料との間の空隙は、少なくとも1nmの長さであり、通常少なくとも20nmの長さであり、典型的には少なくとも100nmの長さであってもよい。溝の第2の側面の半導体材料と溝内の別の半導体材料の間の空隙は、少なくとも100nmの長さであり、通常少なくとも300nmの長さであり、典型的には少なくとも500nmの長さであってもよい。

10

【0032】

空隙により、光電子デバイスが溝を横切ってショートおよび/または分流し難くなり、典型的にはショートおよび/または分流に耐性をもつことは本発明の利点となり得る。半導体材料と別の半導体材料の間の空隙は溝の一方の側面の半導体材料から別の半導体材料を通り、溝の反対の側面の半導体材料に至る電荷移動の経路/順路を妨げるよう設計される。これにより、通常光電子デバイスが分流し難くなる。

【0033】

溝の第1の面は、通常基板から垂直に対して第1の角度をなし、溝の第2の面は、通常基板から垂直に対して第2の角度をなす。第1および第2の角度は通常25°~90°以下である。

20

【0034】

典型的に、溝の第1の面と第2の面は両面間の溝の凹部を画定する。

【0035】

溝の第1および第2の面はそれぞれ第1および第2の端部を有し得る。第1の端部同士は通常溝および/または凹部の底部の中央で接し、第2の端部同士は凹部の上部で離れている。代替的な実施形態では、第1および第2の面はそれぞれ溝の底面に接触する。溝の底面は溝の底部である場合がある。

30

【0036】

半導体材料は、半導体材料の層であってもよい。導体材料は、導体材料の層であってもよい。半導体材料の層は通常導体材料の層の上に位置する。導体材料の層は通常半導体材料の層の下に位置する。導体材料は通常、溝の第1の面、第1の表面、第2の面および第2の面ならびに半導体材料の1つ以上と接触する。

【0037】

導体材料は通常、溝の第2の面および溝付近の基板の第2の表面の上に位置するか、これらに接触するか、これらに被覆されるか、の1つ以上の状態になる。導体材料はさらに、溝付近の基板の第1の表面の上に位置するか、この面に接触するか、この面に被覆されるか、の1つ以上の状態になる場合がある。

40

【0038】

半導体材料は通常、溝の第1の面および溝付近の基板の第1の表面の上に位置するか、これらに接触するか、これらに被覆されるか、の1つ以上の状態となる。半導体材料はさらに、溝付近の基板の第2の表面の上に位置するか、この面に接触するか、この面に被覆されるか、の1つ以上の状態になる場合がある。

【0039】

溝の第1および/または第2の側面はそれぞれ接着材料で被覆されてもよい。接着材料は、接着材料の層であってもよい。接着材料の層は通常、溝の第1の面、第1の表面、第2の面および第2の表面ならびに導体材料および半導体材料の1つ以上と接触する。

【0040】

50

接着材料は導体、典型的には導電体であってもよい。溝の第1の面を被覆する導体材料と接着材料は、同じ材料であり、かつ/または同じ層であってもよい。

【0041】

別の半導体材料は通常、溝の第1および第2の面の間の溝を少なくとも部分的に充填する。溝内のキャパシタ材料またはスーパーキャパシタ材料は典型的に、溝の第1および第2の面の間の溝の残空間を充填する。

【0042】

溝は任意の形とすることができ、対称であってもよく、非対称のV字形であってもよい。溝の第1の面は溝の第2の面より長くてもよく、あるいは溝の第2の面が溝の第1の面より長くてもよい。

【0043】

溝の第1の面が溝の第2の面よりも長い場合、第1の面は通常少なくとも1000nmの長さであり、第2の面は通常少なくとも300nmの長さである。溝の第2の面が溝の第1の面よりも長い場合、第2の面は通常少なくとも1000nmの長さであり、第1の面は通常少なくとも300nmの長さである。

【0044】

溝の第1の面が溝の第2の面よりも長い、または溝の第2の面が溝の第1の面よりも長い場合、溝は通常非対称な形状を有する。

【0045】

別の半導体材料は通常、溝の第1の面および/または溝の第1の側面の半導体材料にのみ接触し、別の半導体材料は溝の第2の面および/または溝の第2の側面の導体材料にのみ接触する。

【0046】

半導体材料は溝の第1の面の20%~80%、通常40%~60%、必要に応じて約50%を被覆し、かつ/または覆い得る。半導体材料は溝の第1の面の約75%を被覆し、かつ/または覆い得る。導体材料は溝の第2の面の20%~80%、通常40%~60%、必要に応じて約50%を被覆し、かつ/または覆い得る。導体材料は溝の第2の面の約75%を被覆し、かつ/または覆い得る。

【0047】

導体材料および/または半導体材料が溝の第2の面および/または第1の面の約50%、好ましくは約75%をそれぞれ被覆し、かつ/または覆う場合、光電子デバイスの効率、発生電流、出力および光電変換効率の1つ以上が増加することは本発明の利点となり得る。

【0048】

導体材料および/または半導体材料の被膜は20nm~1000nmの厚さであってもよく、通常25nm~500nmの厚さであってもよく、典型的には30nm~200nmの厚さであってもよい。導体材料および/または半導体材料の被膜はしたがって、比較的薄い被覆であるといえる。

【0049】

別の半導体材料の厚さが約200nmの場合、光電子デバイスの効率、発生電流、出力および光電変換効率の1つ以上が増加することは本発明の利点となり得る。別の半導体材料の厚さが約200nmの場合、溝の幅は約1 $\mu$ mであってもよい。ただし、この幅は、溝の形状が異なる場合は変わり得る。

【0050】

別の半導体材料内には通常開口がある。開口は間隙および/またはクラックと呼ぶことができる。開口の形状は通常溝の形状と実質的にコンフォーマルである。開口の形状は溝の形状に適合してもよい。

【0051】

キャパシタまたはスーパーキャパシタは通常、別の半導体材料内の開口を充填する。

【0052】

10

20

30

40

50

キャパシタ材料またはスーパーキャパシタ材料は、誘電体および/または絶縁材料であり、かつ/あるいは誘電体および/または絶縁材料と呼ぶことができる。絶縁材料は一般的に電気絶縁材料である。

【 0 0 5 3 】

絶縁材料が、光電子デバイスを溝を横切ってショートおよび/または分流し難くすることは本発明の利点となり得る。絶縁材料は、溝付近の基板の第2の表面の半導体材料を溝内の別の半導体材料から通常絶縁し、典型的には電氣的に絶縁する。絶縁材料は、溝の上部にわたる電荷移動の経路/順路を長くし、かつ/あるいは妨げてもよく、これにより通常光電子デバイスが分流し難くなる。

【 0 0 5 4 】

典型的には、半導体材料はn型半導体材料である。典型的には、別の半導体材料はp型半導体材料である。代替的な実施形態では、半導体材料がp型半導体材料であり、別の半導体材料がn型半導体材料である。

【 0 0 5 5 】

n型およびp型の半導体は、シリコン、非晶質シリコン、水素化非晶質シリコン、アルミニウム、ゲルマニウム、窒化ガリウム、ガリウムヒ素、リン化アルミニウム、ヒ化アルミニウム、ヨウ化銅、酸化亜鉛、硫化鉛、セレン、リン化ホウ素、ヒ化ホウ素、ガリウム、窒化インジウム、リン化インジウム、セレン化カドミウム、硫化カドミウム、テルル化カドミウム、硫化亜鉛、セレン化亜鉛、テルル化亜鉛、塩化銅、硫化銅、酸化銅、硫化スズ、テルル化スズ、リン化亜鉛、酸化チタン、酸化スズ、ニオブ酸リチウム、ヨウ化鉛、セレン化ガリウム、硫化スズ、酸化鉄、酸化ニッケル、セレン化銅インジウム、銅亜鉛スズ硫化物、二硫化鉄、銅亜鉛アンチモン硫化物、酸化タングステン、五酸化ニオブおよび酸化鉛のうち1つ以上を含み得る。

【 0 0 5 6 】

n型半導体は典型的に、シリコン、ゲルマニウム、リン、セレン、テルル、硫化カドミウム、亜鉛、インジウム、チタン、ニオブ、ニッケル、スズ、ならびにこれらの酸化物およびドーパ半導性酸化物のうち1つ以上を含む。

【 0 0 5 7 】

p型半導体は典型的に、シリコン、ゲルマニウム、テルル化カドミウム、銅インジウムセレン化ガリウム(「CIGS」)、二セレン化銅インジウムガリウム、セレン化銅インジウム(CIS)、セレン化銅ガリウム、酸化銅、酸化ニッケル、酸化タングステン、ホウ素、ベリリウム、亜鉛、カドミウム、銅亜鉛スズ硫化物(CZTS)、ペロブスカイト、酸化カルシウムチタン、チタン酸カルシウムおよび硫化鉛のうち1つ以上を含む。

【 0 0 5 8 】

別の半導体材料は三酸化モリブデンなどの電子ブロック材料であってもよい。電子ブロック材料は、五酸化バナジウム、酸化タングステン、五酸化タンタル、スピロポリマーおよびp-dotポリマーなどの正孔輸送電子ブロック材料であってもよい。半導体材料はp型半導体、n型半導体およびドナーアクセプタ材料のうち1つ以上を組み合わせたものである、ヘテロ接合であってもよい。

【 0 0 5 9 】

半導体材料および別の半導体材料は、界面および/または境界において接してもよい。この界面は一般的にpn接合界面と呼ばれる。半導体および別の半導体材料は、合わせて活性材料と呼ぶことができる。半導体と別の半導体は典型的に異なる材料である。

【 0 0 6 0 】

導体材料は通常別の半導体材料にオーミックであり、かつ/または別の半導体材料へのオーミック接触である。半導体材料は通常別の半導体材料を整流し、かつ/または別の半導体材料に整流接触する。

【 0 0 6 1 】

溝内かつ/または溝の凹部内の、溝の第1および第2の面の活性材料は、活性材料への電荷の挿入または活性材料からの電荷の離脱のためのオーミック接触および整流接触をも

10

20

30

40

50

たらし得る。活性材料は光起電性、発光性およびイオン伝導性の1つ以上の性質を有し得る。

【0062】

導体材料は、典型的には導電体であってもよい。導体材料はアルミニウム、ビスマス、カドミウム、クロム、銅、ガリウム、金、インジウム、鉛、マグネシウム、マンガン、サマリウム、スカンジウム、銀、スズ、亜鉛、テルビウム、セレン、モリブデン、イットリウム、ホルミウム、カルシウム、ニッケル、タングステン、白金、パラジウムおよびバナジウムのうち1つ以上を含み得る。

【0063】

基板は第1および第2の一連の溝と該一連の溝間にチャンネルとを備えてもよい。上述した溝は第1および/または第2の一連の溝のいずれか1つの溝とすることができる。チャンネルは典型的に第1および/または第2の一連の溝のすべての溝を横断する。

10

【0064】

電流を、第2の一連の溝から隔離された状態で、第1の一連の溝から取り出すかまたは第1の一連の溝に供給することができるように、チャンネルが第1および第2の一連の溝間を隔てることは本発明の利点となり得る。

【0065】

第1および第2の一連の溝は通常細長い溝である。第1および第2の一連の溝間のチャンネルは通常細長いチャンネルである。

【0066】

チャンネルは通常各溝の端部において、または端部に向かって第1および/または第2の一連の溝のすべての溝を横断する。チャンネルは通常各溝の一方の端部に向かって第1の一連の溝の各溝を横断し、かつ/または横切った後、各溝の反対および/または対向の端部に向かって第2の一連の溝の各溝を横断し、かつ/または横切る前に、第1および第2の溝の間を通る。

20

【0067】

通常、第1および第2の一連の溝ならば該溝間のチャンネルの一部、通常大部分は、互いにほぼ平行、典型的には平行である。

【0068】

チャンネルは第1および第2の一連の溝に直角および平行の両方に延在し得る。通常、チャンネルは、第1および第2の一連の溝の端部にわたって延在する場合、第1および第2の一連の溝に直角である。通常、チャンネルが、第1および第2の一連の溝の間に延在する場合、第1および第2の一連の溝に平行である。チャンネルが第1および第2の一連の溝の端部にわたって延在する角度は可変とすることができ、必要に応じて $0^{\circ} \sim 90^{\circ}$ 、通常 $35^{\circ} \sim 55^{\circ}$ 、典型的に $45^{\circ}$ とすることができる。

30

【0069】

チャンネルが第1および第2の一連の溝に直角および平行の両方に延在する場合、チャンネルは少なくとも2方向に伸びて前出の第1および第2の一連の溝を接続すると言える。

【0070】

チャンネルが第1および第2の一連の溝にほぼ直角に延在する場合、第1および第2の一連の溝に対し、少なくとも2方向にも延在し得る。チャンネルは、第1および第2の一連の溝に対し、少なくとも2方向にも延在する場合、典型的にジグザグ形状をなす。

40

【0071】

溝を備えた基板の表面は構造化表面と呼ぶことができる。構造化表面は典型的には平坦でない。基板は平坦な別の表面を有し得る。

【0072】

チャンネルは画定的要素と呼ぶことができる。チャンネルは典型的には第1および第2の一連の溝を分離する。チャンネルは典型的に第1および第2の側面を有する。チャンネルの第1の側面は典型的にチャンネルの第1の面およびチャンネル付近の基板の第1の表面からなる。チャンネルの第2の側面は典型的にチャンネルの第2の面およびチャンネル付近の基板の第2の

50

表面からなる。チャンネル付近の第1および第2の表面は典型的に基板と少なくともほぼ平行であり、かつ/または基板と同一面内に存在する。チャンネルの第1および第2の側面は、典型的に基板の同一表面に存在する。チャンネルの第1および第2の側面は典型的に導体材料および半導体材料で被覆される。

【0073】

チャンネルの第1および第2の面間には典型的にチャンネル凹部が存在する。

【0074】

チャンネルの第1の面は、典型的に基板から垂直に対して第1の角度をなし、チャンネルの第2の面は、典型的に基板から垂直に対して第2の角度をなす。チャンネルの第1の面およびチャンネルの第2の面は基板の面に直角であってもよい。第1の角度は通常 $45^{\circ} \sim 90^{\circ}$ 以下である。第2の角度は通常 $45^{\circ} \sim 90^{\circ}$ 以下である。

10

【0075】

通常、チャンネルの第2の側面および/または面の導体材料と、チャンネルの第1の側面および/または面の半導体材料と、チャンネル内の別の半導体材料との間には、電気的な接続がない。

【0076】

チャンネルの第1の側面および第2の側面は、電気回路の陽極および陰極として機能し得る。チャンネルの第1の側面は、電気回路の陽極または陰極に電氣的に接続し、典型的には固着してもよい。チャンネルの第2の側面は、電気回路の対応する陰極または陽極である、他方の極に電氣的に接続し、典型的には固着してもよい。

20

【0077】

チャンネルは通常非導電性である。チャンネルは典型的にチャンネル同士を第1および第2の側面から分離および/または絶縁する。

【0078】

第1および第2の一連の溝間には複数のチャンネルがあってもよい。複数のチャンネルがエネルギー貯蔵デバイス全体における電圧破壊の影響の軽減に役立つことは本発明の利点となり得る。

【0079】

光電子デバイスは二端子素子と呼ぶことができる。第1および第2の一連の溝はカスケード溝構造と呼ぶことができる。使用時、デバイスは直列構成で製造され、並列構成または直列と並列が組み合わさった構成で動作させることができる。

30

【0080】

チャンネルの第1および第2の面間のチャンネル凹部は、任意の形状とすることができ、通常U字形、V字形または半球形である。チャンネルの第1および第2の面間のチャンネル凹部は平坦な底部を有し得る。第1および第2の一連の溝の第1および第2の面間の凹部の形状は、チャンネルの第1および第2の面の間のチャンネル凹部の形状と同じであってもよく、または異なってもよい。

【0081】

チャンネルの形状は、溝の形状と同じであってもよく、あるいは異なってもよい。

【0082】

チャンネル凹部の底部は平坦であってもよく、あるいは窪みを有してもよい。チャンネル凹部の窪みを有する底部は高低差があるかまたは凸凹を有していると言うことができる。チャンネル凹部の窪みを有する底部は典型的にチャンネル凹部の底部の表面積を大きくする。チャンネル凹部の底部の表面積を大きくすることは、チャンネルが確実にチャンネル同士を第1および第2の側面から分離および/または絶縁する効果をもたらす得る。

40

【0083】

チャンネルならびに第1および/または第2の一連の溝の各溝は典型的に、基板の上面から、該上面から最も遠いチャンネルまたは溝の点までで測定される深さを有する。

【0084】

チャンネルの深さは典型的に第1および/または第2の一連の溝の各溝の深さよりも深い

50

。チャネルの深さは第1および/または第2の一連の溝の各溝の深さの少なくとも2倍であつてもよい。

【0085】

チャネルには深さと幅がある。チャネルの深さは典型的にチャネルの幅の2倍である。したがって、チャネルの幅に対する深さのアスペクト比は典型的に約2:1である。

【0086】

第1および第2の一連の溝は典型的に一連の隆起と凹部を形成する。第1および第2の一連の溝は、少なくとも2個の凹部、典型的には2個~500個の凹部を含み得る。

【0087】

第1および第2の一連の溝の各溝および/または複数の溝は、典型的に5mm~200mmの長さ、通常5mm~1000mmの長さ、好ましくは330mmの長さである。第1および第2の一連の溝の各溝および/または複数の溝は、典型的に0.3μm~100μmの幅、通常0.3μm~5μmの幅である。

10

【0088】

第1および第2の一連の溝の各溝および/または複数の溝は、典型的に5m~200mの長さ、通常5m~1000mの長さであつてもよい。第1および第2の一連の溝の各溝および/または複数の溝は、典型的に100mよりも長く、必要に応じて1000mよりも長く、通常5000mよりも長くてもよく、10000mよりも長くてもよい。第1および第2の一連の溝の各溝および/または複数の溝は、典型的に0.3μm~100μmの幅、通常0.3μm~5μmの幅である。

20

【0089】

基板は硬化性樹脂、特にUV硬化樹脂を含み得る。基板は、アクリル樹脂で被覆されたポリ塩化ビニル(PVC)、アクリル樹脂で被覆されたポリエチレンテレフタレート(PET)、アクリル樹脂で被覆されたポリエチレンナフタレート(PEN)、バイオポリマーで被覆されたポリ塩化ビニル(PVC)、バイオポリマーで被覆されたポリエチレンテレフタレート(PET)およびバイオポリマーで被覆されたポリエチレンナフタレート(PEN)のうち1つ以上を含み得る。

【0090】

光電子デバイスは典型的に太陽光電池である。

【0091】

光電子デバイスは第1および第2の実質的に二次元状の面を有し得る。

30

【0092】

一連の溝は典型的に、第1の実質的に二次元状の面内に存在する。一連の溝は通常第1の最外溝および第2の最外溝を含み得る。

【0093】

基板には第1および第2の孔が存在してもよい。第1の孔は通常、第1の最外溝と基板の第2の実質的に二次元状の面の間に電氣的接続をもたらす、第2の孔は第2の最外溝と基板の第2の実質的に二次元状の面の間の電氣的接続に分断をもたらす。

【0094】

基板の第2の実質的に二次元状の面は典型的に、互いから電氣的に絶縁された第1および第2の導電体をさらに含み得る。一連の溝の各溝は通常、第1および第2の面と、かかる面間に凹部とを有する。凹部は通常少なくとも部分的に第1の半導体材料で充填され、第1の面は通常少なくとも部分的に導体材料で被覆され、第2の面は通常少なくとも部分的に第2の半導体材料で被覆される。

40

【0095】

孔の第1および第2の側面は通常、導体材料、第1の半導体材料および第2の半導体材料のうち1つ以上で被覆される。

【0096】

第1の孔は典型的に、第1の最外溝に最も近い基板の第1の実質的に二次元状の面を貫通し、基板の第2の実質的に二次元状の面の第1の導電体を貫通する。第2の孔は、典型

50

的に、第2の最外溝に最も近い基板の第1の実質的に二次元状の面を貫通し、基板の第2の実質的に二次元状の面の第2の導電体を貫通する。

【0097】

孔は典型的に $0.5\ \mu\text{m} \sim 2000\ \mu\text{m}$ の直径を有する。孔は細長い穴であってもよい。

【0098】

第1および第2の孔は通常少なくとも部分的に導電体材料で充填される。導電体材料は、導電性インクであってもよい。

【0099】

エネルギー貯蔵デバイスは典型的に保護層をさらに備える。保護層は典型的に最外層である。保護層は典型的に、第1の実質的に二次元状の面上に存在する。保護層は典型的に、第1の実質的に二次元状の面内の一連の溝を保護する。保護層は積層構造と呼ぶこともできる。

10

【0100】

保護層は透明または不透明であってもよい。エネルギー貯蔵デバイスの保護層は典型的に不透明である。

【0101】

保護層は典型的に第1の実質的に二次元状の面、典型的には第1の実質的に二次元状の面内の一連の溝に接着剤によって付着させ、かつ/または接着される。代替的な実施形態では、保護層は接着剤です。

【0102】

接着剤は通常誘電材料、必要に応じて高誘電材料である。高誘電材料は高誘電キャパシタ材料であってもよい。

20

【0103】

第1および第2の一連の溝ならびに該溝間のチャネルを備えた基板は、第1および第2の孔を含み得る。

【0104】

溝の第1の面の金属は第1の金属導体と呼ぶことができる。溝の第2の面の金属は第2の金属導体と呼ぶことができる。

【0105】

第1および第2の面の金属導体間の距離が統計的に変化することは、使用の際、対処をしなければデバイス内で何らかのショートが発生し得ることを意味する。導体を基板に塗布した後、ショートの検出および軽減/除去処理を行ってもよい。例えば、導電被覆された基板の容量をまず測定し得る。測定された容量により、基板内でショートが起こったか否かを判断することができる。その後ショートを軽減または除去することが求められる場合、可変周波数AC電圧を導電被覆された基板上の導体に通過させてもよい。

30

【0106】

本発明の第2の態様によれば、第1および第2の面を有する溝を備える基板を設ける工程であって、溝の第1の面が金属および/または半導体からなる被膜を有し、溝の第2の面が金属および/または半導体からなる被膜を有する工程と、溝の第1または第2の面の金属および/または半導体からなる被膜にAC電圧を供給する工程と、第1の面の金属および/または半導体からなる被膜と、第2の面の金属および/または半導体からなる被膜との間に間隙を形成する工程とを含む、基板調整方法が提供される。

40

【0107】

溝の第1または第2の面の金属または半導体からなる被膜にAC電圧を供給する工程は、典型的に溝の第1または第2の面の金属または半導体からなる被膜に、熱の形でエネルギーを供給する。

【0108】

かかる方法は、通常、溝の第1または第2の面の金属または半導体全体にわたって熱の

50

形のエネルギーを放散させる工程を含む。

【0109】

一般的に、間隙は溝の底部に形成される。

【0110】

典型的に、溝の第1の面の金属および/または半導体が、溝の第2の面の金属および/または半導体に接触する場合に、ショートが起こり得る。

【0111】

AC波形は、ショートを通過する電流の大きさが、金属および/または半導体の温度を上昇させるほど十分大きくなるように調節することができる。熱の形のエネルギーは一般的に、ショートを通熱させるのに十分である。これにより、通常ショートは阻止される。結果として、ショートは除去される。短ートの除去により、基板の全インピーダンスが変化し、固定AC周波数が残りのショートを通熱することがより難しくなる。そのため、容量性リアクタンスの変化および全インピーダンスの変化に合わせて調節するために、処理中に入力周波数を変更してもよい。こうして、実質的にすべてのショートを除去することができる。

10

【0112】

AC入力周波数が高過ぎる場合、この方法はより多くの電力を使用することになり、ショート除去の際のインピーダンスの変化が非常に小さくなるため、除去の効果を打ち消してしまう可能性がある。そのため、短ートの軽減/除去に高過ぎず、低過ぎないAC入力周波数を用いることが好ましい。必要な最高周波数および最低周波数は、溝寸法および検出された短ートの数に基づいて予測することができる。

20

【0113】

一方、パルス波形が、第1および/または第2の面の金属および/または半導体の被膜からなる導体の回路のインピーダンス域にわたって必要とされると推定されるすべての周波数成分を含む、適切なパルス電源を入力部として用いることができる。このシナリオでは、可変AC周波数がパルス波形内にすべて含まれているために、個別に供給する必要がない。

【0114】

本発明の第2の態様の特徴および付加的特徴は、本発明の第1および/または第3の態様に組み込むことができ、その逆もまた同様である。

30

【0115】

本発明の第3の態様によれば、それぞれが第1および第2の面を有する一連の溝を備える基板を備え、各溝内にキャパシタ材料またはスーパーキャパシタ材料が存在する、エネルギー貯蔵デバイスが提供される。

【0116】

一連の溝は典型的に同一層内に位置する。使用時、デバイスは通常多くの溝にわたって電圧を分配する。

【0117】

一連の溝のうち第1の溝の第2の面は、典型的に、一連の溝のうち第2の溝の第1の面と電気的に接続する。第1の溝の第2の面は第2の溝の第1の面と電気的に接触し得る。

40

【0118】

任意の数の溝が存在し得る。溝の数は、典型的に溝内のキャパシタ材料もしくはスーパーキャパシタ材料の種類および/または溝の幅に左右される。

【0119】

通常、5個超2000個未満の溝が存在する。1個の溝と比べて一連の2個の溝を有する場合、電圧が倍となり、エネルギー貯蔵デバイスの容量が半分になる。1個の溝と比べて一連の3個の溝を有する場合、例えば電圧が3倍となり、エネルギー貯蔵デバイスの容量が三分の一になる。

【0120】

50

本発明の第 3 の態様の特徴および付加的な特徴は、本発明の第 1 および / または第 2 の態様に組み込むことができ、その逆もまた同様である。

【 0 1 2 1 】

以下に、本発明の実施形態を、以下の添付図面を参照して例示的にのみ説明する。

【 図面の簡単な説明 】

【 0 1 2 2 】

【 図 1 】 a は本発明の実施形態による、過充填を示すエネルギー貯蔵デバイスの溝の断面図であり、b は本発明の実施形態による、部分充填を示すエネルギー貯蔵デバイスの溝の断面図である。

【 図 2 】 本発明の実施形態による、光電子デバイスの溝の断面図である。

10

【 図 3 】 光電子デバイスの回路図を示す。

【 図 4 】 本発明の一実施形態による光電子デバイスを示す図である。

【 図 5 】 本発明の一実施形態による光電子デバイスを示す図である。

【 図 6 】 本発明の一実施形態による光電子デバイスを示す図である。

【 図 7 】 本発明の一実施形態による光電子デバイスを示す図である。

【 図 8 】 本発明の一実施形態による光電子デバイスを示す図である。

【 図 9 】 本発明の一実施形態による光電子デバイスを示す図である。

【 図 1 0 】 本発明の一実施形態による光電子デバイスを示す図である。

【 図 1 1 】 本発明の一実施形態による光電子デバイスを示す図である。

【 図 1 2 】 本発明の一実施形態による光電子デバイスを示す図である。

20

【 図 1 3 】 本発明の一実施形態による光電子デバイスを示す図である。

【 発明を実施するための形態 】

【 0 1 2 3 】

図 1 a は、一連の溝 1 4 およびキャパシタ材料 / スーパーキャパシタ材料 9 9 を備えたエネルギー貯蔵デバイス 1 0 を示す。溝 1 4 の壁部は金属導体の被膜 1 8 を有する。

【 0 1 2 4 】

溝 1 4 の第 1 の面 1 6 a の金属皮膜 1 8 は、溝 1 4 の第 2 の面 1 6 b の金属皮膜 1 8 に電氣的に接触しない。溝 1 4 の第 1 の面 1 6 a の金属皮膜 1 8 と溝 1 4 の第 2 の面 1 6 b の金属皮膜 1 8 の間の溝 1 4 の底部には間隙 9 2 が存在する。各金属皮膜 1 8 は導体材料とも呼ぶことができる。

30

【 0 1 2 5 】

図 1 a では、キャパシタ材料 / スーパーキャパシタ材料 9 9 で溝 1 4 を過充填している。図 1 b は、本発明によるエネルギー貯蔵デバイスの同じ特徴を示すが、キャパシタ材料 / スーパーキャパシタ材料 9 9 で溝 1 4 を部分的にのみ充填する。

【 0 1 2 6 】

図 1 b は同じエネルギー貯蔵デバイス 1 0 を示す。

【 0 1 2 7 】

図 2 は、第 1 の面 1 1 6 a および第 2 の面 1 1 6 b を有する溝 1 1 4 を備えた基板 1 1 2 と、溝 1 1 4 内のキャパシタ材料 / スーパーキャパシタ材料 1 9 9 とを含む光電子デバイス 1 1 0 を示す。

40

【 0 1 2 8 】

溝の第 1 の面 1 1 6 a は導体材料 1 1 8 で被覆され、溝の第 2 の面 1 1 6 b は半導体材料 1 2 0 で被覆される。導体材料 1 1 8 および半導体材料 1 2 0 は溝内の別の半導体材料 1 2 2 と接触する。別の半導体材料 1 2 2 内には開口 1 2 6 が存在する。

【 0 1 2 9 】

第 1 の面 1 1 6 a、第 2 の面 1 1 6 b、導体材料 1 1 8 および半導体材料 1 2 0 は別の半導体材料 1 2 2 と接触する。別の半導体材料 1 2 2 は、溝 1 1 4 の第 1 の面 1 1 6 a にほぼ平行な第 1 の表面 1 2 4 a と、溝 1 1 4 の第 2 の面 1 1 6 b にほぼ平行な第 2 の表面 1 2 4 b とを有し、第 1 および第 2 の表面 1 2 4 a、1 2 4 b は別の半導体材料 1 2 2 内の開口 1 2 6 を画定する。

50

## 【0130】

キャパシタ材料ノスーパーキャパシタ材料199は、溝114内の半導体材料122を覆い、半導体材料120、導体材料118および別の半導体材料122によって占められていない、溝114の残容積のすべてを充填する。

## 【0131】

スーパーキャパシタ材料199は光電子デバイス110によって生成された電気エネルギーを貯蔵する。

## 【0132】

溝114はV字型である。開口126の形状は溝114の形状とコンフォーマルである。開口126の形状は溝114の形状に適合する。

10

## 【0133】

溝の第1の面116aおよび第2の面116bは両面間の溝114の凹部を画定する。図2は溝114の第1の面116aと第2の面116bの間の凹部に向かって伸びる開口126を示す。別の半導体材料122は溝114の凹部の容積の75%を占める。残りの15%は、スーパーキャパシタ材料199で充填される、別の半導体材料122内の開口126に対応する。導体材料118および半導体材料120は、凹部空間の一部を占めるため、別の半導体材料122およびスーパーキャパシタ材料199によって占められていない、凹部の容積の一部を構成することが理解される。ただし、この容積は比較的小さいものである。

## 【0134】

別の半導体材料122内の開口126は凹部への距離の50%に広がり、導体材料118は溝114の第1の面116aの50%を被覆し、半導体材料120は溝114の第2の面116bの50%を被覆する。

20

## 【0135】

図3は、(図2に示す)光電子デバイス110の電気回路図40である。回路図40はダイオード42およびキャパシタ44を示す。(図2に示される)半導体材料120、導体材料118および別の半導体材料122はダイオード42を構成する。(図2に示される)キャパシタ材料ノスーパーキャパシタ材料199はキャパシタ44である。

## 【0136】

図3は光電子デバイスの3つの平行な溝の、3つの並列電気回路を示す。図2は一連の溝のうちの1つの溝114を示す。

30

## 【0137】

図4は、第1の面113aおよび第2の面116aを有する溝114を備えた基板112を含む光電子デバイス110を示す。溝114の第1の面113aは半導体材料120で被覆され、溝114の第2の面116aは、導体材料118で被覆される。半導体材料120および導体材料118は溝114内の別の半導体材料122に接触する。溝114の第1の面113aは、溝114の第2の面116aよりも長い。

## 【0138】

光電子デバイス110はまた、キャパシタ材料ノスーパーキャパシタ材料199を含む。

## 【0139】

溝114の第1の面113aと第2の面116aは両面間の溝114の凹部126を画定する。溝114の第1の面113aおよび第2の面116aはそれぞれ第1の端部113aa、116aaおよび第2の端部113ab、116abを有する。第1の端部113aa、116aa同士は溝114および凹部126の底部の中央で接し、第2の端部113ab、116ab同士は凹部126の上部で離れている。

40

## 【0140】

溝114はV字形である。溝114、別の半導体材料122および凹部126はすべて非対称である。

## 【0141】

溝114の第1の側面113は、溝114の第1の面113aおよび溝114付近の基

50

板 1 1 2 の第 1 の表面 1 1 3 b からなる。溝 1 1 4 の第 2 の側面 1 1 6 は、溝 1 1 4 の第 2 の面 1 1 6 a および溝 1 1 4 付近の基板 1 1 2 の第 2 の表面 1 1 6 b からなる。溝 1 1 4 付近の第 1 および第 2 の表面 1 1 3 b、1 1 6 b は基板 1 1 2 と同一面内に存在する。

【 0 1 4 2 】

溝 1 1 4 の第 1 の面 1 1 3 a は、溝 1 1 4 の第 2 の面 1 1 6 a よりも長い。溝 1 1 4 の第 1 の面 1 1 3 a の長さは、溝 1 1 4 の第 1 の面 1 1 3 a と基板 1 1 2 の第 1 の表面 1 1 3 b の接合部 1 1 5 a および溝 1 1 4 の第 1 の面 1 1 3 a と第 2 の面 1 1 6 a の接合部 1 1 5 b から測定する。溝 1 1 4 の第 2 の面 1 1 6 a の長さは、溝 1 1 4 の第 2 の面 1 1 6 a と基板 1 1 2 の第 2 の表面 1 1 6 b の接合部 1 1 5 c および溝 1 1 4 の第 2 の面 1 1 6 a と第 1 の面 1 1 3 a の接合部 1 1 5 b から測定する。

10

【 0 1 4 3 】

第 1 の面 1 1 3 a は、第 2 の面 1 1 6 b よりも基板 1 1 2 の長軸に対する角度が小さい、より緩やかな勾配を有する。

【 0 1 4 4 】

光電子デバイス 1 1 0 はアルミニウムおよび / またはクロムを含む接着層 1 3 0 をさらに備える。接着層 1 3 0 は導電層でもある場合がある。溝 1 1 4 の第 1 の側面 1 1 3 および第 2 の側面 1 1 6 はそれぞれ接着材料 1 3 0 で被覆される。接着層 1 3 0 は、溝 1 1 4 の第 1 の面 1 1 3 a、第 1 の表面 1 1 3 b および第 2 の表面 1 1 6 b ならびに導体材料 1 1 8 および半導体材料 1 2 0 と接触する。

【 0 1 4 5 】

20

半導体材料 1 2 0 は、半導体材料の層である。導体材料 1 1 8 は、導体材料の層である。半導体材料 1 2 0 の層は導体材料 1 1 8 の層の上に位置する。導体材料 1 1 8 の層は半導体材料 1 2 0 の層の下に位置する。接着材料 1 3 0 の層は導体材料 1 1 8 の層および半導体材料 1 2 0 の層の下に位置する。

【 0 1 4 6 】

導体材料 1 1 8 は溝 1 1 4 の第 2 の面 1 1 6 a と接触する。導体材料 1 1 8 は溝 1 1 4 付近の基板 1 1 2 の第 1 の表面 1 1 3 b および溝 1 1 4 付近の基板 1 1 2 の第 2 の表面 1 1 6 b に被覆される。

【 0 1 4 7 】

半導体材料 1 2 0 は溝 1 1 4 の第 1 の面 1 1 3 a および溝 1 1 4 付近の基板 1 1 2 の第 1 の表面 1 1 3 b に被覆される。半導体材料 1 2 0 は溝 1 1 4 付近の基板 1 1 2 の第 2 の表面 1 1 6 b にも被覆される。

30

【 0 1 4 8 】

別の半導体材料 1 2 2 は、溝 1 1 4 の第 1 の面 1 1 3 a と第 2 の面 1 1 6 a の間の溝 1 1 4 を部分的に充填する。溝 1 1 4 内の別の半導体材料 1 2 2 は、溝 1 1 4 の第 1 の面 1 1 3 a と第 2 の面 1 1 6 a の間に表面 1 2 3 を有する。別の半導体材料 1 2 2 の表面 1 2 3 は基板 1 1 2 の面に平行ではない。別の半導体材料 1 2 2 の表面 1 2 3 は基板 1 1 2 の面に対して傾斜している。

【 0 1 4 9 】

別の半導体材料 1 2 2 は溝 1 1 4 の第 1 の面 1 1 3 a および溝 1 1 4 の第 1 の側面 1 1 3 の半導体材料 1 2 0 に接触する。別の半導体材料 1 2 2 はまた、溝 1 1 4 の第 2 の面 1 1 6 a および溝 1 1 4 の第 2 の側面 1 1 6 の導体材料 1 1 8 に接触する。

40

【 0 1 5 0 】

溝 1 1 4 の第 1 の面 1 1 3 a と第 2 の面 1 1 6 a の間の凹部 1 2 6 内に広がる別の半導体材料 1 2 2 には、開口 1 2 8 が存在する。別の半導体材料 1 2 2 は、溝 1 1 4 の第 1 の面 1 1 3 a にほぼ平行な第 1 の表面 1 2 4 a と、溝 1 1 4 の第 2 の面 1 1 6 a にほぼ平行な第 2 の表面 1 2 4 b とを有し、第 1 の表面 1 2 4 a および第 2 の表面 1 2 4 b は別の半導体材料 1 2 2 内の開口 1 2 8 を画定する。

【 0 1 5 1 】

開口 1 2 8 の形状は溝 1 1 4 の形状に適合する。別の半導体材料 1 2 2 の第 1 の表面 1

50

2 4 a および第 2 の表面 1 2 4 b は開口 1 2 8 の両側面である。開口 1 2 8 の側面 1 2 4 a、1 2 4 b は、溝 1 1 4 の第 1 の面 1 1 3 a および第 2 の面 1 1 6 a のそれぞれにほぼ平行である。

【 0 1 5 2 】

開口 1 2 8 は中心を外して配置され、すなわち、別の半導体材料 1 2 2 の厚さが、溝 1 1 4 の第 1 の面 1 1 3 a で厚くなり、溝 1 1 4 の第 2 の面 1 1 6 a で薄くなるよう、開口 1 2 8 は溝 1 1 4 の第 2 の面 1 1 6 a に近く、溝 1 1 4 の第 1 の面 1 1 3 a から遠くに配置される。溝 1 1 4 が非対称の形状を有するため、溝 1 1 4 の第 2 の側面 1 1 6 の別の半導体材料 1 2 2 の深さは、溝 1 1 4 の第 1 の側面 1 1 3 の別の半導体材料 1 2 2 の深さよりも深い。

10

【 0 1 5 3 】

別の半導体材料 1 2 2 は溝 1 1 4 の凹部 1 2 6 の容積の 7 5 % を占める。別の半導体材料 1 2 2 内の開口 1 2 8 は、溝 1 1 4 の凹部 1 2 6 への距離の 4 5 % に延びる。

【 0 1 5 4 】

図 5 は、溝 2 1 4 を備えた基板 2 1 2 を含む光電子デバイス 2 1 0 を示す。溝 2 1 4 は、第 1 の面 2 1 6 a および第 2 の面 2 1 6 b を備え、両面は両面間の溝 2 1 4 の凹部 2 2 6 を画定する。溝 2 1 4 は、導体材料 2 1 8、半導体材料 2 2 0 および別の半導体材料 2 2 2 をさらに備える。

【 0 1 5 5 】

光電子デバイス 2 1 0 はまた、キャパシタ材料 / スーパーキャパシタ材料 2 9 9 を含む。

20

【 0 1 5 6 】

導体材料 2 1 8 および半導体材料 2 2 0 は、一連の溝のうちの 2 つの個別の溝の間など、基板 2 1 2 上の一部で重畳する。凹部は、第 1 の面 2 1 6 a および第 2 の面 2 1 6 b の第 1 の端部 2 1 6 a a、2 1 6 b a がそれぞれ接する平坦な底部 2 1 7 を有する。別の半導体材料 2 2 2 は、溝 2 1 4 の第 1 の面 2 1 6 a にほぼ平行な第 1 の表面 2 2 4 a と、溝 2 1 4 の第 2 の面 2 1 6 b にほぼ平行な第 2 の表面 2 2 4 b と、溝 2 1 4 の平坦な底部 2 1 7 にほぼ平行な第 3 の表面 2 2 4 c とを有する。第 1、第 2 および第 3 の表面 2 2 4 a、2 2 4 b、2 2 4 c は開口 2 2 6 を画定する。開口 2 2 6 の形状は溝 2 1 4 の形状に適合する。

【 0 1 5 7 】

図 6 は光電子デバイス 3 1 0 を示す。光電子デバイス 3 1 0 は溝 3 1 4 を備えた基板 3 1 2 を含む。溝 3 1 4 は丸みを帯びており、第 1 の面 3 1 6 a、第 2 の面 3 1 6 b、導体材料 3 1 8 および半導体材料 3 2 0 を備え、これらはすべて別の半導体材料 3 2 2 に接する。

30

【 0 1 5 8 】

光電子デバイス 3 1 0 はまた、キャパシタ材料 / スーパーキャパシタ材料 3 9 9 を含む。

【 0 1 5 9 】

導体材料 3 1 8 および半導体材料 3 2 0 は、一連の溝のうちの 2 つの個別の溝の間など、基板 3 1 2 上の一部で重畳する。溝 3 1 4 の第 1 の面 3 1 6 a および第 2 の面 3 1 6 b は凹部を画定する。別の半導体材料 3 2 2 は開口 3 2 6 を画定する第 1 の表面 3 2 4 a および第 2 の表面 3 2 4 b を備える。別の半導体材料 3 2 2 内の開口 3 2 6 は、凹部への距離の 7 5 % に延びる。

40

【 0 1 6 0 】

溝 3 1 4 の第 1 の面 3 1 6 a および第 2 の面 3 1 6 b はそれぞれ第 1 の端部 3 1 6 a a、3 1 6 b a および第 2 の端部 3 1 6 a b、3 1 6 b b を有する。溝の第 1 の端部 3 1 6 a a、3 1 6 b a における開口 3 2 6 の表面 3 2 4 a、3 2 4 b の勾配は急であり、すなわち溝 3 1 4 の第 1 の面 3 1 6 a および第 2 の面 3 1 6 b の勾配よりも、基板 3 1 2 の長軸に対し小さい角度をなすが、開口 3 2 6 の第 1 の表面 3 2 4 a および第 2 の表面 3 2 4 b はそれでも全体的に溝 3 1 4 の第 1 の面 3 1 6 a および第 2 の面 3 1 6 b にほぼ平行である。

50

## 【0161】

図7は光電子デバイス410を示す。光電子デバイス410は溝414を備えた基板412を含む。溝414は方形状であるため、凹部は平坦な底部417を有する。溝414は、第1の面416a、第2の面416b、導体材料418および半導体材料420を備え、これらはすべて別の半導体材料422に接する。

## 【0162】

光電子デバイス410はまた、キャパシタ材料/スーパーキャパシタ材料499を含む。

## 【0163】

導体材料418および半導体材料420は、一連の溝のうちの2つの個別の溝の間など、基板412の一部で重畳する。光電子デバイス410はアルミニウムおよび/またはクロムを含む接着層430をさらに備える。接着層430は導電層でもある場合がある。粘着層はデバイスからの電荷離脱を全体的に改善させる。

10

## 【0164】

別の半導体材料422は開口426を画定する第1の表面424aおよび第2の表面424bを備える。開口426はわずかに中心を外して配置され、すなわち、開口426は溝414の第2の面416aに近く、溝414の第1の面416aから遠くに配置される。別の半導体材料422の厚さは溝414の第1の面416aで厚くなり、溝414の第2の面416bで薄くなる。溝414の第1の面416aと第2の面416bはほぼ垂直である。開口426の第1の表面424aおよび第2の表面424bは、溝414の第1の面416aおよび第2の面416aにほぼ平行である。開口426はテーパ形状である。

20

## 【0165】

図8は、対称なV字型の溝914を備えた光電子デバイス910を示す。溝914は、第1の面916a、第2の面916b、導体材料918および半導体材料920を備え、これらはすべて別の半導体材料922に接する。

## 【0166】

導体材料918および半導体材料920は、一連の溝のうちの2つの個別の溝の間など、基板912上の一部で重畳する。光電子デバイス910はアルミニウムおよび/またはクロムを含む接着層930をさらに備える。接着層930は導電層でもある場合がある。

## 【0167】

光電子デバイス910はまた、キャパシタ材料/スーパーキャパシタ材料999を含む。

30

## 【0168】

溝914の第1の面916aおよび第2の面916bは、凹部を画定する。別の半導体材料922は、溝914の第1の面916aにほぼ平行な第1の表面924aと、溝914の第2の面916bにほぼ平行な第2の表面924bとを有する。開口926は中心を外して配置され、すなわち、別の半導体材料922の厚さが、溝914の第2の面916bで厚くなり、溝914の第1の面916aで薄くなるよう、開口926は溝914の第1の面916aに近く、溝914の第2の面916bから遠くに配置される。別の半導体材料922内の開口926は、凹部への距離の80%に延びる。

## 【0169】

図9は光電子デバイス210を示す。光電子デバイス210は溝214を備えた基板212を含む。溝214は、第1の面213aおよび第2の面216aを備え、両面は両面間の溝214の凹部226を画定する。溝214は、導体材料218、半導体材料220および別の半導体材料222をさらに備える。

40

## 【0170】

光電子デバイス210はまた、キャパシタ材料/スーパーキャパシタ材料299を含む。

## 【0171】

溝214の第1の面213aおよび第2の面216aはそれぞれ第1の端部213aa、216aaおよび第2の端部213ab、216abを有する。第1の端部213aa、216aa同士は溝214の中央で接する。第2の端部213ab、216ab同士は

50

凹部 2 2 6 の上部で離れている。溝 2 1 4 は V 字型である。

【 0 1 7 2 】

溝 2 1 4 の第 1 の側面 2 1 3 および第 2 の側面 2 1 6 はそれぞれ接着材料 2 3 0 で被覆される。接着材料 2 3 0 は、接着材料の層である。導体材料 2 1 8 の層は半導体材料 2 2 0 の層の上に位置し、導体材料 2 1 8 の層は半導体材料 2 2 0 の層の下に位置する。接着材料 2 3 0 の層は、導体材料 2 1 8 の層の下に位置する。

【 0 1 7 3 】

接着材料 2 3 0 の層は、溝 2 1 4 の第 1 の面 2 1 3 a、第 1 の表面 2 1 3 b、第 2 の面 2 1 6 a および第 2 の表面 2 1 6 b ならびに導体材料 2 1 8 および半導体材料 2 2 0 と接触する。導体材料 2 1 8 は溝 2 1 4 の第 1 の面 2 1 3 a および溝 2 1 4 付近の基板 2 1 2 の第 1 の表面 2 1 3 b を被覆する。導体材料 2 1 8 は、溝 2 1 4 付近の基板 2 1 2 の第 2 の表面 2 1 6 b も被覆する。半導体材料 2 2 0 は溝 2 1 4 の第 2 の面 2 1 6 a および溝 2 1 4 付近の基板 2 1 2 の第 2 の表面 2 1 6 b を被覆する。半導体材料 2 2 0 は溝 2 1 4 付近の基板 2 1 2 の第 1 の表面 2 1 3 b も被覆する。

【 0 1 7 4 】

別の半導体材料 2 2 2 は、溝 2 1 4 の第 1 の面 2 1 3 a と第 2 の面 2 1 6 a の間の溝 2 1 4 を部分的に充填する。第 2 の側面 2 1 6 a における溝 2 1 4 内の別の半導体材料 2 2 2 の深さ 2 2 3 b は、第 1 の側面 2 1 3 a における別の半導体材料 2 2 2 の深さ 2 2 3 a よりも深い。別の半導体材料 2 2 2 の表面 2 2 3 は基板 2 1 2 の面に対し斜めであり、すなわち傾斜している。

【 0 1 7 5 】

溝 2 1 4 の第 1 の側面 2 1 3 の半導体材料 2 2 0 と別の半導体材料 2 2 2 との間隙 2 6 9 は、別の半導体材料 2 2 2 が溝 2 1 4 の第 1 の側面 2 1 3 の半導体材料 2 2 0 に接触しないことを意味する。

【 0 1 7 6 】

図 1 0 は、第 1 の側面 1 1 3 および第 2 の側面 1 1 6 を有する溝 1 1 4 を備えた基板 1 1 2 を含む光電子デバイス 1 1 0 を示す。溝 1 1 4 の第 1 の側面 1 1 3 および第 2 の側面 1 1 6 は、それぞれ導体材料 1 1 8 および半導体材料 1 2 0 で被覆される。溝 1 1 4 の第 1 の側面 1 1 3 の半導体材料 1 2 0 および溝 1 1 4 の第 2 の側面 1 1 6 の導体材料 1 1 8 は、溝 1 1 4 内の別の半導体材料 1 2 2 に接触する。溝 1 1 4 の第 2 の側面 1 1 6 において、溝 1 1 4 の第 2 の側面 1 1 6 の半導体材料 1 2 0 と溝 1 1 4 内の別の半導体材料 1 2 2 との間には間隙 1 6 9 が存在する。

【 0 1 7 7 】

光電子デバイス 1 1 0 はまた、キャパシタ材料 / スーパーキャパシタ材料 1 9 9 を含む。

【 0 1 7 8 】

溝 1 1 4 の第 1 の側面 1 1 3 および第 2 の側面 1 1 6 は、基板 1 1 2 の面に直角の線 1 2 1 により区切られた、溝 1 1 4 の実質的に均等の半分である。

【 0 1 7 9 】

溝 1 1 4 の第 1 の側面 1 1 3 は、溝 1 1 4 の第 1 の面 1 1 3 a および溝 1 1 4 付近の基板 1 1 2 の第 1 の表面 1 1 3 b からなる。溝 1 1 4 の第 2 の側面 1 1 6 は、溝 1 1 4 の第 2 の面 1 1 6 a および溝 1 1 4 付近の基板 1 1 2 の第 2 の表面 1 1 6 b からなる。溝 1 1 4 の第 1 の面 1 1 3 a と第 2 の面 1 1 6 a は両面間の溝 1 1 4 の凹部 1 2 6 を画定する。溝 1 1 4 付近の第 1 の表面 1 1 3 b および第 2 の表面 1 1 6 b は、基板 1 1 2 にほぼ平行である。

【 0 1 8 0 】

溝 1 1 4 は方形である。溝 1 1 4 の第 1 の面 1 1 3 a は、基板 1 1 2 の面に対し 90° をなす。溝 1 1 4 の第 2 の面 1 1 6 a も、基板 1 1 2 の面に対し 90° をなす。溝 1 1 4 の第 1 の面 1 1 3 a および第 2 の面 1 1 6 a はそれぞれ第 1 の端部 1 1 3 a a、1 1 6 a a および第 2 の端部 1 1 3 a b、1 1 6 a b を有する。第 1 の端部 1 1 3 a a、1 1 6 a a は、別々に溝 1 1 4 の平坦な底部、すなわち底面 1 1 7 に接し、第 2 の端部 1 1 3 a

10

20

30

40

50

b、116ab同士は凹部126の上部で離れている。

【0181】

半導体材料120は、半導体材料の層であり、導体材料118は導体材料の層である。導体材料118の層は半導体材料120の層の上に位置し、導体材料118の層は半導体材料120の層の下に位置する。導体材料118は溝114の第2の面116aおよび溝114付近の基板112の第2の表面116bに接する。導体材料118は溝114付近の基板112の第1の表面113bにも接する。半導体材料120は溝114の第1の面113aおよび溝114付近の基板112の第1の表面113bに接する。半導体材料120は溝114付近の基板112の第2の表面116bにも接する。

【0182】

別の半導体材料122は、溝114の第1の面113aと第2の面116aの間の溝114を部分的に充填する。溝114内の別の半導体材料122は、溝114の第1の面113aと第2の面116aの間に表面123を有する。別の半導体材料122は溝114の凹部126の容積の75%を占める。

【0183】

第2の側面116aにおける溝114内の別の半導体材料122の深さ123bは、第1の側面113aにおける別の半導体材料122の深さ123aよりも浅い。別の半導体材料122の表面123は基板112の面に対し斜めであり、すなわち傾斜している。別の半導体材料122の表面123は溝114に対して傾斜している。

【0184】

別の半導体材料122は溝114の第1の面113aおよび溝114の第1の側面113の半導体材料120に接触する。別の半導体材料122はまた、溝114の第2の面116aおよび溝114の第2の側面116の導体材料118に接触する。半導体材料120は溝114の第1の面113aの約50%を被覆する。導体材料118は溝114の第2の面116aの約50%を被覆する。

【0185】

溝114の第2の側面116の半導体材料120と別の半導体材料122との間の間隙169は、別の半導体材料122が半導体材料120に接触しないことを意味する。

【0186】

図11は光電子デバイス310を示す。光電子デバイス310は溝314を備えた基板312を含む。溝314は、第1の面313aおよび第2の面316aを備え、両面は両面間の溝314の凹部326を画定する。溝314は、導体材料318、半導体材料320および別の半導体材料322をさらに備える。

【0187】

光電子デバイス310はまた、キャパシタ材料/スーパーキャパシタ材料399を含む。

【0188】

溝314の第1の面313aおよび第2の面316aはそれぞれ第1の端部313aa、316aaおよび第2の端部313ab、316abを有する。第1の端部313aa、316aa同士は溝314の中央で接する。第2の端部313ab、316ab同士は凹部326の上部で離れている。溝314は丸みを帯びており、すなわち半円の形状である。

【0189】

導体材料318の層は半導体材料320の層の上に位置し、導体材料318の層は半導体材料320の層の下に位置する。導体材料318は溝314の第1の面313aおよび溝314付近の基板312の第1の表面313bに接する。導体材料318は溝314付近の基板312の第2の表面316bにも接する。半導体材料320は溝314の第2の面316aに接し、溝314付近の基板312の第2の表面316bを被覆する。半導体材料320は溝314付近の基板312の第1の表面313bも被覆する。

【0190】

別の半導体材料322は、溝314の第1の面313aと第2の面316aの間の溝3

10

20

30

40

50

14を部分的に充填する。別の半導体材料322の表面323は、第1の面313aおよび第2の面313b付近の表面323が基板312の面に斜めに傾斜するようなメニスカス形状または凹形状である。

【0191】

溝314の第1の側面313の半導体材料320と別の半導体材料322との間の間隙369は、別の半導体材料322が溝314の第1の側面313の半導体材料320に接触しないことを意味する。

【0192】

図12は光電子デバイス610を示す。光電子デバイス610はV字型の溝614を備えた基板612を含む。溝614は、第1の面613aおよび第2の面616aを備え、  
10  
両面は両面間の溝614の凹部626を画定する。溝614は、導体材料618、半導体材料620および別の半導体材料622をさらに備える。

【0193】

光電子デバイス610はまた、キャパシタ材料/スーパーキャパシタ材料699を含む。

【0194】

溝614の第1の側面613および第2の側面616はそれぞれ接着材料630の層で被覆される。接着材料630の層は、溝614の第1の面613a、第1の表面613b  
および第2の表面616bならびに導体材料618および半導体材料620と接触する。

【0195】

導体材料618は溝614付近の基板612の第1の表面613bを被覆する。導体材  
20  
料618はまた、溝614の第2の面616aを被覆し、溝614付近の基板612の第2の表面616bに接する。半導体材料620は溝614の第1の面613aおよび溝614付近の基板612の第1の表面613bを被覆する。半導体材料620は溝614付近の基板612の第2の表面616bも被覆する。

【0196】

別の半導体材料622は、溝614の第1の面613aと第2の面616aの間の溝614を部分的に充填する。第1の面613aにおける溝614内の別の半導体材料622の深さ623aは、第2の面616aにおける別の半導体材料622の深さ623bよりも深い。別の半導体材料622の表面623は基板612の面に対して傾斜している。

【0197】

溝614の第2の側面616の半導体材料620と別の半導体材料622との間の間隙669は、別の半導体材料622が溝614の第2の側面616の半導体材料620に接触しないことを意味する。  
30

【0198】

図13は、溝914を備えた基板912を含む光電子デバイス910を示す。溝914は、第1の面913aおよび第2の面916aを備え、両面は両面間の溝914の凹部926を画定する。溝914は、導体材料918、半導体材料920および別の半導体材料922をさらに備える。

【0199】

光電子デバイス910はまた、キャパシタ材料/スーパーキャパシタ材料999を含む。  
40

【0200】

溝914の第1の面913aおよび第2の面916aはそれぞれ第1の端部913aa、916aaおよび第2の端部913ab、916abを有する。第1の端部913aa、916aa同士は溝914の中央で接する。第2の端部913ab、916ab同士は凹部926の上部で離れている。溝914は丸みを帯びている。

【0201】

溝914の第1および第2の側面913、916はそれぞれ接着材料930の層で被覆される。導体材料918の層は半導体材料920の層の上に位置し、導体材料918の層は半導体材料920の層の下に位置する。接着材料930の層は、導体材料918の層の下に位置する。  
50

## 【 0 2 0 2 】

接着材料 9 3 0 の層は、溝 9 1 4 の第 1 の面 9 1 3 a、第 1 の表面 9 1 3 b、第 2 の面 9 1 6 a および第 2 の表面 9 1 6 b ならびに導体材料 9 1 8 および半導体材料 9 2 0 と接触する。導体材料 9 1 8 は溝 9 1 4 の第 1 の面 9 1 3 a および溝 9 1 4 付近の基板 9 1 2 の第 1 の表面 9 1 3 b を被覆する。導体材料 9 1 8 は溝 9 1 4 付近の基板 9 1 2 の第 2 の表面 9 1 6 b も被覆する。半導体材料 9 2 0 は溝 9 1 4 の第 2 の面 9 1 6 a および溝 9 1 4 付近の基板 9 1 2 の第 2 の表面 9 1 6 b を被覆する。半導体材料 9 2 0 は溝 9 1 4 付近の基板 9 1 2 の第 1 の表面 9 1 3 b も被覆する。

## 【 0 2 0 3 】

別の半導体材料 9 2 2 は、溝 9 1 4 の第 1 の面 9 1 3 a と第 2 の面 9 1 6 a の間の溝 9 1 4 を部分的に充填する。第 2 の側面 9 1 6 a における溝 9 1 4 内の別の半導体材料 9 2 2 の深さ 9 2 3 b は、第 1 の側面 9 1 3 a における別の半導体材料 9 2 2 の深さ 9 2 3 a よりも深い。別の半導体材料 9 2 2 の表面 9 2 3 は基板 9 1 2 の面に対し斜めであり、すなわち傾斜している。

10

## 【 0 2 0 4 】

溝 9 1 4 の第 1 の側面 9 1 3 の半導体材料 9 2 0 と別の半導体材料 9 2 2 との間の間隙 9 6 9 は、別の半導体材料 9 2 2 が溝 9 1 4 の第 1 の側面 9 1 3 の半導体材料 9 2 0 に接触しないことを意味する。

## 【 0 2 0 5 】

本発明の範囲を逸脱することなく、変更および改良を組み込むことができる。

20

30

40

50

【図面】

【図 1 a】

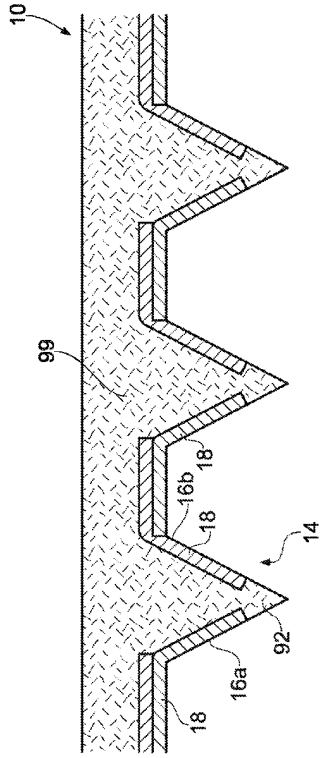


FIG. 1a

【図 1 b】

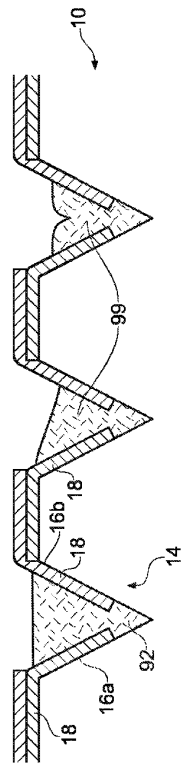


FIG. 1b

【図 2】

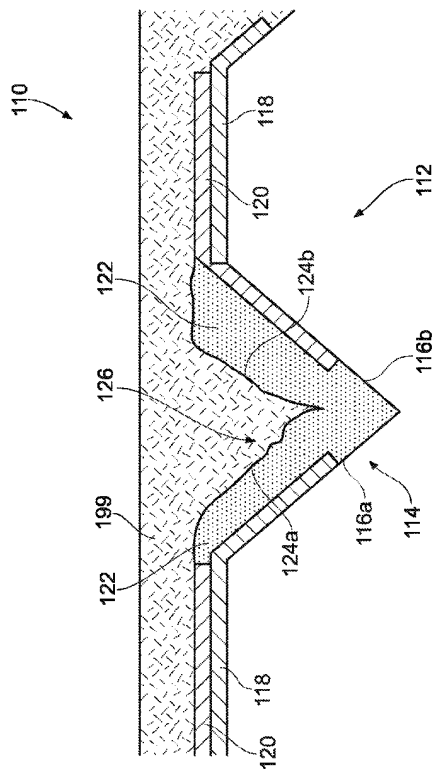


FIG. 2

【図 3】

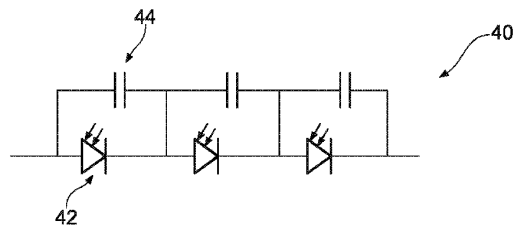


FIG. 3

10

20

30

40

50

【 図 4 】

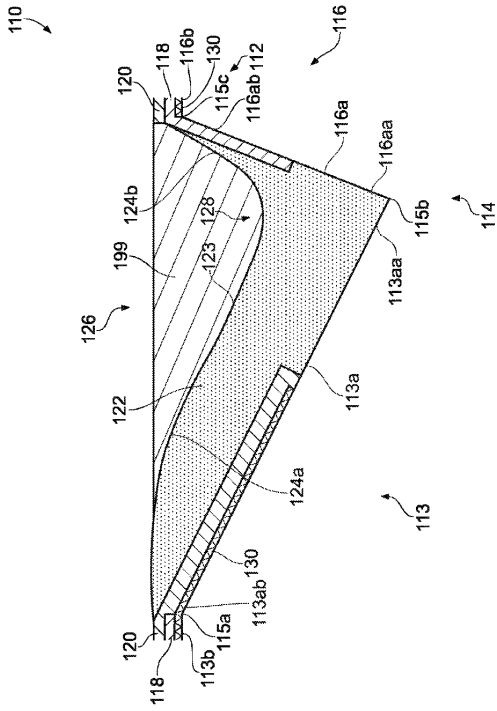


FIG. 4

【 図 5 】

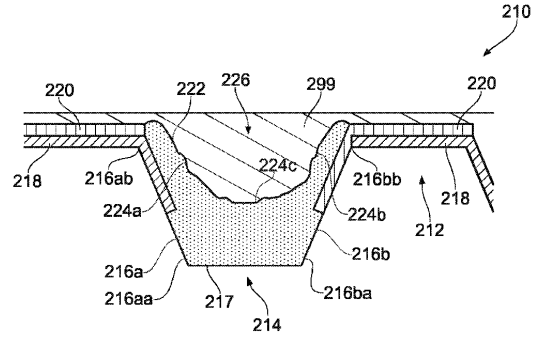


FIG. 5

【 図 6 】

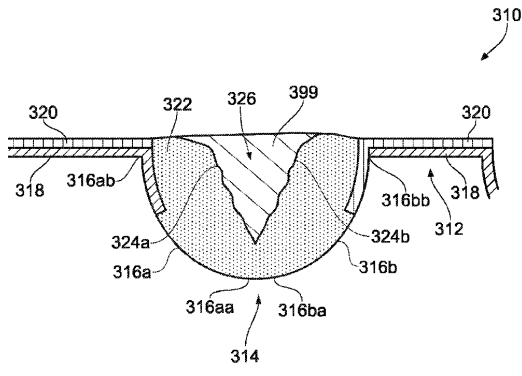


FIG. 6

【 図 7 】

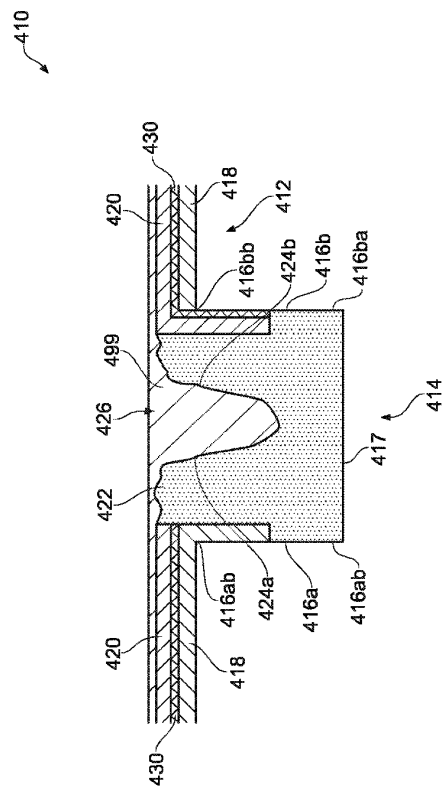


FIG. 7

10

20

30

40

50

【 図 8 】

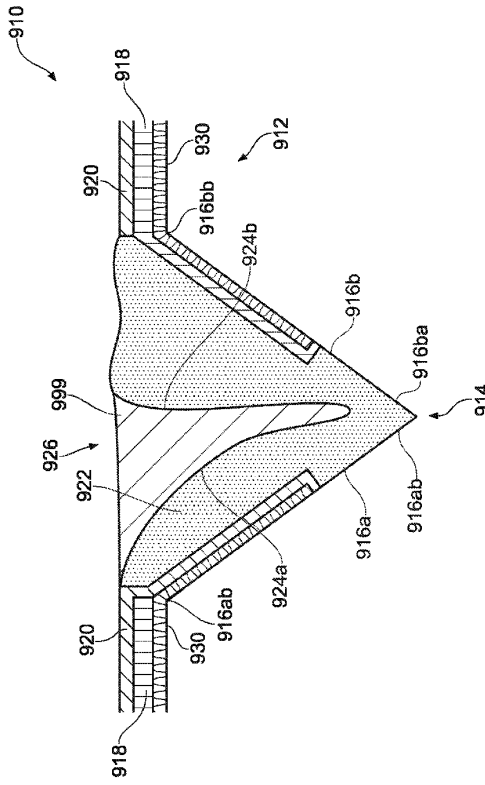


FIG. 8

【 図 9 】

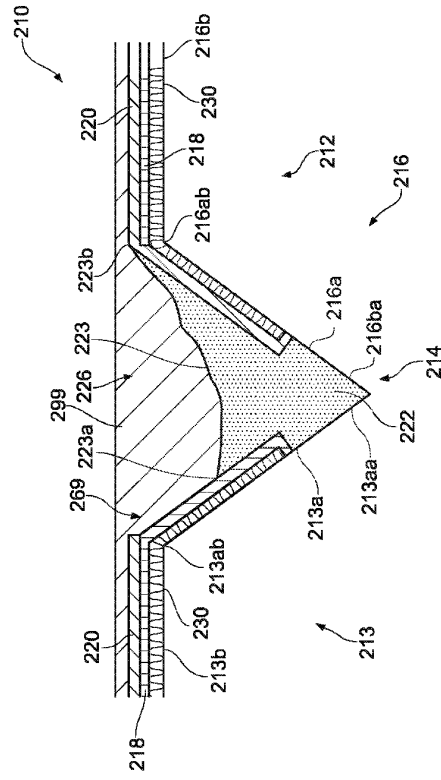


FIG. 9

【 図 10 】

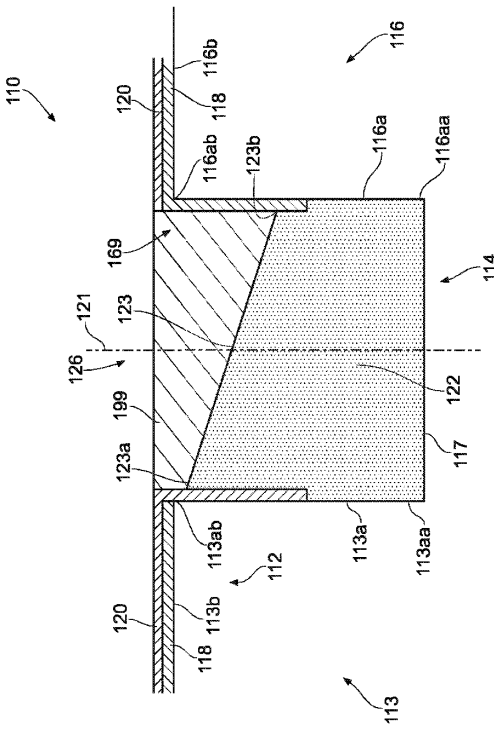


FIG. 10

【 図 11 】

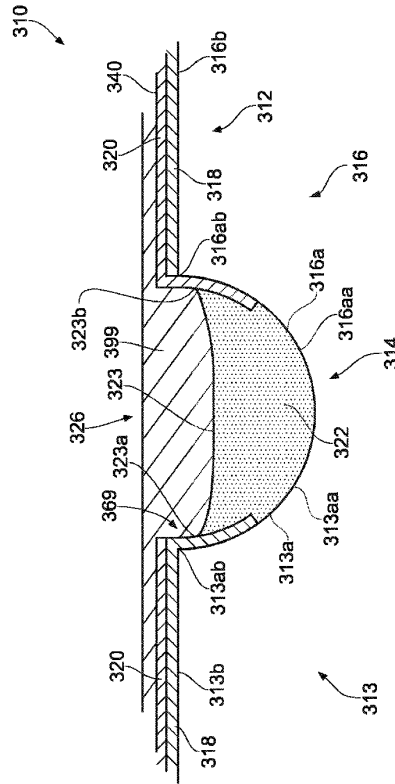


FIG. 11

10

20

30

40

50

【 1 2 】

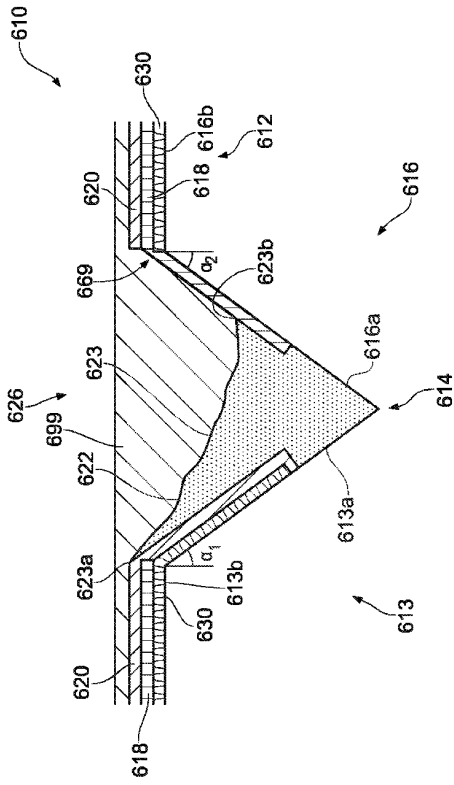


FIG. 12

【 1 3 】

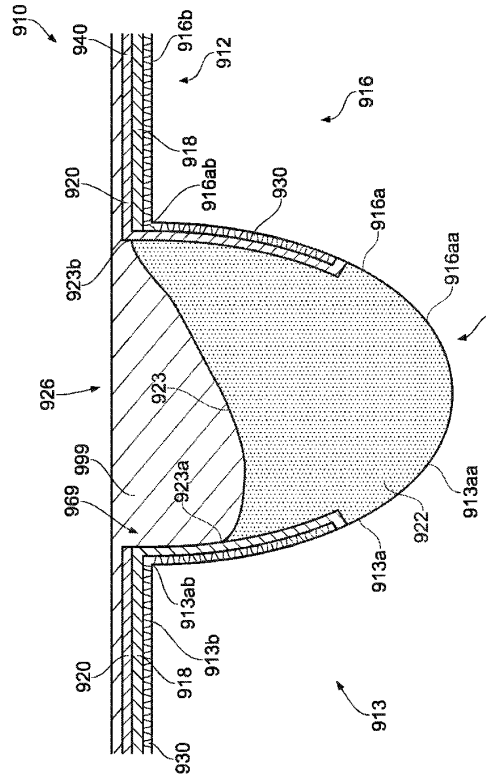


FIG. 13

10

20

30

40

50

---

フロントページの続き

(33)優先権主張国・地域又は機関

英国(GB)

タービン ウェイ 2 ワシントン ビジネス センター パワー ロール リミテッド内

審査官 桂城 厚

- (56)参考文献 特開昭64-086053(JP,A)  
特開2002-243689(JP,A)  
実開平05-023124(JP,U)  
特開平08-086752(JP,A)  
特表2016-508672(JP,A)  
国際公開第2015/145166(WO,A1)  
特開2013-135236(JP,A)  
特開2014-154598(JP,A)  
特開平02-272777(JP,A)  
米国特許出願公開第2014/0239432(US,A1)
- (58)調査した分野 (Int.Cl., DB名)  
H01L 31/00 - 31/119  
H10K 30/60 - 30/89  
H10K 39/30 - 39/38