



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년04월01일

(11) 등록번호 10-2235580

(24) 등록일자 2021년03월29일

(51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01) H01L 21/67 (2006.01)(52) CPC특허분류
H01L 22/30 (2013.01)
H01L 21/67259 (2013.01)

(21) 출원번호 10-2019-7011898

(22) 출원일자(국제) 2017년09월26일

심사청구일자 2020년09월10일

(85) 번역문제출일자 2019년04월24일

(65) 공개번호 10-2019-0049890

(43) 공개일자 2019년05월09일

(86) 국제출원번호 PCT/US2017/053540

(87) 국제공개번호 WO 2018/064072

국제공개일자 2018년04월05일

(30) 우선권주장

62/400,182 2016년09월27일 미국(US)

15/430,817 2017년02월13일 미국(US)

(56) 선행기술조사문헌

JP2011108726 A

US20140165236 A1

US20030206292 A1

(73) 특허권자

케이엘에이 코포레이션

미합중국, 캘리포니아 95035, 밀피타스, 원 테크
놀로지 드라이브

(72) 발명자

쇼트 데이비드 더블유.

미국 캘리포니아주 95032 로스 가토스 캠퍼스 베
르데 116

랑게 스티븐 알

미국 캘리포니아주 94507 알라모 인클라인 그린
레인 51

(뒷면에 계속)

(74) 대리인

김태홍, 김진희

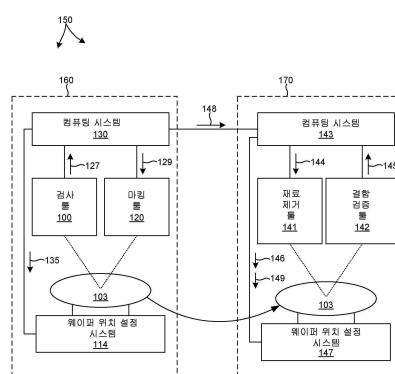
전체 청구항 수 : 총 21 항

심사관 : 홍종선

(54) 발명의 명칭 반도체 웨이퍼 검사를 위한 결함 마킹

(57) 요약

검사 시스템에 의해 이전에 검출되는 매립된 결함들을 정확하게 위치 확인하는 방법들 및 시스템들이 본 명세서에서 설명된다. 검사 시스템에 의해 검출되는 매립된 결함 근처의 웨이퍼의 표면 상에는 물리적인 마크가 만들어진다. 또한, 검사 시스템은 검출된 결함과 물리적인 마크 사이의 거리를 적어도 2 차원으로 정확하게 측정한다. 웨이퍼, 마크의 공칭 위치의 표시, 및 검출된 결함과 마크 사이의 거리의 표시는 재료 제거 툴로 전달된다. 재료 제거 툴(예를 들어, 집속 이온 빔(FIB) 기계 가공 툴)은 매립된 결함이 전자 빔 기반 측정 시스템에 가시화될 때까지 매립된 결함 위에 웨이퍼의 표면으로부터 재료를 제거한다. 전자 빔 기반의 측정 시스템은 결함을 추가로 분석하기 위해 후속적으로 사용된다.

대표도 - 도1

(52) CPC특허분류

H01L 21/67282 (2013.01)

H01L 22/12 (2013.01)

(72) 발명자

웨이 준웨이

미국 캘리포니아주 95035 밀피타스 유닛 236 사우스 아벨 스트리트 1102

카프 다니엘

미국 캘리포니아주 94566 플레젠튼 그린우드 로드 1921

엠스던 찰스

미국 캘리포니아주 94536 프리몬트 아파트먼트 398

데닝 테라스 37139

명세서

청구범위

청구항 1

결함 위치 확인 시스템에 있어서,

웨이퍼 상에 제조된 수직으로 적층된 반도체 구조물에 매립된 결함 근처의 하나 이상의 위치에서 상기 웨이퍼의 표면을 물리적으로 마킹하도록 구성되는 마킹 툴; 및

광학 검사 툴

을 포함하고,

상기 광학 검사 툴은,

일정량의 조명광을 생성하도록 구성되는 조명 소스;

웨이퍼 상에 배치된 수직으로 적층된 반도체 구조물에 상기 일정량의 조명광을 집속(focus)시키도록 구성되는 조명 서브 시스템;

상기 집속된 조명광에 응답하여 상기 수직으로 적층된 반도체 구조물로부터 광을 수집하도록 구성되는 수집 서브 시스템;

수집된 광을 검출하고 상기 수집된 광의 양을 나타내는 하나 이상의 출력 신호를 생성하도록 구성되는 검출기; 및

컴퓨팅 시스템

을 포함하며,

상기 컴퓨팅 시스템은,

상기 하나 이상의 출력 신호를 수신하고;

상기 하나 이상의 출력 신호에 기초하여 상기 매립된 결함의 위치를 결정하고;

상기 하나 이상의 출력 신호에 기초하여 하나 이상의 물리적인 마크의 위치들을 결정하며;

상기 웨이퍼의 표면에 평행한 적어도 2 차원에서의 상기 매립된 결함의 위치와 상기 하나 이상의 물리적인 마크의 위치들 사이의 거리를 결정하도록

구성되는 것인, 결함 위치 확인 시스템.

청구항 2

제1항에 있어서,

상기 웨이퍼의 표면으로부터 재료를 제거하도록 구성되는 재료 제거 툴;

컴퓨팅 시스템; 및

상기 재료의 제거 후에 상기 매립된 결함을 이미징하도록 구성되는 결함 검증 툴

을 더 포함하고,

상기 컴퓨팅 시스템은,

상기 하나 이상의 물리적인 마크의 위치들, 및 상기 매립된 결함의 위치와 상기 하나 이상의 물리적인 마크의 위치들 사이의 거리의 표시를 수신하고;

상기 재료 제거 툴로 하여금 상기 매립된 결함의 위치에서 상기 웨이퍼로부터 재료를 제거하게 하는 명령 신호를 상기 재료 제거 툴로 전달(communicate)하도록

구성되는 것인, 결함 위치 확인 시스템.

청구항 3

제2항에 있어서,

상기 재료 제거 톨은 집속 이온 빔(focused ion beam) 기계 가공 톨인 것인, 결함 위치 확인 시스템.

청구항 4

제1항에 있어서,

상기 마킹 톨 및 상기 광학 검사 톨은 단일 웨이퍼 처리 톨에 통합되는 것인, 결함 위치 확인 시스템.

청구항 5

제1항에 있어서,

상기 마킹 톨은 레이저, 기계적 스크라이브, 및 전자 빔 중 어느 하나를 포함하는 것인, 결함 위치 확인 시스템.

청구항 6

제1항에 있어서,

상기 웨이퍼의 표면은 상기 매립된 결함 근처의 2 개 이상의 위치들에서 물리적으로 마킹되는 것인, 결함 위치 확인 시스템.

청구항 7

제1항에 있어서,

상기 하나 이상의 물리적인 마크 각각은 상기 매립된 결함의 위치의 5 마이크로미터 내에 위치되는 것인, 결함 위치 확인 시스템.

청구항 8

제1항에 있어서,

상기 매립된 결함의 위치와 상기 하나 이상의 물리적인 마크의 위치들 사이의 거리는 100 나노미터 미만의 정밀도로 결정되는 것인, 결함 위치 확인 시스템.

청구항 9

제1항에 있어서,

상기 매립된 결함은 상기 웨이퍼의 표면에서 적어도 50 나노미터 아래에 위치되는 것인, 결함 위치 확인 시스템.

청구항 10

제1항에 있어서,

상기 수직으로 적층된 반도체 구조물은 3 차원 NAND 메모리 디바이스인 것인, 결함 위치 확인 시스템.

청구항 11

제1항에 있어서,

상기 광학 검사 톨의 상기 조명 소스는 광대역 레이저 지속 플라즈마 광 소스인 것인, 결함 위치 확인 시스템.

청구항 12

결함 위치 확인 방법에 있어서,

마킹 툴을 이용하여, 웨이퍼 상에 제조된 수직으로 적층된 반도체 구조물에 매립된 결함 근처의 하나 이상의 위치에서 상기 웨이퍼의 표면을 물리적으로 마킹하는 단계;

상기 웨이퍼 상에 배치된 상기 수직으로 적층된 반도체 구조물 상에 광학 검사 툴의 조명 소스에 의해 생성된 일정량의 조명광을 집속시키는 단계;

상기 광학 검사 툴의 수집 서브시스템을 이용하여, 상기 집속된 조명광에 응답하여 상기 수직으로 적층된 반도체 구조물로부터 광을 수집하는 단계;

수집된 광을 검출하고, 상기 광학 검사 툴의 검출기를 이용하여, 상기 수집된 광의 양을 나타내는 하나 이상의 출력 신호를 생성하는 단계;

상기 하나 이상의 출력 신호에 기초하여 상기 매립된 결함의 위치를 결정하는 단계;

상기 하나 이상의 출력 신호에 기초하여 하나 이상의 물리적인 마크의 위치들을 결정하는 단계; 및

상기 웨이퍼의 표면에 평행한 적어도 2 차원에서의 상기 매립된 결함의 위치와 상기 하나 이상의 물리적인 마크의 위치들 사이의 거리를 결정하는 단계

를 포함하며,

상기 매립된 결함의 위치를 결정하는 단계, 상기 하나 이상의 물리적 마크의 위치들을 결정하는 단계, 및 상기 거리를 결정하는 단계는 컴퓨팅 시스템에 의해 수행되는 것인, 결함 위치 확인 방법.

청구항 13

제12항에 있어서,

상기 매립된 결함의 위치와 상기 하나 이상의 물리적인 마크의 위치들 사이의 거리에 적어도 부분적으로 기초하여, 상기 매립된 결함의 위치에서 상기 웨이퍼의 표면으로부터 재료를 제거하는 단계를 더 포함하는, 결함 위치 확인 방법.

청구항 14

제13항에 있어서,

상기 재료의 제거 후에 결함 검증 툴로 상기 매립된 결함을 이미징하는 단계를 더 포함하는, 결함 위치 확인 방법.

청구항 15

제12항에 있어서,

상기 웨이퍼의 표면의 마킹은 레이저, 기계적 스크라이브, 및 전자 빔 중 어느 하나를 수반하는 것인, 결함 위치 확인 방법.

청구항 16

제12항에 있어서,

상기 웨이퍼의 표면은 상기 매립된 결함 근처의 2 개 이상의 위치들에서 물리적으로 마킹되는 것인, 결함 위치 확인 방법.

청구항 17

제12항에 있어서,

상기 하나 이상의 물리적인 마크 각각은 상기 매립된 결함의 위치의 5 마이크로미터 내에 위치되는 것인, 결함 위치 확인 방법.

청구항 18

제12항에 있어서,

상기 매립된 결함의 위치와 상기 하나 이상의 물리적인 마크의 위치들 사이의 거리는 100 나노미터 미만의 정밀도로 결정되는 것인, 결함 위치 확인 방법.

청구항 19

제12항에 있어서,

상기 수직으로 적층된 반도체 구조물은 적어도 3 마이크로미터의 두께이고, 상기 매립된 결함은 상기 웨이퍼의 표면에서 적어도 50 나노미터 아래에 위치되는 것인, 결함 위치 확인 방법.

청구항 20

결함 위치 확인 시스템에 있어서,

웨이퍼 상에 제조된 수직으로 적층된 반도체 구조물에 매립된 결함 근처의 하나 이상의 위치에서 상기 웨이퍼의 표면을 물리적으로 마킹하도록 구성되는 마킹 툴; 및

광학 검사 툴

을 포함하고,

상기 광학 검사 툴은,

일정량의 조명광을 생성하도록 구성되는 조명 소스;

웨이퍼 상에 배치된 수직으로 적층된 반도체 구조물에 상기 일정량의 조명광을 집속시키도록 구성되는 조명 서브 시스템;

집속된 조명광에 응답하여 상기 수직으로 적층된 반도체 구조물로부터 광을 수집하도록 구성되는 수집 서브 시스템;

수집된 광을 검출하고 상기 수집된 광의 양을 나타내는 하나 이상의 출력 신호를 생성하도록 구성되는 검출기; 및

컴퓨팅 시스템

을 포함하며,

상기 컴퓨팅 시스템은,

하나 이상의 프로세서; 및

명령어들을 저장하는 컴퓨터 판독가능 비일시적 매체

를 포함하고,

상기 명령어들은 상기 하나 이상의 프로세서에 의해 실행될 때, 상기 결함 위치 확인 시스템으로 하여금,

상기 하나 이상의 출력 신호를 수신하고;

상기 하나 이상의 출력 신호에 기초하여 상기 매립된 결함의 위치를 결정하고;

상기 하나 이상의 출력 신호에 기초하여 하나 이상의 물리적인 마크의 위치들을 결정하며;

상기 웨이퍼의 표면에 평행한 적어도 2 차원에서의 상기 매립된 결함의 위치와 상기 하나 이상의 물리적인 마크의 위치들 사이의 거리를 결정하게

하는 것인, 결함 위치 확인 시스템.

청구항 21

제20항에 있어서,

상기 웨이퍼의 표면으로부터 재료를 제거하도록 구성되는 재료 제거 툴; 및

상기 재료의 제거 후에 상기 매립된 결함을 이미징하도록 구성되는 결함 검증 툴

을 더 포함하고,

상기 컴퓨터 판독가능 비일시적 매체는, 상기 하나 이상의 프로세서에 의해 실행될 때, 상기 결함 위치 확인 시스템으로 하여금,

상기 하나 이상의 물리적인 마크의 위치들, 및 상기 매립된 결함의 위치와 상기 하나 이상의 물리적인 마크의 위치들 사이의 거리의 표시를 수신하고;

상기 재료 제거 톨로 하여금 상기 매립된 결함의 위치에서 상기 웨이퍼로부터 재료를 제거하게 하는 명령 신호를 상기 재료 제거 톨로 전달하게

하는 명령어들을 더 저장하는 것인, 결함 위치 확인 시스템.

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 "반도체 웨이퍼 검사를 위한 결함 마킹(Defect Marking for Semiconductor Wafer Inspection)"이라는 발명의 명칭으로 2016년 9월 27일자로 출원된 미국 가특허 출원 제62/400,182호의 35 U.S.C. § 119에 의거한 우선권을 주장하는 출원으로서, 이 미국 가특허 출원은 본 명세서에서 그 전체가 참고로 병합된다.

[0003] 기술 분야

[0004] 본 발명의 설명된 실시예들은 표면 검사를 위한 시스템들에 관한 것이며, 보다 구체적으로는 반도체 웨이퍼 검사 방식에 관한 것이다.

배경 기술

[0005] 논리 및 메모리 디바이스들과 같은 반도체 디바이스들은 통상적으로 기판 또는 웨이퍼에 적용되는 일련의 처리 단계들에 의해 제조된다. 반도체 디바이스들의 다양한 특징들 및 다중 구조의 레벨들은 이러한 처리 단계들에 의해 형성된다. 예를 들어, 특히 리소그래피(lithography)는 반도체 웨이퍼 상에 패턴을 생성하는 것을 포함하는 하나의 반도체 제조 프로세스이다. 반도체 제조 프로세스들의 추가적인 예시들은 화학 기계적 연마, 에칭, 증착, 및 이온 주입을 포함하지만, 이들로 제한되지는 않는다. 다수의 반도체 디바이스들은 단일 반도체 웨이퍼 상에 제조된 다음, 개별 반도체 디바이스들로 분리될 수 있다.

[0006] 반도체 제조 프로세스 중에 다양한 단계들에서 검사 프로세스들을 사용해서 웨이퍼들의 결함들을 검출하여 높은 수율을 촉진한다. 설계 규칙들 및 프로세스 윈도우들의 크기가 계속 축소됨에 따라, 높은 처리량을 유지하면서 보다 넓은 범위의 물리적인 결함들을 포착할 수 있는 검사 시스템들이 요구되고 있다. 또한, 메모리 및 논리 구조물들(logic architectures)은 2 차원 플로팅 게이트 구조물들에서 완전하게 3 차원 기하학적 구조물로 변환되고 있다. 일부 예시들에서, 막 적층(film stacks) 및 에칭된 구조물들은 매우 깊다(예를 들어, 깊이가 3 마이크로미터 이상). 이러한 구조물들 내에 매립된 결함들을 측정하는 것은 원하는 성능 레벨들과 디바이스 수율을 달성하는데 중요하지만, 이러한 측정은 기존의 측정 시스템 및 기법들에 있어서 어려운 것으로 입증되었다.

[0007] 일부 예시들에서는 매립된 결함들을 검출하기 위해서 전자 테스트들이 사용된다. 그러나, 전자 테스트들을 수행하기 전에 다수의 디바이스 층들을 제조할 필요가 있다. 따라서, 생산 사이클의 초기에는 결함들을 검출할 수가 없었다. 결과적으로, 특히 결함의 신속한 평가가 중요한 생산 프로세스의 연구 개발 단계 및 램프 단계(ramp phases)에서 전자 테스트들을 수행하기 위해서는 엄청나게 비용이 많이 들게 된다.

[0008] 일부 다른 예시들에서, 웨이퍼들은 매립된 결함들을 밝히기 위해 처리가 중단된다. 웨이퍼 처리 중단(de-processing)은 기존의 광학 또는 전자빔 검사를 사용하여 검출되는 관심 결함(DOI, defects-of-interest)을 밝히기 위해 층들을 제거함으로써 웨이퍼를 파괴한다. 이러한 접근 방식은 매우 느리고, 각각의 층에서 대체 프로세스 흐름들이 필요하며, 대체 프로세스들은 DOI 검출을 방해하는 결함들을 생성할 수 있다. 또한, 일부 층들의 일부 DOI는 웨이퍼 처리 중단에 의해 쉽게 드러나지 않는다.

[0009] 일부 다른 예시들에서, x-선 기반의 측정 기술들에 기초하여 매립된 결함들이 검출될 수 있다. 예를 들어, 매립된 결함들을 검출하기 위해서 x-선 회절 측정 시스템 또는 간섭성 x-선 이미징 시스템이 사용될 수 있다. X-선 기반의 측정 기술들은 비파괴적인 장점이 있지만, 처리량은 매우 낮게 유지된다.

- [0010] 일부 다른 예시들에서, 전자 빔 검사(EBI)는 직접적으로 매립된 결함들을 검출하는데 사용된다. 그러나, EBI는 약 1 마이크로미터의 깊이를 초과하는 결함들을 검출하는 능력이 극히 제한되어 있다. 많은 예시들에서, EBI는 1 마이크로미터(예를 들어, 50 나노미터 미만)보다 훨씬 작은 깊이로 제한된다. 이러한 제한은 샘플 왜곡이나 파괴가 발생하기 전의 전자 선량(electron dosage)에 대한 실질적인 제한에 기인한다. 따라서, EBI는 두꺼운 3 차원 구조물들에 대한 결함 검출 툴로서 그 유효성이 제한적이다.
- [0011] 일부 종래의 광학 검사 기술들은 비교적 두꺼운 층들에 매립된 결함들을 검출하는데 효과적이라는 것이 입증되었다. 일 예시에서, 상이한 초점 심도에서 공초점형 광학 검사(confocal optical inspection)가 사용된다. 공초점형 이미징은 초점 평면의 위와 아래의 구조물들에서 거절되거나 성가신 광학 신호들을 제거한다. 공초점형 광학 검사 기술은 미국 특허 공보 제2014/0300890호에 더 상세히 기재되어 있으며, 이 미국 특허 공보는 본 명세서에서 그 전체가 참고 문헌으로 인용된다. 다른 예시에서, 비교적 두꺼운 층들의 매립된 결함들을 검출하기 위해 회전 조명 빔이 사용된다. 회전 조명 빔을 이용하는 광학 검사는 본 명세서에서 그 전체가 참고로 인용되는 미국 특허 공보 제2014/0268117호에 보다 상세히 기술되어 있다. 또 다른 예시에서, 상이한 조명 파장 범위들이 미국 특허 제9,075,027호에 보다 상세하게 기술된 바와 같이 매립된 결함들을 검출하기 위해 사용되며, 이 미국 특허는 본 명세서에서 그 전체가 참고로 인용된다. 또 다른 예시에서, 복수의 분리된 스펙트럼 대역들은 본 명세서에서 그 전체가 참고 문헌으로 인용된 미국 특허 제8,912,495호에 보다 상세히 기술된 바와 같이 매립된 결함들을 검출하기 위해 사용된다.
- [0012] 종래의 광학 검사 기술들은 두꺼운 층들에서 발생할 수 있는 결함들을 검출하는데 유용하지만, 측정 결과들은 일반적으로 결함을 관심 결함으로 식별하고 높은 수준의 신뢰도로 결함을 분류하기에는 불충분하다.
- [0013] 일부 예시들에서는 광학 측정 결과를 검증이 없이도 인정되는 경우도 있다. 그러나, 검증되지 않은 광학 측정 결과에 기초하여 프로세스 결정을 내리는 것은 시간과 자원의 손실을 초래하는 프로세스 오류를 도입하는 위험을 초래한다.
- [0014] 일부 예시들에서는 광학 검사 툴이 웨이퍼 상에서 검출된 결함들의 위치를 기록한다. 이어서 웨이퍼는 기록된 위치와 함께 집속 이온 빔(FIB, focused ion beam) 기계 가공 툴로 이동된다. FIB 툴은 잠재적인 관심 결함(DOI)을 드러내기 위해 웨이퍼 재료의 층들을 기계로 제거한다. 이후 잠재적인 DOI는 종래의 광학 또는 전자 빔 검사 기술들(예를 들어, 스캐닝 전자 현미경)에 의해 검사된다.
- [0015] 불행하게도, FIB 툴의 재료 제거 속도는 매우 낮다. 또한, FIB 툴은 약 1 마이크로미터의 정확도로 광학적으로 검출된 결함들을 찾아내는 능력이 제한된다. 이러한 불확실성 때문에, 실제 결함 위치가 확인되기 전에 재료를 기계적으로 없애기 위해서는 상당한 시간이 필요하다. 일반적으로, 결함이 전혀 발견되지 않은 경우, 하나의 결함에 대한 FIB 처리에는 약 1시간이 필요하다.
- [0016] 3D 메모리, VNAND 메모리, 또는 다른 수직 구조물들과 같은 수직 반도체 디바이스들에 매립된 관심 결함들의 검출에 있어서의 개선점들이 요구되고 있다.

발명의 내용

- [0017] 광학 또는 x-선 검사 시스템에 의해 이전에 검출한 매립된 결함들을 정확하게 위치 확인하기 위한 방법들 및 시스템들이 본 명세서에서 설명된다. 일 양태에서, 물리적인 마크는 검사 시스템에 의해 검출되는 매립된 결함 근처의 웨이퍼의 표면 상에 만들어진다. 검사 시스템은 또한 적어도 2 차원에서의 검출된 결함과 물리적인 마크 사이의 거리를 정확하게 측정하기 위해 사용된다.
- [0018] 웨이퍼, 마크의 공칭 위치의 표시, 및 검출된 결함과 마크 간의 거리의 표시는 재료 제거 툴 및 전자 빔 기반의 측정 시스템을 포함하는 다른 웨이퍼 처리 시스템으로 전달된다. 전자 빔 기반의 측정 시스템은 비교적 두꺼운 반도체 구조물들에 매립되어 있는 결함들을 직접 검출하거나 검증할 수는 없다. 그러나, 시스템은 웨이퍼의 표면 상의 물리적인 마크를 정확하게 위치 확인할 수 있다. 물리적인 마크를 정확하게 위치 확인한 후에, 전자 빔 기반의 측정 시스템은 검출된 결함과 검사 시스템으로부터 수신된 물리적인 마크 사이의 거리에 기초하여 매립된 결함을 정확하게 위치 확인할 수 있다. 재료 제거 툴(예를 들어, 집속 이온 빔(FIB) 기계 가공 툴)은 매립된 결함이 전자 빔 기반의 측정 시스템에 가시화될 때까지 매립된 결함 위에 웨이퍼의 표면으로부터 재료를 제거한다. 전자 빔 기반의 측정 시스템은 결함을 추가로 분석하기 위해 연속적으로 사용된다.
- [0019] 검사 툴에 의해 발견된 결함의 위치 부근에 물리적인 마크가 생성된다. 일반적으로, 물리적인 마크는 많은 상이한 방식으로 생성될 수 있다. 일부 실시예들에서, 물리적인 마크는 펄스 레이저에 의해 생성된다. 레이저의 파

장, 전력, 및 펄스 기간은 웨이퍼 표면 상에 작은 마크를 생성하도록 선택된다. 일부 예시들에서는 웨이퍼의 상부 층들에 의해 레이저 에너지가 흡수되어 표면에서 마크를 생성한다. 일부 다른 예시들에서는 하부 층들이나 기판에 의해 레이저 에너지가 흡수된다. 이들 예시들에서는 표면에서 범프 또는 다른 재료 교란이 발생된다.

[0020] 일부 실시예들에서는 기계적인 접촉에 의해 웨이퍼의 표면 상에 마크를 생성하는 기계적인 프로브(예를 들어, 스타일러스, 인텐터(indenter), 원자력 현미경(AFM) 프로브 등)에 의해 물리적인 마크가 생성된다.

[0021] 일부 실시예들에서는 웨이퍼에 전자를 충돌시켜 열을 발생시키도록 구성된 전자 빔 소스에 의해 물리적인 마크가 생성된다. 일부 예시들에서, 전자 빔은 전자 빔의 근방에서 진공 챔버에 존재하는 유기 재료들을 분리시킨다. 분리된 유기 재료들은 전자 빔에 의해 웨이퍼의 표면으로 이송되고, 여기서 그 분리된 재료들이 표면에 부착되어 마크를 남긴다. 다른 실시예들에서, 빔은 웨이퍼의 표면 아래에 집속되고 발생된 열은 범프를 웨이퍼의 표면 상에 형성하게 한다.

[0022] 일반적으로, 마크의 물리적인 형태와 크기는 매립된 결함에 대한 마크의 신속한 이미지 획득과 정확한 이미지 기반 위치에 도움이 된다. 마크는 관련되어 있는 매립된 결함에 충분히 근접하게 위치하여 마크 및 매립된 결함의 양쪽 모두가 검사 시스템 및 재료 제거 툴과 연계하여 사용하는 이미징 시스템의 시야 내에 있도록 한다. 마크의 형태는 대칭이 되는 것이 바람직하다.

[0023] 단일 마크가 특정 매립된 결함과 관련될 수 있지만, 각각의 매립된 결함 근처에 하나 이상의 마크를 생성하는 것이 바람직하다. 일부 실시예들에서, 2 개 이상의 마크들은 매립된 결함과 관련된다. 이러한 방식으로, 매립된 결함은 2 차원으로 마크들에 대해 정확하게 위치될 수 있다. 일부 실시예들에서, 3 개 이상의 마크들이 매립된 결함 주위에 위치하여, 각각의 마크에 정점을 갖는 가상의 다각형이 매립된 결함을 둘러싸도록 한다.

[0024] 바람직한 실시예에서, 마킹 툴은 동일한 웨이퍼 처리 시스템에 의해 마크에 대해 매립된 결함이 발견되고, 마크되고, 위치되도록 공통의 웨이퍼 처리 시스템에서 검사 툴과 통합된다.

[0025] 전술한 내용은 발명의 요약에 해당하고, 필요에 따라 단순화, 일반화 및 세부 사항의 생략 등을 포함하고, 결과적으로, 이 기술에 숙련된 당업자는 요약이 단지 예시적인 것이며 어떤 방법으로도 제한되지 않는다는 점을 이해할 수 있을 것이다. 본 명세서에 기술된 디바이스들 및/또는 프로세스들의 다른 양태들, 진보된 특징들, 및 이점들은 본 명세서에 기술된 비제한적인 상세한 설명에서 명백하게 드러날 것이다.

도면의 간단한 설명

[0026] 도 1은 반도체 구조물 내에 매립된 관심 결함(DOI)의 검출, 마킹, 및 위치 확인을 수행하도록 구성된 결함 위치 확인 시스템(150)의 일 실시예의 간략화된 개략도이다.

도 2는 관심 결함(DOI)의 검출 및 DOI와 반도체 웨이퍼의 표면 상의 관련된 물리적 마크들 사이의 거리의 측정을 수행하도록 구성된 광학 검사 시스템의 일 실시예의 간략화된 개략도이다.

도 3은 펄스 레이저에 의해 웨이퍼의 표면 상에 생성된 마크(190A)의 스캐닝 전자 현미경(SEM) 이미지(190)를 나타낸다.

도 4는 마크(190A)의 이미지(191)를 도시한다. 이미지(191)는 도 2에 도시된 검사 툴(100)과 같은 광대역 밝은 시야 이미징 시스템에 의해 생성된다.

도 5는 다이아몬드 팁, 코너 큐브 인텐터에 의해 생성된 마크(192A)의 SEM 이미지(192)를 도시한다.

도 6은 마크(192A)의 이미지(193)를 도시한다. 이미지(193)는 도 2에 도시된 검사 툴(100)과 같은 광대역 밝은 시야 이미징 시스템에 의해 생성된다.

도 7a는 4 개의 예시적인 마크들(195-198)의 이미지(194)를 도시한다.

도 7b는 도 7a에 도시된 마크들(195-198)의 이미지(171)를 도시한다.

도 8은 웨이퍼 제조 프로세스의 실리콘 질화물 제거 단계에서 3D NAND 구조물(160)의 예시를 도시한다.

도 9는 본 명세서에 설명된 바와 같은 결함들을 마킹하고 위치 확인하는데 유용한 예시적인 방법(200)의 흐름도를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부된 도면들에서 예시되는 예시들을 본 발명의 배경 기술의 예시들 및 일부 실시예들을 상세히 설명할 것이다.
- [0028] 광학 또는 x-선 검사 시스템에 의해 이전에 검출되었던 매립된 결함들을 정확하게 위치 확인하기 위한 방법들 및 시스템들이 본 명세서에서 설명된다.
- [0029] 일 양태에서, 물리적인 마크는 검사 시스템에 의해 검출된 매립된 결함 근처의 웨이퍼의 표면 상에 만들어진다. 또한, 검사 시스템은 적어도 2 차원에서 검출된 결함과 물리적인 마크 사이의 거리를 정확하게 측정하기 위해 사용된다. 웨이퍼, 마크의 공칭 위치의 표시, 및 검출된 결함과 마크 간의 거리의 표시는 결함 검증 툴로 전송된다. 일부 실시예들에서, 결함 검증 툴은 x-선 기반의 측정 시스템이다. 일부 실시예들에서, 결함 검증 툴은 전자 빔 기반의 측정 시스템이다. 이들 실시예들 중 일부에서, 재료 제거 툴(예를 들어, 집속 이온 빔(FIB) 기계 가공 툴)은 매립된 결함이 가시화될 때까지 매립된 결함 위에서 웨이퍼의 표면으로부터 재료를 제거한다.
- [0030] 일 실시예에서, FIB 툴은 매립된 결함을 발견하여, 전자 빔 기반의 측정 시스템에 결함을 가시화시킨다. 전자 빔 기반의 측정 시스템은 결함을 추가로 분석하고 검증하기 위해 연속적으로 사용된다. 전자 빔 기반의 측정 시스템은 상대적으로 두꺼운 반도체 구조물들에 매립되어 있는 결함들을 직접 검출하거나 검증할 수 없다. 일부 예시들에서, 구조물의 표면 아래로 적어도 50 나노미터에서 매립되어 있는 결함들은 전자 빔 기반의 측정 시스템에 보이지 않는다. 몇 가지 예시들을 들자면, 구조물의 표면 아래에 최소 3 마이크로미터에 매립되어 있는 결함들은 전자빔 기반의 측정 시스템에서 볼 수 없다. 그러나, 측정 시스템은 웨이퍼 표면에 위치한 물리적인 마크를 정확하게 위치 확인할 수 있다. 물리적인 마크를 정확하게 위치 확인한 후에, 전자 빔 기반의 측정 시스템은 검출된 결함과 검사 시스템으로부터 수신된 물리적인 마크 사이의 거리에 기초하여 매립된 결함을 정확하게 위치 확인할 수 있다. 이러한 방식으로, 전자 빔 기반의 측정 시스템은 결함을 "볼"수 없어도 결함을 정확하게 위치 확인할 수 있다. 이를 통해 재료 제거 및 결함 검증의 속도를 크게 높일 수 있다.
- [0031] 검사에 의해 발견된 매립된 결함들의 위치를 정확하게 마킹함으로써, 매립된 결함들에 대한 후속 재료 제거 및 전자빔 기반의 측정이 간소화되어, 상당한 시간을 절약한다. 이것은 층 적층이 3 um 또는 그 보다 두꺼운 3D NAND 구조물들, 및 저항-RAM, 크로스-포인트, Fin-FET, 게이트 올 어라운드(gate-all-around), 나노와이어 트랜지스터 구조물들과 같은 다른 수직 메모리 및 논리 구조물들의 검사에 있어서 특히 중요하다. 이러한 결함들은 그렇지 않으면 전자 빔 검사(EBI) 툴, 전자 빔 검토투(EBR) 툴, 스캐닝 전자 현미경(SEM)을 통합한 툴 등과 같은 전자 빔 기반의 측정 툴들에는 보이지 않을 것이다.
- [0032] 도 1은 반도체 구조물들 내에 매립된 관심 결함(DOI)의 검출, 마킹, 및 위치 확인을 수행하도록 구성된 결함 위치 확인 시스템(150)의 일 실시예의 간략화된 개략도이다. 결함 위치 확인 시스템(150)은 검사 툴(100), 마킹 툴(120), 재료 제거 툴(141), 및 결함 검증 툴(142)을 포함한다. 일부 실시예들에서, 결함 검증 툴은 전자 빔 기반의 분석 툴이다. 일부 다른 실시예들에서, 결함 검증 툴은 x-선 기반의 분석 툴이다. 이들 실시예들에서, x-선 기반의 분석 툴에 매립되어 있는 결함을 보이게 하기 위해 재료 제거 툴은 필요하지 않을 수 있다. 따라서, 재료 제거 툴은 선택 사항이다.
- [0033] 도 1에 도시된 실시예에서, 결함 위치 확인 시스템(150)은 검사 툴(100) 및 마킹 툴(120)을 포함하는 웨이퍼 처리 시스템(160)을 포함한다. 결함 위치 확인 시스템(150)은 또한 재료 제거 툴(141) 및 결함 검증 툴(142)을 포함하는 웨이퍼 처리 시스템(170)을 포함한다. 그러나, 일반적으로, 검사 툴(100), 마킹 툴(120), 재료 제거 툴(141), 및 결함 검증 툴(142)은 단일 웨이퍼 처리 툴에 통합되거나 또는 개별적으로 또는 임의의 조합으로 상이한 웨이퍼 처리 시스템들로 분리될 수 있다.
- [0034] 웨이퍼 처리 시스템(160)은 웨이퍼(103)를 검사 툴(100) 및 마킹 툴(120)에 대해 각각 검사 및 마킹을 위해 정확하게 위치시키는 웨이퍼 위치 설정 시스템(114)을 포함한다. 컴퓨팅 시스템(130)은 (예를 들어, 신호들(126 및 129) 등을 통해) 검사 및 마킹 프로세스들을 조정하고, 분석, 데이터 처리, 및 통신 작업들을 수행한다. 이와 유사하게, 웨이퍼 처리 시스템(170)은 각각 재료 제거 및 결함 위치 및 검토투를 위해 재료 제거 툴(141) 및 결함 검증 툴(142)에 대해 웨이퍼(103)를 정확하게 위치시키는 웨이퍼 위치 설정 시스템(147)을 포함한다. 컴퓨팅 시스템(143)은 재료 제거 및 검토투 프로세스들을 조정하고, 분석을 수행하며, 데이터 처리 및 통신 작업들을 수행한다.
- [0035] 일 양태에서, 웨이퍼(103)의 검사는 검사 툴(100)에 의해 수행되어 매립된 결함들을 발견한다. 일부 실시예들에서, 검사 툴(100)은 광학 검사 시스템이다. 그러나, 일부 다른 실시예들에서, 검사 툴(100)은 x-선 검사 시스템 또는 결합된 광학 및 x-선 기반의 검사 시스템이다.

- [0036] 도 2는 반도체 웨이퍼들 상의 관심 결함(DOI)의 검출을 수행하도록 구성된 광학 검사 시스템의 일 실시예의 간략화된 개략도이다. 간략화를 위해, 시스템의 일부 광학 구성 요소들은 생략되었다. 예시로서, 폴딩 미러들, 편광자들, 빔 형성 광학기, 추가의 광원들, 추가의 콜렉터들, 및 검출기들이 포함될 수 있다. 이러한 모든 변형들은 본 명세서에 기재된 본 발명의 범위 내에 있다. 본 명세서에 기술된 검사 시스템은 패턴화된 웨이퍼들 및 레티클들을 검사하는데 사용될 수 있다.
- [0037] 도 2에 도시된 바와 같이, 웨이퍼(103)는 하나 이상의 조명 소스(101)에 의해 생성된 수직 입사 빔(104)에 의해 조명된다. 대안적으로, 조명 서브 시스템은 광의 빔을 경사 입사각(oblique angle of incidence)으로 표본(specimen)에 지향시키도록 구성될 수 있다. 일부 실시예들에서, 검사 툴(100)은 경사진 입사 광선 및 수직 입사 광선과 같은 다수의 광선을 표본으로 지향하도록 구성될 수 있다. 다수의 광선은 실질적으로 동시에 또는 순차적으로 표본으로 지향하도록 구성될 수 있다.
- [0038] 조명 소스(101)는 예를 들어 광대역 레이저 지속(sustained) 플라즈마 광원, 레이저, 초연속체 레이저, 다이오드 레이저, 헬륨 네온 레이저, 아르곤 레이저, 고체 레이저, 다이오드 펌프 고체 상태(DPSS) 레이저, 크세논 아크 램프, 가스 방전 램프, LED 어레이, 및 백열 램프를 포함할 수 있다. 광원은 단색광 또는 광대역 광 근처에서 방출하도록 구성될 수 있다. 일부 실시예들에서, 조명 서브 시스템은 또한 표본으로 향하는 광의 파장을 제한할 수 있는 하나 이상의 스펙트럼 필터들을 포함할 수 있다. 하나 이상의 스펙트럼 필터들은 대역 통과 필터들 및/또는 에지 필터들 및/또는 노치 필터들일 수 있다. 임의의 적당한 파장 범위에서 표본에 조명이 제공될 수 있다. 일부 예시들에서, 조명 광은 260 나노미터 내지 900 나노미터 범위의 파장을 포함한다. 일부 예시들에서, 조명 광은 고 중형비 구조물들의 결함들을 포착하기 위해 900 나노미터(예를 들어, 2,500 나노미터까지 연장) 이상의 파장을 포함한다.
- [0039] 조명 소스(101)에 의해 생성된 빔(104)은 빔 스플리터(105)로 지향된다. 빔 스플리터(105)는 빔을 대물 렌즈(109)로 지향시킨다. 대물 렌즈(109)는 입사 스폿(119)에서 웨이퍼(103) 상에 빔(111)을 집속시킨다. 입사 스폿(119)은 조명 소스(101)로부터 웨이퍼(103)의 표면 상으로 방사된 광의 투영에 의해 정의된다(즉, 형상 및 크기). 일반적으로, 웨이퍼(103) 상에 입사하는 빔(111)은 편광, 세기, 크기, 및 형상 등을 포함하는 하나 이상의 방식으로 조명 소스(101)에 의해 방출된 광과 상이할 수 있다.
- [0040] 검사 툴(100)은 웨이퍼(103)에 의해 산란 및/또는 반사된 광을 수집하고 그 광을 각각 검출기 어레이(115, 125)에 집속시키는 수집 광학기(116, 118)를 포함한다. 각각의 검출기들(115, 125)의 출력들(128, 127)은 결함들의 존재 및 그들의 위치를 처리 및 결정하기 위해 컴퓨팅 시스템(130)으로 전달된다. 일례에서, 도 1에 도시된 신호들(126)은 출력 신호들(127, 128) 또는 그들의 조합을 포함한다.
- [0041] 수집 광학기(116, 118) 중 임의의 하나가 렌즈, 복합 렌즈, 또는 당업계에 공지된 임의의 적절한 렌즈일 수 있다. 대안적으로, 수집 광학기(116, 118) 중 임의의 하나는 미러와 같은 반사 또는 부분 반사 광학 구성 요소일 수 있다. 또한, 특정 수집 각도가 도 2에 도시되어 있지만, 수집 광학기는 임의의 적절한 수집 각도로 배열될 수 있음을 이해해야 한다. 수집 각도는 예를 들어 표본의 입사각 및/또는 지형적 특성에 따라 달라질 수 있다.
- [0042] 검출기(115, 125)의 각각은 일반적으로 산란된 광을 전기 신호로 변환시키는 기능을 하며, 따라서 당업계에 공지된 실질적으로 임의의 광 검출기를 포함할 수 있다. 그러나, 특정 검출기는 검출기의 원하는 성능 특성, 검사될 표본의 유형, 및 조명의 구성에 기초하여 본 발명의 하나 이상의 실시예들 내에서 사용되도록 선택될 수 있다. 예를 들어, 검사에 사용할 수 있는 광의 양이 상대적으로 적으면, 시간 지연 통합(TDI) 카메라와 같은 효율성 향상 검출기가 시스템의 신호 대 잡음비와 처리량을 증가시킬 수 있다. 그러나, 검사에 사용할 수 있는 광의 양과 수행되는 검사의 유형에 따라 전하 결합 디바이스(charge-coupled device, CCD) 카메라, 포토다이오드, 포토튜브 및 광전자 증배관(PMT)과 같은 다른 검출기들을 사용할 수 있다. 각각의 검출기는 단지 하나의 감지 영역, 또는 가능하게는 몇몇 감지 영역들(예를 들어, 검출기 어레이, 개별 PMT 검출기들의 어레이, 다중 양극 PMT 등)을 포함할 수 있다.
- [0043] 검사 툴(100)은 밝은 시야 모드 및 암 시야 모드와 같은 다양한 이미징 모드들을 사용할 수 있다. 예를 들어, 일 실시예에서, 검출기(125)는 밝은 시야 이미지를 생성한다. 도 2에 도시된 바와 같이, 좁은 각도에서 웨이퍼(103)의 표면으로부터 산란된 일부의 광량은 대물 렌즈(109)에 의해 수집된다. 이 광은 대물 렌즈(109)를 통과하여 빔 스플리터(105)에 입사한다. 빔 스플리터(105)는 광의 일부를 수집 광학기(118)로 전송하고, 수집 광학기(118)는 이어서 광을 검출기(125)에 집속시킨다. 이러한 방식으로, 밝은 시야 이미지가 검출기 어레이(125)에 의해 생성된다. 수집 광학기(118)는 대물 렌즈(109)에 의해 수집된 반사광을 검출기 어레이(125) 상에 투영하는 이미징 렌즈(107)를 포함한다. 개구 또는 푸리에 필터(106)는 대물 렌즈(109)의 후 초점면에 배치된다. 밝은 시

야, 암 시야, 및 위상 콘트라스트와 같은 다양한 이미징 모드들은 상이한 개구들 또는 푸리에 필터들을 사용함으로써 구현될 수 있다. 본 명세서에 참고로 인용된 미국 특허 제7,295,303호 및 제7,130,039호에는 이들 이미징 모드들을 보다 상세히 설명한다. 다른 예시에서, 검출기(115)는 큰 시야각에서 수집된 산란된 광을 이미징함으로써 암 시야 이미지를 생성한다. 본 명세서에 참고로 인용된 미국 특허 제6,208,411호에는 이들 이미징 모드들을 보다 상세히 설명한다.

[0044] 또한, 검사 툴(100)은 임의의 검출기(115, 125)에 의해 검출된 반사 및/또는 산란된 신호들을 처리하는 데 필요한 다양한 전자 구성 요소들(도시되지 않음)을 포함한다. 예를 들어, 검사 툴(100)은 검출기들(115, 125) 중 임의의 하나로부터의 출력 신호들을 수신하고 그 출력 신호들을 미리 결정된 양만큼 증폭하기 위한 증폭기 회로 및 증폭된 신호들을 프로세서(131) 내에서 사용하기에 적합한 디지털 포맷으로 변환하기 위한 아날로그 디지털 변환기(ADC)를 포함할 수 있다. 일 실시예에서, 프로세서는 전송 매체에 의해 ADC에 직접 결합될 수 있다. 대안적으로, 프로세서는 ADC에 결합된 다른 전자 구성 요소들로부터 신호들을 수신할 수 있다. 이러한 방식으로, 프로세서는 전송 매체 및 임의의 개재 전자 구성 요소들에 의해 아날로그 디지털 변환기(ADC)에 간접적으로 결합될 수 있다.

[0045] 도 1에 도시된 실시예에서, 웨이퍼 위치 설정 시스템(114)은 컴퓨팅 시스템(130)으로부터 수신된 명령 신호(135)에 기초하여 빔(111) 아래로 웨이퍼(103)를 이동시킨다. 웨이퍼 위치 설정 시스템(114)은 웨이퍼 척(108), 모션 컨트롤러(motion controller)(113), 회전 스테이지(110), 변환 스테이지(112), 및 z-변환 스테이지(121)를 포함한다. Z-변환 스테이지(121)는 웨이퍼(103)의 표면에 수직인 방향(예를 들어, 좌표 시스템(123)의 z-방향)으로 웨이퍼(103)를 이동시키도록 구성된다. 변환 스테이지(112) 및 회전 스테이지(110)는 웨이퍼(103)의 표면에 평행한 방향(예를 들어, 좌표 시스템(123)의 x 방향 및 y 방향)으로 웨이퍼(103)를 이동시키도록 구성된다. 일부 다른 실시예들에서, 웨이퍼(103)는 다수의 변환 스테이지들의 조정된 운동에 의해 평면내 방향(예를 들어, x 방향 및 y 방향)으로 이동된다.

[0046] 웨이퍼(103)는 웨이퍼 척(108) 상에 지지된다. 일부 실시예들에서, 웨이퍼(103)는 그 기하학적 중심이 회전 스테이지(110)의 회전축과 대략 정렬되도록 위치된다. 이러한 방식으로, 회전 스테이지(110)는 허용 가능한 공차 내에서 특정 각속도(ω)로 그 기하학적 중심에 대해 웨이퍼(103)를 회전시킨다. 또한, 변환 스테이지(112)는 웨이퍼(103)를 특정 속도(V_T)로 회전 스테이지(110)의 회전축에 대략 수직인 방향으로 변환시킨다. 모션 컨트롤러(113)는 검사 툴(100) 내의 웨이퍼(103)의 원하는 평면내 스캐닝 동작을 달성하기 위해 회전 스테이지(110)에 의한 웨이퍼(103)의 회전 및 변환 스테이지(112)에 의한 웨이퍼(103)의 변환을 조정한다. 또한, 모션 컨트롤러(113)는 검사 툴(100) 내의 웨이퍼(103)의 바람직한 평면 외 스캐닝 동작을 달성하기 위해 변환 스테이지(121)에 의해 웨이퍼(103)의 움직임을 조정한다.

[0047] 웨이퍼(103)는 다수의 상이한 모드로 검사 툴(100)의 광학 서브 시스템에 대해 배치될 수 있다. 검사 모드에서, 웨이퍼(103)는 상이한 z-위치에서 횡 방향(예를 들어, x-방향 및 y-방향)으로 반복적으로 스캐닝된다. 일부 예시들에서, 웨이퍼(103)는 적어도 3 마이크로미터 두께인 층 구조물을 통해 10 이상의 상이한 초점 심도에서 스캐닝된다. 결합 검토 모드에서, 웨이퍼(103)는 z-방향으로 스캐닝하면서 x-방향 및 y-방향으로 고정된 위치에 위치된다. 이러한 방식으로, 이미지는 측정중인 구조물 내의 깊이의 범위에 걸쳐 웨이퍼(103)의 고정된 측 방향 위치에서의 측정 데이터에 기초하여 생성된다. 결합 검토 모드는 전형적으로 결합들(예를 들어, 보다 높은 이미지 해상도, 높은 초점 심도 해상도, 또는 양쪽 모두)의 보다 상세한 조사를 수행하기 위해 사용된다.

[0048] 일부 실시예들에서, 검사 툴(100)은 편향기(deflector)(도시되지 않음)를 포함할 수 있다. 일 실시예에서, 편향기는 음향 광학 편향기(acousto-optical deflector, AOD)일 수 있다. 다른 실시예들에서, 편향기는 기계적 스캐닝 어셈블리, 전자 스캐너, 회전 미러, 다각형 기반 스캐너, 공진 스캐너, 압전 스캐너, 갈보 미러(galvo mirror), 또는 갈바노미터를 포함할 수 있다. 편향기는 표본 위에 광빔을 주사한다. 일부 실시예들에서, 편향기는 대략 일정한 스캐닝 속도로 표본 위에 광빔을 주사할 수 있다.

[0049] 도 2에 도시된 바와 같이, 검사 툴(100)은 웨이퍼(103)에 전달된 조명 전력을 제어하는 조명 전력 감쇠기(102)를 포함한다. 일부 다른 실시예들에서, 조명 전력 밀도 감쇠기는 조명 스폿(119)의 크기를 조정하여 웨이퍼(103)로 전달되는 조명 전력 밀도를 감소시키는 빔 형성 소자이다. 일부 다른 실시예들에서, 조명 전력 감소 및 빔 사이징의 조합은 웨이퍼(103)로 전달된 조명 전력 밀도를 감소시키기 위해 사용된다. 도 2에 도시된 바와 같이, 컴퓨팅 시스템(130)은 임의의 검출기(115, 125)에 의해 검출된 이미지에 기초하여 조명 전력을 제어하기 위해 제어 신호(122)를 조명 전력 감쇠기(102)로 전달한다. 일반적으로, 조명 전력 감쇠기(102)는 선택적이다.

[0050] 일부 예시들에서, 두꺼운 반도체 구조물의 3 차원 이미지는 2 개의 측 방향 치수(예를 들어, 웨이퍼 표면에 평

행한) 및 깊이 치수(예를 들어, 웨이퍼 표면에 수직인)로 측정된 체적으로부터 생성된다. 도 2에 도시된 실시예에서, 컴퓨팅 시스템(130)은 하나 이상의 측정 채널들로부터(예를 들어, 하나 이상의 검출기들(115, 125)로부터)의 출력들을 측정된 체적에 대응하는 체적 데이터 세트에 배열한다.

[0051] 또 다른 양태에 있어서, 결함들은 웨이퍼(103)로부터 검출된 광의 분석에 기초하여 식별된다. 일부 실시예들에서, 이미지들이 플롯되고 결과적인 렌더링들은 관심있는 결함들을 선택하는 조작자에 의해 판독된다. 일 실시예에서, 검사 툴(100)은 조작자(예를 들어, 키보드, 마우스, 터치스크린 등)로부터의 입력을 수용하고 출력을 조작자(예를 들어, 디스플레이 모니터)에게 디스플레이하는데 유용한 주변 디바이스들을 포함한다. 조작자로부터의 입력 명령들은 결함들을 표시하기 위해 프로세서(131)에 의해 사용될 수 있다. 검사된 체적의 이미지들은 디스플레이 모니터 상의 조작자에게 그래픽으로 표시될 수 있다.

[0052] 일부 실시예들에서, 검출기(들)에 의해 생성된 신호들은 관심 있는 결함들을 식별하고 분류하기 위해 프로세서(131)에 의해 알고리즘적으로 처리된다. 프로세서는 당업계에 공지된 임의의 적절한 프로세서를 포함할 수 있다. 또한, 프로세서는 당업계에 공지된 임의의 적절한 결함 검출 및 분류 알고리즘 또는 방법을 사용하도록 구성될 수 있다. 예를 들어, 프로세서는 다이-투-데이터베이스 비교, 3 차원 필터, 주성분 분석 또는 스펙트럼 클러스터링과 같은 클러스터링 알고리즘, 임계 알고리즘, 심층 학습 알고리즘, 또는 표본 상의 결함들을 검출 및 분류하기 위한 임의의 다른 적절한 알고리즘을 사용할 수 있다.

[0053] 다른 양태에서, 관심 있는 결함의 공칭 위치는 결함을 포함하는 두꺼운 반도체 구조물의 하나 이상의 이미지들의 분석에 기초하여 결정된다. 이러한 방식으로, 웨이퍼의 하나 이상의 기준 특징들에 대한 결함의 위치가 측정된다(예를 들어, 웨이퍼 상에 위치한 기준 또는 다른 기준 형상에 대한 결함의 좌표들).

[0054] 일부 예시들에서, 공칭 결함 위치는 결함의 하나 이상의 이미지들 내의 피크 결함 신호들에 기초하여 결정된다. 다른 예시들에서, 공칭 결함 위치는 하나 이상의 측정된 이미지들을 검사중인 반도체 구조물의 하나 이상의 기준 이미지들과 비교함으로써 결정된다.

[0055] 공칭 결함 위치는 추후의 분석(예를 들어, 집중 이온 빔 시스템, EBI 시스템, x-선 기반 시스템 등에 의한 분석)을 위해 나중에 결함을 위치시키는데 사용될 수 있다. 그러나, 전형적으로, 이것은 필요하다면 분석 및 재료 제거를 위해 웨이퍼 및 공칭 위치 좌표들을 다른 툴로 전송하는 것을 요구한다. 웨이퍼 전송에 의해 야기되는 위치 결정 오차, 공칭 위치 좌표의 변환에서의 오차 등은 일반적으로 마이크로미터 정도의 위치 오차를 초래한다. 이것은 후속 처리를 위해 실제 결함 위치를 정확하게 위치 확인하는 것을 어렵게 만든다.

[0056] 또 다른 양태에 있어서, 물리적인 마크는 검사 툴(예를 들어, 검사 툴(100))에 의해 발견된 결함의 위치 근처에 생성된다. 도 1에 도시된 바와 같이, 웨이퍼 처리 시스템(160)은 결함 위치 부근의 웨이퍼의 표면을 물리적으로 마킹하도록 구성된 마킹 툴(120)을 포함한다. 표면의 마크는 반도체 제조 장비에서 일반적으로 사용되는 이미징 시스템들에서 볼 수 있다. 이러한 방식으로, 매립된 결함과 관련된 마크는 웨이퍼 처리 시스템(170)과 같은 다른 웨이퍼 처리 시스템에 용이하게 위치될 수 있다.

[0057] 일반적으로, 물리적인 마크는 많은 상이한 방법으로 생성될 수 있다. 일부 실시예들에서, 마킹 툴(120)은 펄스 레이저를 포함한다. 레이저의 파장, 전력, 및 펄스 기간은 웨이퍼 표면 상에 작은 마크를 생성하도록 선택된다. 일부 예시들에서, 256 나노미터, 355 나노미터, 또는 532 나노미터의 파장을 갖는 펄스 레이저가 웨이퍼의 표면을 효과적으로 마킹하는데 이용될 수 있다. 일부 예시들에서, 레이저 에너지는 웨이퍼의 상부 층들에 의해 흡수되어 표면에 마크를 생성한다. 일부 다른 예시들에서, 레이저 에너지는 하부 층들 또는 기판에 의해 흡수된다. 이들 예시들에서, 범프 또는 다른 재료 교란이 표면에서 생성된다. 도 3은 펄스 레이저에 의해 웨이퍼의 표면에 생성된 원형 마크(190A)의 스캐닝 전자 현미경(SEM) 이미지(190)를 나타낸다. 마크는 직경이 약 750 나노미터이다. 도 4는 도 2에 도시된 검사 툴(100)과 같은 광대역 밝은 시야 이미징 시스템에 의해 생성된 마크(190A)의 이미지(191)를 도시한다. 도 3 및 도 4에 도시된 바와 같이, 잘 정의된 마크가 웨이퍼의 표면에 생성되고, 이 마크는 도 2에 도시된 검사 툴(100)과 같은 종래의 전자 빔 기반의 이미징 시스템들 및 광대역 밝은 시야 이미징 시스템에 의해 가시적이다.

[0058] 일부 실시예들에서, 마킹 툴(120)은 기계적인 접촉에 의해 웨이퍼의 표면 상에 마크를 생성하는 기계적인 프로브(예를 들어, 스타일러스, 인텐터, 원자 힘 현미경(AFM) 프로브 등)을 포함한다. 도 5는 다이아몬드 팁, 코너 큐브 인텐터에 의해 생성된 마크(192A)의 SEM 이미지(192)를 도시한다. 마크는 최대 가로 방향 범위에서 약 700 나노미터이다. 이미지(192)에 도시된 바와 같이, 잘 정의된 삼각형 모양의 마크가 웨이퍼의 표면에 생성된다. 도 6은 도 2에 도시된 검사 툴(100)과 같은 광대역 밝은 시야 이미징 시스템에 의해 생성된 마크(192A)의 이미

지(193)를 도시한다. 도 5 및 도 6에 도시된 바와 같이, 잘 정의된 마크가 웨이퍼의 표면에 생성되고, 이 마크는 도 2에 도시된 검사 툴(100)과 같은 종래의 전자 빔 기반의 이미징 시스템 및 광대역 밝은 시야 이미징 시스템에 의해 가시적이다. 일부 다른 실시예들에서, 약 1 마이크로미터의 마크를 생성하기 위해 기계적인 인텐터가 사용될 수 있다. 일반적으로, 마크는 "x" 모양 또는 "+" 모양과 같은 라인들이나 모양들을 포함하는 것이 바람직하므로 마크의 위치를 보다 반복적으로 측정할 수 있다.

[0059] 일부 실시예들에서, 마킹 툴(120)은 웨이퍼의 표면에 전자를 충돌시켜 열을 발생시키도록 구성된 전자 빔 소스를 포함한다. 일부 예시들에서, 전자 빔은 전자 빔의 근방에서 진공 챔버에 존재하는 유기 재료들을 분리시킨다. 분리된 재료들은 전자 빔에 의해 웨이퍼의 표면으로 이송되고, 여기서 그 분리된 재료들이 표면에 부착되어 마크를 남긴다. 다른 실시예들에서, 빔은 웨이퍼의 표면 아래에 집속되고 발생된 열은 범프를 웨이퍼의 표면 상에 형성하게 한다.

[0060] 바람직한 실시예에서, 마킹 툴(120)은 공통 웨이퍼 처리 시스템(160)(공유된 웨이퍼 위치 결정 시스템 및 컴퓨팅 시스템)에서 검사 툴(100)과 통합된다. 매립된 결함을 발견하고, 웨이퍼를 마크하고, 웨이퍼를 다른 시스템으로 이송하지 않고 마크와 매립된 결함 사이의 거리를 정확히 추정하기 위해 동일한 웨이퍼 처리 시스템이 사용되기 때문에, 마킹 툴을 검사 툴과 통합하는 것이 유리하다. 그렇지 않으면, 웨이퍼는 마킹을 위해 다른 시스템으로 이송되어야 하며, 다음에 웨이퍼는 검사 시스템으로 반송되어 매립되어 있는 결함과 마크 사이의 거리를 결정하기 위해 매립된 결함과 마크를 재측정하거나, 또는 마킹 시스템은 매립된 결함의 위치, 마크, 및 이들 사이의 거리를 결정하기에 적합한 다른 검사 시스템을 포함해야만 한다.

[0061] 그러나, 일반적으로, 마킹 툴(120)은 웨이퍼 처리 시스템(170), 독립형 웨이퍼 마킹 시스템, 또는 다른 시스템과 같은 다른 웨이퍼 처리 시스템과 통합될 수 있다. 마킹 툴(120)이 웨이퍼 처리 시스템(170)과 통합되는 실시예에서, 웨이퍼 상에 마크를 생성하기 위해 결함 검증 툴(142)과 관련된 전자 빔을 이용하는 것이 바람직할 수 있다. 마킹 툴(120)이 웨이퍼 처리 시스템(170)과 통합되는 다른 실시예에서, 웨이퍼 상에 마크를 생성하기 위해 재료 제거 툴(141)을 이용하는 것이 바람직할 수 있다. 일 예시에서, 재료 제거 툴(141)은 웨이퍼의 표면을 매립된 결함 근처에 효과적으로 마킹하기 위해 집속된 이온 빔을 사용한다. 다른 예시에서, 매립된 결함 근처의 웨이퍼의 표면을 효과적으로 마킹하기 위해 웨이퍼 표면 상에 소량의 금속(예를 들어, 백금)을 증착시키는데 집속된 이온 빔이 사용된다. 일부 실시예들에서, 웨이퍼 처리 시스템(170)은 매립된 결함의 위치, 마크, 및 이들 사이의 거리를 결정하기에 적합한 마킹 툴(120) 및 검사 시스템을 포함한다. 그러나 이러한 접근 방식은 바람직하지 않은 추가의 비용과 복잡성을 초래할 수 있다.

[0062] 일반적으로, 마크의 물리적 모양과 크기는 매립된 결함에 비해 마크의 신속한 이미지 획득과 정확한 이미지 기반의 위치에 도움이 된다. 예를 들어, 마크 및 매립된 결함의 양쪽 모두가 재료 제거 툴(141)과 함께 이용되는 검사 시스템 및 이미징 시스템의 시야 내에 있도록 마크는 관련된 매립된 결함에 충분히 근접하게 위치된다. 일 예시에서, 스캐닝 전자 현미경(SEM)이 재료 제거 툴(141)과 함께 이용된다. 일부 실시예들에서, 특징의 매립된 결함과 관련된 하나 이상의 마크들은 매립된 결함의 5 마이크로미터 내에 위치한다. 예를 들어, 약 1 마이크로미터의 마크를 생성하는 기계적 인텐터가 결함을 표시하기 위해 사용될 수 있다. 이러한 큰 마크는 매립된 결함을 방해하지 않도록 매립된 결함(예컨대, 4 마이크로미터)으로부터 수 마이크로미터 떨어져 위치되어야 한다. 일부 실시예들에서, 하나 이상의 마크들은 매립된 결함의 2 마이크로미터 내에 위치한다. 일부 실시예들에서, 하나 이상의 마크들은 매립된 결함의 1 마이크로미터 내에 위치한다. 예를 들어, 약 100 나노미터의 마크를 생성하는 FIB 툴을 사용하여 결함을 표시할 수 있다. 이러한 작은 마크는 매립된 결함을 방해하지 않도록 매립된 결함으로부터 약 1 마이크로미터 이하에 위치될 수 있다.

[0063] 마크의 형상은 대칭(예를 들어, "x" 형상, "+" 형상 등)인 것이 바람직하다. 대칭 마크 및 결함 신호들의 상대 위치는 검사 툴(100)의 광학 지점 확산 기능(PSF)의 크기보다 훨씬 정확하게 측정될 수 있다. 전형적인 광학 기반 검사 시스템에서, PSF는 약 0.5-0.75 마이크로미터이다. 일부 다른 예시들에서, 광학 기반 검사 시스템의 PSF는 채용된 파장 및 개구에 따라 0.3 마이크로미터 또는 1.0 마이크로미터만큼 작을 수 있다. 일부 예시들에서, 마크들이 약 1 마이크로미터보다 작지만 검사 툴(100)의 PSF보다 작지 않은 경우, 대칭 마크들 및 결함 신호들의 상대 위치는 100 나노미터 미만의 정확도로 측정될 수 있다. 일부 예시들에서, 대칭 마크들 및 결함 신호들의 상대 위치는 20 나노미터 미만의 정확도로 측정될 수 있다.

[0064] 단일 마크가 특정 매립된 결함과 관련될 수 있지만, 각각의 매립된 결함 근처에 하나 이상의 마크를 생성하는 것이 바람직하다. 일부 실시예들에서, 2 개 이상의 마크들은 매립된 결함과 관련된다. 일부 실시예들에서, 3 개 이상의 마크들이 매립된 결함 주위에 위치하여, 각 마크에 정점을 갖는 가상 다각형이 매립된 결함을 둘러싸도

록 한다. 도 7a는 기계적 인텐터에 의해 생성된 4 개의 마크들(195-198)을 도시한다. 이 예시에서, 4 개의 마크들은 박스 형상 패턴을 중심으로 결합(199)을 갖는 박스 형상 패턴의 매립된 결합(199) 주위에 위치한다.

[0065] 또 다른 양태에서, 마크된 웨이퍼는 매립된 결합 및 관련 마크들의 양쪽 모두를 검출하기 위해 검사 툴(100)에 의해 재 측정된다. 이미지는 매립된 결합 및 관련 마크들의 위치를 결정하고 적어도 2 차원에서 이 둘 사이의 거리를 추정하기 위해 분석된다. 높은 정확도로 결합 또는 마크의 절대 좌표를 결정할 필요는 없다. 즉, 웨이퍼 기준점 또는 다른 기준 기하학적 구조와 관련하여 결합 및 관련 마크들을 정확하게 위치시킬 필요는 없다. 기관 웨이퍼 처리 시스템(170) 상의 검사 시스템(예를 들어, 재료 제거 툴(141), 결합 검증 툴(142) 또는 다른 검사 시스템)이 마크를 신속하게 위치 결정할 수 있게 하는데 충분한 정확도로 웨이퍼 기준점 또는 다른 기준 기하학적 구조와 관련하여 결합 및 관련 마크들을 위치시키는 것만이 필요하다. 필요한 정확도는 나노미터가 아닌 마이크로미터 수준이다. 그러나, 매립된 결합과 관련된 마크들 사이의 거리는 높은 정확도(예를 들어, 100 나노미터 미만의 측정 정확도)로 추정되어야 한다. 이러한 방식으로, 관련된 마크들(가시적인 것)이 발견되면, 매립된 결합(가시적이지 않은 것)은 매우 높은 정확도로 위치될 수 있다.

[0066] 일부 실시예들에서, 재료 제거 툴(120)은 20 나노미터 폭의 슬라이스 내의 재료를 제거하는 집중 이온 빔(FIB) 기계 가공 툴이다. 상대 위치 정확성이 불량한 경우, 예를 들어 1 마이크로미터인 경우, 매립된 결합을 밝히기 위해 50 개의 슬라이스가 필요할 수 있다. 그러나, 상대 위치 정확성이 양호하다면, 예를 들어 100 나노미터이면, 매립된 결합을 밝히기 위해 단지 5 개의 슬라이스가 필요할 수 있다. 이러한 방식으로, 광학 검사에 의해 발견된 매립된 결합에 대한 전자 빔 분석의 처리량이 크게 개선된다.

[0067] 도 7a는 기계적인 인텐터에 의해 생성된 4 개의 마크들(195-198)의 도시를 갖는 이미지(194)를 도시한다. 또한, 도 7a는 검사 툴(100)에 의해 추정된 매립된 결합의 위치(199)를 도시한다. 각각의 마크는 다수의 상이한 방식으로 이미지(194) 내에 위치될 수 있다. 일부 실시예들에서, 마크는 이미지 기반의 좌표 프레임 내에 수동으로 위치한다. 이들 실시예들에서, 각각의 마크의 줌된 이미지는 마크의 위치와 관련된 픽셀을 수동으로 선택하는 조작자에게 제시된다. 일 예시에서, 조작자는 이미지 위에 커서를 위치시키고 조작자가 마크의 중심 또는 일부 다른 시각적으로 식별가능한 특징에 가장 가까운 위치에 태그를 붙일 수 있다.

[0068] 일부 실시예들에서, 매립된 결합 및 관련된 마크들은 이미지 기반의 좌표 프레임 내에 자동으로 위치된다. 일부 예시들에서, 측정된 지점 확산 기능들의 각각은 기저 함수(예를 들어, 가우시안 함수)에 적합하다. 적합한 함수들의 중심 또는 피크는 이미지 프레임 내의 매립된 결합들 및 관련된 마크들의 위치를 정확하게 결정하는데 사용된다.

[0069] 매립된 결합 및 관련된 마크들이 이미지 내에 정확하게 위치된 후에, 적어도 2 차원(즉, 이미지 평면에 평행한 적어도 2 차원)으로 매립된 결합과 각각의 관련된 마크들 사이의 거리가 계산된다. 예를 들어, 도 7a에 도시된 바와 같이, 거리(ΔX_1)는 마크(195)의 중심과 x 방향에서의 매립된 결합(199)의 중심 사이의 거리를 나타내며, 거리(ΔY_1)는 마크(195)의 중심과 y 방향에서의 매립된 결합(199)의 중심 사이의 거리를 나타낸다. 이와 유사하게, 거리 ΔX_2 및 ΔY_2 는 마크(196)의 중심과 매립된 결합(199)의 중심 사이의 거리를 각각 x-방향 및 y-방향으로 나타낸다. 거리 ΔX_3 및 ΔY_3 는 마크(197)의 중심과 매립된 결합(199)의 중심 사이의 거리를 각각 x-방향 및 y-방향으로 나타낸다. 거리 ΔX_4 및 ΔY_4 는 마크(198)의 중심과 매립된 결합(199)의 중심 사이의 거리를 각각 x-방향 및 y-방향으로 나타낸다.

[0070] 또 다른 양태에서, 웨이퍼, 각각의 매립된 결합과 관련된 마크들 사이의 거리, 및 마크들의 공칭 위치들은 재료 제거 툴을 포함하는 웨이퍼 처리 시스템으로 전달된다. 웨이퍼 처리 툴은 마크들의 공칭 위치를 사용하여 웨이퍼 상의 마크들을 위치시킨다. 마크들의 위치 확인 후, 웨이퍼 처리 툴은 매립된 결합과 관련된 마크들 사이의 거리를 사용하여 매립된 결합을 정확하게 위치 확인한다. 또 다른 양태에서, 재료 제거 툴은 매립된 결합 위에 충분한 웨이퍼 재료를 제거하여 전자 빔 기반의 이미징 시스템이 매립된 결합을 측정할 수 있게 한다.

[0071] 도 1에 도시된 바와 같이, 웨이퍼(103)는 웨이퍼 처리 시스템(170)으로 이송된다. 또한, 각각의 매립된 결합과 관련된 마크들 사이의 거리 및 마크들의 공칭 위치를 나타내는 신호(148)는 웨이퍼 처리 시스템(160)으로부터 웨이퍼 처리 시스템(170)으로 전달된다. 일부 예시들에서, 신호(148)는 KLA 결과 파일(KLARF 파일)의 일부로서 전달된다.

[0072] 컴퓨터 시스템(143)은 제어 명령(146)을 웨이퍼 위치 설정 시스템(147)에 전달하여 특정 매립된 결합과 관련된 마크들이 웨이퍼 처리 시스템(170)의 전자 빔 이미징 시스템과 같은 이미징 시스템의 시야 내에 있도록 웨이퍼

(103)를 위치시킨다. 이 예시에서, 제어 명령(146)은 웨이퍼 처리 시스템(160)으로부터 수신된 마크들의 공칭 위치에 적어도 부분적으로 기초한다. 일부 예시들에서, 결함 검증 툴(142)은 웨이퍼(103) 상에 마크를 위치시키는데 사용되는 이미징 시스템이다. 일부 다른 예시들에서, 웨이퍼 처리 시스템(170)과 통합된 또 다른 이미징 시스템은 웨이퍼(103) 상에 마크를 위치시키는데 사용된다.

[0073] 도 7b는 도 7a에 도시된 마크들(195-198)의 이미지(171)를 도시한다. 이미지(171)는 예를 들어 웨이퍼 처리 시스템(170)의 이미징 시스템에 의해 수집된다. 이미징 시스템은 매립되어 있는 결함이 아니라 물리적인 마크를 이미징할 수 있다. 도 7a와 관련하여 기술된 바와 같이, 각각의 마크는 다수의 상이한 방식으로 이미지(174) 내에 위치될 수 있다. 일부 실시예들에서, 마크는 이미지 기반의 좌표 프레임 내에 수동으로 위치한다. 이들 실시예들에서, 각각의 마크의 줌된 이미지는 마크의 위치와 관련된 픽셀을 수동으로 선택하는 조작자에게 제시된다. 일 예시에서, 조작자는 이미지 위에 커서를 위치시키고 조작자가 마크의 중심 또는 다른 시각적으로 식별가능한 특징에 가장 가까운 위치에 태그를 붙일 수 있다.

[0074] 일부 실시예들에서, 마크들은 이미지 기반의 좌표 프레임 내에 자동으로 위치된다. 일부 예시들에서, 측정된 지점 확산포인트 스프레드 기능들의 각각은 기저 함수(예를 들어, 가우시안 함수)에 적합하다. 적합화된 함수의 중심 또는 피크는 이미지 프레임에서 마크들의 위치를 정확하게 결정하는데 사용된다.

[0075] 마크들을 위치 확인 후, 컴퓨팅 시스템(143)은 매립된 결함이 재료 제거 툴(141) 아래에 위치하도록 웨이퍼(103)를 위치시키기 위해 웨이퍼 위치 설정 시스템(147)에 제어 명령(149)을 전달한다. 이 예시에서, 제어 명령들(149)은 매립된 결함과 웨이퍼 처리 시스템(160)으로부터 수신된 관련된 마크들 사이의 오프셋 거리에 적어도 부분적으로 기초한다. 마크가 이미지(171) 내에 정확하게 위치된 후에, 매립된 결함의 위치는 각각의 마크와 매립된 결함 사이의 이전에 계산된 상대 오프셋 거리에 기초하여 추정된다(예를 들어, $\{\Delta X_1, \Delta Y_1\}$, $\{\Delta X_2, \Delta Y_2\}$, $\{\Delta X_3, \Delta Y_3\}$, $\{\Delta X_4, \Delta Y_4\}$). 매립된 결함의 위치의 추정된 X 좌표 및 Y 좌표는 이하의 수학적 식 1에 의해 도시된 바와 같이 각각의 마크의 X 좌표 및 Y 좌표와 상대 오프셋 거리의 함수로서 계산될 수 있으며, 여기서 i 는 특정의 매립되어 있는 결함과 관련된 마크들의 수이다.

수학적 식 1

$$X_{Defect_i} = X_{Mark_i} + \Delta X_i$$

$$Y_{Defect_i} = Y_{Mark_i} + \Delta Y_i$$

[0076]

[0077] 매립된 결함의 추정된 위치는 마크마다 변화될 수 있음에 유의한다. 예를 들어, 도 7b의 작은 원들에 의해 나타낸 바와 같이, 각각의 마크와 연관된 매립된 결함의 추정된 위치는 약간 상이하다. 매립된 결함의 단일의 추정된 위치에 도달하기 위해, 추정된 결함 좌표의 평균이 계산될 수 있다(예를 들어, 모든 i 에 대해 평균 $\{X_{Defect_i}, Y_{Defect_i}\}$). 전술한 좌표 체계는 비제한적인 예시로서 제공된다. 일반적으로, 마크와 매립된 결함 사이의 오프셋 거리를 추정하고, 마크의 위치 및 관련된 오프셋 거리에 기초하여 매립된 결함의 위치를 추정하는 많은 상이한 방식들은 이 특허 문헌의 범위 내에서 고려된다.

[0078] 또한, 컴퓨팅 시스템(143)은 재료 제거 툴(141)로 하여금 매립된 결함 위에 충분한 웨이퍼 재료를 제거하게 하여 결함 검증 툴(142)이 매립된 결함을 측정하게 하는 재료 제거 툴(141)에 대한 제어 명령(144)을 전달한다.

[0079] 또 다른 양태에 있어서, 매립된 결함은 매립된 결함 위에 위치된 웨이퍼 재료가 제거된 후에 결함 검증 툴에 의해 측정된다. 도 1에 도시된 바와 같이, 결함 검증 툴(142)은 매립된 결함(지금은 전자 빔 기반의 툴에 대해 가시적 임)을 검사하고, 저장, 추가의 분석 등을 위해 측정 데이터(145)를 컴퓨팅 시스템(143)에 전달한다.

[0080] 도 1에 도시된 바와 같이, 커버되지 않은 결함은 동일한 웨이퍼 처리 시스템에서 재료 제거 툴과 통합된 전자 빔 기반의 분석 툴에 의해 측정된다. 그러나, 일반적으로 전자 빔 기반의 분석 툴은 독립형 툴이거나 다른 웨이퍼 처리 시스템에 통합될 수 있다.

[0081] 도 9는 검사 시스템에 의해 이전에 검출된 매립된 결함들을 정확하게 위치 확인하는데 유용한 예시적인 방법(200)의 흐름도를 도시한다. 일부 비제한적인 예시들에서, 도 1을 참조하여 기술된 결함 위치 확인 시스템(150)은 방법(200)을 구현하도록 구성된다. 그러나, 일반적으로 방법(200)의 구현은 본 명세서에 설명된 특정 실시예들에 의해 제한되지 않는다.

- [0082] 블록 201에서, 웨이퍼 상에 제조된 수직으로 적층된 반도체 구조물에 매립된 결합 근처의 하나 이상의 위치에서 웨이퍼의 표면을 물리적으로 마킹한다.
- [0083] 블록 202에서, 일정량의 조명 광은 웨이퍼 상에 배치된 수직으로 적층된 반도체 구조물 상에 집속된다.
- [0084] 블록 203에서, 집속된 조명 광에 응답하여 수직으로 적층된 반도체 구조물로부터 광을 수집한다.
- [0085] 블록 204에서, 수집된 광을 검출하고, 그 수집된 광의 양을 나타내는 하나 이상의 출력 신호를 생성한다.
- [0086] 블록 205에서, 하나 이상의 출력 신호에 기초하여 매립된 결합의 위치를 결정한다.
- [0087] 블록 206에서, 하나 이상의 출력 신호에 기초하여 하나 이상의 물리적인 마크의 위치들을 결정한다.
- [0088] 블록 207에서, 웨이퍼의 표면에 평행한 적어도 2 개의 치수들 내에 매립된 결합의 위치와 하나 이상의 물리적인 마크의 위치들 사이의 거리를 결정한다.
- [0089] 일반적으로, 결합 위치 확인 시스템(150)은 조작자(예를 들어, 키보드, 마우스, 터치스크린 등)로부터의 입력을 수용하고 조작자(예를 들어, 디스플레이 모니터)에 출력을 디스플레이하는데 유용한 주변 디바이스들을 포함할 수 있다. 조작자로부터의 입력 명령은 결합을 찾기 위해 컴퓨팅 시스템들(130, 143)에 의해 사용될 수 있다. 결과적인 결합 위치 확인은 디스플레이 모니터 상의 조작자에게 그래픽으로 표시될 수 있다.
- [0090] 도 2에 도시된 바와 같이, 검사 툴(100)은 프로세서(131) 및 일정량의 컴퓨터 판독가능한 메모리(132)를 포함한다. 프로세서(131) 및 메모리(132)는 버스(133)를 통해 전달될 수 있다. 메모리(132)는 프로세서(131)에 의해 실행될 때 프로세서(131)가 본 명세서에 기술된 결합 검출 및 위치 확인 기능을 실행하게 하는 프로그램 코드의 양을 저장하는 메모리(134)의 양을 포함한다. 이와 유사하게, 컴퓨팅 시스템(143)은 프로세서 및 일정량의 컴퓨터 판독 가능한 메모리를 포함한다. 프로세서 및 메모리는 버스를 통해 전달될 수 있다. 메모리는 프로세서에 의해 실행될 때 프로세서로 하여금 본 명세서에 설명된 결합 검출 및 위치 확인 기능을 실행하게 하는 일정량의 프로그램 코드를 저장하는 일정량의 메모리를 포함한다.
- [0091] 일반적으로, 본 명세서에 설명된 마킹 및 위치 확인 기술들은 반도체 디바이스들의 제조의 연구 개발, 생산 랩프, 및 대량 생산 단계에 적용할 수 있으며, 모든 이미지 기반의 측정 기술에 적용할 수 있다. 특히, 이러한 기술들은 광학 및 x-선 검사 방식에 적용될 수 있다. 일부 예시들에서, 본 명세서에 기술된 결합 검출 및 위치 확인 기술들은 29xx 시리즈 툴, 39xx 시리즈 툴, 또는 3D1 시리즈 툴과 같은 KLA-Tencor Corporation에 의해 제조된 광대역 플라스마 기반의 검사 툴들 중 임의의 것을 사용하여 구현된다. 일부 예시들에서, 본 명세서에 설명된 결합 검출 및 위치 확인 기술들은 Puma 9xxx 시리즈 툴과 같은 KLA-Tencor Corporation에 의해 제조된 레이저 스캐닝 기반의 검사 툴들 중 임의의 것을 사용하여 구현된다. 본 명세서에서 설명된 바와 같이, 마킹 툴은 검사 툴과 통합되거나 별도의 모듈 상에 구현될 수 있다.
- [0092] 특정 제조 프로세스의 유형에 관계없이, 결합들은 다중 층 적층의 모든 레벨들에서 그리고 특정 프로세스에서 가능한 한 빨리 검출될 필요가 있다. 소정의 검사 실시예들은 바람직하게는 적층 표면을 포함하는 적층 전체에 걸친 결합들의 검출 및 적층의 다양한 깊이의 전반에 걸친 결합의 검출을 포함한다. 예를 들어, 특정 실시예들에서는 약 3 마이크로미터까지의 깊이에서 결합들이 발견될 수 있다. 다른 실시예에서, 결합들은 약 8 마이크로미터만큼 큰 적층 깊이에서 검출될 수 있다. 검사중인 수직 ONON 또는 OPOP 적층의 두께는 조명 등의 침투 깊이에 의해서만 제한된다. 산화물-질화물-산화물-질화물(ONON) 또는 산화물-폴리실리콘-산화물-폴리실리콘(OPOP) 적층을 통한 투과는 더 긴 파장에서의 흡수에 의해 제한된다. 따라서, 보다 긴 조명 파장이 매우 깊은 구조물들을 효과적으로 검사하는데 사용될 수 있다.
- [0093] 본 명세서에 기술된 마킹 및 위치 확인 기술들은 3D 네거티브-AND(NAND) 게이트 메모리 디바이스들을 포함하지만, 이들로 제한되지 않는 복잡한 수직으로 적층된 구조물들에 적용될 수 있다. 본 명세서에서 검사 시스템 및 기술들이 특정 유형의 수직 NAND(VNAND) 메모리 구조물들에 적용되는 것으로 설명되었지만, 본 발명의 실시예들은 테라비트 셀 어레이 트랜지스터들(TCAT), 수직 적층된 어레이 트랜지스터들(VSAT), 비트 비용 스케일러블 기술(BiCST), 파이프 모양의 BiCS 기술(P-BiCS) 등을 사용하여 형성된 NAND 또는 NOR 메모리 디바이스들과 같은 임의의 적합한 3D 또는 수직 반도체 구조물들에 적용될 수 있음을 이해할 수 있을 것이다. 수직 방향은 일반적으로 기판 표면에 수직인 방향이다. 또한, 특정 제조 단계들, 프로세스들, 및 재료들이 이러한 3D 구조물들을 형성하기 위해 기술되었지만, 검사 실시예들은 다수의 층들이 기판 상에 형성되도록 하는 제조 흐름의 임의의 지점에 적용될 수 있으며, 이러한 층들은 임의의 수 및 유형의 재료들을 포함할 수 있다.
- [0094] 도 8은 웨이퍼 생산 프로세스의 실리콘 질화물(예를 들어, SiN 또는 Si3N4) 제거 단계에서 3D NAND 구조물(16

0)을 나타낸다. 폴리실리콘 구조물들(181) 및 티타늄 질화물 구조물들(182)은 다층 3D NAND 구조물에서 수직으로(예를 들어, 기판(186)의 표면에 수직으로) 연장된다. 실리콘 산화물 층(180)은 후속하여 에칭되는 실리콘 질화물 층(183)에 의해 서로 이격된다. 이 프로세스의 다음 단계는 실리콘 산화물 층들 사이의 공간에 텅스텐을 성장시키는 것이다. 그러나, 도 8에 도시된 바와 같이, 불완전한 에칭은 실리콘 질화물 결합들(184, 185)을 남겨 두었다. 전자 디바이스는 실리콘 질화물 결합들(184, 185)에는 작동하지 않을 것이다. 따라서, 이 결합을 제조 프로세스에서 가능한 한 조기에 측정하여 고장으로 예정된 디바이스의 추가의 처리와 관련된 시간과 자원의 손실을 방지하는 것이 중요하다.

[0095] 다양한 실시예들은 본 명세서에서 표본을 검사하는데 사용될 수 있는 검사 시스템 또는 툴에 대해 설명된다. 본 명세서에서 "표본(specimen)"이라는 용어는 웨이퍼, 레티클, 또는 결합, 특징, 또는 당업계에 공지된 다른 정보(예를 들어, 헤이즈의 양 또는 필름 특성들)에 대해 검사될 수 있는 임의의 다른 샘플을 지칭하는데 사용된다.

[0096] 본 명세서에 사용된 바와 같이, "웨이퍼(wafer)"라는 용어는 일반적으로 반도체 또는 비반도체 재료로 형성된 기판들을 지칭한다. 예시들로는 단결정 실리콘, 갈륨 비소, 및 인화 인듐을 포함하지만, 이들로 제한되지는 않는다. 이러한 기판들은 일반적으로 반도체 제조 설비에서 발견 및/또는 처리될 수 있다. 몇몇 경우에, 웨이퍼는 기판(즉, 베어 웨이퍼)만을 포함할 수 있다. 대안적으로, 웨이퍼는 기판 상에 형성된 상이한 재료들의 하나 이상의 층들을 포함할 수 있다. 웨이퍼 상에 형성된 하나 이상의 층들은 "패터닝되거나" 또는 "패터닝되지 않을" 수 있다. 예를 들어, 웨이퍼는 반복 가능한 패턴 특징을 갖는 복수의 다이들을 포함할 수 있다.

[0097] "레티클(reticle)"은 레티클 제조 프로세스의 임의의 단계에서의 레티클이거나, 반도체 제조 설비에서 사용하기 위해 방출될 수도 방출되지 않을 수도 있는 완성된 레티클일 수 있다. 레티클 또는 "마스크"는 일반적으로 그 위에 형성된 실질적으로 불투명한 영역들을 가지며 패턴으로 구성된 실질적으로 투명한 기판으로 정의된다. 기판은 예를 들어 석영과 같은 유리 재료를 포함할 수 있다. 레티클은 레티클 상의 패턴이 레지스트에 전사될 수 있도록 리소그래피 프로세스의 노광 단계 동안 레지스트 피복된 웨이퍼 위에 배치될 수 있다.

[0098] 하나 이상의 예시적인 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기능은 컴퓨터 판독 가능한 매체 상에 하나 이상의 명령어 들 또는 코드로서 저장되거나 전송될 수 있다. 컴퓨터 판독 가능한 매체는 컴퓨터 저장 매체 및 한 장소에서 다른 장소로 컴퓨터 프로그램의 전송을 용이하게 하는 임의의 매체를 포함하는 통신 매체의 양쪽 모두를 포함한다. 저장 매체는 범용 또는 특수 목적 컴퓨터에 의해 액세스될 수 있는 임의의 이용 가능한 매체일 수 있다. 예를 들어, 제한하지 않고, 그러한 컴퓨터 판독 가능한 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장 장치, 자기 디스크 저장 장치 또는 다른 자기 저장 디바이스들, 또는 명령어들 또는 데이터 구조물들의 형태로 원하는 프로그램 코드 수단을 운반하거나 저장하는데 사용될 수 있고 범용 또는 특수 목적 컴퓨터, 또는 범용 또는 특수 목적 프로세서에 의해 접근할 수 있는 임의의 다른 매체로 구성될 수 있다. 또한, 임의의 접속은 적절하게 컴퓨터 판독 가능한 매체로 지칭된다. 예를 들어, 동축 케이블, 광섬유 케이블, 트위스트 페어, 디지털 가입자 회선(DSL), 또는 적외선, 무선, 및 마이크로웨이브와 같은 무선 기술들을 사용하여 웹사이트, 서버, 또는 기타 원격 소스로부터 소프트웨어를 전송한 경우, 동축 케이블, 광섬유 케이블, 트위스트 페어, DSL, 또는 적외선, 무선, 및 마이크로웨이브와 같은 무선 기술들은 매체의 정의에 포함된다. 본 명세서에서 사용된 바와 같은 디스크(disk) 및 디스크(disc)는 디스크(disk)가 일반적으로 데이터를 자기적으로 재생하는 반면, 디스크(disc)는 레이저로 광학적으로 데이터를 재생하는 콤팩트 디스크(CD), 레이저 디스크, 광학 디스크, DVD(digital versatile disc), 플로피 디스크 및 블루레이 디스크(blue-ray disc)를 포함한다. 전술한 조합은 또한 컴퓨터 판독 가능한 매체의 범위 내에 포함되어야 한다.

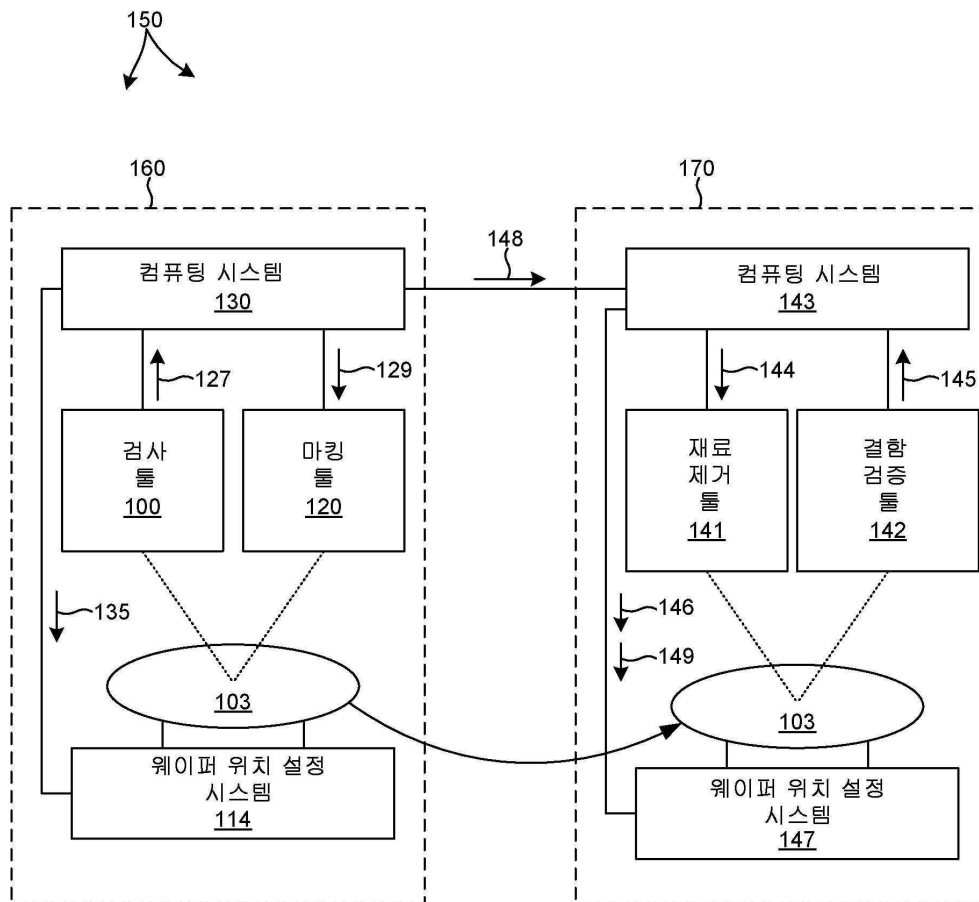
[0099] 어떤 특정 실시예들이 교시 목적을 위해 위에서 설명되었지만, 이 특허 문헌의 교시들은 일반적인 적용 가능성을 가지며, 전술한 특정 실시예들로 제한되지 않는다. 일 예시에서, 검출기는 섬유 어레이를 포함할 수 있다. 일 예시에서, 검사 툴(100)은 하나 이상의 광원(도시되지 않음)을 포함할 수 있다. 광원은 상이하거나 동일하게 구성될 수 있다. 예를 들어, 광원은 동일하거나 상이한 시간에 동일하거나 상이한 입사각으로 동일하거나 상이한 조명 영역들에서 웨이퍼로 향할 수 있는 상이한 특성들을 갖는 광을 생성하도록 구성될 수 있다. 광원은 본 명세서에 설명된 임의의 실시예들에 따라 구성될 수 있다. 또한, 광원들 중 하나는 본 명세서에 기술된 실시예들 중 임의의 것에 따라 구성될 수 있고, 또 다른 광원은 당업계에 공지된 임의의 다른 광원일 수 있다. 일부 실시예들에서, 검사 시스템은 하나 이상의 조명 영역에 걸쳐 웨이퍼를 동시에 조명할 수 있다. 다수의 조명 영역들은 공간적으로 중첩될 수 있다. 다수의 조명 영역들은 공간적으로 구별될 수 있다. 일부 실시예들에서, 검사 시스템은 상이한 시간에 하나 이상의 조명 영역에 걸쳐 웨이퍼를 조명할 수 있다. 상이한 조명 영역들은 일시적으로 중첩될 수 있다(즉, 일정 기간 동안 동시에 조명될 수 있다). 상이한 조명 영역들은 일시적으로 구별

될 수 있다. 일반적으로, 조명 영역들의 수는 임의적일 수 있고, 각각의 조명 영역은 동일하거나 상이한 크기, 배향, 및 입사각일 수 있다. 또 다른 예시에서, 검사 툴(100)은 웨이퍼(103)의 임의의 모션으로부터 독립적으로 스캔하는 하나 이상의 조명 영역들을 갖는 스캐닝 스폿 시스템일 수 있다. 일부 실시예들에서, 조명 영역은 주사선을 따라 반복된 패턴으로 주사하도록 만들어진다. 주사선은 웨이퍼(103)의 주사 운동과 정렬되거나 정렬되지 않을 수 있다. 본 명세서에 제시된 바와 같이, 웨이퍼 위치 설정 시스템(114)은 조정된 회전 및 변환 이동에 의해 웨이퍼(103)의 운동을 생성하지만, 또 다른 예시에서 웨이퍼 위치 설정 시스템(114)은 2 개의 변환 운동을 조합함으로써 웨이퍼(103)의 운동을 생성할 수 있다. 예를 들어, 웨이퍼 위치 설정 시스템(114)은 2 개의 직교한 선형 축들(예를 들어, X-Y 모션)을 따라 모션을 생성할 수 있다. 이러한 실시예들에서, 스캔 피치는 동작 축을 따라 인접한 변환 주사 사이의 거리로서 정의될 수 있다.

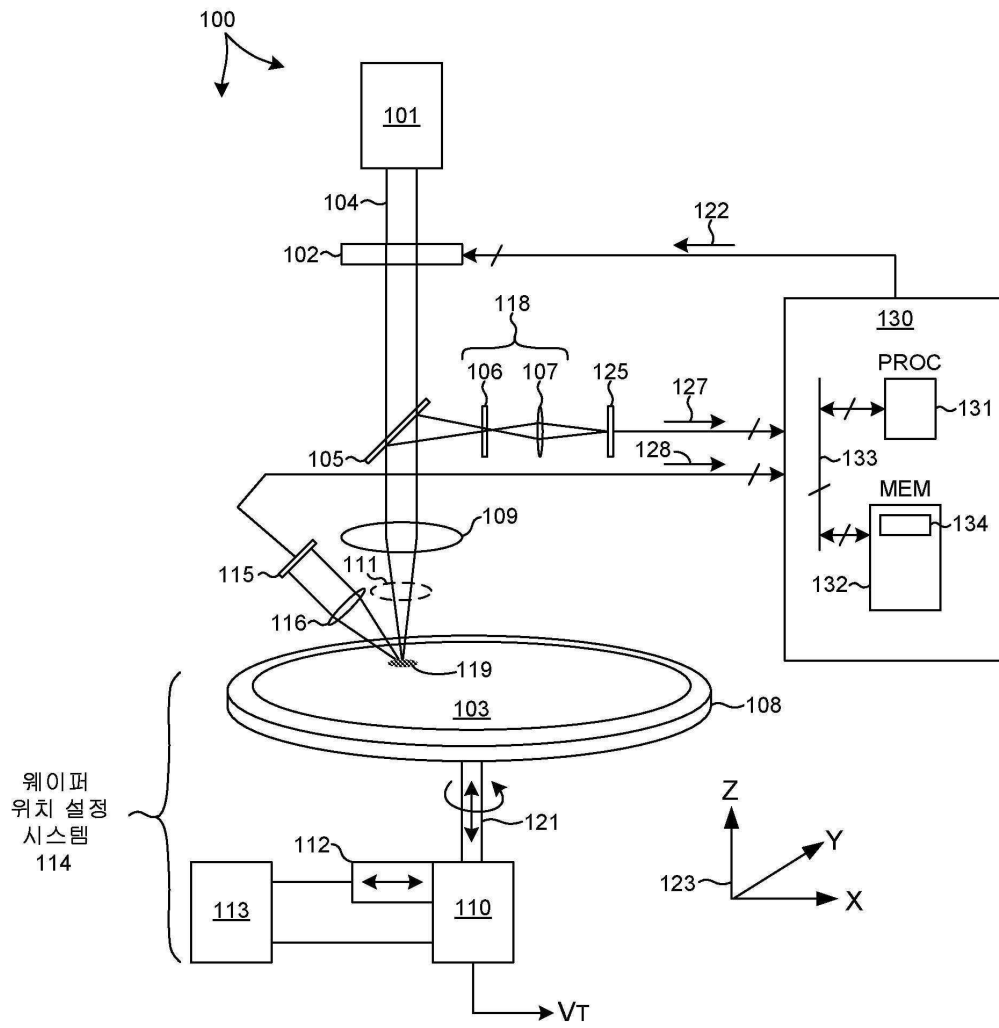
[0100] 따라서, 청구 범위에서 설명된 본 발명의 범위를 벗어나지 않고 설명된 실시예들의 다양한 특징들의 다양한 변형, 개조, 및 조합이 실시될 수 있다.

도면

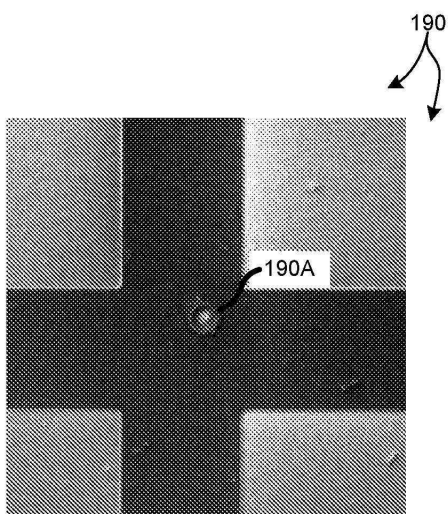
도면1



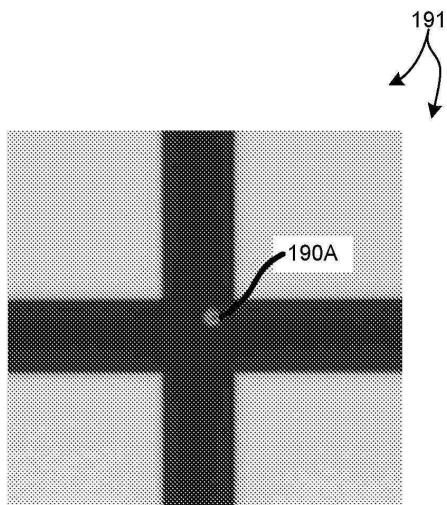
도면2



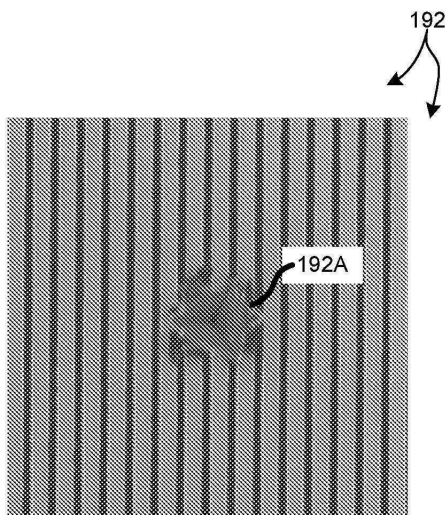
도면3



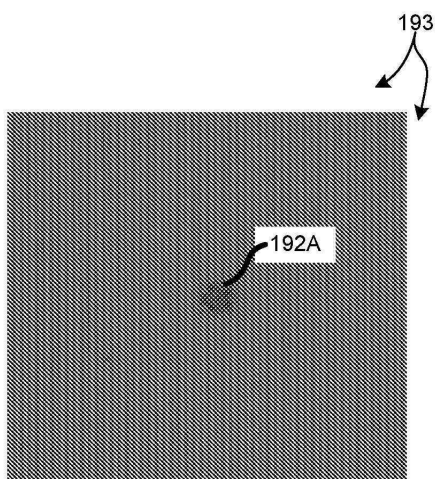
도면4



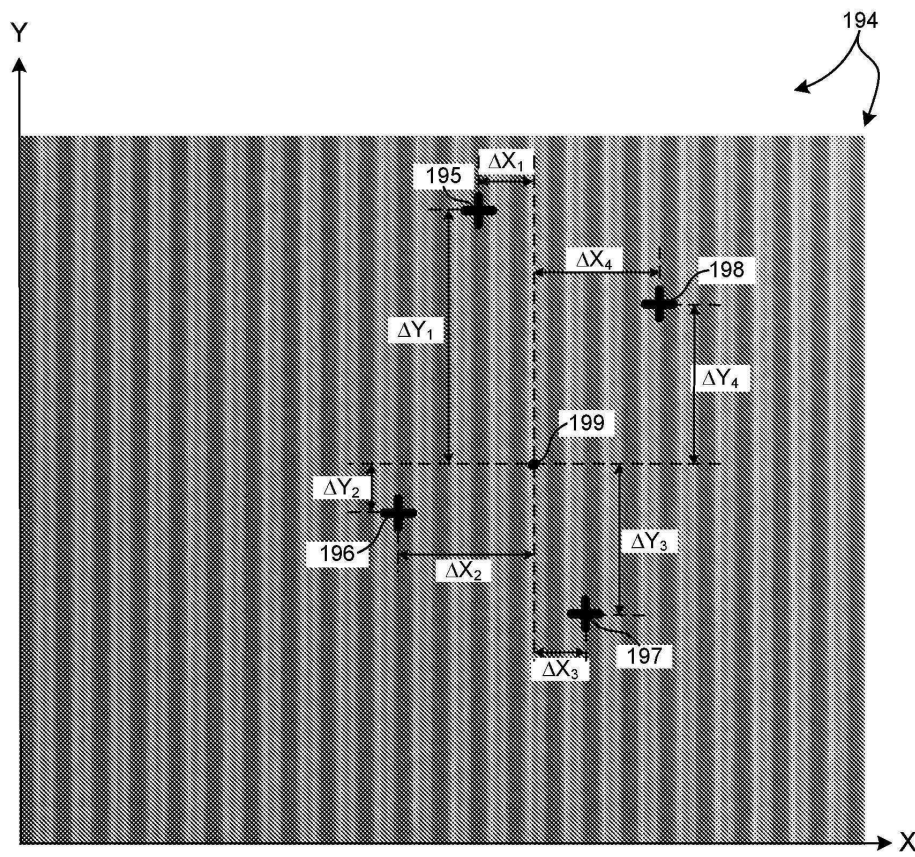
도면5



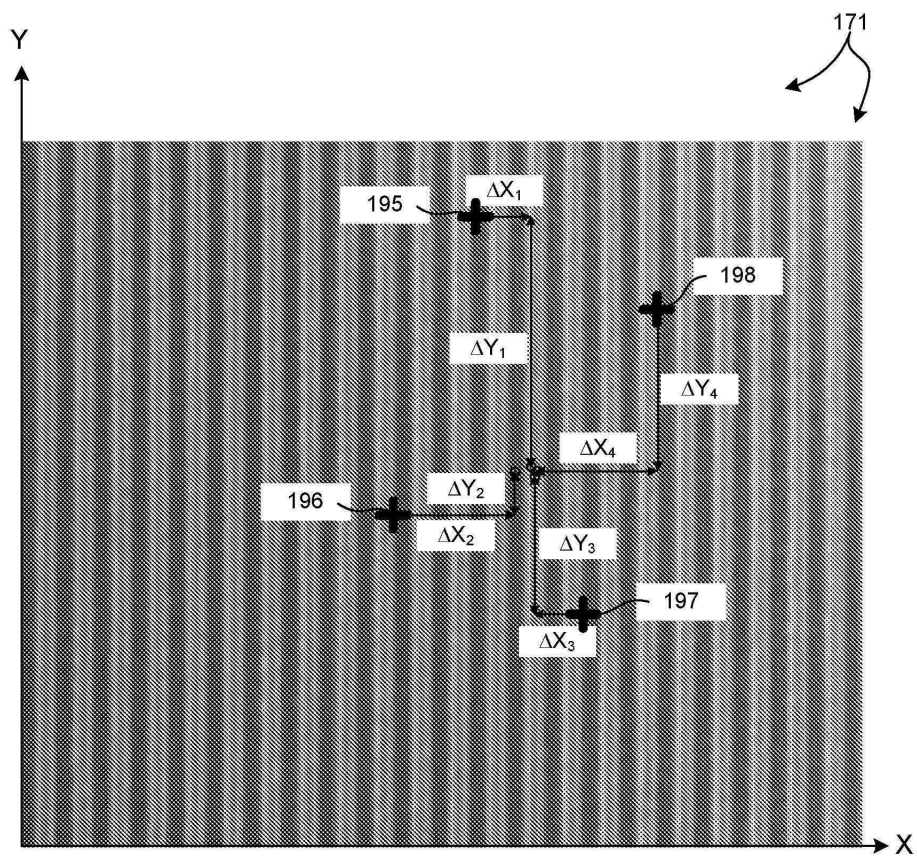
도면6



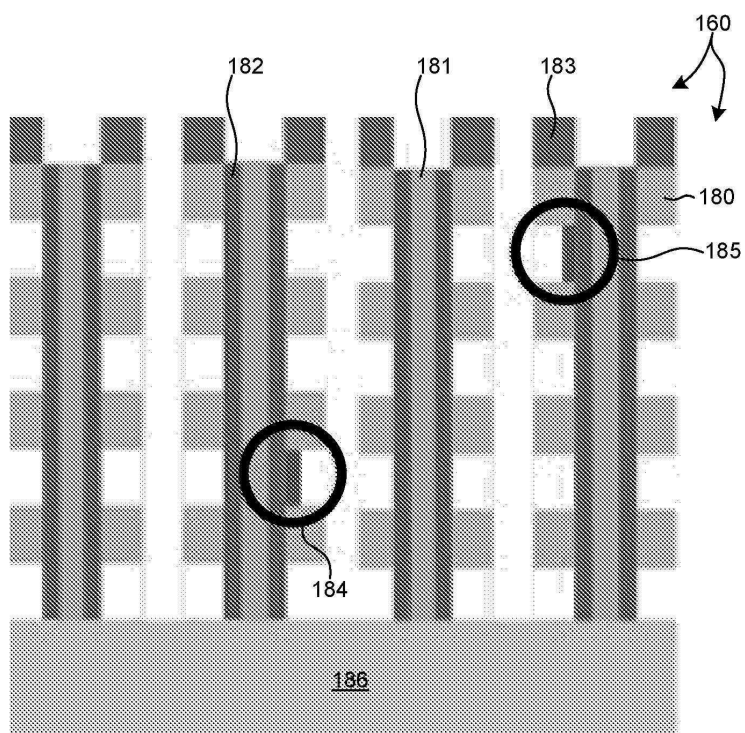
도면7a



도면7b



도면8



도면9

