

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3865828号

(P3865828)

(45) 発行日 平成19年1月10日(2007. 1. 10)

(24) 登録日 平成18年10月13日(2006. 10. 13)

(51) Int. Cl.	F I
G 1 1 C 29/04 (2006. 01)	G 1 1 C 29/00 6 O 3 P
G 1 1 C 11/413 (2006. 01)	G 1 1 C 11/34 3 4 1 D
G 1 1 C 11/401 (2006. 01)	G 1 1 C 11/34 3 7 1 A

請求項の数 31 (全 44 頁)

(21) 出願番号	特願平8-235053	(73) 特許権者	503121103
(22) 出願日	平成8年9月5日(1996. 9. 5)		株式会社ルネサステクノロジ
(65) 公開番号	特開平9-213100		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成9年8月15日(1997. 8. 15)	(74) 代理人	100089233
審査請求日	平成15年8月29日(2003. 8. 29)		弁理士 吉田 茂明
(31) 優先権主張番号	特願平7-309609	(74) 代理人	100088672
(32) 優先日	平成7年11月28日(1995. 11. 28)		弁理士 吉竹 英俊
(33) 優先権主張国	日本国(JP)	(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	日高 秀人
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72) 発明者	朝倉 幹雄
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

正規のメモリセルの読み出し／書き込みを行う通常モードと、前記正規のメモリセルおよび該正規のメモリセルの欠陥救済のために設けられているスペアメモリセルの欠陥テストを行うテストモードとの切り換えが可能な半導体記憶装置において、

前記正規のメモリセルが配置される正規の行および正規の列並びに前記スペアメモリセルが配置されるスペアメモリセル行およびスペアメモリセル列を含むメモリセルアレイと、

前記正規のメモリセルにアクセスするための正規ロウデコーダおよび正規コラムデコーダと、

前記通常モード時に、前記スペアメモリセル行を選択するためのスペアロウデコーダと

、前記通常モード時に、前記スペアメモリセル列を選択するためのスペアコラムデコーダと、

前記テストモード時に、前記正規ロウデコーダと前記スペアコラムデコーダとにより選択される第1のスペアメモリセル、前記正規コラムデコーダと前記スペアロウデコーダとにより選択される第2のスペアメモリセル、および前記スペアロウデコーダと前記スペアコラムデコーダとにより選択される第3のスペアメモリセルにアクセスするアクセス手段とを備え、

前記テストモード時に、前記メモリセルアレイのアドレスの指定を行うアドレス信号で

、該スペアロウデコーダおよび該スペアコラムデコーダを用いずに前記スペアメモリセル行または前記スペアメモリセル列のうちの少なくとも一方を選択状態にし、

前記アクセス手段は、

前記テストモード時において、前記通常モードで前記正規のメモリセルを選択するための通常ロウアドレス信号と通常コラムアドレス信号をデコードして、前記第1ないし第3の
スペアメモリセルを選択し、

前記テストモード時に前記通常ロウアドレス信号および前記通常コラムアドレス信号を変換してテストロウアドレス信号とテストコラムアドレス信号とを生成する変換手段と、

前記テストモード時に、前記テストロウアドレス信号をデコードして前記正規の行及び前記スペアメモリセル行を選択するテストロウデコーダと、

前記テストモード時に、前記テストコラムアドレス信号をデコードして前記正規の列及び前記スペアメモリセル列を選択するテストコラムデコーダとを備える

ことを特徴とする、半導体記憶装置。

【請求項2】

前記アクセス手段は、前記テストモード時において、前記通常モードで前記正規のメモリセルを選択するための通常アドレス信号および該通常アドレス信号に付加して与えられる付加アドレス信号をデコードすることにより、前記正規のメモリセルおよび前記第1ないし第3の
スペアメモリセルの選択を行うことを特徴とする、請求項1記載の半導体記憶装置。

【請求項3】

前記アクセス手段は、制御信号によって、前記通常モードと前記テストモードの切り換えを行い、前記制御信号が入力されない状態では前記通常モードに設定されていることを特徴とする、請求項1または請求項2に記載の半導体記憶装置。

【請求項4】

前記アクセス手段は、前記通常モードと前記テストモードにおいて、前記正規ロウデコーダとの間および前記正規コラムデコーダとの間で、前記正規ロウデコーダと同一構成の部分および前記正規コラムデコーダと同一構成の部分それぞれ共有することを特徴とする、請求項1ないし請求項3のいずれか一項に記載の半導体記憶装置。

【請求項5】

前記テストモード時に与えられるアドレス信号の前記アクセス手段への入力タイミングが、前記通常モード時に前記正規ロウデコーダに与えられる前記通常ロウアドレス信号および前記正規コラムデコーダに与えられる前記通常コラムアドレス信号の入力タイミングとほぼ同一に設定されていることを特徴とする、請求項4記載の半導体記憶装置。

【請求項6】

複数の正規の行および複数の正規の列の交点に位置する複数の正規のメモリセルと、前記正規の列と少なくとも1つのスペアメモリセル行との交点に位置する複数の第1の
スペアメモリセルと、

前記正規の行と少なくとも1つのスペアメモリセル列の交点に位置する複数の第2の
スペアメモリセルと、

前記スペアメモリセル行および前記スペアメモリセル列の交点に位置する少なくとも1つの第3の
スペアメモリセルと、

前記正規のメモリセル並びに前記第1ないし第3の
スペアメモリセルの読み出し／書き込みが可能な通常モード時に、前記正規の行を選択するために通常ロウアドレス信号をデコードする正規ロウデコーダと、

前記通常モード時に、前記スペアメモリセル行を選択するために前記通常ロウアドレス信号をデコードするスペアロウデコーダと、

前記通常モード時に、前記正規の列を選択するために通常コラムアドレス信号をデコードする正規コラムデコーダと、

前記通常モード時に、前記スペアメモリセル列を選択するために前記通常コラムアドレ

10

20

30

40

50

ス信号をデコードするスペアコラムデコーダと、

前記正規のメモリセルおよび前記第1ないし第3のスペアメモリセルの欠陥テストを行うテストモード時に、前記第1ないし第3のスペアメモリセルにアクセスするためのアクセス手段とを備え、

前記アクセス手段は、

前記テストモード時に、前記スペアメモリセル行および前記スペアメモリセル列を選択するために、前記通常ロウアドレス信号および前記通常コラムアドレス信号をデコードし、そのデコードされた信号に基づいて前記第1ないし第3のスペアメモリセルを選択することを特徴とする半導体記憶装置。

【請求項7】

10

前記アクセス手段は、

前記テストモード時に、前記通常ロウアドレス信号および前記通常コラムアドレス信号を変換してテストロウアドレス信号とテスト列アドレス信号を生成する変換手段と、

前記テストモード時に、前記正規の行および前記スペアメモリセル行を選択するために前記テストロウアドレス信号をデコードするテストロウデコーダと、

前記テストモード時に、前記正規の列および前記スペアメモリセル列を選択するために前記テスト列アドレス信号をデコードするテストコラムデコーダとを備える

ことを特徴とする請求項6記載の半導体記憶装置

【請求項8】

20

前記アクセス手段は、

制御信号に応じて通常モードとテストモードとの切り替えを実行し、前記制御信号が印加されない場合は前記通常モードに設定する

ことを特徴とする、請求項6記載の半導体記憶装置。

【請求項9】

前記アクセス手段は、

前記通常モードと前記テストモードにおいて、前記正規ロウデコーダとの間および前記正規コラムデコーダとの間で、前記正規ロウデコーダと同一構成の部分および前記正規コラムデコーダと同一構成の部分をそれぞれ共有する

ことを特徴とする、請求項6記載の半導体記憶装置。

【請求項10】

30

前記アクセス手段は、前記テストモード時ににおいて、前記通常モードで前記正規のメモリセルを選択するための通常アドレス信号および該通常アドレス信号に付加して与えられる付加アドレス信号をデコードすることにより、前記正規のメモリセルおよび前記第1ないし第3のスペアメモリセルの選択を行うことを特徴とする、請求項6記載の半導体記憶装置。

【請求項11】

前記アクセス手段は、制御信号によって、前記通常モードと前記テストモードの切り換えを行い、前記制御信号が入力されない状態では前記通常モードに設定されていることを特徴とする、請求項6ないし請求項10のいずれか一項に記載の半導体記憶装置。

【請求項12】

40

前記アクセス手段は、前記通常モードと前記テストモードにおいて、前記正規ロウデコーダとの間および前記正規コラムデコーダとの間で、前記正規ロウデコーダと同一構成の部分および前記正規コラムデコーダと同一構成の部分をそれぞれ共有することを特徴とする、請求項6ないし請求項11のいずれか一項に記載の半導体記憶装置。

【請求項13】

前記テストモード時に与えられるアドレス信号の前記アクセス手段への入力タイミングが、前記通常モード時に前記正規ロウデコーダに与えられる前記通常ロウアドレス信号および前記正規コラムデコーダに与えられる前記通常コラムアドレス信号の入力タイミングとほぼ同一に設定されていることを特徴とする、請求項12記載の半導体記憶装置。

【請求項14】

50

前記メモリセルアレイ、アクセス手段または周辺回路を通常動作させるための信号入出力に用いる通常使用ピンと、

前記通常使用ピンにされる信号を検出し、所定の信号が検出されたときに、前記アクセス手段を用いて前記スเปアメモリセルにアクセスするモードに入るようにモードを切り換えるための信号を発生するモード切り換え信号発生手段を備える、請求項6記載の半導体記憶装置。

【請求項15】

前記スเปアメモリセルをアクセスするモードにおいて、複数のスเปアメモリセルのデータを縮退して外部へ出力する演算およびデータ出力部とを備える、請求項6記載の半導体記憶装置。

10

【請求項16】

前記スเปアメモリセルをアクセスするモードにおいて、複数のスเปアメモリセルに同時に同一データを書き込むことを特徴とする、請求項6記載の半導体記憶装置。

【請求項17】

正規のメモリセルが配置される正規の行および正規の列並びにスเปアメモリセルが配置されるスเปアメモリセル行およびスเปアメモリセル列を含むメモリセルアレイと、

所定の動作モードにおいて、前記正規のメモリセルと前記スเปアメモリセルを同時にアクセス可能なアクセス手段と、

前記アクセス手段が前記所定の動作モードになっているときに、前記アクセス手段によってアクセスして得た複数の正規のメモリセルとスเปアメモリセルのデータを縮退して外部へ出力する演算およびデータ出力部を備え、

20

同時にアクセスされる複数の正規のメモリセルとスเปアメモリセルとは、欠陥救済時に、該正規のメモリセルが該スเปアメモリセルに置換される関係にあり、

前記演算およびデータ出力部は、複数の正規のメモリセルのデータとスเปアメモリセルのデータとをそれぞれ別のXORゲートにより縮退することを特徴とする、半導体記憶装置。

【請求項18】

前記演算およびデータ出力部は、それぞれ別の前記XORゲートにより縮退された前記複数の正規のメモリセルのデータの縮退データおよび前記スเปアメモリセルのデータの縮退データを、それぞれ別の端子から出力することを特徴とする、請求項17記載の半導体記憶装置。

30

【請求項19】

前記所定の動作モードにおいて、複数ビットの正規のメモリセルおよびスเปアメモリセルに同時に同一データを書き込むことを特徴とする、請求項17または請求項18に記載の半導体記憶装置。

【請求項20】

欠陥テストを行うテストモードにおいて、前記正規のメモリセルと前記スเปアメモリセルに同時にアクセスし、前記正規のメモリセルのデータは通常使用時に該正規のメモリセルに用いられる通常データ入出力端子から入出力され、前記スเปアメモリセルのデータは該スเปアメモリセル専用設けられたテスト用データ入出力端子から入出力されることを特徴とする、請求項15から請求項19のうちのいずれか一項に記載の半導体記憶装置。

40

【請求項21】

正規のメモリセルが配置される正規の行および正規の列並びにスเปアメモリセルが配置されるスเปアメモリセル行およびスเปアメモリセル列を含むメモリセルアレイと、

前記メモリセルアレイのデータの入出力を行う通常モードにおいて、読み出したデータを出力する複数の出力端子と、

欠陥救済のための前記メモリセルアレイの前記スเปアメモリセル行および前記スเปアメモリセル列に配置されたスเปアメモリセルにアクセスするアクセス手段とを備え、

前記アクセス手段は、前記通常モードとは異なる欠陥救済が可能か否かの判断を行うためのテストモード時に、前記正規のメモリセルから読み出したデータを縮退して前記複数

50

の出力端子の一部から出力し、前記スペアメモリセルから読み出したデータを前記複数の出力端子のうちの余った出力端子から出力することを特徴とする、半導体記憶装置。

【請求項 2 2】

前記スペアメモリセルから読み出したデータを縮退して出力することを特徴とする、請求項 2 1 記載の半導体記憶装置。

【請求項 2 3】

前記テストモード時に同時にアクセスされる正規のメモリセルとスペアメモリセルとは、欠陥救済時に、該正規のメモリセルを該スペアメモリセルで置換する関係にあることを特徴とする、請求項 2 1 に記載の半導体記憶装置。

【請求項 2 4】

正規のメモリセルが配置される正規の行および正規の列並びにスペアメモリセルが配置されるスペアメモリセル行およびスペアメモリセル列を含むメモリセルアレイと、

欠陥救済のための前記メモリセルアレイの前記スペアメモリセル行および前記スペアメモリセル列に配置されたスペアメモリセルにアクセスするアクセス手段とを備え、

前記アクセス手段は、特定のスペアメモリセルで置換可能な複数の正規のメモリセルに同時にアクセスして前記複数の正規のメモリセルから読み出されたデータを縮退し、当該縮退したデータと前記特定のスペアメモリセルのデータとをそれぞれ個別に出力可能であることを特徴とする、半導体記憶装置。

【請求項 2 5】

前記複数の正規のメモリセルおよび前記スペアメモリセルがそれぞれ接続する複数のセンスアンプをさらに備え、

前記複数のセンスアンプは、前記メモリセルアレイを挟んで両側に配置され、

前記特定のスペアメモリセルとそれで置換可能な前記複数の正規のメモリセルとは、前記メモリセルアレイの同じ側に配置された前記センスアンプに接続される関係にあることを特徴とする、請求項 2 4 記載の半導体記憶装置。

【請求項 2 6】

縮退してデータを出力する際に、縮退してデータを出力するモードであることを示すモード指示データを出力することを特徴とする、請求項 1 5、請求項 1 7、請求項 2 1、請求項 2 2、請求項 2 3、請求項 2 4 または請求項 2 5 に記載の半導体記憶装置。

【請求項 2 7】

複数の正規のメモリセルと、

複数のスペアメモリセルと、

同時に、前記複数の正規のメモリセルから 2 個以上の正規のメモリセルを選択すると共に、前記複数のスペアメモリセルから少なくとも 1 つのスペアメモリセルを選択するデコーダと、

前記選択された正規メモリセルから読み出したデータが互いに一致しているか否かの検査結果を生成すると共に、前記選択されたスペアメモリセルから読み出されたデータに対応したテストデータを生成するテスト回路とを備えることを特徴する半導体記憶装置。

【請求項 2 8】

前記選択されたスペアメモリセルは複数個であり、

前記テストデータは、前記選択されたスペアメモリセルから読み出されたデータが、互いに一致しているか否かを示していることを特徴する請求項 2 7 記載の半導体記憶装置。

【請求項 2 9】

前記テストデータは、前記選択されたスペアメモリセルから読み出されたデータであることを特徴とする請求項 2 7 記載の半導体記憶装置。

【請求項 3 0】

前記正規のメモリセル並びに前記スペアメモリセルの読み出し／書き込みが可能な通常モードにおいて、読み出したデータを出力するための複数のデータ出力端子をさらに備

10

20

30

40

50

え、

前記テスト回路は、所定のメモリセルの前記検査結果に関連付けられた第1の結果データを前記複数のデータ出力端子のうちの第1のデータ出力端子に出力すると共に、前記所定のメモリセルとは異なるメモリセルの前記検査結果に関連付けられた第2の結果データを前記データ出力端子のうちの第2のデータ出力端子に出力することを特徴とする請求項27記載の半導体記憶装置。

【請求項31】

前記正規のメモリセルおよび前記スペアメモリセルの欠陥テストを行うテストモードに関連する信号は、前記複数のデータ出力端子のうちの余ったものに出力されることを特徴とする請求項30記載の半導体記憶装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は正規のメモリセルの欠陥を救済するスペアメモリセルを有する半導体記憶装置に関し、特にスペアメモリセルの欠陥の検査に関するものである。

【0002】

【従来の技術】

図30は従来のダイナミック型半導体記憶装置（以下DRAMという。）の主要部を示す平面図であり、図において、符号141は感知増幅器列の配置領域（センスアンプ形成領域）、142は記憶素子群の配置領域（メモリセルアレイ）、143はメモリセルアレイ142の中のセルを選択するためロウアドレス信号で指定されたワード線を活性化するロウデコーダ、144はメモリセルアレイ142の中のセルを選択するためコラムアドレス信号で指定されたビット線を活性化するためのコラムデコーダである。

20

【0003】

図31は図30に示した領域145の構成の概略を示す概念図である。図31において、146はメモリセルアレイ142を構成しているメモリセル、147aは正規のメモリセルが配置されている行に設けられ正規ロウデコーダ143aによって活性／非活性の制御がなされるワード線、147bはスペアメモリセルが配置されているスペアセル行に設けられスペアロウデコーダ143bによって活性／非活性の制御がなされるワード線、148aは正規のメモリセルが配置されている正規の行に設けられコラムデコーダ144のうちの正規コラムデコーダによって活性／非活性の制御がなされるビット線、148bはスペアメモリセルが配置されているスペアメモリセル列に設けられコラムデコーダ144のうちのスペアコラムデコーダ144bによって活性／非活性の制御がなされるビット線である。

30

【0004】

図31に示したDRAMは、欠陥救済のための冗長構成を有している。各メモリセルアレイ142は、それぞれ1本または複数本の予備行（スペアロウ）及び予備列（スペアコラム）を備えており、メモリセルが欠陥を含む場合に、レーザヒューズプログラム方式などにより、欠陥を含むメモリセルを含む行または列を、予備の行または列により電氣的に置換して、欠陥救済を行う。

40

【0005】

図32は従来のダイナミック型半導体記憶装置を示す平面図である。図32において、200はダイナミック型半導体記憶装置の記憶領域、201は感知増幅器列の配置領域（センスアンプ形成領域）、202は複数列設けられている感知増幅器列の配置領域201の間に形成された記憶素子群の配置領域、203は比較的低抵抗な金属配線を接続するワード線裏打ち領域、204はワード線裏打ち領域203とは別の層に比較的高抵抗な配線が形成されセンスアンプ形成領域201と交差する領域である。

【0006】

図33は、図32に示したワード線裏打ち領域203の構成を示す概念図である。図33において、205は比較的低抵抗値が低いアルミニウム配線、206はアルミニウム配線

50

205と並列に接続され比較的抵抗値が高いポリサイド配線である。

【0007】

図34は、ダイナミック形半導体記憶装置のメモリセルブロックの構成を示すブロック図である。図34において、141a, 141cは正規のメモリセルのデータを読み出すためのセンスアンプが形成されているセンスアンプ形成領域、141b, 141dはスペアメモリセルのデータを読み出すためのセンスアンプが形成されているセンスアンプ形成領域、148cは正規のメモリセルから読み出すデータを伝達するビット線対、148dはスペアメモリセルから読み出すデータを伝達するビット線対であり、図31と同一符号のものは図31の同一符号部分に相当する部分である。

【0008】

10

【発明が解決しようとする課題】

従来の半導体記憶装置は以上のように構成されており、スペアロウおよびスペアコラムのメモリセルに欠陥を含む場合に、有効に欠陥救済ができないという問題点があった。

【0009】

この発明は上記のような問題点を解消するためになされたものであり、複数の予備行または列のメモリセルの一部に欠陥を含む場合にも、有効に欠陥救済ができる半導体記憶装置を得ることを目的としている。

【0010】

【課題を解決するための手段】

第1の発明に係る半導体記憶装置は、正規のメモリセルの読み出し／書き込みを行う通常モードと、前記正規のメモリセルおよび該正規のメモリセルの欠陥救済のために設けられているスペアメモリセルの欠陥テストを行うテストモードとの切り換えが可能な半導体記憶装置であって、前記正規のメモリセルが配置される正規の行および正規の列並びに前記スペアメモリセルが配置されるスペアメモリセル行およびスペアメモリセル列を含むメモリセルアレイと、前記正規のメモリセルにアクセスするための正規ロウデコーダおよび正規コラムデコーダと、前記通常モード時に、前記スペアメモリセル行を選択するためのスペアロウデコーダと、前記通常モード時に、前記スペアメモリセル列を選択するためのスペアコラムデコーダと、前記テストモード時に、前記正規ロウデコーダと前記スペアコラムデコーダとにより選択される第1のスペアメモリセル、前記正規コラムデコーダと前記スペアロウデコーダとにより選択される第2のスペアメモリセル、および前記スペアロウデコーダと前記スペアコラムデコーダとにより選択される第3のスペアメモリセルにアクセスするアクセス手段とを備え、前記テストモード時に、前記メモリセルアレイのアドレスの指定を行うアドレス信号で、該スペアロウデコーダおよび該スペアコラムデコーダを用いずに前記スペアメモリセル行または前記スペアメモリセル列のうちの少なくとも一方を選択状態にし、前記アクセス手段は、前記テストモード時において、前記通常モードで前記正規のメモリセルを選択するための通常ロウアドレス信号と通常コラムアドレス信号をデコードして、前記第1ないし第3のスペアメモリセルを選択し、前記テストモード時に前記通常ロウアドレス信号および前記通常コラムアドレス信号を変換してテストロウアドレス信号とテストコラムアドレス信号とを生成する変換手段と、前記テストモード時に、前記テストロウアドレス信号をデコードして前記正規の行及び前記スペアメモリセル行を選択するテストロウデコーダと、前記テストモード時に、前記テストコラムアドレス信号をデコードして前記正規の列及び前記スペアメモリセル列を選択するテストコラムデコーダとを備えることを特徴とする。

20

30

40

【0015】

第2の発明に係る半導体記憶装置は、第1の発明の半導体記憶装置において、前記アクセス手段は、前記テストモード時において、前記通常モードで前記正規のメモリセルを選択するための通常アドレス信号および該通常アドレス信号に付加して与えられる付加アドレス信号をデコードすることにより、前記正規のメモリセルおよび前記第1ないし第3のスペアメモリセルの選択を行うことを特徴とする。

【0016】

50

第3の発明に係る半導体記憶装置は、第1または第2の発明の半導体記憶装置において、前記アクセス手段は、制御信号によって、前記通常モードと前記テストモードの切り換えを行い、前記制御信号が入力されない状態では前記通常モードに設定されていることを特徴とする。

【0017】

第4の発明に係る半導体記憶装置は、第1～第3の発明のうちのいずれかの半導体記憶装置において、前記アクセス手段は、前記通常モードと前記テストモードにおいて、前記正規ロウデコーダとの間および前記正規コラムデコーダとの間で、前記正規ロウデコーダと同一構成の部分および前記正規コラムデコーダと同一構成の部分それぞれを共有することを特徴とする。

【0018】

第5の発明に係る半導体記憶装置は、第4の発明の半導体記憶装置において、前記テストモード時に与えられるアドレス信号の前記アクセス手段への入力タイミングが、前記通常モード時に前記正規ロウデコーダに与えられる前記通常ロウアドレス信号および前記正規コラムデコーダに与えられる前記通常コラムアドレス信号の入力タイミングとほぼ同一に設定されていることを特徴とする。

第6の発明に係る半導体記憶装置は、複数の正規の行および複数の正規の列の交点に位置する複数の正規のメモリセルと、前記正規の列と少なくとも1つのスペアメモリセル行との交点に位置する複数の第1のスペアメモリセルと、前記正規の行と少なくとも1つのスペアメモリセル列の交点に位置する複数の第2のスペアメモリセルと、前記スペアメモリセル行および前記スペアメモリセル列の交点に位置する少なくとも1つの第3のスペアメモリセルと、前記正規のメモリセル並びに前記第1ないし第3のスペアメモリセルの読み出し／書き込みが可能な通常モード時に、前記正規の行を選択するために通常ロウアドレス信号をデコードする正規ロウデコーダと、前記通常モード時に、前記スペアメモリセル行を選択するために前記通常ロウアドレス信号をデコードするスペアロウデコーダと、前記通常モード時に、前記正規の列を選択するために通常コラムアドレス信号をデコードする正規コラムデコーダと、前記通常モード時に、前記スペアメモリセル列を選択するために前記通常コラムアドレス信号をデコードするスペアコラムデコーダと、前記正規のメモリセルおよび前記第1ないし第3のスペアメモリセルの欠陥テストを行うテストモード時に、前記第1ないし第3のスペアメモリセルにアクセスするためのアクセス手段とを備え、前記アクセス手段は、前記テストモード時に、前記スペアメモリセル行および前記スペアメモリセル列を選択するために、前記通常ロウアドレス信号および前記通常コラムアドレス信号をデコードし、そのデコードされた信号に基づいて前記第1ないし第3のスペアメモリセルを選択することを特徴とする。

第7の発明に係る半導体記憶装置は、第6の発明の半導体記憶装置において、前記アクセス手段は、前記テストモード時に、前記通常ロウアドレス信号および前記通常コラムアドレス信号を変換してテストロウアドレス信号とテスト列アドレス信号を生成する変換手段と、前記テストモード時に、前記正規の行および前記スペアメモリセル行を選択するために前記テストロウアドレス信号をデコードするテストロウデコーダと、前記テストモード時に、前記正規の列および前記スペアメモリセル列を選択するために前記テスト列アドレス信号をデコードするテストコラムデコーダとを備えることを特徴とする。

第8の発明に係る半導体記憶装置は、第6の発明の半導体記憶装置において、前記アクセス手段は、制御信号に応じて通常モードとテストモードとの切り替えを実行し、前記制御信号が印加されない場合は前記通常モードに設定することを特徴とする。

第9の発明に係る半導体記憶装置は、第6の発明の半導体記憶装置において、前記アクセス手段は、前記通常モードと前記テストモードにおいて、前記正規ロウデコーダとの間および前記正規コラムデコーダとの間で、前記正規ロウデコーダと同一構成の部分および前記正規コラムデコーダと同一構成の部分それぞれを共有することを特徴とする。

第10の発明に係る半導体記憶装置は、第6の発明の半導体記憶装置において、前記アクセス手段は、前記テストモード時に、前記通常モードで前記正規のメモリセルを

10

20

30

40

50

選択するための通常アドレス信号および該通常アドレス信号に付加して与えられる付加アドレス信号をデコードすることにより、前記正規のメモリセルおよび前記第1ないし第3のスペアメモリセルの選択を行うことを特徴とする。

第11の発明に係る半導体記憶装置は、第6～10の発明の半導体記憶装置において、前記アクセス手段は、制御信号によって、前記通常モードと前記テストモードの切り換えを行い、前記制御信号が入力されない状態では前記通常モードに設定されていることを特徴とする。

第12の発明に係る半導体記憶装置は、第6～11の発明の半導体記憶装置において、前記アクセス手段は、前記通常モードと前記テストモードにおいて、前記正規ロウデコーダとの間および前記正規コラムデコーダとの間で、前記正規ロウデコーダと同一構成の部分および前記正規コラムデコーダと同一構成の部分それぞれ共有することを特徴とする。

10

第13の発明に係る半導体記憶装置は、第12の発明の半導体記憶装置において、前記テストモード時に与えられるアドレス信号の前記アクセス手段への入力タイミングが、前記通常モード時に前記正規ロウデコーダに与えられる前記通常ロウアドレス信号および前記正規コラムデコーダに与えられる前記通常コラムアドレス信号の入力タイミングとほぼ同一に設定されていることを特徴とする。

【0019】

第14の発明に係る半導体記憶装置は、第6の発明の半導体記憶装置において、前記メモリセルアレイ、アクセス手段または周辺回路を通常動作させるための信号入出力に用いる通常使用ピンと、前記通常使用ピンに入力される信号を検出し、所定の信号が検出されたときに、前記アクセス手段を用いて前記スペアメモリセルにアクセスするモードに入るようにモードを切り換えるための信号を発生するモード切り換え信号発生手段を備えて構成される。

20

【0022】

第15の発明に係る半導体記憶装置は、第6の発明の半導体記憶装置において、前記スペアメモリセルをアクセスするモードにおいて、複数のスペアメモリセルのデータを縮退して外部へ出力する演算およびデータ出力部とを備えて構成される。

【0023】

第16の発明に係る半導体記憶装置は、第6の発明の半導体記憶装置において、前記スペアメモリセルをアクセスするモードにおいて、複数のスペアメモリセルに同時に同一データを書き込むことを特徴とする。

30

【0024】

第17の発明に係る半導体記憶装置は、正規のメモリセルが配置される正規の行および正規の列並びにスペアメモリセルが配置されるスペアメモリセル行およびスペアメモリセル列を含むメモリセルアレイと、所定の動作モードにおいて、前記正規のメモリセルと前記スペアメモリセルを同時にアクセス可能なアクセス手段と、前記アクセス手段が前記所定の動作モードになっているときに、前記アクセス手段によってアクセスして得た複数の正規のメモリセルとスペアメモリセルのデータを縮退して外部へ出力する演算およびデータ出力部を備え、同時にアクセスされる複数の正規のメモリセルとスペアメモリセルとは、欠陥救済時に、該正規のメモリセルが該スペアメモリセルに置換される関係にあり、前記演算およびデータ出力部は、複数の正規のメモリセルのデータとスペアメモリセルのデータとをそれぞれ別のXORゲートにより縮退することを特徴とする。

40

第18の発明に係る半導体記憶装置は、第17の発明の半導体記憶装置において、前記演算およびデータ出力部は、それぞれ別の前記XORゲートにより縮退された前記複数の正規のメモリセルのデータの縮退データおよび前記スペアメモリセルのデータの縮退データを、それぞれ別の端子から出力することを特徴とする。

【0025】

第19の発明に係る半導体記憶装置は、第17または第18の発明の半導体記憶装置において、前記所定の動作モードにおいて、複数ビットの正規のメモリセルおよびスペアメ

50

メモリセルに同時に同一データを書き込むことを特徴とする。

【0026】

第20の発明に係る半導体記憶装置は、第15～第19の発明のうちのいずれかの半導体記憶装置において、欠陥テストを行うテストモードにおいて、前記正規のメモリセルと前記スペアメモリセルに同時にアクセスし、前記正規のメモリセルのデータは通常使用時に該正規のメモリセルに用いられる通常データ入出力端子から入出力され、前記スペアメモリセルのデータは該スペアメモリセル専用設けられたテスト用データ入出力端子から入出力されることを特徴とする。

【0027】

第21の発明に係る半導体記憶装置は、正規のメモリセルが配置される正規の行および正規の列並びにスペアメモリセルが配置されるスペアメモリセル行およびスペアメモリセル列を含むメモリセルアレイと、前記メモリセルアレイのデータの入出力を行う通常モードにおいて、読み出したデータを出力する複数の出力端子と、欠陥救済のための前記メモリセルアレイの前記スペアメモリセル行および前記スペアメモリセル列に配置されたスペアメモリセルにアクセスするアクセス手段とを備え、前記アクセス手段は、前記通常モードとは異なる欠陥救済が可能か否かの判断を行うためのテストモード時に、前記正規のメモリセルから読み出したデータを縮退して前記複数の出力端子の一部から出力し、前記スペアメモリセルから読み出したデータを前記複数の出力端子のうちの余った出力端子から出力することを特徴とする。

【0028】

第22の発明に係る半導体記憶装置は、第21の発明の半導体記憶装置において、前記スペアメモリセルから読み出したデータを縮退して出力することを特徴とする。

【0029】

第23の発明に係る半導体記憶装置は、第21の発明の半導体記憶装置において、前記テストモード時に同時にアクセスされる正規のメモリセルとスペアメモリセルとは、欠陥救済時に、該正規のメモリセルを該スペアメモリセルで置換する関係にあることを特徴とする。

【0030】

第24の発明に係る半導体記憶装置は、正規のメモリセルが配置される正規の行および正規の列並びにスペアメモリセルが配置されるスペアメモリセル行およびスペアメモリセル列を含むメモリセルアレイと、欠陥救済のための前記メモリセルアレイの前記スペアメモリセル行および前記スペアメモリセル列に配置されたスペアメモリセルにアクセスするアクセス手段とを備え、前記アクセス手段は、特定のスペアメモリセルで置換可能な複数の正規のメモリセルに同時にアクセスして前記複数の正規のメモリセルから読み出されたデータを縮退し、当該縮退したデータと前記特定のスペアメモリセルのデータとをそれぞれ個別に出力可能であることを特徴とする。

第25の発明に係る半導体記憶装置は、第24の発明の半導体記憶装置において、前記複数の正規のメモリセルおよび前記スペアメモリセルがそれぞれ接続する複数のセンスアンプをさらに備え、前記複数のセンスアンプは、前記メモリセルアレイを挟んで両側に配置され、前記特定のスペアメモリセルとそれで置換可能な前記複数の正規のメモリセルとは、前記メモリセルアレイの同じ側に配置された前記センスアンプに接続される関係にあることを特徴とする。

【0031】

第26の発明に係る半導体記憶装置は、第15、17、21～25の発明の半導体記憶装置において、正規のメモリセルが配置される正規の行および正規の列並びにスペアメモリセルが配置されるスペアメモリセル行およびスペアメモリセル列を含むメモリセルアレイと、欠陥救済のための前記メモリセルアレイの前記スペアメモリセル行および前記スペアメモリセル列に配置されたスペアメモリセルにアクセスするアクセス手段と、縮退してデータを出力する際に、縮退してデータを出力するモードであることを示すモード指示データを出力することを特徴とする。

10

20

30

40

50

【0035】

第27の発明に係る半導体記憶装置は、複数の正規のメモリセルと、複数のスペアメモリセルと、同時に、前記複数の正規のメモリセルから2個以上の正規のメモリセルを選択すると共に、前記複数のスペアメモリセルから少なくとも1つのスペアメモリセルを選択するデコーダと、前記選択された正規メモリセルから読み出したデータが互いに一致しているか否かの検査結果を生成すると共に、前記選択されたスペアメモリセルから読み出されたデータに対応したテストデータを生成するテスト回路とを備えることを特徴する。

第28の発明に係る半導体記憶装置は、第35の発明に係る半導体記憶装置において、前記選択されたスペアメモリセルは複数個であり、前記テストデータは、前記選択されたスペアメモリセルから読み出されたデータが、互いに一致しているか否かを示していることを特徴する。

10

第29の発明に係る半導体記憶装置は、第35の発明に係る半導体記憶装置において、前記テストデータは、前記選択されたスペアメモリセルから読み出されたデータであることを特徴とする。

第30の発明に係る半導体記憶装置は、第35の発明に係る半導体記憶装置において、前記正規のメモリセル並びに前記スペアメモリセルの読み出し／書き込みが可能な通常モード時において、読み出したデータを出力するための複数のデータ出力端子をさらに備え、前記テスト回路は、所定のメモリセルの前記検査結果に関連付けられた第1の結果データを前記複数のデータ出力端子のうちの第1のデータ出力端子に出力すると共に、前記所定のメモリセルとは異なるメモリセルの前記検査結果に関連付けられた第2の結果データを前記データ出力端子のうちの第2のデータ出力端子に出力することを特徴とする。

20

第31の発明に係る半導体記憶装置は、第38の発明に係る半導体記憶装置において、前記正規のメモリセルおよび前記スペアメモリセルの欠陥テストを行うテストモードに関連する信号は、前記複数のデータ出力端子のうちの余ったものに出力されることを特徴とする。

【0036】

【発明の実施の形態】

実施の形態1.

以下、この発明の実施の形態1による半導体記憶装置について説明する。図1はこの発明の実施の形態1によるDRAMの構成の概要を示すブロック図である。図1において、1は欠陥救済のためのスペアメモリセルを含むメモリセルアレイ、2aはメモリセルアレイ1の正規の行のうちのデータの読み出しあるいは書き込みの対象となる行を指定するための正規ロウデコーダ、2bは欠陥救済がされた時にメモリセルアレイ1のスペアメモリセル行のうちのデータの読み出しあるいは書き込みの対象となるスペアメモリセル行を指定するためのスペアロウデコーダ、3はメモリセルアレイ1における書き込みあるいは読み出しの対象となる行を指定するためのロウアドレス信号を発生する内部ロウアドレス発生回路、4aはメモリセルアレイ1の正規の列のうちのデータの読み出しあるいは書き込みの対象となる列を指定するための正規コラムデコーダ、4bは欠陥救済がされた時にメモリセルアレイ1のスペアメモリセル列のうちのデータの読み出しあるいは書き込みの対象となる列を指定するためのスペアコラムデコーダ、5はメモリセルアレイ1における書き込みあるいは読み出しの対象となる列を指定するためのコラムアドレス信号を発生する内部コラムアドレス発生回路、6はDRAM500の外部から与えられるアドレス信号を受ける外部アドレス入力端子、7aは正規の行に設けられたワード線、7bはスペアメモリセル行に設けられたスペアワード線、8aは正規の列に設けられたビット線、8bはスペアメモリセル列に設けられたスペアビット線である。なお、図1では多数設けられているワード線7a、7bやビット線8a、8bは端にあるもののみを記載して他は図示省略している。

30

40

【0037】

メモリセルアレイ1は、正規ロウデコーダ2aと正規コラムデコーダ4aによって選択される正規のメモリセルが配置されている領域1A、スペアロウデコーダ2bと正規コラム

50

デコーダ 4 a によって選択されるスペアメモリセルが配置されている領域 1 B、正規ロウデコーダ 2 a とスペアコラムデコーダ 4 b によって選択されるスペアメモリセルが配置されている領域 1 C、スペアロウデコーダ 2 b とスペアコラムデコーダ 4 b によって選択されるスペアメモリセルが配置されている領域 1 D を含んでいる。

【0038】

通常動作時（以下、通常モード時ともいう。）は、上記の構成でメモリセルアレイ 1 中のメモリセルが選択される。

領域 1 A に配置された正規のメモリセルに欠陥がない場合に、DRAM は、正規ロウデコーダ 2 a と正規コラムデコーダ 4 a によってメモリセルを選択する。そして、正規のメモリセル中に欠陥がある場合には、そのメモリセルが配置されている行または列を使用しないように設定し、その行あるいは列に換えてスペアメモリセル行あるいはスペアメモリセル列を使用するため、正規ロウデコーダ 2 a とスペアロウデコーダ 2 b の両方、あるいは正規コラムデコーダ 4 a とスペアコラムデコーダ 4 b の両方を用いる。

【0039】

図 1 において、符号 9 a は欠陥救済の前のメモリセルアレイ 1 の欠陥テストを行うテストモード時に正規の行を選択するための第 1 のテストロウデコーダ、9 b はテストモード時にスペアメモリセル行を指定するための第 2 のテストロウデコーダ、10 a はテストモード時に正規の列を選択するための第 1 のテストコラムデコーダ、10 b はテストモード時にスペアメモリセル列を選択するための第 2 のテストコラムデコーダ、11 は第 1 及び第 2 のテストロウデコーダ 9 a、9 b 並びに第 1 及び第 2 のテストコラムデコーダ 10 a、10 b を制御する制御回路、12 は制御回路 11 に与える制御信号 SRT を受ける入力端子、13 は制御回路 11 に与える制御信号 SCT を受ける入力端子である。

【0040】

テストモード時に、DRAM に与えられる外部アドレス信号 Add も通常モード時に DRAM に与えられるものと同じビット数である。ところが、テストをする対象であるメモリセルアレイ 1 のメモリセル数、行数、及び列数はスペアメモリセルの分増加している。そこで、テストの対象となる領域を、4 つの領域 1 A ～ 1 D に分割して、各領域 1 A ～ 1 D のテスト時期をずらすことによって外部アドレス信号 Add の種類を増やすことなくテストを行っている。

スペアメモリセルのテストは、テストパッドに信号 SRT、SCT を外部から与えることにより行う。表 1 に示すように、これら 2 ビットの制御信号 SRT、SCT によって 4 つの状況の切り換えを行う。そしてスペアロウ領域、スペアコラム領域、および両者の交点のクロスポイント領域を個別にテストする。表 1 では、個別にテストされる図 1 の領域 1 A ～ 1 D をそれぞれ正規セル領域、スペアロウ領域、スペアコラム領域、クロスポイント領域と呼ぶ。

【0041】

【表 1】

アクセス領域	SRT	SCT	アドレス
ノーマルセル	Open or 0	Open or 0	RA0-n, CA0-m
スペアロウ (SRO-3)	1	Open or 0	RA0-3, CA0-m
スペアコラム (SCO-3)	Open or 0	1	RA0-n, CA0-3
クロスポイント	1	1	RA0-3, CA0-3

【0042】

図 2 は、通常ロウアドレス RA0-n、通常コラムアドレス CA0-m、スペアロウアドレス SR0-3 及びスペアコラムアドレス SC0-3 と、正規セル領域、スペアロウ領域、スペアコラ

10

20

30

40

50

ム領域、クロスポイント領域との関係を示す概念図である。ここでは、スペアメモリセル行及びスペアメモリセル列が各4本ずつの例を示している。

【0043】

図1の制御回路11が信号NREにより正規ロウデコーダ9aを非動作状態とし、信号SREによりスペアロウデコーダ9bを動作状態となるように制御することにより、表1に示すように、例えば、スペアロウアドレスSR0-3として、通常ロウアドレスRA0-3を用いてスペアコラム領域のメモリセルを選択することが可能になる。

【0044】

同様に、制御回路11が信号NCEにより正規ロウデコーダ4aを非動作状態とし、信号SCEによりスペアロウデコーダ10bを動作状態となるように制御することにより、表1に示すように、例えば、スペアコラムアドレスSC0-3として、通常コラムアドレスCA0-3を用いてスペアコラム領域のメモリセルを選択することが可能になる。

10

【0045】

(1)スペアロウ領域のテストは次のように行う。

SRT="1"を入力することによりテストモードに入り、内部ロウアドレス発生回路3から出力されるロウアドレス信号によりロウアドレスRA0-3の指定がなされて4本のスペアメモリセル行のうちの1本が選択される。その後に内部コラムアドレス発生回路5から与えられるコラムアドレス信号によりコラムアドレスCA0-mの指定がなされて正規の列のうちのいずれかが選択される。このように、第2のテストロウデコーダ9bと第1のテストコラムデコーダ10aにより、スペアロウ領域上のセルのアクセスアドレスが指定

20

【0046】

(2)スペアコラム領域のテストは次のように行う。

SCT="1"を入力することによりテストモードに入り、ロウアドレス信号によりロウアドレスRA0-nの指定がなされて正規の行のうちのいずれかが選択される。その後に入力されるコラムアドレス信号によりコラムアドレスCA0-3の指定がなされて4本のスペアロウのうちの1本が選択される。このように、第1のテストロウデコーダ9aと第2のテストコラムデコーダ10bによりスペアコラム領域上のセルのアクセスアドレスの指定がなされる。

【0047】

30

(3)クロスポイント領域のテスト(スペアロウ/コラム)は次のように行う。SRT="1", SCT="1"を入力することによりテストモードに入り、ロウアドレス信号によりロウアドレスRA0-3の指定がなされて4本のスペアメモリセル行のうちのいずれかが選択される。その後に入力されるコラムアドレス信号によりコラムアドレスCA0-3の指定がなされて4本のスペアメモリセル列のうちのいずれかが選択される。このように、第2のテストデコーダ9bと第2のテストデコーダ10bとにより、4本のスペアロウおよび4本のスペアコラムの交点のセルのアクセスアドレスを指定する。

【0048】

このように、通常使用するアドレスピン(外部アドレス入力端子6)からの外部アドレス信号を基に従来と同様に内部ロウアドレス発生回路3が発生するロウアドレス信号と内部コラムアドレス発生回路5が発生するコラム信号とにより、簡単に、スペア領域のメモリセルのアドレス指定ができ、指定されたスペアメモリセルへのアクセスが支障なく行われる。

40

【0049】

DRAM等の半導体記憶装置において歩留り向上を目的として、不良ビットを救済するために冗長メモリセルを備えることが一般的になっているが、この実施の形態1による半導体記憶装置では、この冗長メモリセルが不良であるか否かを欠陥救済の前に知ることができ、欠陥を含むスペアロウあるいはスペアコラムを、欠陥救済に使用しないことにより、スペアロウあるいはスペアコラムによる欠陥救済を行ったにも係わらず、スペアロウメモリセルあるいはスペアコラムメモリセルに欠陥があったために不良になることによる欠陥

50

救済の失敗が起こることを防ぐことができ、欠陥救済成功率を向上することができる。

【0050】

なお、このようなテストパッドSRT、SCTに何も入力しない場合（入力フローティングの場合）は、通常アクセスが行われるノーマルモードになるように構成しておく。そのように構成することで、パッケージ後には支障なく通常モード動作が行われる。

【0051】

また、図1に示した第1のテストロウデコーダ9aと正規ロウデコーダ2aとはほぼ同じ構成であるため、図3に示すように一つのロウデコーダを第1のテストロウデコーダ及び正規ロウデコーダとして共用することができる。第1のテストコラムデコーダ10aと正規コラムデコーダ4aとについても同様である。

10

【0052】

次に、図3に示したDRAMの構成を詳細に説明する。図4、図5及び図6は、図3における正規ロウデコーダ2aの構成を示す回路図である。図4において、20はワード線WL0を活性化するためのワードドライバ、21はワード線WL0に接続されたゲートと昇圧された電源電圧Vppが与えられるソースとワードドライバ20の入力端に接続されたドレインとを持ちワードドライバ20の出力を保持させるためのPチャンネルMOSトランジスタ、22はワードドライバ20の入力端に接続されたドレインと電源電圧Vppが与えられるソースと信号/RWDPが与えられるゲートとを持ちワードドライバ20のプリチャージを行うためのPチャンネルMOSトランジスタ、23は信号RX0が与えられる制御端子を有し最終的なデコードを行うためのゲート、24はプリデコードされた内部ロウアドレス信号Xi, Xjを入力とするANDゲートである。ANDゲート24の出力によって選択される可能性のあるワード線は、ワード線WL0~WL3の4本である。ワード線WL1~WL3はそれぞれ信号RX1~RX3で選択されるがワード線WL1~WL3を駆動する回路の構成は、上述のワード線WL0を駆動する回路の構成と同じであるため、説明を省略する。また、ロウデコーダを構成するためには、図4に示した回路は全体のワード線の本数の1/4に相当する数だけ必要になるが、同じ回路の繰り返しであるため、図示を省略する。

20

【0053】

図5はワードドライバに供給する電圧Vppkを出力するための電圧供給回路である。図5において、30は電圧VppkをクランプするためのPチャンネルMOSトランジスタ、31はゲートに与えられる制御信号に応じて電圧Vppkを電圧Vppと同じ値になるように引き上げるためのPチャンネルMOSトランジスタ、32はPチャンネルMOSトランジスタ31のゲートにブロック選択信号BSi, /BSiに応じた制御信号を与えるための制御信号生成回路である。

30

図5に示した構成は、メモリセルアレイが複数のブロック、図30のメモリセルアレイ142に相当するものに分割されている時に、消費電力の削減等のためにブロック毎に動作を制御できるようにするために設けられているものである。

【0054】

図6は、図4に示したデコーダに与える信号RX0-3を生成するための信号生成回路を示す回路図である。図6において、35はロウアドレスストローブ信号RASと内部ロウアドレス信号を構成しているビットX0との否定論理積を出力するNANDゲート、36はNANDゲート35の出力の否定を出力するNOTゲート、37はNOTゲート36の出力とノーマルロウイネーブル信号NREとの否定論理積を出力するNANDゲート、38はNANDゲート37の否定を出力するNOTゲート、39aはNANDゲート35、37とNOTゲート36、38で構成されてロウアドレスストローブ信号RASとノーマルロウイネーブル信号NREとプリデコードされた内部アドレス信号X0から信号RX0を生成する回路部、39b~39dは回路部39aと同様の構成を有しそれぞれ信号RASと信号NREと内部アドレス信号X1~3から信号RX1~3を生成する回路部である。

40

【0055】

図7は、図3に示したスペアロウデコーダ2bの構成を示す回路図である。図6において

50

、40は各々ゲートにプリデコードされた内部ロウアドレス信号X0～Xsを入力し内部ロウアドレス信号によりワード線を活性化するか否かを判定するためのORゲートを構成するNチャネルMOSトランジスタ、41はNチャネルMOSトランジスタ40のドレインに接続されて所望のアドレスの組合せをプログラムするためのヒューズ、42はプリチャージするための信号/SRPが与えられるゲートと電源電圧Vccが与えられるソースとヒューズ41に接続されたドレインとを持つPチャネルMOSトランジスタ、44はPチャネルMOSトランジスタ42のドレインに接続された入力端子と出力端子とを持つNOTゲート、43はNOTゲート44の出力端子に接続されたゲートと電源電圧Vccが与えられるソースとNOTゲート44の入力端子に接続されたドレインとを有するPチャネルMOSトランジスタ、45は信号TSR1を反転して出力するNOTゲート、46はNOTゲート44、45の出力の否定論理積を出力するNANDゲートある。

10

なお、NANDゲート46の出力が、信号/SRD1である。

また、信号TSR1は従来のロウデコーダにも設けられていたもので、通常時にスペアロウデコーダを動作させるか否かの切り換えに用いられていた。テストモード時には、信号TSR1は、スペアロウデコーダ2aの動作を制御する信号として用いられている。テストモード時には、スペアロウデコーダ2aは、救済される前の状態で、プリデコードされたロウアドレス信号X0～Xsの何れがハイレベルになってもワード線SWL0を非活性とするように働く。そこで、テストモード時は、信号TSR1によって、選択的にスペアロウデコーダ2aを動作状態にするように信号/SRD1を制御する。

また、図示を省略しているがスペアロウデコーダ中には信号TSR1～TSR4に対応する、図7に示したと同様の回路があと3つ設けられている。

20

【0056】

図8は、制御回路の構成のうちのロウデコーダに関する部分を示す論理図である。図8において、51a～51dは内部アドレス信号Radd0、Radd1をデコードするためのゲート、52a～52dはゲート51a～51dの出力をそれぞれ的一方の入力とし信号SRTを他方の入力としてその一方の入力と他方の入力との否定論理積を出力するNANDゲート、53a～53dはNANDゲート52a～52dの出力をそれぞれ否定して信号TSR1～TSR4を出力するNOTゲート、55はNOTゲート53a～53dの出力を入力して信号TSR1～TSR4の否定論理和を出力するNORゲート、56はNORゲート55の出力と信号RASの否定論理積を出力するNANDゲート、58はNANDゲート58の出力を否定した信号NREを出力するNOTゲート、57は信号/SRD1と信号RASの否定論理積を出力するNANDゲート、59はNANDゲート57の出力を否定して信号SRE1を生成出力するNOTゲートである。

30

【0057】

図9はスペアロウデコーダ2bに設けられワード線を選択的に駆動するための第2のテストロウデコーダの構成を示す回路図である。図9において、63は信号RAS（または内部アドレス信号RA0でも良い。）を受ける入力端子とそれを反転して信号/RASを出力する出力端子とを持つNOTゲート、64はNOTゲート63の出力端子に接続された一方端と信号SRE1が与えられるゲートとその一方端に☐された信号を選択的に出力するための他方端とを持つトランスファゲート、68はトランスファゲート64の他方端に接続されたドレインと信号/WDPが与えられるゲートと電圧Vppが与えられるソースとを持ち基板電位がソース電位と等しくなるように設定されたPチャネルMOSトランジスタ、69はトランスファゲート64の他方端に接続されたドレインとワード線SWL0に接続されたゲートと電圧Vppが与えられるドレインとを持つPチャネルMOSトランジスタ、70はトランスファゲート64の他方端に接続された入力端子とワード線SWL0に接続された出力端子を持つワードドライバである。

40

なお、この実施の形態1で説明している半導体記憶装置においては、符号SWL0～SWL3に対応する4本のワード線が設けられているが、ワード線SWL0～SWL3を駆動する回路の構成は同じであるため、ワード線SWL0を選択的に駆動する回路の構成のみを図示している。

50

【0058】

次に、コラムアドレスの選択について図10及び図11を用いて説明する。図10において、75は接地されたソースと信号／SCPが与えられるゲートと信号バーSCPに応じて電流を引き抜くためのドレインとを持つNチャンネルMOSトランジスタ、76は電源電圧Vccが与えられるソースと信号／SCPが与えられるゲートと信号／SCPに応じて電流を供給するためのドレインとを持ちプリチャージを行うためのPチャンネルMOSトランジスタ、77はNチャンネルMOSトランジスタ75とPチャンネルMOSトランジスタ76との間に接続されたヒューズ、78はPチャンネルMOSトランジスタ76のドレインに接続された入力端子とその入力端子に与えられた信号の否定を出力するための出力端子とを持つNOTゲート、79はNOTゲート78の出力端子に接続されたゲートとNOTゲート78の入力端子に接続されたドレインと電源電圧Vccが与えられるソースとを持つPチャンネルMOSトランジスタ、80はNOTゲート78の出力端子に接続された入力端子とその入力端子に入力された信号の否定を出力するNOTゲートである。

上記のNOTゲート78、80とPチャンネルMOSトランジスタ79とでラッチ回路を構成している。

【0059】

また、図10において、81は接地されたソースと信号Y0が与えられるゲートとコラムアドレス信号Y0に応じて接地電圧を出力するためのドレインとを持つNチャンネルMOSトランジスタ、82は電源電圧Vccが与えられるソースとコラムアドレス信号Y0が与えられるゲートと信号Y0に応じて電源電圧Vccを出力するためのドレインとを持つPチャンネルMOSトランジスタ、83はNチャンネルMOSトランジスタ81のドレインに接続されたソースとPチャンネルMOSトランジスタ82のドレインに接続されたドレインとNOTゲート80の出力端子に接続されたゲートとを持つNチャンネルMOSトランジスタ、84はPチャンネルMOSトランジスタ82のドレインに接続された一方端と切断されていないときにはその一方端と電氣的に接続されている他方端とを持つヒューズである。85a1は、NチャンネルMOSトランジスタ81、83とPチャンネルMOSトランジスタ82とヒューズ84とで構成された一致検出部である。85b1～85bk／2は、一致検出部85a1と同様の構成を有し、それぞれコラムアドレス信号Y1～Ykの論理の一致を検出する一致検出部である。なお、一致検出部85a1～85bk／2の出力は、ハイレベルが優先的に出力されるように設定されている。

【0060】

図10において、符号86は接地された一方端と入力端子13に接続された他方端とを持つ抵抗、87aは抵抗86の他方端に接続された入力端子とその入力端子に入力された信号の否定を出力するための出力端子とを持つNOTゲート、87bはNOTゲート87aの出力端子に接続された入力端子とその入力端子から入力されたNOTゲート87aの出力の否定を出力するための出力端子とを持つNOTゲート、89はNOTゲート87bの出力端子に接続された一方の入力端子と外部コラムアドレス信号Cadd0が与えられる他方の入力端子とNOTゲート87bの出力と信号Cadd0の否定論理積を出力するNANDゲート、90a1は一致検出部85a1、85b1の出力の論理和とNANDゲート89の出力との否定論理積を出力するNANDゲート、90a2～90ak／2はそれぞれその一方の入力端子に接続された2つの一致検出部の出力の論理和と信号Cadd0との否定論理積を出力するためのNANDゲート、91はNANDゲート90a1～90ak／2の出力の否定論理積を出力するNANDゲート、92はNANDゲート91の出力の否定を生成するためのNOTゲートである。

そして、NOTゲート92の出力が信号SCS0となる。93はスペアメモリセル列の選択を行うためのデコード部であり、一致検出部85a1～85bk／2にそれぞれ設けられているヒューズを切断することによって正規の列と置換するスペアメモリセル列のアドレスの設定を行うことができる。

【0061】

94～96はそれぞれNOTゲート87bの出力とゲート88bの出力との否定論理積、

10

20

30

40

50

NOTゲート87bの出力とゲート88cの出力との否定論理積、あるいはNOTゲート87bの出力とゲート88dの出力との否定論理積を出力するNANDゲート、97～99はそれぞれNANDゲート94～96の出力から信号SCS1～SCS3を生成して出力するデコード部である。

【0062】

次に、図11において、符号100は信号SCS0と信号CDEとの否定論理積を出力するNANDゲート、101はNANDゲート100の出力の否定を生成するNOTゲートであり、NOTゲート101の出力がスเปアメモリセル列のビット線を選択的に活性化するための信号SCSL0である。信号生成回路103～105は信号生成回路102と同じ構成を持っており、それぞれ信号SCS1～SCS3と信号CDEを用いて信号SCSL1～SCSL3を生成している。

10

【0063】

また、図11において、符号106は信号SCS0～SCS3を入力してこれらの信号が一致したときに「1」を出力するEX-NORゲート、107はコラムアドレス信号Yi、Yj及びEX-NORゲート106の出力の否定論理積を出力するNANDゲート、108はNANDゲート107の出力の否定を出力するNOTゲート、109はEX-NORゲート106、NANDゲート107、NOTゲート108で構成されビット線を活性化するためのコラム選択信号CSLiを出力する正規コラムデコーダである。

【0064】

次に、図12を用いて実施の形態1による半導体記憶装置の動作を簡単に説明する。ロウアドレスは外部ロウアドレスストロブ信号/RASが立ち下がった後に指定され、コラムアドレスは外部コラムアドレスストロブ信号/CASが立ち下がった後に指定される。そして、信号RASが立ち上がると、ワードドライバのプリチャージを行わせる信号/WDP及びスเปアメモリセル行の選択を行うためのスเปアロウデコーダのNOTゲート44の入力端子のプリチャージを行わせる信号/SRPが立ち上がる。

20

【0065】

通常モード時には、信号SRT及び信号SCTがローレベルであるため、抵抗60によってNOTゲート61の入力端子は接地電圧GNDに設定され、NOTゲート62の出力はローレベルになる。そのため、NANDゲート52の出力は、内部アドレス信号Radd0、Radd1に無関係に常にハイレベルとなり、それによって、NOTゲート53の出力は常にローレベルとなる。ゲート55の入力が全てローレベルであるため、ゲート55はハイレベルを出力する。従って、NANDゲート56は信号RASの否定を出力し、NOTゲート58の出力波形、つまり信号NREは信号RASと同じ波形になる。そのため、図3に示した正規ロウデコーダ2aにおいて、例えば回路部39a内のNOTゲート37によりNOTゲート36の否定が出力され、回路部39a～39dが出力する信号RX0～RX3のいずれかがハイレベルになる。内部アドレス信号Xi、Xjをデコードしてロウレベルを出力するNANDゲート24に接続されるワード線のうち、信号RX0～RX3の中のハイレベルになっている信号が与えられるトランスファゲートに接続されたワード線WL0～WL3が活性化される。

30

【0066】

ところで、通常モード時のスเปアロウデコーダ2bは、NOTゲート53が出力する信号TSR1はローレベルに固定されているため、NANDゲート45の出力が常にハイレベルとなり、NANDゲート46はNOTゲート44の出力の否定を出力する。従って、ヒューズ41のいずれかが切断されていれば、それに対応したアドレスでワード線の選択を行うための信号を出力する。

40

【0067】

テストモード時に、信号SRTがハイレベルになると、内部アドレス信号Radd0に応じて信号TSR1が変化するため、内部アドレス信号Radd0によりNANDゲート46の出力を制御できる。メモリセルの救済が行われる前はヒューズ41が切断されていないため、内部アドレス信号X0～Xsが入力されると信号X0～Xsの何れがハイレベル

50

となってもNOTゲート44の出力は常にハイレベルになる。従って、第2のテストロウデコーダ9bを動作させるためには、内部アドレス信号RAdd0をハイレベルにすればよい。

【0068】

また、テストモード時に、信号SCTがハイレベルになると、NANDゲート89, 94~96がNOTゲートと同様の働きをするため、NANDゲート89, 94~96はANDゲート88a~88dの出力の否定を出力する。従って、NANDゲート89, 94~96のいずれかがローレベルとなるため、信号SCS0~SCS3のいずれかがハイレベルに設定される。

【0069】

信号SCS0~SCS3のいずれかがハイレベルになることによってEX-NORゲート106はローレベルを出力するため、複数の信号生成回路109から出力される信号CSLiは何れもローレベルに固定される。そして、例えば、SCS0~SCS3の中でハイレベルになっている信号がSCS0であるとする、NANDゲート100の出力は、ロウアドレスストロブ信号と同じに立ち上がる信号CDEと、信号SCS0との否定論理積であるから、ローレベルとなる。従って、スเปアメモリセル列のビット線を選択するための信号SCSL0~SCSL3のうちの信号SCSL0のみがハイレベルとなり、スเปアメモリセル列のうちの一つが選択される。

なお、テストモード時に正規ロウデコーダ2aと第2のテストコラムデコーダ10bによって領域1Bを選択させるためには、信号SRTをローレベルにするとともに信号SCTをハイレベルに設定すればよい。また、テストモード時に第2のテストロウデコーダ9bと正規コラムデコーダ4aによって領域1Cを選択させるためには、信号SRTをハイレベルにするとともに信号SCTをローレベルに設定すればよい。

【0070】

以上のように、従来の半導体記憶装置がメモリセルを選択するタイミングを用いてテストを行っているため、従来の半導体記憶装置と同じ構成部分を容易に共通化でき、回路規模を縮小できる。

また、テスト信号SRT, SCTによって、4つの状況を切り換えるため、外部アドレス信号を増やすことなく、クロスポイント領域のスเปアメモリセルのテストが行える半導体記憶装置を容易に形成できる。

【0071】

実施の形態2.

次に、この発明の実施の形態2による半導体記憶装置について説明する。図13はこの発明の実施の形態2によるDRAMの構成の概要を示すブロック図である。図13において、110はテストモードにおける制御信号が入力される入力端子、111は入力端子110に接続され内部ロウアドレス発生回路3及び内部コラムアドレス発生回路5から与えられる内部ロウアドレス信号及び内部コラムアドレス信号を変換するための変換回路、112は変換回路111から出力される内部ロウアドレス信号と制御信号とにより正規の行の選択を行う正規ロウデコーダ、113は変換回路111から出力される内部ロウアドレス信号と制御信号とによりスเปアメモリセル行の選択を行う第2のテストロウデコーダ、114は変換回路111から出力される内部コラムアドレス信号と制御信号とにより正規の列の選択を行う正規コラムデコーダ、115は変換回路111から出力される内部コラムアドレス信号と制御信号とによりスเปアメモリセル列の選択を行う第2のテストコラムデコーダである。

図13に示した構成を有する半導体記憶装置は、変換回路111で内部アドレス信号の変換を行うと同時に、入力端子110から与えられる制御信号と内部アドレス信号とにより、正規ロウデコーダ112と正規コラムデコーダ114、第2のテストロウデコーダ113と正規コラムデコーダ114、正規ロウデコーダ112と第2のテストコラムデコーダ115、及び第2のテストロウデコーダ113と第2のテストコラムデコーダ115で選択される領域の切り換えを行っている。通常モード時には、内部アドレス信号に応じて、

10

20

30

40

50

正規ロウデコーダ 1 1 2 と正規コラムデコーダ 1 1 4 とで正規のメモリセルが選択される。

【0072】

図 1 4 は、物理的なメモリセルの配置と、テストモード時におけるアドレス空間でのメモリセルの配置とを示す概念図である。図 1 4 の左が物理的なメモリセルの配置、右がアドレス空間でのメモリセルの配置である。テストモード時には、アドレスの変換が行われて図の右のような正規のメモリセルのアドレスの指定により、スペアロウ領域、スペアコラム領域及びクロスポイント領域のメモリセルの選択が行われる ($n > m$ の場合)。

【0073】

表 2 に入力端子 1 1 0 から入力される制御信号 S T E とアドレスと選択される領域との関係を示す。

10

【0074】

【表 2】

	S T E	アドレス
ノーマルセル	Open or 0	RA0-n, CA0-m
スペアロウ (SRO-3)	1	RA0-3, CA0-m
スペアコラム (SCO-3)	1	RA4-7, CA0-m RA8-11, CA0-(n-m)
クロスポイント	1	RA8-11, CA(b-m+1)-(n-m+4)

20

【0075】

また、変換回路 1 1 1 における変換前と変換後のアドレスの対応を表 3 に示す。

【0076】

【表 3】

変換前	変換後
$\begin{pmatrix} \text{RA0} \\ \text{CA0} \end{pmatrix} \sim \begin{pmatrix} \text{RA0} \\ \text{CAm} \end{pmatrix}$	$\begin{pmatrix} \text{SR0} \\ \text{CA0} \end{pmatrix} \sim \begin{pmatrix} \text{SR0} \\ \text{CAm} \end{pmatrix}$
$\vdots$	$\vdots$
$\begin{pmatrix} \text{RA3} \\ \text{CA0} \end{pmatrix} \sim \begin{pmatrix} \text{RA3} \\ \text{CAm} \end{pmatrix}$	$\begin{pmatrix} \text{SR3} \\ \text{CA0} \end{pmatrix} \sim \begin{pmatrix} \text{SR3} \\ \text{CAm} \end{pmatrix}$
$\begin{pmatrix} \text{RA4} \\ \text{CA0} \end{pmatrix} \sim \begin{pmatrix} \text{RA4} \\ \text{CAm} \end{pmatrix}$	$\begin{pmatrix} \text{SC0} \\ \text{RA0} \end{pmatrix} \sim \begin{pmatrix} \text{SC0} \\ \text{RAm} \end{pmatrix}$
$\vdots$	$\vdots$
$\begin{pmatrix} \text{RA7} \\ \text{CA0} \end{pmatrix} \sim \begin{pmatrix} \text{RA7} \\ \text{CAm} \end{pmatrix}$	$\begin{pmatrix} \text{SC3} \\ \text{RA0} \end{pmatrix} \sim \begin{pmatrix} \text{SC3} \\ \text{RAm} \end{pmatrix}$
$\begin{pmatrix} \text{RA8} \\ \text{CA0} \end{pmatrix} \sim \begin{pmatrix} \text{RA8} \\ \text{CAm} \end{pmatrix}$	$\begin{pmatrix} \text{SC0} \\ \text{RAm+1} \end{pmatrix} \sim \begin{pmatrix} \text{SC0} \\ \text{RAn} \end{pmatrix}$
$\vdots$	$\vdots$
$\begin{pmatrix} \text{RA11} \\ \text{CA0} \end{pmatrix} \sim \begin{pmatrix} \text{RA11} \\ \text{CA(n-m)} \end{pmatrix}$	$\begin{pmatrix} \text{SC3} \\ \text{RAm+1} \end{pmatrix} \sim \begin{pmatrix} \text{SC3} \\ \text{RAn} \end{pmatrix}$
$\begin{pmatrix} \text{RA0} \\ \text{CA(n-m+1)} \end{pmatrix} \sim \begin{pmatrix} \text{RA8} \\ \text{CA(n-m+4)} \end{pmatrix}$	$\begin{pmatrix} \text{SR0} \\ \text{SC0} \end{pmatrix} \sim \begin{pmatrix} \text{SR0} \\ \text{SC3} \end{pmatrix}$
$\vdots$	$\vdots$
$\begin{pmatrix} \text{RA11} \\ \text{CA(n-m+1)} \end{pmatrix} \sim \begin{pmatrix} \text{RA11} \\ \text{CA(n-m+4)} \end{pmatrix}$	$\begin{pmatrix} \text{SR3} \\ \text{SC0} \end{pmatrix} \sim \begin{pmatrix} \text{SR3} \\ \text{SC3} \end{pmatrix}$

【0077】

図15は変換回路111の構成の一例を示すブロック図である。図15において、120は変換前のアドレスを検出する検出部、121は検出部120の検出結果に応じて内部アドレス信号を切り換える切換部、122は検出部120の検出結果に応じて制御信号SRT、SCTを生成する制御信号生成部である。

例えば、表3に示したような変換を行う場合に、テストモード時には、カラムアドレス信号CAddがカラムアドレスCA0～CAmを指定するように順次変化し、カラムアドレスCA0～CAmを移動するカラムアドレス信号CAddの変化が終了する毎にロウアドレス信号RAddを一つずつ増加させるように変化させるものとする。また、mはnより小さいものとする。

その場合には、表4及び表5に示すように、ロウアドレスがRA0～RA3の間、RA4～RA7の間、RA8～RA11の間で、切換部121及び制御信号生成部122の出力を変化させる。

【0078】

【表4】

10

20

30

40

50

STE	RAdd	CAdd	SRT	SCT	切換え部の切換
H	RA0 ～RA3	任意	H	L	なし $\left(\begin{array}{l} RAdd \rightarrow Radd \\ CAdd \rightarrow Cadd \end{array} \right)$
H	RA4 ～RA7	任意	L	H	RAdd → Cadd CAdd → Radd
H	RA8 ～RA11	CA0 ～CA(n-m)	L	H	RAdd → Cadd CAdd → Radd
H	RA8 ～RA11	CA(n-m+1) ～CA(n-m+4)	H	H	なし $\left(\begin{array}{l} RAdd \rightarrow Radd \\ CAdd \rightarrow Cadd \end{array} \right)$
L or Open	任意	任意	L	L	なし

10

20

【0079】

【表5】

	S-Address=SR/SC	アドレス
ノーマルセル	Open or 0/Open or 0	(SSR=0,RA0-n)(SSC=0,CA0-m)
スペアロウ(SR0-3)	1/0	(SSR=1,RA0-3)(SSC=0,CA0-m)
スペアコラム(SC0-3)	0/1	(SSR=0,RA0-n)(SSC=1,CA0-3)
クロスポイント	1/1	(SSR=1,RA0-3)(SSC=1,CA0-3)

30

【0080】

▲1▼ロウアドレスRA0～RA3の時は、コラムアドレスの値に関係なく、制御信号生成部122は、制御信号SRTをハイレベルに、制御信号SCTをローレベルに設定する。またこの時、切換部121は切り換えを行わず内部ロウアドレス信号RAdd及び内部コラムアドレス信号CAddを入れ換えずにそのまま信号RAddは信号Radd、信号CAddは信号Caddとして出力する。

40

▲2▼ロウアドレスRA4～RA7の時は、コラムアドレスの値に関係なく、制御信号生成部122は、制御信号SRTをローレベルに、制御信号SCTをハイレベルに設定する。またこの時、切換部121は切り換えを行い、内部ロウアドレス信号RAddは信号Caddとして、また、内部コラムアドレス信号CAddは信号Raddとして出力する。

▲3▼ロウアドレスRA8～RA11で、コラムアドレスCA0～CA(n-m)の時は、切換部121及び制御信号生成部122は▲2▼と同じ設定がなされる。

▲4▼ロウアドレスRA8～RA11で、コラムアドレスCA(n-m+1)～CA(n

50

− $m+4$)の時は、切換部121での切り換えは行わず、制御信号生成部122は制御信号SRT, SCTとしてともにハイレベルを出力する。

【0081】

実施の形態2のように構成された半導体記憶装置によれば、入力する制御信号をSTEだけにすることができ、半導体記憶装置のピン数を減らすことができる。

実施の形態2でも実施の形態1と同様に外部から入力しない(Open状態)にすると、制御信号SRT, SCTが共にローレベル状態になるようにしておけば、通常使用時には、支障なくノーマルセル領域をアクセスできる。

【0082】

なお、実施の形態2では、正規ロウデコーダが第1のテストロウデコーダの働きを兼ねており、正規コラムデコーダが第1のテストコラムデコーダの働きを兼ねている。以上では、 $n>m$ の場合を示したが、 $n\leq m$ の場合についても同様に適用できる。

【0083】

実施の形態3.

次に、この発明の実施の形態3による半導体記憶装置について説明する。図16はこの発明の実施の形態3によるDRAMの構成の概要を示すブロック図である。図16において、130は従来よりもビット数の多い外部アドレス信号Addが入力される入力端子、3Aは入力端子130に接続され従来よりもビット数の多い外部アドレス信号Addから従来よりもビット数の多い内部ロウアドレス信号Radを発生する内部ロウアドレス発生回路、5Aは入力端子130に接続され従来よりもビット数の多い外部アドレス信号Addから従来よりもビット数の多い内部コラムアドレス信号Cadを発生する内部コラムアドレス発生回路である。

【0084】

図17に示すように、スペアロウ領域、スペアコラム領域及びクロスポイントは、ノーマルセルのアドレス平面の拡張領域上に属するとみなして、つまりロウアドレス(SR=1, RA0~RA3)、コラムアドレス(SC=1, CA0~CAm)の平面内に属するものとみなし、内部ロウアドレス信号S-Rad, 内部コラムアドレス信号S-Cadのビットを追加して外部より入力し、これらアドレスにより、ノーマルセルとスペアセルを同様にアクセスすることにより、実施の形態1に示したと同様に、スペアメモリセルのアクセスアドレスを指定できる。この時、外部アドレス信号S-Addを外部から入力しない(Open状態)にすると、内部で内部ロウアドレス信号S-Rad=0, S-Rad=0相当の状態になるようにしておけば、通常使用時には、正規のメモリセルが支障なくアクセスできる。

【0085】

図18は、図16に示した内部ロウアドレス発生回路3A及び内部コラムアドレス発生回路5Aの構成を説明するためのブロック図である。図18において、131は入力端子130に設けられたスペアアドレス信号入力端子、132はスペアアドレス入力端子131と接地電位点との間に接続された抵抗、133はスペアアドレス入力端子131に与えられたスペアアドレス信号S-Addから制御信号SRTを生成するSRアドレスバッファ、134はスペアアドレス入力端子131に与えられたスペアアドレス信号S-Addから制御信号SCTを生成するSCアドレスバッファ、135は図1に示した内部ロウアドレス発生回路3に相当するロウアドレスバッファ、136は図1に示した内部コラムアドレス発生回路5に相当するコラムアドレスバッファである。

図18に示したSRアドレスバッファ133及びSCアドレスバッファ134は、図19に示すように時分割で信号を取り込む。そのため、半導体記憶装置の入力ピンの数を減らすことができる。

【0086】

なお、他の構成は図1に示した半導体記憶装置と同じように構成できる。すなわち、図1の制御回路11に相当する構成が内部ロウアドレス発生回路3A、内部コラムアドレス発生回路5Aに組み込まれていればよい。

10

20

30

40

50

以上のように構成された実施の形態3によれば、外部アドレスピンが一つ増えるものの制御のためのピンを必要とせず、また、比較的簡易な構成でこの発明の半導体記憶装置を得ることができる。

【0087】

実施の形態4.

図20はメモリセルアレイの欠陥を救済するためのシステムの構成を示すブロック図である。図20において、201はテストの対象となるメモリセルアレイを有する半導体記憶装置、202は複数の半導体記憶装置201が形成されているウェーハ、203は被測定デバイスである半導体記憶装置201に印加する試料用電源、タイミングジェネレータ出力、パターンジェネレータ出力を与える出力部およびデバイス出力を測定部に取り込むための入力部から構成されるテストヘッド、204はテストパターンを発生するためのテストパターン発生部、205はテストヘッド203で取り込んだ半導体記憶装置201の出力とテストパターン発生部204で発生したテストパターンに対する期待値との比較を行うデータ比較部、206はデータ比較部205の比較結果から不良とされたメモリセルに関する不良情報を蓄えるフェイルメモリ、207はフェイルメモリ206に蓄えられている不良情報を基に不良セルからスペアメモリセルへの置換を行うことにより欠陥救済を行う救済判定部である。

10

【0088】

図21は、実施の形態1～3に示したような構成を有する半導体記憶装置について、有効にメモリセルアレイの欠陥を救済するためのアルゴリズムを示すフローチャートである。まず、ステップST1で、正規のメモリセルをテストする。ステップST2で、ステップST1において行ったテストの結果を判断する。判断の結果、正規のメモリセルに欠陥がない場合にはテストを終了する。

20

ステップST2で、正規のメモリセルに欠陥があると判断されたときには、ステップST3に進み、欠陥救済判定のために、欠陥情報を蓄積する。

ノーマルメモリセルに欠陥がある場合には、ステップST4～ST6を経て全スペアメモリセルのテストを行う。例えば、ステップST4では、図1に示した領域1Bに属する第1のスペアメモリセルのテストを行う。また、ステップST5では、領域1Cに属する第2のスペアメモリセルのテストを行う。また、ステップST6では、領域1Dに属する第3のスペアメモリセルのテストを行う。

30

ステップST7では、ステップST4～ST6で行ったスペアメモリセルテストの結果を判断し、スペアメモリセルに欠陥がなければ、ステップST10に進み、欠陥のある正規の行及び列に対して所定のスペアメモリセル行あるいはスペアメモリセル列あるいは両方の置換を行う（欠陥救済判定1）。

ステップST7でスペアメモリセルに欠陥ありと判断されたときは、欠陥救済判定のために、欠陥情報を蓄積する。

スペアメモリセルに欠陥がある場合は、ステップST9に進み、欠陥を含むスペアメモリセル部分を除いて、欠陥救済判定・救済をする（欠陥救済判定2）。

【0089】

ステップST6において、図1に示した領域1D、つまりクロスポイント領域のスペアメモリセルのテストを行って、その結果を反映させているため、欠陥のあるスペアメモリセル行あるいはスペアメモリセル列を用いて置換をすることがなく、歩留まりの向上が期待できる。

40

【0090】

実施の形態5.

図22はこの発明の実施の形態5による半導体記憶装置の構成の概要を示すブロック図である。図22に示すように、冗長メモリセルは、スペア로우デコーダ2bと正規コラムデコーダ4aによって選択されるスペアメモリセルが配置されている領域1B、正規로우デコーダ2aとスペアコラムデコーダ4bによって選択されるスペアメモリセルが配置されている領域1C、スペア로우デコーダ2bとスペアコラムデコーダ4bによって選択され

50

るスベアメモリセルが配置されている領域 1 D の 3 つのスベア領域に分かれる。つまり、これら 3 種類のスベア領域の選択を、特にモード信号入力なしに、シリアルにアクセスすることにより行うものである。

【0091】

図 1 3 に示した実施の形態 2 による半導体記憶装置にモード切換信号発生回路を設けることによって実施の形態 5 の半導体記憶装置が構成されている。図 2 3 は、この発明の実施の形態 5 による半導体記憶装置のモード切換信号発生回路の構成を示す論理図である。図 2 3 において、2 1 0 はカラムアドレスストローブ信号 / C A S、ロウアドレスストローブ信号 / R A S、およびライトイネーブル信号 / W E からモード切換信号 / W C B R を生成するモード切換信号発生回路である。

10

モード切換信号発生回路 2 1 0 が発生するモード切換信号 / W C B R は、例えば、図 1 3 に示した半導体記憶装置においては、入力端子 1 1 0 に与える制御信号 S T E に相当する。

【0092】

モード切換信号発生回路 2 1 0 は、カラムアドレスストローブ信号 / C A S を反転するインバータ 2 1 1、ロウアドレスストローブ信号 / R A S を反転するインバータ 2 1 2、インバータ 2 1 1 の出力を受ける第 1 の入力端と N A N D ゲート 2 1 6 の出力を受ける第 2 の入力端とその第 1 および第 2 の入力端で受けた信号の否定論理積を出力する出力端を持つ N A N D ゲート 2 1 5、インバータ 2 1 2 の出力を受ける第 1 の入力端と N A N D ゲート 2 1 5 の出力を受ける第 2 の入力端とその第 1 及び第 2 の入力端で受けた信号の否定論理積を出力する出力端を持つ N A N D ゲート 2 1 6、N A N D ゲート 2 1 5 の出力を受ける第 1 の入力端と N A N D ゲート 2 1 8 の出力を受ける第 2 の入力端とこれら第 1 および第 2 の入力端で受けた信号の否定論理積を出力する出力端を持つ N A N D ゲート 2 1 7、N A N D ゲート 2 1 7 の出力を受ける第 1 の入力端とインバータ 2 1 2 の出力を受ける第 2 の入力端とこれら第 1 および第 2 の入力端で受けた信号の否定論理積を出力する出力端を持つ N A N D ゲート 2 1 8、N A N D ゲート 2 1 8 の出力を反転して出力するため直列に接続された 3 つのインバータ 2 1 9 ~ 2 2 1、ライトイネーブル信号 / W E を反転するインバータ 2 1 3、ロウアドレスストローブ信号 / R A S を反転するインバータ 2 1 4、インバータ 2 1 3 の出力を受ける第 1 の入力端と N A N D ゲート 2 2 3 の出力を受ける第 2 の入力端とこれら第 1 および第 2 の入力端で受けた信号の否定論理積を出力する出力端を持つ N A N D ゲート 2 2 2、N A N D ゲート 2 2 2 の出力を受ける第 1 の入力端とインバータ 2 1 4 の出力を受ける第 2 の入力端とこれら第 1 および第 2 の入力端で受けた信号の否定論理積を出力する出力端を持つ N A N D ゲート 2 2 3、N A N D ゲート 2 2 2 の出力を受ける第 1 の入力端と N A N D ゲート 2 2 5 の出力を受ける第 2 の入力端とこれら第 1 および第 2 の入力端で受けた信号の否定論理積を出力する出力端を持つ N A N D ゲート 2 2 4、N A N D ゲート 2 2 4 の出力を受ける第 1 の入力端とインバータ 2 1 4 の出力を受ける第 2 の入力端とこれら第 1 および第 2 の入力端で受けた信号の否定論理積を出力する N A N D ゲート 2 2 5、N A N D ゲート 2 2 5 の出力を反転するインバータ 2 2 6、並びにインバータ 2 2 1、2 2 6 の出力をそれぞれ第 1 および第 2 の入力端で受けこれら第 1 および第 2 の入力端で受けた信号の否定論理積を出力する N A N D ゲート 2 2 7 とを備えて構成される。

20

30

40

【0093】

図 2 4 は図 2 3 に示したモード切換信号発生回路のテストモードインサイクルおよびスベアアクセスサイクルを示すタイミングチャートである。図 2 4 (a) はロウアドレスストローブ信号 / R A S、図 2 4 (b) はカラムアドレスストローブ信号 / C A S、図 2 4 (c) はライトイネーブル信号 / W E、図 2 4 (d) はアドレス信号 A d d . を示している。

【0094】

半導体記憶装置は、テストモードインサイクルに、ライト・バー・カス・ビフォ・バー・ラス (Write-/CAS before /RAS) タイミングで入る。ロウアドレスストローブ信号 / R A

50

Sが立ち下がったときに、図23に示したモード切換信号発生回路210の出力信号／WCBRがローレベルに変化する。

【0095】

図24に示すようなアドレスキー指定で与えられるテストモードイン信号により、スペアテストモードに入り、所望のスペアテストを行う。

【0096】

図25(a)はロウアドレスストロブ信号／RAS、図25(b)はカラムアドレスストロブ信号／CAS、図25(c)はライトイネーブル信号／WEを示している。

【0097】

スペアアクセスサイクルでは、ロウアドレスストロブ信号／RASがハイレベルのときにロウアドレスを読み込み、ロウアドレスストロブ信号／RASが立ち下がり、さらにカラムアドレスストロブ信号／CASが立ち下がるとカラムアドレスを読み込む。

【0098】

冗長メモリセルは、スペア行、スペア列、及びスペア行列の交差部の3つの領域に分かれる。これらの領域のテストは欠陥救済に先立って行う。これらスペア領域の選択は、通常アドレス入力ピンから信号A0、A1を与えることにより、表6に示すように各領域を個別に選択し、各領域内の各メモリセルの選択は、この時、通常使用する他のアドレスピン(A2、A3…)からスペアメモリセルアレイ上の所定のアドレスを与えることで実現できる。

【0099】

【表6】

アクセス領域	(A0, A1)	アドレス
ノーマルセル	(0, 0)	RA0-n, CA0-m
スペアロウ(SR0-3)	(1, 0)	RA0-3, CA0-m
スペアコラム(SC0-3)	(0, 1)	RA0-n, CA0-3
クロスポイント	(1, 1)	RA0-3, CA0-3

【0100】

このようなテストモードイン信号を入力しない場合は、通常アクセスが行われるノーマルモードになり、これにより、通常モード動作が行われる。

【0101】

例えば4本のスペアロウをSR0-3、4本のスペアコラムをSC0-3とする。これらに対するアクセスアドレス入力は、表6に示すように以下のように行われる。

【0102】

(1)スペアロウテストモードについて説明する。

【0103】

アドレス入力端子A0、A1から入力されるロウアドレスにより、4本のスペアメモリセル行のうちの1本を選択し、この後に入力されるコラムアドレスA0-Amにより、選択されたスペアロウ上のコラムアドレスを指定することにより、スペアロウ上のセルのアクセスアドレスを指定する。

【0104】

(2)スペアコラムテストモードについて説明する。

【0105】

アドレス入力A0-nから入力されるロウアドレスにより、4本のスペアコラムのロウアドレスを指定し、この後に入力されるコラムアドレスA0、A1により、4本のスペアロウのうちの1本を選択することにより、スペアコラム上のセルのアクセスアドレスを指定する。

【0106】

(3)スペアロウ／コラムテストモードについて説明する。

【0107】

アドレス入力A₀、A₁から入力されるロウアドレスおよび、この後に入力されるコラムアドレスA₀、A₁により、4本のスペアロウおよび4本のスペアコラムの交点のセルのアクセスアドレスを指定する。

【0108】

このように、通常使用するアドレスピンからのアドレス入力により、簡単に、スペア領域のメモリセルのアドレス指定ができ、指定されたスペアメモリセルへのアクセスが支障なく行われる。

10

【0109】

この構成は、余分なテストパッドを使用することができない、パッケージ後の欠陥救済テストにも有効である。

【0110】

パッケージ後の欠陥救済には、例えば、レーザブロウの代わりに外部パッドからの電気信号入力によりヒューズを切断する、いわゆる電気ヒューズが用いられる。図26は、半導体記憶装置内に設けられた電気ヒューズによる欠陥救済機構の構成を示す回路図である。図26に示した半導体記憶装置では、外部高電圧印加パッド230が半導体記憶装置の外部に露出している。その外部高電圧印加パッド230に接続された配線231が半導体記憶装置のパッケージ内まで引き込まれている。配線231に互いに並列に接続された電気ヒューズ232がi個設けられている。このi個の電気ヒューズ231にそれぞれドレインを接続したi個のNチャネルMOSトランジスタ233が設けられている。このi個のNチャネルMOSトランジスタ233のソースは全て接地されており、それぞれのゲートに信号X₀～X_iが与えられている。

20

【0111】

例えば、外部高電圧印加パッド230に外部から高電圧(10～20V)を印加し、切断したい電気ヒューズが接続されているトランジスタのゲートに与える信号X₀～X_iを選択的にハイレベルにすることによってトランジスタを導通させ、所望の電気ヒューズ232に大電流を流して溶断する。

【0112】

実施の形態2で図14を用いて説明したような構成と、実施の形態5に示すようなモード切り換え手段を組み合わせ、図23および図24のようなタイミング信号 $\underline{\text{C}}$ (Write-/CAS before/RAS)タイミングおよびアドレスキー指定)で所望のスペアセルテストを行う。

30

【0113】

図23に、上記のような動作を行うための回路構成図を示す。

【0114】

この構成は、余分なテストパッドを使用することができない、パッケージ後の欠陥救済テストにも有効である。パッケージ後の欠陥救済とは、図23に示すように、レーザブロウの代わりに外部パッドからの電気信号入力によりヒューズを切断となる、いわゆる電気ヒューズを用いるものである。

40

【0115】

実施の形態6.

図27は、この発明の実施の形態6による半導体記憶装置の構成の概要を示すブロック図であり、冗長メモリセルを含むメモリセルアレイを高速にテストし、救済判定を行う方法およびそのための構成を説明するためのものである。

【0116】

図27において、240、241はメモリセルアレイ1中に設けられた正規のメモリセル、242、243はメモリセルアレイ1中に設けられたスペアメモリセル、244₀～244_nは正規のメモリセル240、241およびスペアメモリセル242、243に接続

50

されたビット線対、 $248_0 \sim 248_n$ は正規のメモリセル 241 、 242 に接続されたワード線、 249_0 、 249_1 はスペアメモリセル行に設けられスペアメモリセル 243 、 244 に接続されたワード線、 250 、 251 はビット線対 $244_0 \sim 244_n$ に垂直にメモリセルアレイ1の両側に設けられたセンスアンプの配置領域、 252 はビット線対 $244_0 \sim 244_n$ に接続されたセンスアンプ、 253 はセンスアンプ 252 の出力を選択する列選択回路、 255 はセンスアンプ 252 の出力を伝達するためのI/Oバス、 256 はI/Oバス 255 の信号を増幅するメインアンプ、 257 はメインアンプ 256 の出力 $D0 \sim Dm$ の排他的論理和演算を行ってその結果を出力する演算および出力部であり、その他図22と同一符号のものは図22の同一符号部分に相当する部分である。

【0117】

10

テストモードになっているときに、第2のテストロウデコーダ 113 によってスペアメモリセル行に設けられたワード線 249_0 、 249_1 の活性／非活性が選択的に行われる。活性化されたワード線 249_0 または 249_1 のスペアメモリセル 242 から読み出されたデータは、I/Oバス 255 を通してメインアンプ 256 から出力される。メインアンプ 256 から出力された全てのデータ $D0 \sim Dm$ は、演算および出力部 257 で排他的論理和演算がなされ、その結果が出力される。第2のテストロウデコーダ 113 を用い、スペアメモリセル 242 に予め書き込まれているデータは、全て同じ論理値である。従って、演算および出力部 257 の出力は、スペアメモリセルに一つでも不良があつて予め書き込んだ論理値と異なる論理値が読み出されたときにはローレベルになる。

【0118】

20

欠陥救済時にスペア領域の中で同時に置き換わるスペアメモリセル行（あるいはスペアメモリセル列）の中の複数ビットを並列にテストし、それらの出力データの積などで表わされる縮退テスト情報を外部へ出力することにより、複数のスペアメモリセルを同時にテストでき、テスト時間を短縮できる。

【0119】

スペアメモリセルは、同時に置換されるうちの1ビットでも欠陥を含むと欠陥救済には使用できないので、一行あるいは一列の全メモリセル中に不良があるか否かをテストすればよいのであり、不良のビット位置情報は必要ないので、縮退ビットの選びかた等は考慮の必要がない。従って、ノーマルセルとは異なり、同一スペアメモリセル行・列上に縮退ビットが複数あつてもよいし、複数スペア行・列にまたがって縮退ビットが複数あつてもよい。

30

【0120】

この実施の形態では、同時にアクセスし、テストする複数ビットについて、同時に同じデータを書き込み、その後読み出し、これら複数ビットデータの一致・不一致を検査して、テストデータ中に不良を含むか否かの情報を外部へ出力する。

同時に同じデータを書き込むためには、テストモードに入った時に、例えば、全てのビット線対を一斉にハイレベルにして全てのワード線を活性化するよう構成すればよい。

また、同時にアクセス、テストする複数ビットを隣接するメモリセルデータとせずに、物理的に離れたメモリセルデータとすることにより、並列テストビット相互間の干渉によりテスト情報が影響され、誤った判定をするのを防いでいる。

40

【0121】

実施の形態7.

図28は、この発明の実施の形態7による半導体記憶装置の構成の概要を示すブロック図である。図28において、1は正規の列が配置された領域1Xとスペアメモリセル列が配置された領域1Yを有して領域1Xに欠陥が発生した場合に領域1Yのスペアメモリセル列で欠陥救済が可能なメモリセルアレイ、260はメモリセルアレイ1の領域1Xに設けられて1ビットのデータを記憶するための正規のメモリセル、261はメモリセルアレイ1の領域1Yに設けられて正規のメモリセル260に欠陥が生じたときに欠陥が生じた正規のメモリセル260の代替をするスペアメモリセル、262は正規のメモリセル260とスペアメモリセル261が並ぶ行に配置されてデータを読み出すまたは書き込むメモリ

50

セルの選択を行うためのワード線、263はワード線262の活性／非活性を制御してメモリセルの選択を行うためのロウデコーダ、264は正規の列に配置された正規のメモリセル260からデータを読み出したまたは書き込むためのデータの伝達を行うビット線対、265はスペアメモリセル行に配置されたスペアメモリセル261からデータを読み出したまたは書き込むためのデータの伝達を行うビット線対、266はビット線対264に接続されて正規のメモリセル260から読み出したデータの検知を行うセンスアンプ、267はビット線対265に接続されてスペアメモリセル261から読み出されたデータの検知を行うセンスアンプ、269はセンスアンプ266の出力を増幅するメインアンプ、270はセンスアンプ267の出力を増幅するメインアンプ、271はメインアンプ269の出力の全ての排他的論理和を演算するXORゲート、272は全てのメインアンプ270の出力の全ての排他的論理和を演算するXORゲート、273はメモリセルアレイ1と外部とのデータの入出力に用いられる通常使用端子、274はXORゲート271、272の出力を選択的に通常使用端子273に接続する選択回路である。

10

【0122】

通常使用端子273には、データ $DQ_0 \sim DQ_n$ を出力するための複数の通常使用ピン $273_0 \sim 273_n$ がある。

【0123】

一行に配置されている複数の正規のメモリセルをその行のスペアメモリセルで置換する必要があるか、また、スペアメモリセルで置換することが可能かを知ることによって、その半導体記憶装置が不良となるか否かを判断することができる。

20

【0124】

その判断を行うため、まず、正規のメモリセル260が配置されているメモリセルアレイ1の領域1X中の同じ行に属する複数の正規のメモリセルに同じデータが書き込まれる。同じデータが書き込まれているので、この行の正規のメモリセル260から読み出したデータは、欠陥がなければ、全て同じ論理値を持つ。欠陥があれば、全て同じ論理値とならないため、XORゲート271から「1」が出力される。

【0125】

同時に、スペアメモリセル261にも同じデータが書き込まれる。スペアメモリセル261についても正規のメモリセル260と同様に、スペアメモリセル261に欠陥があれば、XORゲート272から「1」が出力され、スペアメモリセル261に欠陥がなければ、XORゲート272から「0」が出力される。

30

【0126】

このように、正規のメモリセル260の欠陥の有無の検査結果を縮退データで外部に出力するため、テストモード時に選択回路274によって正規のメモリセル260を検査するためのXORゲート271を含むテスト回路と接続される通常使用ピン $273_0 \sim 273_n$ の本数を削減できる。この時余った通常使用ピン $273_1 \sim 273_n$ にスペアメモリセル261の検査結果を出力することができ、このテスト専用のピンを設けなくてもよくなり、半導体記憶装置のパッケージを小型化できる。

【0127】

また、スペアメモリセル行で救済される複数ビットを並列テストして、これらの縮退テストデータを出力するので、各スペアメモリセル行または列について対応する正規のメモリセルの不良情報を高速に得ることができ、テスト時間を短縮できる。

40

【0128】

同時にアクセス・テストする複数ビットについて、同時に同じデータを書き込み、その後に読み出し、これら複数ビットデータの一致・不一致を検査して、テストデータ中に不良を含むか否かの情報を外部へ出力する。また、同時にアクセス・テストする複数ビットを隣接するメモリセルデータとせずに、物理的に離れたメモリセルデータとすることにより、並列テストビット相互間の干渉によりテスト情報が影響され、誤った判定をするのを防いでいる。

【0129】

50

実施の形態 8.

図 29 は、この発明の実施の形態 8 による半導体記憶装置の概要を示すブロック図である。図 29 に示す半導体記憶装置と図 28 に示す半導体記憶装置が異なる点は、図 29 の半導体記憶装置は、メモリセルアレイ 1 の両側にセンスアンプ 266a, 266b, 267a, 267b が配置されている点である。

【0130】

正規のメモリセルの置換を行う際は、正規のメモリセルのセンスアンプが配置されている側と同じ側にセンスアンプが配置されているスペアメモリセル列を用いて行う。例えば、センスアンプ 266a に接続されるビット線対 264a を用いてデータを読み出す正規のメモリセル 260 は、センスアンプ 267a に接続されるビット線対 265a を用いてデータを読み出すスペアメモリセル 261 で置換するのであり、ビット線対 265b を用いてデータを読み出すスペアメモリセル 261 で置換することはない。

10

【0131】

欠陥救済時に正規のメモリセルとスペアメモリセルを同時にアクセスする。例えば、正規のメモリセルに対しては複数ビット並列テストによる縮退テストデータを出力し、スペアメモリセルのテストデータとしては通常アクセスデータを出力する。そして、正規のメモリセルの縮退テストデータ DQ0 を通常使用ピン 273₀ に出力し、スペアメモリセルのテストデータ DQ2 を通常使用ピン 273₂ に出力する。また、正規のメモリセルの縮退テストデータ DQ1 を通常使用ピン 273₁ に出力し、スペアメモリセルのテストデータ DQ3 を通常使用ピン 273₃ に出力する。このように正規のメモリセルを置換する関係にあるスペアメモリセルのデータを対にして同時に出力することにより、複数の正規のメモリセルと複数のスペアメモリセルの不良情報を同時に得ることができ、テスト時間を短縮できる。

20

【0132】

欠陥救済時に正規のメモリセルアレイ中で同じスペアメモリセル行または列で救済される複数ビットを並列テストして、これらの縮退テストデータ DQ0, DQ1 を通常使用ピン 273₀, 273₁ に出力する一方、スペアメモリセル行または列からは当該対応するスペアメモリセルのデータ DQ2, DQ3 を出力することにより、各スペアメモリセル行または列について対応する正規のメモリセルの不良情報を高速に得ることができ、テスト時間を短縮し、救済判定アルゴリズムの簡略化が図れる。

30

【0133】

図 35 はこのような救済判定のアルゴリズムを示すフローチャートである。ステップ S T 20 で、最初にテストするメモリセルのアドレスを読み込む。読み込んだアドレスに対応するメモリセルと同じワード線 262 上に並ぶ複数のメモリセルに同じデータを書き込む。これらのメモリセルからデータを読み出す（ステップ S T 21）。これら複数ビットデータの一致、不一致を検査して（ステップ S T 22, S T 23）、テストデータ中に不良を含むか否かの情報を外部へ出力する。

【0134】

同じ行にある正規のメモリセル 260 とスペアメモリセル 261 を同時にテストすることにより、ステップ S T 22, S T 23 を同時に行うことができ、救済判定アルゴリズムの簡略化が図れる。

40

【0135】

このとき、同時にアクセスしてテストする複数ビットを隣接するメモリセルデータとせずに、物理的に離れたメモリセルデータとすることにより、並列テストビット相互間の干渉によりテスト情報が影響され、誤った判定をするのを防ぐことができる。

【0136】

なお、上記の実施の形態 4～6 で、縮退ビットテスト出力は、専用のテストデータ出力端子に出力してもよいし、並列データ入出力方式において、複数のデータ入出力端子の 1 つにノーマルセルのテストデータを入出力し、他の 1 つにスペアセルのテストデータを入出力してもよい。後者では、余分なテスト用端子を必要とせず、チップ面積の削減やパッケ

50

ージの端子数の削減が図れる。

【0137】

実施の形態9.

図36は、この発明の実施の形態9による半導体記憶装置の通常使用ピンと通常使用ピンの入出力モードを切り換える切替回路の構成を示す回路図である。図36において、SG0～SGm+1は通常使用ピン273₀～273_{m+1}に接続されてデータDQ0～DQm+1を出力するための切替回路である。切替回路SG0～SGmは、ライトイネーブル信号WEによってデータDQ0～DQm+1を通常使用ピン273₀～273_{m+1}に出力させるか否かの切替を行う。ライトイネーブル信号WEがハイレベルのときは、データDQ0～DQm+1を伝達する経路が切断され、データDQ0～DQm+1は通常使用ピンに出力されない。

10

【0138】

切替回路SG0は、データDQ0を反転して出力するインバータ300と、ライトイネーブル信号WEとインバータ300の出力の否定論理和を出力するNANDゲート301と、ライトイネーブル信号WEとデータDQ0の否定論理和を出力するNANDゲート302と、電源電位点と通常使用ピン273₀にそれぞれソースとドレインを接続されてゲートでNANDゲート301の出力を受けるNチャンネルMOSトランジスタ303と、接地電位点と通常使用ピン273₀にそれぞれドレインとソースを接続されてゲートでNANDゲート302の出力を受けるNチャンネルMOSトランジスタ304とで構成されている。

20

切替回路SG1～SGmも切替回路SG0と同様の構成を有している。

【0139】

切替回路SGm+1は、テスト信号TEを反転して出力するインバータ305と、インバータ305の出力によってデータDQm+1の伝達を制御されるトランスファゲート306と、トランスファゲート306の出力端と接地電位点の間に接続されてテスト信号TEによってトランスファゲート306の出力端を接地電位に選択的に固定するNチャンネルMOSトランジスタ307と、トランスファゲート306の出力端に現れた信号を反転するインバータ308と、ライトイネーブル信号WEとインバータ308の出力の否定論理和を出力するNANDゲート309と、ライトイネーブル信号WEとトランスファゲート306の出力端に現れる信号の否定論理和を出力するNANDゲート310と、電源電位点と通常使用ピン273_{m+1}にそれぞれソースとドレインを接続されてゲートでNANDゲート309の出力を受けるNチャンネルMOSトランジスタ311と、接地電位点と通常使用ピン273₀にそれぞれドレインとソースを接続されてゲートでNANDゲート310の出力を受けるNチャンネルMOSトランジスタ312とで構成されている。

30

縮退データを通常使用ピンから出力することで、余った通常使用ピンを用いてテストモードシグネチャ信号を出力することができる。

これは、図1のように通常使用時（ノーマルモード時）にはデータ入出力端子として作用する端子DQ1～nのうち、縮退データ入出力モードに入った時（TE=H）に、縮退データ入出力に用いる端子DQ0～DQm以外に余った端子DQm+1～DQnを用いて、テストモードに入っていることを確認するための信号を出力することができる。

40

【0140】

これにより、テストモードイン動作が誤動作により正しく行われていない場合にこれを検出し、外部ヘシグネチャ信号として出力するので、外部からこれを知ることができ、テストの信頼性を増し、誤ったテストを避けることができる。

【0141】

【発明の効果】

以上のように請求項1記載の発明の半導体記憶装置によれば、テストモード時に、メモリセルアレイのアドレスの指定を行うアドレス信号で、該スเปアロウデコーダおよび該スเปアコラムデコーダを用いずにスเปアメモリセル行またはスเปアメモリセル列のうちの少なくとも一方を通常モード時のタイミングで選択状態にするよう構成されているので、正規

50

のメモリセルとスペアメモリセルからデータを読み書きするための通常の構成を変更することなく、テストモード時に、通常モード時に用いられるアドレス信号を用いてテストを行うことができ、スペアメモリセルをテストするための機能を加えるために変更しなければならない箇所を少なくできるという効果がある。

【0142】

また請求項1記載の発明の半導体記憶装置によれば、アクセス手段が、第3のスペアメモリセルにアクセスできるよう構成されているので、欠陥のある正規のメモリセルをスペアメモリセルで置換したときに発生する半導体記憶装置の不良の数を削減することができるという効果がある。

【0143】

さらに請求項1記載の発明の半導体記憶装置によれば、テストモード時にスペアメモリセルのアドレスを選択するための専用のアドレス信号を必要としないのでアドレス信号で指定するアドレス数を減らして通常モード時にアドレス信号を入出力するための回路規模を削減できるという効果がある。

【0145】

また請求項1記載の発明の半導体記憶装置によれば、変換手段により通常ロウアドレス信号および通常コラムアドレス信号を変換してテストロウデコーダに与えるテストコロウアドレス信号とテストコラムデコーダに与えるテストコラムアドレス信号とを生成するので、外部から与えるアドレス信号で指定するアドレス数を削減できるという効果がある。

【0146】

請求項2記載の発明の半導体記憶装置によれば、第1ないし第3のスペアメモリセルを選択するためのアドレス信号を生成するときに、通常アドレス信号に付加アドレス信号を加えるので、外部から与えるアドレス信号で指定するアドレス数を削減できるという効果がある。

【0147】

請求項3記載の発明の半導体記憶装置によれば、制御信号が入力されない状態では通常モードに設定されているので、完成品にするとときに通常モードに設定する手間を省くことができるという効果がある。

【0148】

請求項4記載の発明の半導体記憶装置によれば、アクセス手段は、正規ロウデコーダとの間および正規コラムデコーダとの間で、正規ロウデコーダと同一構成の部分および正規コラムデコーダと同一構成の部分それぞれ共有するよう構成されているので、構成を簡略化できるという効果がある。

【0149】

請求項5記載の発明の半導体記憶装置によれば、テストモード時に与えられるアドレス信号のアクセス手段への入力タイミングが、通常モード時に正規ロウデコーダに与えられる通常ロウアドレス信号および正規コラムデコーダに与えられる通常コラムアドレス信号の入力タイミングとほぼ同一に設定されているので、通常モード時とテストモード時の信号の与え方を同じようにでき、取り扱いやすくすることができるという効果がある。

請求項6記載の発明の半導体記憶装置によれば、テストモード時に、第1ないし第3のスペアメモリセルにアクセスするためのアクセス手段とを備えるので、テストモード時に、通常モード時に用いられるアドレス信号を用いてテストを行うことができ、スペアメモリセルをテストするための機能を加えるために変更しなければならない箇所を少なくできる。また、該アクセス手段は、第3のスペアメモリセルにアクセスすることが可能であるので、欠陥のある正規のメモリセルをスペアメモリセルで置換したときに発生する半導体記憶装置の不良の数を削減することができるという効果がある。また、アクセス手段は、テストモード時に、第1ないし第3のスペアメモリセルを選択するために通常ロウアドレス信号および通常コラムアドレス信号をデコードした信号を用いるので、テストモード時に、通常モード時に用いられるアドレス信号を用いてテストを行うことができる。

請求項7記載の発明の半導体記憶装置によれば、アクセス手段は、テストロウアドレス

10

20

30

40

50

信号とテスト列アドレス信号を生成する変換手段と、正規の行およびスペアメモリセル行を選択するためにテストロウアドレス信号をデコードするテストロウデコーダと、正規の列およびスペアメモリセル列を選択するためにテスト列アドレス信号をデコードするテストコラムデコーダとを備えるので、テストモード時に、通常モード時に用いられるアドレス信号を用いてテストを行うことができる。

請求項 8 記載の発明の半導体記憶装置によれば、アクセス手段は、制御信号が印加されない場合は通常モードに設定するので、完成品にするときに通常モードに設定する手間を省くことができるという効果がある。

請求項 9 記載の発明の半導体記憶装置によれば、アクセス手段は、正規ロウデコーダとの間および正規コラムデコーダとの間で、正規ロウデコーダと同一構成の部分および正規コラムデコーダと同一構成の部分をそれぞれ共有するので、構成を簡略化できるという効果がある。

10

請求項 10 記載の発明の半導体記憶装置によれば、第 1 ないし第 3 のスペアメモリセルを選択するためのアドレス信号を生成するときに、通常アドレス信号に付加アドレス信号を加えるので、外部から与えるアドレス信号で指定するアドレス数を削減できるという効果がある。

請求項 11 記載の発明の半導体記憶装置によれば、制御信号が入力されない状態では通常モードに設定されているので、完成品にするときに通常モードに設定する手間を省くことができるという効果がある。

請求項 12 記載の発明の半導体記憶装置によれば、アクセス手段は、正規ロウデコーダとの間および正規コラムデコーダとの間で、正規ロウデコーダと同一構成の部分および正規コラムデコーダと同一構成の部分をそれぞれ共有するよう構成されているので、構成を簡略化できるという効果がある。

20

請求項 13 記載の発明の半導体記憶装置によれば、テストモード時に与えられるアドレス信号のアクセス手段への入力タイミングが、通常モード時に正規ロウデコーダに与えられる通常ロウアドレス信号および正規コラムデコーダに与えられる通常コラムアドレス信号の入力タイミングとほぼ同一に設定されているので、通常モード時とテストモード時の信号の与え方を同じようにでき、取り扱いやすくすることができるという効果がある。

【0150】

請求項 14 記載の発明の半導体記憶装置によれば、モード切換信号発生手段により通常使用ピンに入力される信号に応じてモードの切換ができるよう構成されているので、ピン数を増やせさなくてもスペアメモリセルのテストができ、テストのための機能を備える半導体記憶装置のパッケージを小型化できるという効果がある。

30

【0153】

請求項 15 記載の発明の半導体記憶装置によれば、複数のスペアメモリセルのデータを縮退することによって複数のスペアメモリセルの欠陥の判定が一度に行え、スペアメモリセルに欠陥の有無の判定を容易にすることができるという効果がある。

【0154】

請求項 16 記載の発明の半導体記憶装置によれば、複数のスペアメモリセルに同時に同一のデータを書き込むことによってスペアメモリセルのテストの準備を短時間で行えるという効果がある。

40

【0155】

請求項 17 および請求項 18 記載の発明の半導体記憶装置によれば、欠陥救済時に正規のメモリセルとそれを置換するスペアメモリセルとを同時にテストすることができ、欠陥救済を行う場合にも不良にならない半導体記憶装置を短時間で判別できるという効果がある。

【0156】

請求項 19 記載の発明の半導体記憶装置によれば、複数の正規のメモリセルと複数のスペアメモリセルに同時に同一のデータを書き込むことによってスペアメモリセルのテストの準備を短時間で行えるという効果がある。

50

【0157】

請求項20記載の発明の半導体記憶装置によれば、テスト用データ入出力端子を設けることによりテスト用データを入出力する端子と通常使用時のデータを入出力する端子の切換が必要なくなるので、半導体記憶装置の構成を簡易化することができるという効果がある。

【0158】

請求項21記載の発明の半導体記憶装置によれば、テストモードを設けるために出力端子数を増やさなくてもよく、半導体記憶装置のパッケージの小型化が図れるという効果がある。

【0159】

請求項22記載の発明の半導体記憶装置によれば、複数のスペアメモリセルに同時に同一のデータを書き込むことによってスペアメモリセルのテストの準備を短時間で行えるという効果がある。

10

【0160】

請求項23記載の発明の半導体記憶装置によれば、同時にアクセスされる正規のメモリセルとスペアメモリセルとの間にその正規のメモリセルをそのスペアメモリセルが置換するという関係があるので、そのメモリセルに欠陥があるときだけスペアメモリセルの欠陥テストを行えば良く、テストの簡略化が図れるという効果がある。

【0161】

請求項24および請求項25記載の発明の半導体記憶装置によれば、縮退する複数の正規のメモリセルが同一の特定のスペアメモリセルで置換可能な複数の正規のメモリセルであるため、正規のメモリセルに置換が必要となった場合にテストしなければならないスペアメモリセルを限定でき、テスト時間を短縮できるという効果がある。

20

【0162】

請求項26記載の発明の半導体記憶装置によれば、モード指示データによって縮退したデータを出力するモードになっていることを知ることができるので、正常にテストが行われているか否かの判断ができるようになり、テスト結果の確度を向上できるという効果がある。

【0166】

請求項27記載の発明の半導体記憶装置によれば、同時に、複数の正規のメモリセルから2個以上の正規のメモリセルを選択すると共に、複数のスペアメモリセルから少なくとも1つのスペアメモリセルを選択するデコーダと、選択された正規メモリセルから読み出したデータが互いに一致しているか否かの検査結果を生成すると共に、選択されたスペアメモリセルから読み出されたデータに対応したテストデータを生成するテスト回路とを備えるので、メモリセルのテストの簡略化が図れるという効果がある。

30

請求項28記載の発明の半導体記憶装置によれば、選択されたスペアメモリセルは複数個であり、テストデータは、選択されたスペアメモリセルから読み出されたデータが、互いに一致しているか否かを示しているので、複数のスペアメモリセルに同時に同一のデータを書き込むことによってスペアメモリセルのテストの準備を短時間で行えるという効果がある。

40

請求項29記載の発明の半導体記憶装置によれば、テストデータは、選択されたスペアメモリセルから読み出されたデータであるので、メモリセルのテストの簡略化が図れるという効果がある。

請求項30記載の発明の半導体記憶装置によれば、テスト回路は、所定のメモリセルの検査結果に関連付けられた第1の結果データを複数のデータ出力端子のうちの第1のデータ出力端子に出力すると共に、所定のメモリセルとは異なるメモリセルの検査結果に関連付けられた第2の結果データをデータ出力端子のうちの第2のデータ出力端子に出力するので、複数の正規メモリセルとスペアメモリセルを同時にテストすることによってテスト工程を短縮することができるという効果がある。

請求項31記載の発明の半導体記憶装置によれば、正規のメモリセルおよびスペアメモ

50

リセルの欠陥テストを行うテストモードに関連する信号は、複数のデータ出力端子のうちの余ったものに出力されるので、テストモードを設けるために出力端子数を増やさなくてもよく、半導体記憶装置のパッケージの小型化が図るという効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による半導体記憶装置の構成を示すブロック図である。

【図 2】 図 1 に示したメモリセルアレイのアドレスについての概念図である。

【図 3】 この発明の実施の形態 1 による他の半導体記憶装置の構成を示すブロック図である。

【図 4】 この発明の正規ロウデコーダの構成の一例を示す部分回路図である。

10

【図 5】 この発明の正規ロウデコーダの構成の一例を示す部分回路図である。

【図 6】 この発明の正規ロウデコーダの構成の一例を示す部分回路図である。

【図 7】 この発明の実施の形態 1 によるスペアロウデコーダの構成を示す回路図である。

【図 8】 この発明の実施の形態 1 による制御回路の構成の一部を示す回路図である。

【図 9】 この発明の実施の形態 1 によるスペアロウデコーダの構成を示す回路図である。

【図 10】 この発明の実施の形態 1 による制御回路の構成の一部を示す回路図である。

【図 11】 この発明の実施の形態 1 による正規及びスペアコラムデコーダの構成を示す図である。

20

【図 12】 この発明の実施の形態 1 による半導体記憶装置の動作を示すタイミングチャートである。

【図 13】 この発明の実施の形態 2 による半導体記憶装置の構成を示すブロック図である。

【図 14】 図 13 に示したメモリセルアレイのアドレスについての概念図である。

【図 15】 図 14 に示した変換回路の構成の一例を示すブロック図である。

【図 16】 この発明の実施の形態 3 による半導体記憶装置の構成を示すブロック図である。

【図 17】 図 16 に示したメモリセルアレイのアドレスについての概念図である。

【図 18】 図 16 に示した内部ロウアドレス発生回路及び内部コラムアドレス発生回路の構成の一部を示すブロック図である。

30

【図 19】 スペアアドレス信号の取り込みを示すタイミングチャートである。

【図 20】 メモリセルアレイの欠陥を救済するためのシステムの構成を示すブロック図である。

【図 21】 この発明の実施の形態 4 による欠陥メモリセルの救済手順を示すフローチャートである。

【図 22】 この発明の実施の形態 5 による半導体記憶装置の構成の概要を示すブロック図である。

【図 23】 図 22 に示したモード切換信号発生回路の構成の一例を示す論理図である。

【図 24】 図 23 に示したモード切換信号発生回路の動作を説明するためのタイミングチャートである。

40

【図 25】 図 23 に示したモード切換信号発生回路の動作を説明するためのタイミングチャートである。

【図 26】 電気ヒューズによる欠陥救済機構の構成を示す回路図である。

【図 27】 この発明の実施の形態 6 による半導体記憶装置の構成の概要を示すブロック図である。

【図 28】 この発明の実施の形態 7 による半導体記憶装置の構成の概要を示すブロック図である。

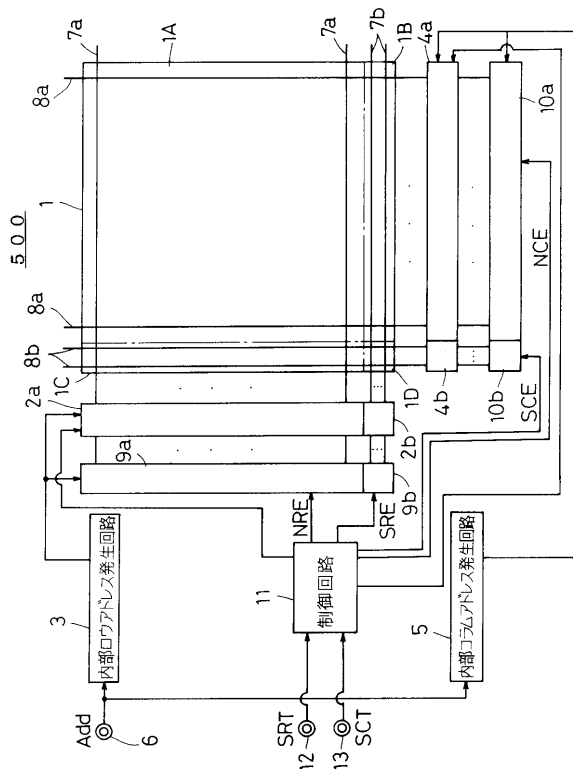
【図 29】 この発明の実施の形態 8 による半導体記憶装置の概要を示すブロック図である。

50

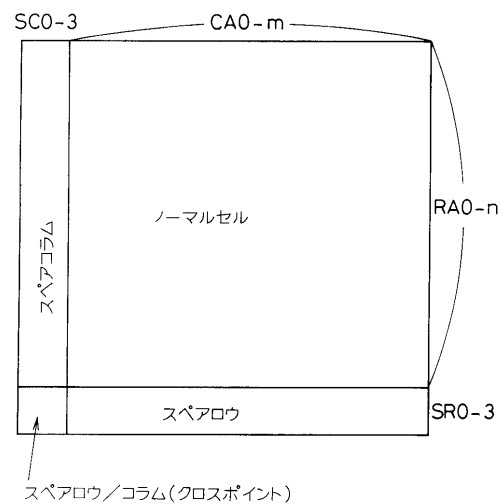
- 【図 3 0】 従来の半導体記憶装置の構成の一部を示す平面図である。
- 【図 3 1】 図 3 0 のメモリセルアレイの周辺の状態を示す概念図である。
- 【図 3 2】 従来のダイナミック型半導体記憶装置を示す平面図である。
- 【図 3 3】 図 3 2 に示したワード線裏打ち領域の構成を示す概念図である。
- 【図 3 4】 ダイナミック形半導体記憶装置のメモリセルブロックの構成を示すブロック図である。
- 【図 3 5】 実施の形態 8 による救済判定のアルゴリズムを示すフローチャートである。
- 【図 3 6】 この発明の実施の形態 9 に用いる切換回路の構成を示す回路図である。
- 【符号の説明】

1 メモリセルアレイ、2 a, 1 1 2 正規ロウデコーダ、2 b スペアロウデコーダ、 10
 3, 3 A 内部ロウアドレス発生回路、4 a, 1 1 4 正規コラムデコーダ、4 b スペ
 アコラムデコーダ、5, 5 A 内部コラムアドレス発生回路、6 外部アドレス入力端子
 、9 a 第 1 のテストロウデコーダ、9 b, 1 1 3 第 2 のテストロウデコーダ、1 0 a
 第 1 のテストコラムデコーダ、1 0 b, 1 1 5 第 2 のテストコラムデコーダ、1 1 1
 変換回路。

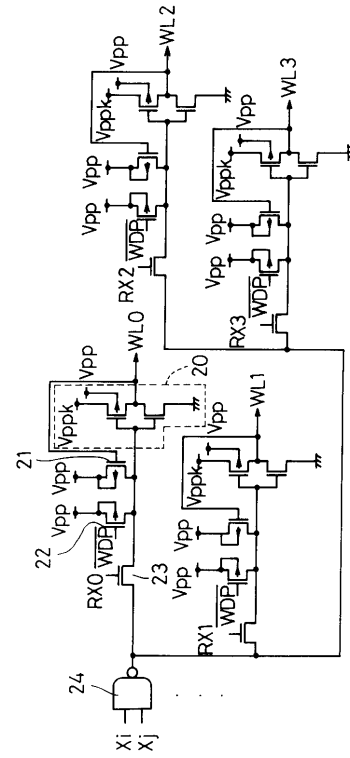
【図 1】



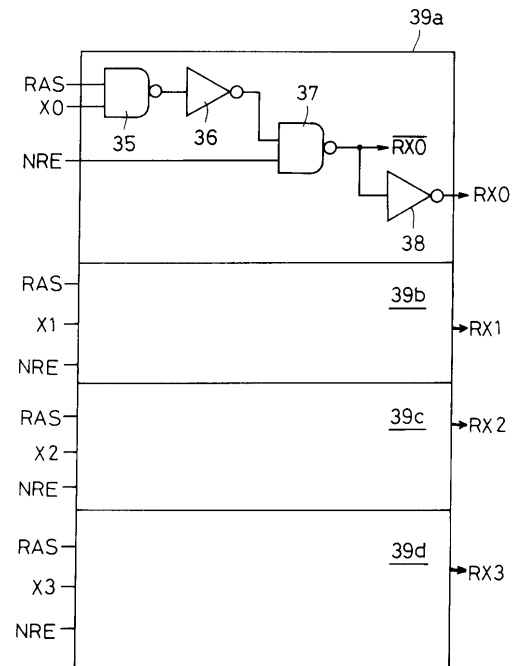
【図 2】



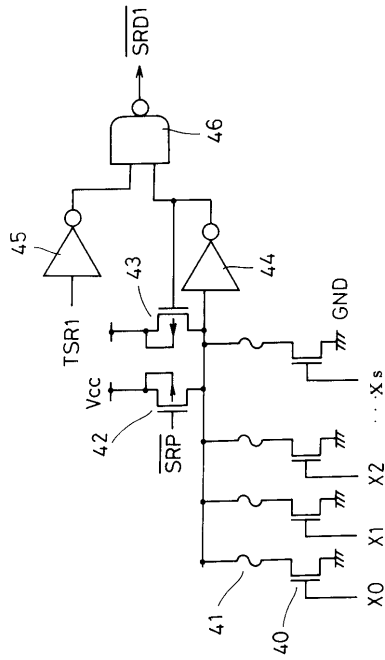
【図 4】



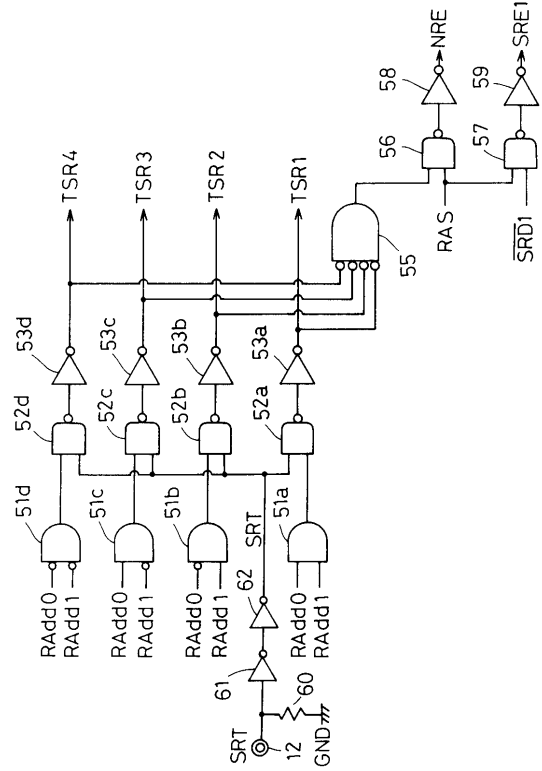
【图 6】



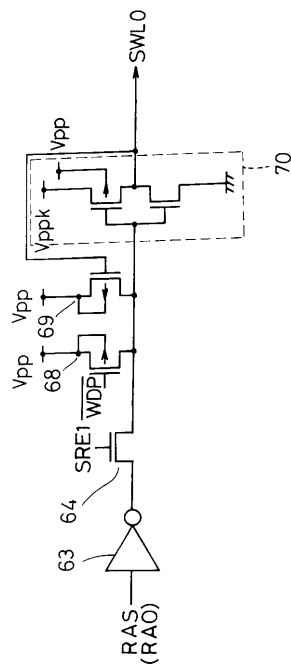
【図 7】



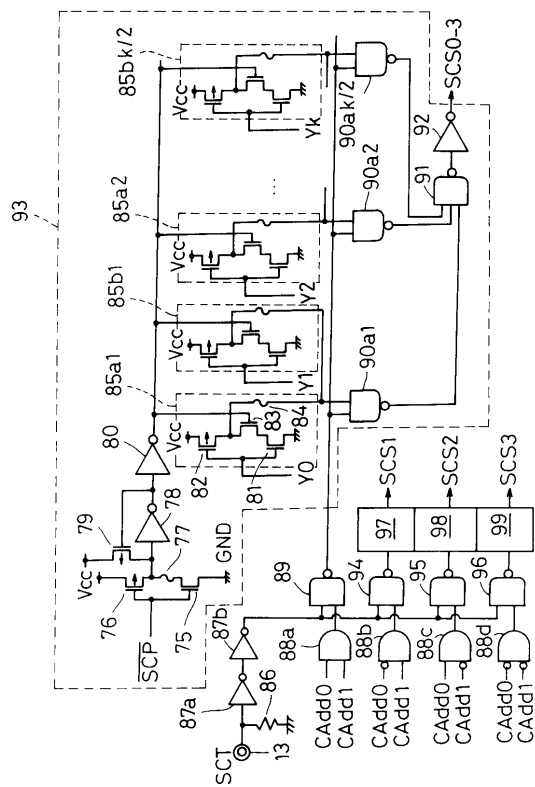
【図 8】



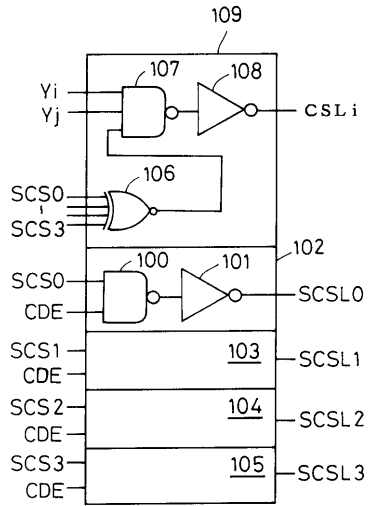
【図 9】



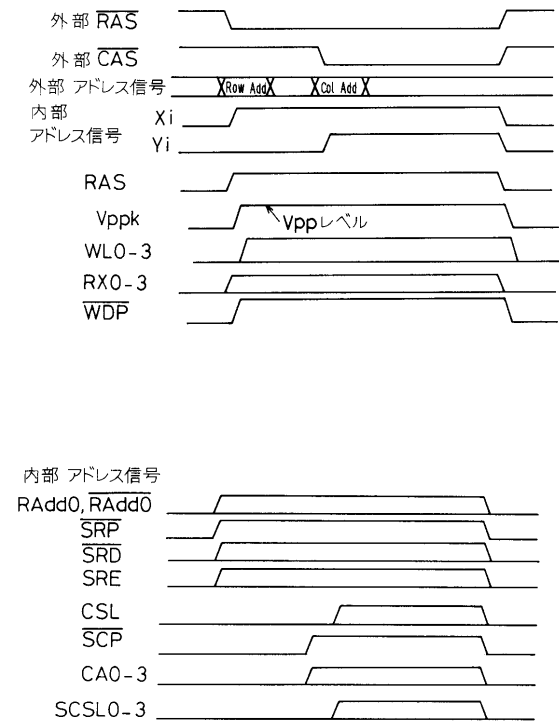
【図 10】



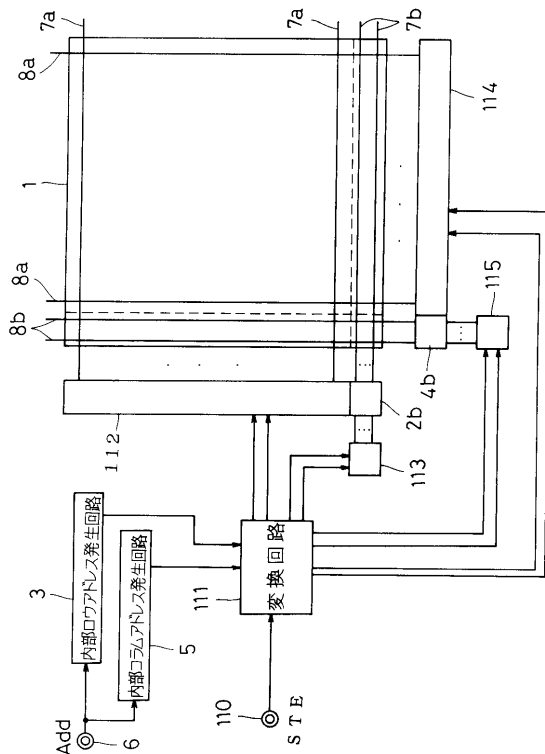
【図 1 1】



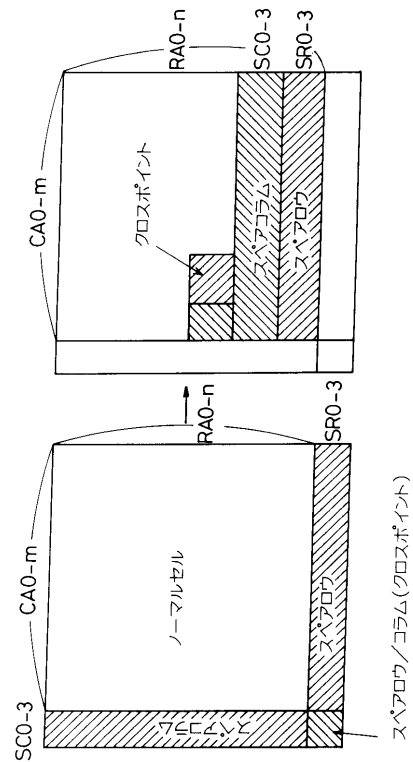
【図 1 2】



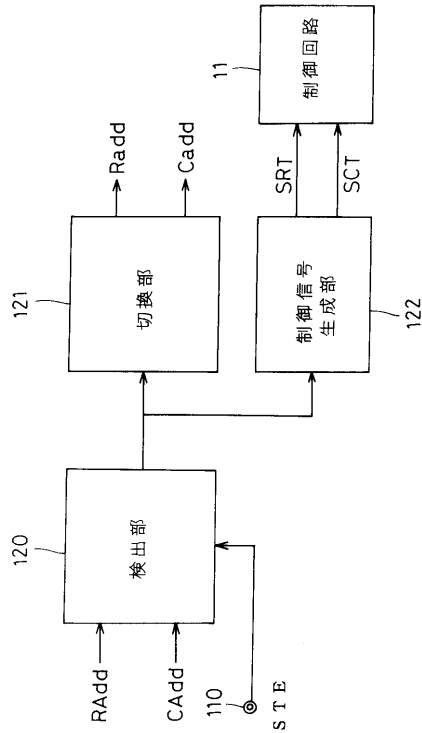
【図 1 3】



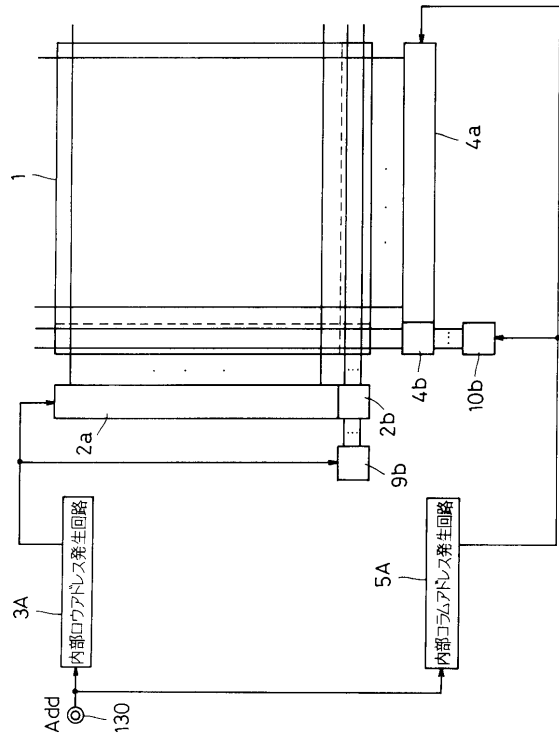
【図 1 4】



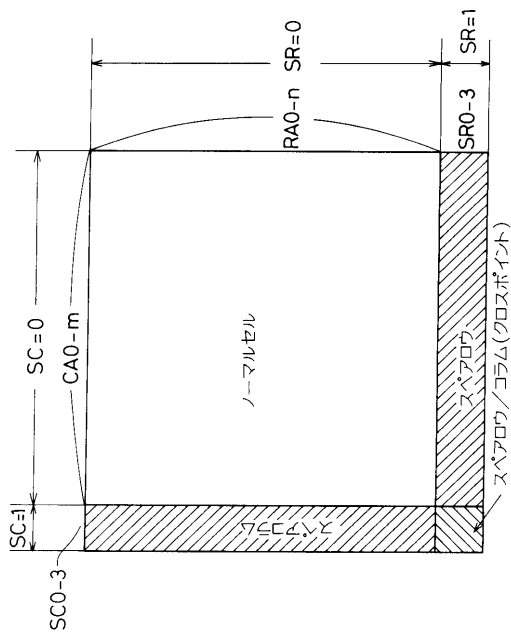
【図 15】



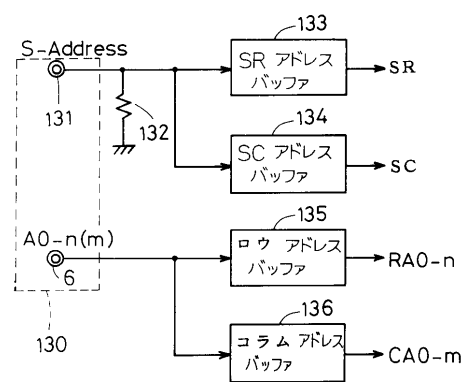
【図 16】



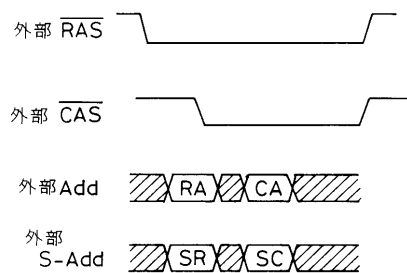
【図 17】



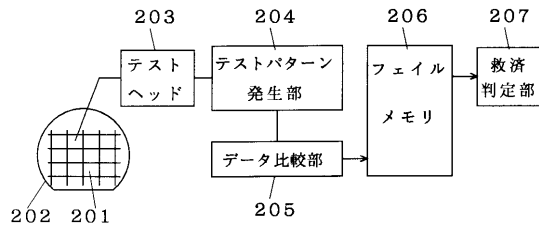
【図 18】



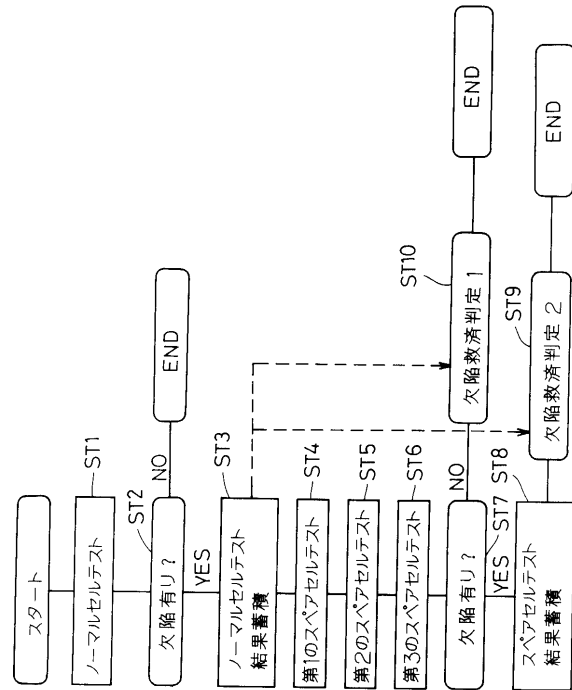
【図 19】



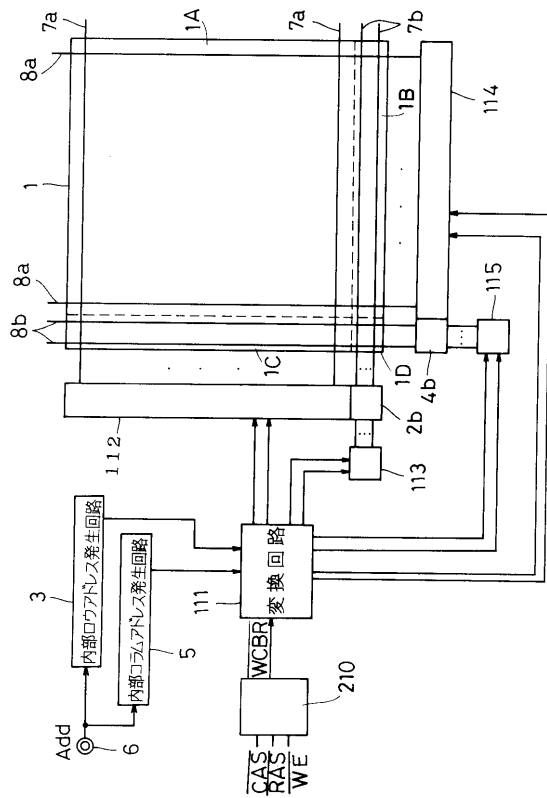
【図 20】



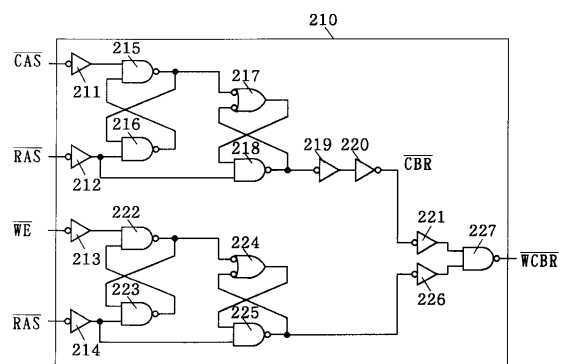
【図 21】



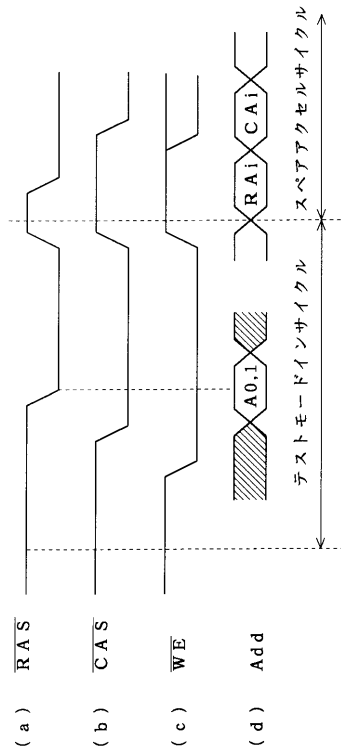
【図 22】



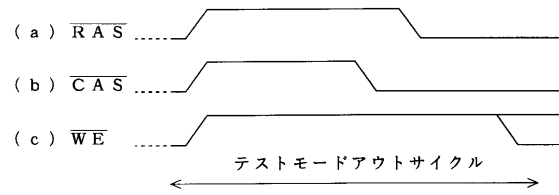
【図 23】



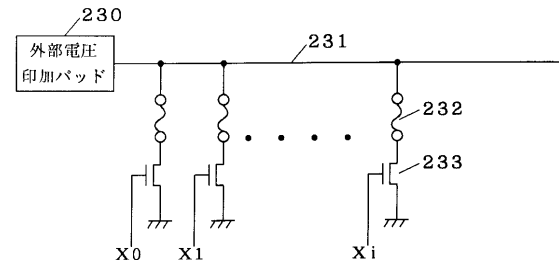
【図 24】



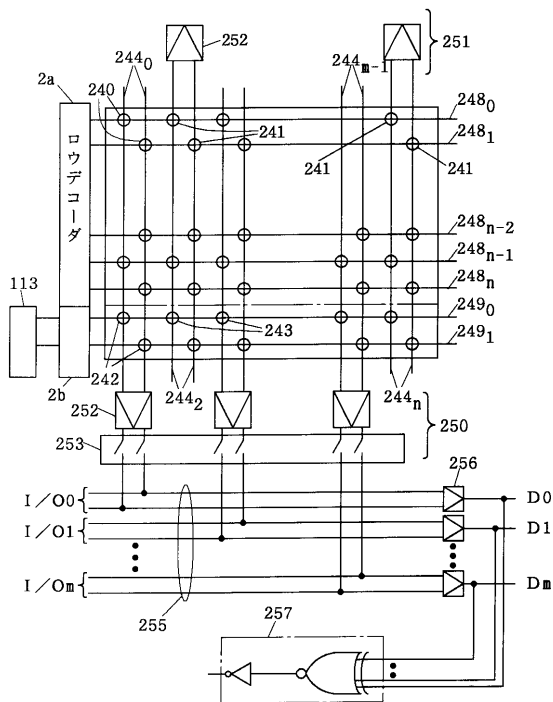
【図 25】



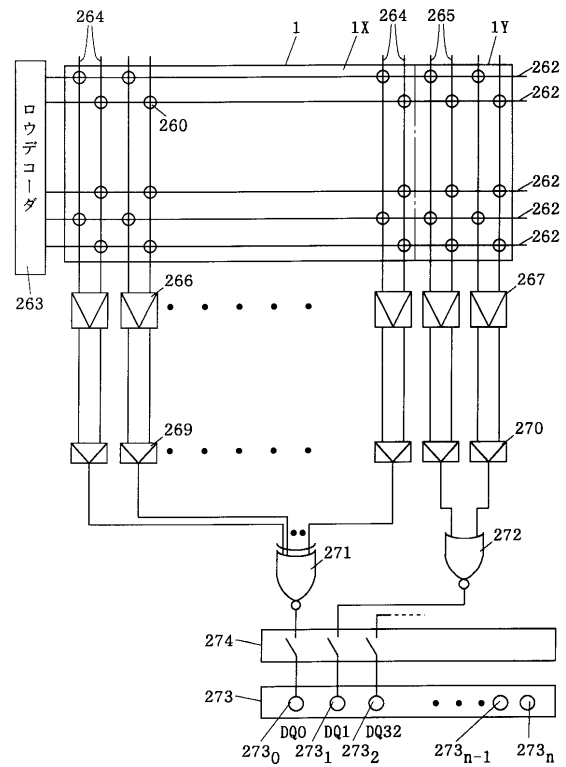
【図 26】



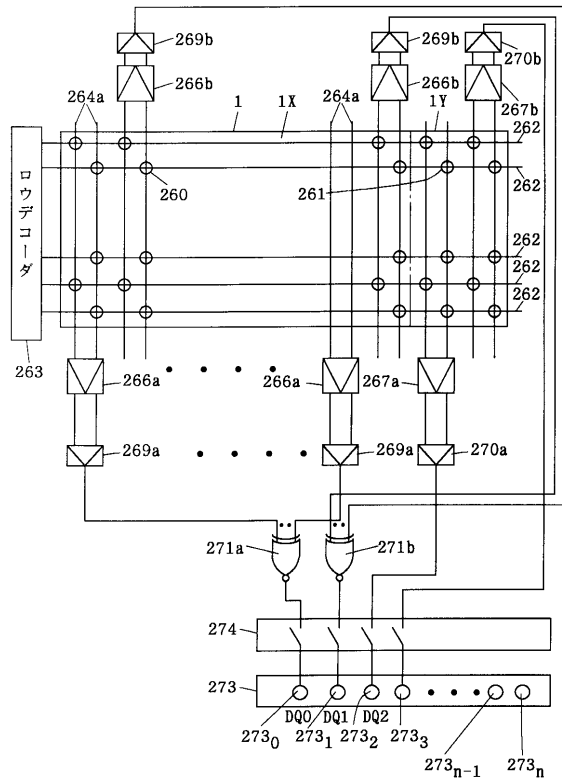
【図 27】



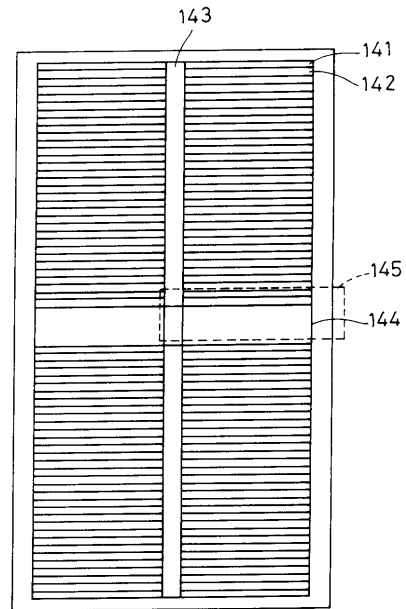
【図 28】



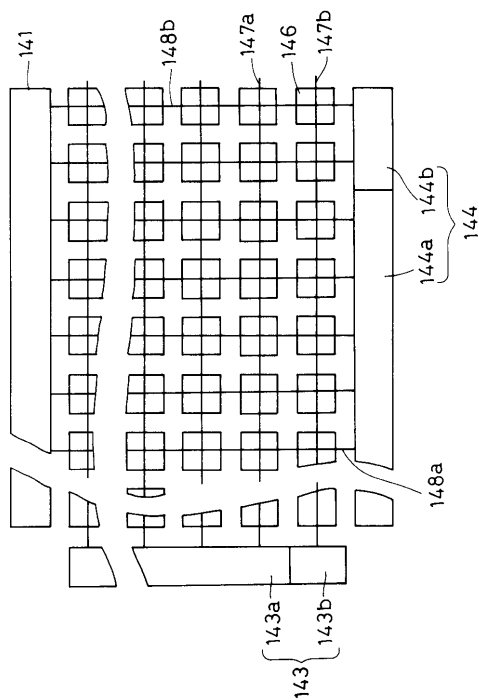
【図 29】



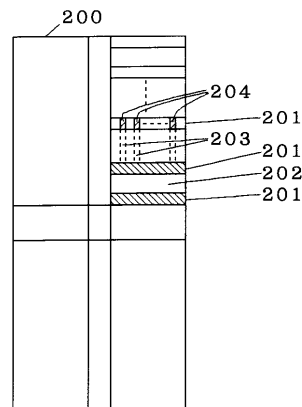
【図 30】



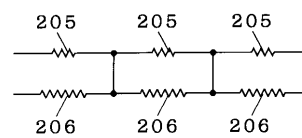
【図 31】



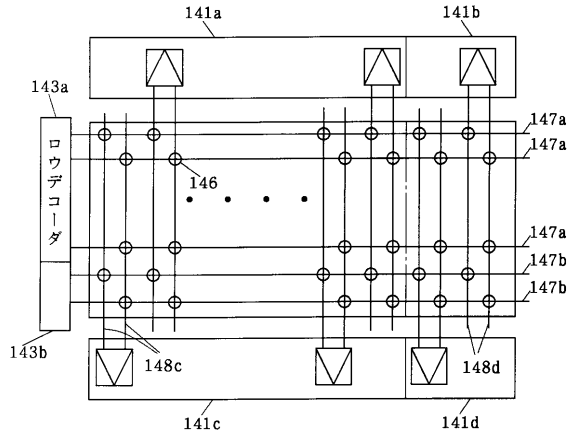
【図 32】



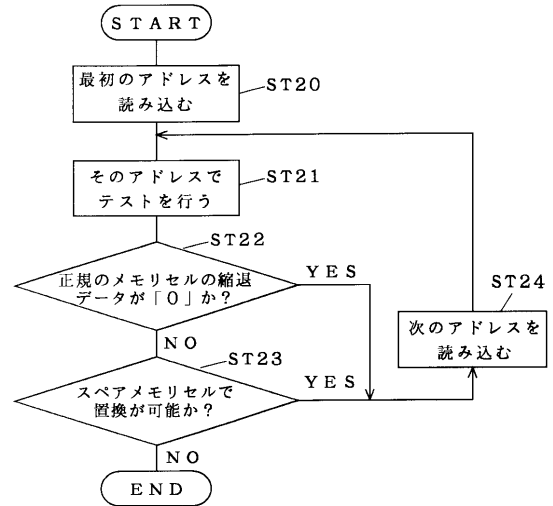
【図 33】



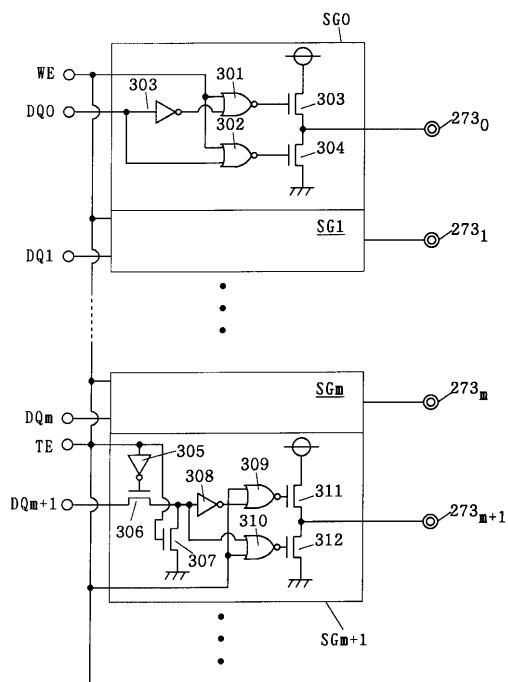
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

- (72)発明者 古谷 清広
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 加藤 哲夫
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 小松 正

- (56)参考文献 特開平05-081892 (JP, A)
特開平05-036297 (JP, A)
特開平03-286498 (JP, A)
特開平05-047194 (JP, A)
特開平01-112598 (JP, A)
特開昭63-191400 (JP, A)
特開平07-211100 (JP, A)
特開昭63-244493 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 29/00