

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5660313号
(P5660313)

(45) 発行日 平成27年1月28日 (2015. 1. 28)

(24) 登録日 平成26年12月12日 (2014. 12. 12)

(51) Int. Cl.

F I

H O 1 L 21/822 (2006. 01)

H O 1 L 27/04 A

H O 1 L 27/04 (2006. 01)

H O 1 L 21/66 Y

H O 1 L 21/66 (2006. 01)

H O 1 L 27/04 T

H O 1 L 21/82 (2006. 01)

H O 1 L 27/04 D

H O 1 L 21/82 W

請求項の数 14 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2011-24568 (P2011-24568)
 (22) 出願日 平成23年2月8日 (2011. 2. 8)
 (65) 公開番号 特開2012-164838 (P2012-164838A)
 (43) 公開日 平成24年8月30日 (2012. 8. 30)
 審査請求日 平成26年1月20日 (2014. 1. 20)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 黛 哲
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

複数の被測定素子と、

異なる層に設けられた列配線および行配線からなると共に前記複数の被測定素子のいずれか一つに接続された単位アレイ配線を複数有し、前記複数の単位アレイ配線が互いに異なる層に設けられている複合アレイ配線とを備え、

前記列配線どうし、および前記行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けられている

半導体装置。

【請求項 2】

前記被測定素子と前記単位アレイ配線とを接続する接続部を有し、前記接続部は、前記平面内における前記列配線と前記行配線との交差位置を回避して設けられている

請求項 1 記載の半導体装置。

【請求項 3】

前記単位アレイ配線は、同一層の 2 本の前記列配線と、同一層の 2 本の前記行配線とを有する

請求項 2 記載の半導体装置。

【請求項 4】

前記単位アレイ配線は、異なる層の 2 本の前記列配線と、前記列配線とは異なる層の 2 本の前記行配線とを有する

請求項 2 記載の半導体装置。

【請求項 5】

前記列配線および前記行配線のうち、前記複数の被測定素子の同一部分に接続されるものが、同一の測定用パッドに接続されている

請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記複数の被測定素子は同じ向きに配置されている

請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記複数の被測定素子のうちの少なくとも一つが、他の前記被測定素子とは異なる向きに配置されている

10

請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記複数の被測定素子のうちの少なくとも一つが、他の前記被測定素子とは異なる特性を測定可能である

請求項 1 ないし 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

異なる層に設けられた列配線および行配線からなる単位アレイ配線を複数有し、前記複数の単位アレイ配線は互いに異なる層に設けられている複合アレイ配線と、

前記複数の単位アレイ配線のいずれか一つに接続された被測定素子とを備え、

20

前記列配線どうし、および前記行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けられている

半導体装置。

【請求項 10】

前記被測定素子と前記単位アレイ配線とを接続する接続部を有し、前記接続部は、前記平面内における前記列配線と前記行配線との交差位置を回避して設けられている

請求項 9 記載の半導体装置。

【請求項 11】

前記単位アレイ配線は、同一層の 2 本の前記列配線と、同一層の 2 本の前記行配線とを有する

30

請求項 10 記載の半導体装置。

【請求項 12】

前記単位アレイ配線は、異なる層の 2 本の前記列配線と、前記列配線とは異なる層の 2 本の前記行配線とを有する

請求項 10 記載の半導体装置。

【請求項 13】

前記列配線および前記行配線のうち、前記被測定素子を異なる方向に配置したときに前記被測定素子の同一部分に接続されるものが、同一の測定用パッドに接続されている

請求項 9 ないし 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】

40

前記被測定素子を複数有し、

前記複合アレイ配線は、前記複数の被測定素子の各々について二つの前記単位アレイ配線を有する

請求項 9 ないし 13 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体集積回路の評価用回路に好適な半導体装置に関する。

【背景技術】

【0002】

50

半導体集積回路の製造では、製品を構成する素子の特性を評価するため、ウェハ内にテストエレメントグループ（ＴＥＧ）が設けられる。例えば特許文献１では、ＴＥＧ内に多数の被測定トランジスタをマトリクス状に配置し、ソース端子を共通化することが記載されている。

【０００３】

また、トランジスタ、抵抗素子などの半導体素子は、配置方向により寸法や特性のばらつきが生じることが知られており、正確な評価のためにはＴＥＧ内で被測定素子の配置方向を修正する必要がある場合がある。このような場合に関して、例えば特許文献２では、Ｌ字型の配線を四角状に組み合わせることにより、被測定トランジスタを９０度回転させることが提案されている。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２００８－１４０９６５号公報

【特許文献２】米国特許第７４８９１５１号明細書

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかしながら、特許文献１では、２本の行方向の配線と２本の列方向の配線とに囲まれた四角形の領域内に一つの被測定トランジスタを配置しており、それ以上に配線または被測定トランジスタの配置密度を向上させることが難しくなっていた。また、特許文献２では、被測定トランジスタの周りを囲む四角状の配線が冗長なレイアウトになっているので、やはり被測定トランジスタの配置密度が低下してしまうという問題があった。

【０００６】

本開示の目的は、被測定素子の配置密度を高めることが可能な半導体装置を提供することにある。

【課題を解決するための手段】

【０００７】

本開示による第１の半導体装置は、以下の（Ａ）、（Ｂ）の構成要素を備えたものである。

（Ａ）複数の被測定素子

（Ｂ）異なる層に設けられた列配線および行配線からなると共に複数の被測定素子のいずれか一つに接続された単位アレイ配線を複数有し、複数の単位アレイ配線は互いに異なる層に設けられている複合アレイ配線

列配線どうし、および行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けられている。

【０００８】

本開示の第１の半導体装置では、異なる層に設けられた列配線および行配線からなる単位アレイ配線が複数、互いに異なる層に設けられている。単位アレイ配線には、それぞれ、複数の被測定素子のいずれか一つが接続されている。列配線どうし、および行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けられている。よって、複数の単位アレイ配線どうしを部分的に重ね合わせて（オーバーラップさせて）配置することにより、被測定素子の配置密度を高くすることが可能となる。

【０００９】

本開示による第２の半導体装置は、以下の（Ａ）、（Ｂ）の構成要素を備えたものである。

（Ａ）異なる層に設けられた列配線および行配線からなる単位アレイ配線を複数有し、複数の単位アレイ配線は互いに異なる層に設けられている複合アレイ配線

（Ｂ）複数の単位アレイ配線のいずれか一つに接続された被測定素子

列配線どうし、および行配線どうしは、行方向および列方向を含む平面内において互い

10

20

30

40

50

にずれた位置に設けられている。

【 0 0 1 0 】

本開示の第2の半導体装置では、異なる層に設けられた列配線および行配線からなる単位アレイ配線が複数、互いに異なる層に設けられている。被測定素子は、複数の単位アレイ配線のいずれか一つに接続される。列配線どうし、および行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けられている。よって、複数の単位アレイ配線どうしを部分的に重ね合わせて（オーバーラップさせて）配置することにより、被測定素子の配置密度を高くすることが可能となる。

【発明の効果】

【 0 0 1 1 】

10

本開示の第1の半導体装置によれば、異なる層に設けられた列配線および行配線からなる単位アレイ配線を複数、互いに異なる層に設け、複数の単位アレイ配線には、それぞれ、複数の被測定素子のいずれか一つを接続するようにした。列配線どうし、および行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けるようにした。よって、被測定素子の配置密度を高めることが可能となる。

【 0 0 1 2 】

本開示の第2の半導体装置によれば、異なる層に設けられた列配線および行配線からなる単位アレイ配線を複数、互いに異なる層に設け、被測定素子を複数の単位アレイ配線のいずれか一つに接続するようにした。列配線どうし、および行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けるようにした。よって、被測定素子の配置密度を高めることが可能となる。

20

【図面の簡単な説明】

【 0 0 1 3 】

【図1】本開示の第1の実施の形態に係る半導体装置であるTEGの、ウェハ上における概略的な位置を説明するための平面図である。

【図2】図1に示したTEGの構成を表す平面図である。

【図3】図2のIII-III線における構成を表す断面図である。

【図4】図2のIV-IV線における構成を表す断面図である。

【図5】図2に示したTEGにおける単位アレイ配線の配置密度を従来と比較して説明するための図である。

30

【図6】変形例1-1に係るTEGの構成を表す平面図である。

【図7】変形例1-2に係るTEGの構成を表す平面図である。

【図8】変形例1-3に係るTEGの構成を表す平面図である。

【図9】変形例1-4に係るTEGの構成を表す図である。

【図10】図9のX-X線における構成を表す断面図である。

【図11】図9のXI-XI線における構成を表す断面図である。

【図12】図9に示したTEGにおける単位アレイ配線の配置密度を従来と比較して説明するための図である。

【図13】変形例1-5に係るTEGの構成を表す図である。

【図14】変形例1-6に係るTEGの構成を表す図である。

40

【図15】図15(A)および図15(B)は本開示の第2の実施の形態に係るTEGブロックが縦方向に配置されている場合の単位アレイ配線と被測定素子であるトランジスタとの接続例を表す図であり、図15(C)および図15(D)は図15(A)および図15(B)に示したTEGブロックを左90度回転して横方向に配置した場合における、単位アレイ配線と被測定素子との接続例を表す図である。

【図16】図16(A)は従来のTEGにおける配線と被測定素子との接続例を表す図であり、図16(B)は図16(A)に示した従来のTEGを左90度回転して横方向に配置した場合における配線と被測定素子との接続例を表す図である。

【図17】図17(A)および図17(B)は変形例2-1に係るTEGブロックが縦方向に配置されている場合の単位アレイ配線と被測定素子である抵抗素子との接続例を表す

50

図であり、図 17 (C) および図 17 (D) は図 17 (A) および図 17 (B) に示した TEG ブロックを左 90 度回転して横方向に配置した場合の単位アレイ配線と被測定素子との接続例を表す図である。

【図 18】図 2 に示した TEG の変形例を表す図である。

【図 19】図 2 に示した TEG の他の変形例を表す図である。

【発明を実施するための形態】

【0014】

以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態 (単位アレイ配線を二つ有し、被測定素子がトランジスタである例)

2. 変形例 1 - 1 (被測定素子の向きを異ならせた例)

3. 変形例 1 - 2 (単位アレイ配線を二つ有し、被測定素子が抵抗素子である例)

4. 変形例 1 - 3 (被測定素子の向きを異ならせた例)

5. 変形例 1 - 4 (単位アレイ配線を三つ有し、被測定素子がトランジスタである例)

6. 変形例 1 - 5 (被測定素子の向きを異ならせた例)

7. 変形例 1 - 6 (被測定素子がトランジスタ、抵抗素子およびキャパシタである例)

8. 第 2 の実施の形態 (TEG ブロックの回転; 被測定素子がトランジスタである例)

9. 変形例 2 - 1 (TEG ブロックの回転; 被測定素子が抵抗素子である例)

【0015】

(第 1 の実施の形態)

図 1 は、本開示の第 1 の実施の形態に係る半導体装置である TEG の、ウェハ上における概略的な位置を表したものである。ウェハ (図示せず) 上には、例えば、半導体集積回路が形成される領域としての製品ブロック 1 が配置されている。製品ブロック 1 は複数設けられていてもよいことは言うまでもないが、図 1 では一つの製品ブロック 1 のみを表している。製品ブロック 1 の周囲には、ウェハを切断して各製品ブロック 1 を分離するためのスクライブライン 2 が枠状あるいは格子状に設けられている。スクライブライン 2 内には、TEG ブロック 3 が配置されている。TEG ブロック 3 は、製品ブロック 1 内の半導体集積回路の素子の特性を評価するための評価用回路が設けられる領域である。TEG ブロック 3 は、製品ブロック 1 の縦辺 (例えば長辺) に沿うスクライブライン 2 内では縦方向 (縦長) に配置され、製品ブロック 1 の横辺 (例えば短辺) に沿うスクライブライン 2 内では横方向 (横長) に配置されている。なお、縦方向の TEG ブロック 3 と、横方向の TEG ブロック 3 とでは、内部の配線の配置は同一であり、単に配置方向が異なる (左または右に 90 度回転されている) のみである。

【0016】

図 2 は、図 1 に示した TEG ブロック 3 に設けられる TEG 4 の平面構成を表したものである。図 3 は、図 2 の I I I - I I I 線における断面構成、図 4 は、図 2 の I V - I V 線における断面構成をそれぞれ表している。

【0017】

なお、図 2 以降においては、行方向を x 方向、列方向を y、行方向および列方向に直交する方向 (鉛直方向) を z と表す。これら x、y、z 方向は、TEG ブロック 3 内における方向である。つまり、行方向 (x 方向) は、図 1 に示した縦方向の TEG ブロック 3 内では横方向となり、横方向の TEG ブロック 3 内では縦方向となる。列方向 (y 方向) は、図 1 に示した縦方向の TEG ブロック 3 内では縦方向となり、横方向の TEG ブロック 3 内では横方向となる。また、図 3 および図 4 では、基板 10 側からの配線層高さに対応する第 1 層目、第 2 層目、第 3 層目、第 4 層目を、それぞれ点線 H 1、H 2、H 3、H 4 で表している。

【0018】

TEG 4 は、複数 (例えば図 2 では二つ) の被測定素子 11、12 を有している。被測定素子 11、12 は、例えば 4 端子の FET (電界効果トランジスタ) であり、同じ向き

10

20

30

40

50

に配置されている。被測定素子 1 1 は、列配線 M 1 および行配線 M 2 からなる単位アレイ配線 2 1 に接続され、被測定素子 1 2 は、列配線 M 3 および行配線 M 4 からなる単位アレイ配線 2 2 に接続されている。単位アレイ配線 2 1 , 2 2 は複合アレイ配線 2 0 を構成している。

【 0 0 1 9 】

被測定素子 1 1 , 1 2 は、例えば図 4 に示したように、基板 1 0 に設けられた MOS - FET である。なお、図 4 では被測定素子 1 2 のみを表しているが、被測定素子 1 1 も被測定素子 1 2 と同じ構成を有している。具体的には、被測定素子 1 2 は、基板 1 0 上にゲート絶縁膜 1 2 G I およびゲート電極 1 2 G を有すると共に、ゲート電極 1 2 G 直下の基板 1 0 内にチャネル領域 1 2 C を有している。チャネル領域 1 2 C の両側には、拡散層 (ソース 1 2 S およびドレイン 1 2 D) が設けられている。被測定素子 1 2 の周囲は素子分離層 1 0 A で囲まれ、他の被測定素子 1 1 とは絶縁されている。

10

【 0 0 2 0 】

被測定素子 1 1 , 1 2 と単位アレイ配線 2 1 , 2 2 との接続点 C P には、例えば図 4 に示したように、接続部 4 0 が設けられている。接続部 4 0 は、被測定素子 1 1 , 1 2 のソース、ドレイン、ウェル (バックゲート) またはゲートの上に、ビア 4 1 A , 4 1 B , 4 1 C , 4 1 D と金属層 4 2 A , 4 2 B , 4 2 C , 4 2 D とを交互に積層した構成を有している。ビア 4 1 A の下端は、被測定素子 1 1 , 1 2 のソース、ドレイン、ウェル (バックゲート) またはゲートに接している。金属層 4 2 A は列配線 M 1 と同じ高さ H 1、金属層 4 2 B は行配線 M 2 と同じ高さ H 2、金属層 4 2 C は列配線 M 3 と同じ高さ H 3、金属層 4 2 D は行配線 M 4 と同じ高さ H 4 に設けられている。各接続部 4 0 では、金属層 4 2 A ~ 4 2 D のうち一つの上に、列配線 M 1 , M 3 および行配線 M 2 , M 4 のうちいずれか一つのみが接続されている。例えば図 4 に示したように、被測定素子 1 2 のソース 1 2 S 上およびドレイン 1 2 D 上の接続部 4 0 の金属層 4 2 C には、列配線 M 3 が接続されている。なお、図 4 には示されていないが、被測定素子 1 2 のゲート 1 2 G 上にも接続部 4 0 が設けられており、ゲート 1 2 G 上の接続部 4 0 の金属層 4 2 D には、行配線 M 4 が接続されている。また、被測定素子 1 2 のウェル (バックゲート) 1 2 W 上にも接続部 4 0 が設けられており、ウェル (バックゲート) 1 2 W 上の接続部 4 0 の金属層 4 2 D には、行配線 M 4 が接続されている。図示しないが、被測定素子 1 1 についても同様である。

20

【 0 0 2 1 】

接続部 4 0 は、x y 平面内における列配線 M 1 , M 3 と行配線 M 2 , M 4 との交差位置 I S を回避して設けられていることが好ましい。接続部 4 0 が交差位置 I S に設けられている場合には、交差位置 I S の接続部 4 0 を介して列配線 M 1 , M 3 および行配線 M 2 , M 4 がすべて短絡してしまうからである。

30

【 0 0 2 2 】

単位アレイ配線 2 1 は、y 方向の列配線 M 1 および x 方向の行配線 M 2 を有し、単位アレイ配線 2 2 は y 方向の列配線 M 3 および x 方向の行配線 M 4 を有している。列配線 M 1 と行配線 M 2 とは z 方向において異なる層 (例えば基板 1 0 側から第 1 層目 H 1 と第 2 層目 H 2 と) に設けられ、列配線 M 3 と行配線 M 4 とは z 方向において異なる層 (例えば基板 1 0 側から第 3 層目 H 3 と第 4 層目 H 4 と) に設けられている。更に、単位アレイ配線 2 1 , 2 2 は z 方向において互いに異なる層 (例えば基板 1 0 側から第 1 層目 H 1 および第 2 層目 H 2 と、第 3 層目 H 3 および第 4 層目 H 4 と) に設けられている。これにより、この T E G 4 では、被測定素子 1 1 , 1 2 の配置密度を高めることが可能となっている。

40

【 0 0 2 3 】

すなわち、従来では、図 5 (A) に示したように、被測定素子 (図示せず) を囲む列配線 M 1 , M 3 および行配線 M 2 , M 4 からなる四角形の配線レイアウト 1 2 1 , 1 2 2 を x y 平面内に並列、または z 方向において同層に並べることにより集積するようにしていたので、被測定素子の高密度化が難しかった。これに対して、本実施の形態では、図 5 (B) に示したように、単位アレイ配線 2 1 , 2 2 どうしを部分的に重ね合わせて (オーバーラップさせて) 配置することにより、配線密度が許す限り同一領域内に多数の被測定素

50

子を設けることが可能となる。よって、被測定素子 1 1 , 1 2 の高密度な配置が可能となる。

【 0 0 2 4 】

列配線 M 1 , M 3 どうしは、x 方向および y 方向を含む x y 平面（図 2 においては紙面に平行な平面）内において、x 方向に互いにずれた位置（互いに重ならない位置）に設けられていることが好ましい。同様に、行配線 M 2 , M 4 どうしは、x y 平面内において、y 方向に互いにずれた位置（互いに重ならない位置）に設けられていることが好ましい。換言すれば、列配線 M 1 , M 3 および行配線 M 2 , M 4 は、一点で交わらないことが好ましい。これにより、列配線 M 1 , M 3 および行配線 M 2 , M 4 は、x y 平面内で互いに重ならない格子状（グリッド）をなすことになる。前述したように、単位アレイ配線 2 1 , 2 2 と被測定素子 1 1 , 1 2 の接続点 C P には接続部 4 0 が設けられており、接続部 4 0 は列配線 M 1 , M 3 および行配線 M 2 , M 4 が各ビア 4 1 A ~ 4 1 D を介して短絡した構造になっている。そのため、前述のような格子状のレイアウトにすることで、単位アレイ配線 2 1 , 2 2 と被測定素子 1 1 , 1 2 とを接続する際に、列配線 M 1 , M 3 どうしの短絡、行配線 M 2 , M 4 どうしの短絡、または列配線 M 1 , M 3 と行配線 M 2 , M 4 との短絡を抑制することが可能となる。

10

【 0 0 2 5 】

単位アレイ配線 2 1 は、同一層（例えば基板 1 0 側から第 1 層目）の 2 本の列配線 M 1 と、同一層（例えば基板 1 0 側から第 2 層目）の 2 本の行配線 M 2 とを有している。単位アレイ配線 2 2 は、同一層（例えば基板 1 0 側から第 3 層目）の 2 本の列配線 M 3 と、同一層（例えば基板 1 0 側から第 4 層目）の 2 本の行配線 M 4 とを有している。列配線 M 1 には、被測定素子 1 1 のソースおよびドレインが接続されている。行配線 M 2 には、被測定素子 1 1 のゲートおよびバックゲートが接続されている。列配線 M 3 には、被測定素子 1 2 のソースおよびドレインが接続されている。行配線 M 4 には、被測定素子 1 2 のゲートおよびバックゲートが接続されている。

20

【 0 0 2 6 】

列配線 M 1 , M 3 および行配線 M 2 , M 4 のうち、被測定素子 1 1 , 1 2 の同一部分に接続されるものは、同一の測定用パッドに接続されている。つまり、被測定素子 1 1 のソースが接続された列配線 M 1 と、被測定素子 1 2 のソースが接続された列配線 M 3 とは、同一のソースパッド 3 0 S に接続されている。被測定素子 1 1 のドレインが接続された列配線 M 1 と、被測定素子 1 2 のドレインが接続された列配線 M 3 とは、同一のドレインパッド 3 0 D に接続されている。被測定素子 1 1 のゲートが接続された行配線 M 2 と、被測定素子 1 2 のゲートが接続された行配線 M 4 とは、同一のゲートパッド 3 0 G に接続されている。被測定素子 1 1 のバックゲートが接続された行配線 M 2 と、被測定素子 1 2 のバックゲートが接続された行配線 M 4 とは、同一のバックゲートパッド 3 0 H に接続されている。

30

【 0 0 2 7 】

なお、列配線 M 1 , M 3 または行配線 M 2 , M 4 の数は、接続される被測定素子 1 1 , 1 2 の構成などに応じて増減可能である。例えば、単位アレイ配線 2 1 は、第 1 層目に 2 本の列配線 M 1 を有し、第 2 層目に 1 本の行配線 M 2 を有し、第 3 層目に 1 本の行配線を有していてもよい。ただし、このような場合には、多数の単位アレイ配線を設けた場合に被測定素子との接続が更に複雑になる。従って、一つの単位アレイ配線 2 1（または 2 2）が、第 1 層目に 2 本の列配線 M 1（または M 3）を有し、第 2 層目に 2 本の行配線 M 2（または M 4）を有していることが好ましい。あるいは、被測定素子 1 1 が 3 端子で構成可能な F E T やその他の受動素子や能動素子である場合には、単位アレイ配線 2 1（または 2 2）は、第 1 層目に 2 本の列配線 M 1（または M 3）を有し、第 2 層目に 1 本の行配線 M 2（または M 4）を有していてもよい。

40

【 0 0 2 8 】

この T E G 4 では、異なる層に設けられた列配線 M 1 および行配線 M 2 からなる単位アレイ配線 2 1 と、異なる層に設けられた列配線 M 3 および行配線 M 4 からなる単位アレイ

50

配線 2 2 とが、互いに異なる層に設けられている。単位アレイ配線 2 1 , 2 2 には、それぞれ、複数の被測定素子 1 1 , 1 2 のいずれか一つが接続されている。よって、複数の単位アレイ配線 2 1 , 2 2 どうしを部分的に重ね合わせて（オーバーラップさせて）配置することにより、被測定素子 1 1 , 1 2 の配置密度を高くすることが可能となる。また、被測定素子 1 1 , 1 2 を近接配置することが可能となり、二つの被測定素子 1 1 , 1 2 のペア特性（ローカルばらつき）を精度良く評価することが可能となる。

【 0 0 2 9 】

このように本実施の形態では、異なる層に設けられた列配線 M 1 および行配線 M 2 からなる単位アレイ配線 2 1 と、異なる層に設けられた列配線 M 3 および行配線 M 4 からなる単位アレイ配線 2 2 とを、互いに異なる層に設け、複数の単位アレイ配線 2 1 , 2 2 には、それぞれ、複数の被測定素子 1 1 , 1 2 のいずれか一つを接続するようにしたので、被測定素子 1 1 , 1 2 の配置密度を高めることが可能となる。よって、被測定素子 1 1 , 1 2 の集積度を高め、種々の素子評価情報を取得することが可能となる。また、L S I（Large Scale Integrated circuit；大規模集積回路）の微細化に伴って T E G 4 も著しく縮小されているが、本実施の形態では、このような微細化に追随するための被測定素子の高密度集積化にも対応可能となる。

【 0 0 3 0 】

また、被測定素子 1 1 , 1 2 を近接配置することが可能となり、二つの被測定素子 1 1 , 1 2 のペア特性（ローカルばらつき）を精度良く評価することが可能となる。特に、アナログ半導体では近接配置した素子の特性を活用した回路構成が多く用いられており、本実施の形態の T E G 4 は、このようなアナログ半導体回路の評価用回路としても極めて好適である。

【 0 0 3 1 】

（変形例 1 - 1）

図 6 は、変形例 1 - 1 に係る T E G 4 A の構成を表したものである。本変形例は、図 2 に示した第 1 の実施の形態の T E G 4 において、片方の被測定素子 1 2 の向きを異ならせたものである。このことを除いては、本変形例の T E G 4 A は、上記第 1 の実施の形態と同様の構成、作用および効果を有している。特に、トランジスタ、抵抗素子などの半導体素子は、配置方向により寸法や特性のばらつきが生じることが知られているが、本変形例では、被測定素子 1 1 , 1 2 の配置方向（ゲートの向き）による特性ばらつき等の評価が可能となる。

【 0 0 3 2 】

具体的には、列配線 M 3 には、被測定素子 1 2 のゲートおよびバックゲートが接続されている。行配線 M 4 には、被測定素子 1 2 のソースおよびドレインが接続されている。

【 0 0 3 3 】

本変形例においても、第 1 の実施の形態と同様に、列配線 M 1 , M 3 および行配線 M 2 , M 4 のうち、被測定素子 1 1 , 1 2 の同一部分に接続されたものは、同一の測定用パッドに接続されている。ただし、本変形例では、被測定素子 1 2 の配置方向の変更に伴い、列配線 M 1 , M 3 および行配線 M 2 , M 4 と測定用パッドとの接続の組み合わせも変更される。つまり、被測定素子 1 1 のソースが接続された列配線 M 1 と、被測定素子 1 2 のソースが接続された行配線 M 4 とが、同一のソースパッド 3 0 S に接続される。被測定素子のドレインが接続された列配線 M 1 と、被測定素子 1 2 のドレインが接続された列配線 M 4 とが、同一のドレインパッド 3 0 D に接続される。被測定素子 1 1 のゲートが接続された行配線 M 2 と、被測定素子 1 2 のゲートが接続された列配線 M 3 とが、同一のゲートパッド 3 0 G に接続される。被測定素子 1 1 のバックゲートが接続された行配線 M 2 と、被測定素子 1 2 のバックゲートが接続された列配線 M 3 とが、同一のバックゲートパッド 3 0 H に接続される。

【 0 0 3 4 】

（変形例 1 - 2）

図 7 は、変形例 1 - 2 に係る T E G 4 B の構成を表したものである。本変形例は、被測

10

20

30

40

50

定素子 1 1 , 1 2 が抵抗素子であることを除いては、上記第 1 の実施の形態と同一の構成、作用および効果を有している。本変形例では、抵抗素子の特性を、4 端子法を用いて測定可能である。また、第 1 の実施の形態と同様に、近接配置によるペア特性の評価が可能になる。

【 0 0 3 5 】

(変形例 1 - 3)

図 8 は、変形例 1 - 3 に係る T E G 4 C の構成を表したものである。本変形例は、図 7 に示した変形例 1 - 2 の T E G において、片方の被測定素子 1 2 の向きを異ならせたことを除いては、上記第 1 の実施の形態および変形例 1 - 1 と同様の構成、作用および効果を有している。本変形例では、被測定素子 1 1 , 1 2 の配置方向による特性ばらつき等の評価が可能となる。

10

【 0 0 3 6 】

(変形例 1 - 4)

図 9 は、変形例 1 - 4 に係る T E G 4 D の構成を表したものである。図 1 0 は、図 9 の X - X 線における断面構成、図 1 1 は、図 9 の X I - X I 線における断面構成をそれぞれ表している。なお、図 1 0 および図 1 1 では、基板 1 0 側からの配線層高さに対応する第 1 層目、第 2 層目、第 3 層目、第 4 層目、第 5 層目および第 6 層目を、それぞれ点線 H 1 , H 2 , H 3 , H 4 , H 5 , H 6 で表している。

【 0 0 3 7 】

本変形例では、三つの被測定素子 1 1 , 1 2 , 1 3 が、それぞれ単位アレイ配線 2 1 , 2 2 , 2 3 に接続され、単位アレイ配線 2 1 ~ 2 3 が複合アレイ配線 2 0 を構成している。このことを除いては、本変形例の T E G 4 D は上記第 1 の実施の形態と同様の構成、作用および効果を有している。

20

【 0 0 3 8 】

被測定素子 1 1 ~ 1 3 はいずれも第 1 の実施の形態と同様の 4 端子の F E T であり、同じ向きに配置されている。

【 0 0 3 9 】

被測定素子 1 1 ~ 1 3 と単位アレイ配線 2 1 ~ 2 3 との接続点 C P には、例えば図 1 1 に示したような接続部 4 0 が設けられている。接続部 4 0 は、被測定素子 1 1 ~ 1 3 のソース、ドレイン、ウェルまたはゲートの上に、ビア 4 1 A , 4 1 B , 4 1 C , 4 1 D , 4 1 E , 4 1 F と金属層 4 2 A , 4 2 B , 4 2 C , 4 2 D , 4 2 E , 4 2 F とを交互に積層した構成を有している。ビア 4 1 A の下端は、被測定素子 1 1 ~ 1 3 のソース、ドレインまたはゲートに接している。金属層 4 2 A は列配線 M 1 と同じ高さ H 1 、金属層 4 2 B は行配線 M 2 と同じ高さ H 2 、金属層 4 2 C は列配線 M 3 と同じ高さ H 3 、金属層 4 2 D は行配線 M 4 と同じ高さ H 4 、金属層 4 2 E は列配線 M 5 と同じ高さ H 5 、金属層 4 2 F は行配線 M 6 と同じ高さ H 6 に設けられている。各接続部 4 0 では、金属層 4 2 A ~ 4 2 F のうち一つのみに、列配線 M 1 , M 3 , M 5 および行配線 M 2 , M 4 , M 6 のうちいずれか一つのみが接続されている。例えば図 1 1 に示したように、被測定素子 1 3 のソース 1 3 S 上およびドレイン 1 3 D 上の接続部 4 0 の金属層 4 2 E には、列配線 M 5 が接続されている。なお、図 1 1 には示されていないが、被測定素子 1 3 のゲート上にも接続部 4 0 が設けられており、ゲート上の接続部 4 0 の金属層 4 2 F には、行配線 M 6 が接続されている。また、被測定素子 1 3 のウェル（バックゲート）1 3 W にも接続部 4 0 が設けられており、ウェル（バックゲート）1 3 W の接続部 4 0 の金属層 4 2 F には、行配線 M 6 が接続されている。図示しないが、被測定素子 1 1 , 1 2 についても同様である。

30

40

【 0 0 4 0 】

接続部 4 0 は、x y 平面内における列配線 M 1 , M 3 , M 5 と行配線 M 2 , M 4 , M 6 との交差位置 I S を回避して設けられていることが好ましい。接続部 4 0 が交差位置 I S に設けられている場合には、交差位置 I S の接続部 4 0 を介して列配線 M 1 , M 3 , M 5 および行配線 M 2 , M 4 , M 6 がすべて短絡してしまうからである。

【 0 0 4 1 】

50

単位アレイ配線 2 1 , 2 2 は、第 1 の実施の形態と同様に構成されている。単位アレイ配線 2 3 は、y 方向の列配線 M 5 および x 方向の行配線 M 6 を有している。列配線 M 5 と行配線 M 6 とは z 方向において異なる層（例えば基板 1 0 側から第 5 層目 H 5 と第 6 層目 H 6 と）に設けられている。更に、単位アレイ配線 2 1 ~ 2 3 は z 方向において互いに異なる層（例えば基板 1 0 側から第 1 層目 H 1 および第 2 層目 H 2 と、第 3 層目 H 3 および第 4 層目 H 4 と、第 5 層目 H 5 および第 6 層目 H 6 と）に設けられている。これにより、この T E G 4 D では、第 1 の実施の形態と同様に、被測定素子 1 1 ~ 1 3 の配置密度を高めることが可能となっている。

【 0 0 4 2 】

すなわち、従来では、図 1 2 (A) に示したように、被測定素子（図示せず）を囲む列配線 M 1 , M 3 , M 5 および行配線 M 2 , M 4 , M 6 からなる四角形の配線レイアウト 1 2 1 , 1 2 2 , 1 2 3 を x y 平面内に並列、または z 方向において同層に並べるようにしていたので、被測定素子の高密度化が難しかった。これに対して、本実施の形態では、図 1 2 (B) に示したように、単位アレイ配線 2 1 , 2 2 , 2 3 どうしを部分的に重ね合わせて（オーバーラップさせて）配置することにより、配線密度が許す限り同一領域内に多数の被測定素子を設けることが可能となる。よって、被測定素子 1 1 ~ 1 3 の高密度な配置が可能となる。

【 0 0 4 3 】

列配線 M 1 , M 3 , M 5 どうしは、x y 平面内において、x 方向に互いにずれた位置（互いに重ならない位置）に設けられていることが好ましい。同様に、行配線 M 2 , M 4 , M 6 どうしは、x y 平面内において、y 方向に互いにずれた位置（互いに重ならない位置）に設けられていることが好ましい。換言すれば、列配線 M 1 , M 3 , M 5 および行配線 M 2 , M 4 , M 6 は、一点で交わらないことが好ましい。これにより、列配線 M 1 , M 3 , M 5 および行配線 M 2 , M 4 , M 6 は、x y 平面内で互いに重ならない格子状（グリッド）をなすことになる。前述の通り、単位アレイ配線 2 1 ~ 2 3 と被測定素子 1 1 ~ 1 3 の接続点 C P には接続部 4 0 が設けられており、接続部 4 0 は列配線 M 1 , M 3 , M 5 および行配線 M 2 , M 4 , M 6 が各ビア 4 1 A ~ 4 1 F を介して短絡した構造になっている。このため、前述のような格子状のレイアウトにすることで、単位アレイ配線 2 1 ~ 2 3 と被測定素子 1 1 ~ 1 3 とを接続する際に、列配線 M 1 , M 3 , M 5 どうしの短絡、行配線 M 2 , M 4 , M 6 どうしの短絡、または列配線 M 1 , M 3 , M 5 と行配線 M 2 , M 4 , M 6 との短絡を抑制することが可能となる。

【 0 0 4 4 】

単位アレイ配線 2 3 は、同一層（例えば基板 1 0 側から第 5 層目）の 2 本の列配線 M 5 と、同一層（例えば基板 1 0 側から第 6 層目）の 2 本の行配線 M 6 とを有している。列配線 M 5 には、被測定素子 1 3 のソースおよびドレインが接続されている。行配線 M 6 には、被測定素子 1 3 のゲートおよびバックゲートが接続されている。

【 0 0 4 5 】

列配線 M 1 , M 3 , M 5 および行配線 M 2 , M 4 , M 6 のうち、被測定素子 1 1 ~ 1 3 の同一部分に接続されるものは、同一の測定用パッドに接続されている。つまり、被測定素子 1 1 のソースが接続された列配線 M 1 と、被測定素子 1 2 のソースが接続された列配線 M 3 と、被測定素子 1 3 のソースが接続された列配線 M 5 とは、同一のソースパッド 3 0 S に接続されている。被測定素子 1 1 のドレインが接続された列配線 M 1 と、被測定素子 1 2 のドレインが接続された列配線 M 3 と、被測定素子 1 3 のドレインが接続された列配線 M 5 とは、同一のドレインパッド 3 0 D に接続されている。被測定素子 1 1 のゲートが接続された行配線 M 2 と、被測定素子 1 2 のゲートが接続された行配線 M 4 と、被測定素子 1 3 のゲートが接続された行配線 M 6 とは、同一のゲートパッド 3 0 G に接続されている。被測定素子 1 1 のバックゲートが接続された行配線 M 2 と、被測定素子 1 2 のバックゲートが接続された行配線 M 4 と、被測定素子 1 3 のゲートが接続された行配線 M 6 とは、同一のバックゲートパッド 3 0 H に接続されている。

【 0 0 4 6 】

なお、列配線 M 1 , M 3 , M 5 または行配線 M 2 , M 4 , M 6 の数は、第 1 の実施の形態と同様に、接続される被測定素子 1 1 ~ 1 3 の構成などに応じて増減可能であるが、一つの単位アレイ配線 2 1 (または 2 2 , 2 3) が、第 1 層目に 2 本の列配線 M 1 (または M 3 , M 5) を有し、第 2 層目に 2 本の行配線 M 2 (または M 4 , M 6) を有していることが好ましい。あるいは、被測定素子 1 1 ~ 1 3 が 3 端子で構成可能な F E T やその他の受動素子や能動素子である場合には、単位アレイ配線 2 1 (または 2 2 , 2 3) は、第 1 層目に 2 本の列配線 M 1 (または M 3 , M 5) を有し、第 2 層目に 1 本の行配線 M 2 (または M 4 , M 6) を有していてもよい。

【 0 0 4 7 】

この T E G 4 D では、異なる層に設けられた列配線 M 1 および行配線 M 2 からなる単位アレイ配線 2 1 と、異なる層に設けられた列配線 M 3 および行配線 M 4 からなる単位アレイ配線 2 2 と、異なる層に設けられた列配線 M 5 および行配線 M 6 からなる単位アレイ配線 2 3 とが、互いに異なる層に設けられている。単位アレイ配線 2 1 ~ 2 3 には、それぞれ、複数の被測定素子 1 1 ~ 1 3 のいずれか一つが接続されている。よって、複数の単位アレイ配線 2 1 ~ 2 3 どうしを部分的に重ね合わせて (オーバーラップさせて) 配置することにより、被測定素子 1 1 ~ 1 3 の配置密度を高くすることが可能となる。また、被測定素子 1 1 ~ 1 3 を近接配置することが可能となり、被測定素子 1 1 ~ 1 3 のペア特性 (ローカルばらつき) を精度良く評価することが可能となる。

【 0 0 4 8 】

このように本変形例では、異なる層に設けられた列配線 M 1 および行配線 M 2 からなる単位アレイ配線 2 1 と、異なる層に設けられた列配線 M 3 および行配線 M 4 からなる単位アレイ配線 2 2 と、異なる層に設けられた列配線 M 5 および行配線 M 6 からなる単位アレイ配線 2 3 とを、互いに異なる層に設け、複数の単位アレイ配線 2 1 ~ 2 3 には、それぞれ、複数の被測定素子 1 1 ~ 1 3 のいずれか一つを接続するようにしたので、被測定素子 1 1 ~ 1 3 の配置密度を更に高めることが可能となる。

【 0 0 4 9 】

(変形例 1 - 5)

図 1 3 は、変形例 1 - 5 に係る T E G 4 E の構成を表したものである。本変形例は、図 9 に示した変形例 1 - 4 の T E G 4 D において、一つの被測定素子 1 3 の向きを異ならせたものである。すなわち、列配線 M 5 には、被測定素子 1 3 のゲートおよびバックゲートが接続されている。行配線 M 6 には、被測定素子 1 3 のソースおよびドレインが接続されている。本変形例では、被測定素子 1 1 ~ 1 3 の配置方向 (ゲートの向き) による特性ばらつき等の評価が可能となる。

【 0 0 5 0 】

(変形例 1 - 6)

図 1 4 は、変形例 1 - 6 に係る T E G 4 F の構成を表したものである。本変形例は、図 9 に示した変形例 1 - 5 の T E G 4 D において、被測定素子 1 1 がトランジスタ、被測定素子 1 2 が抵抗素子、被測定素子 1 3 がキャパシタであることを除いては、上記第 1 の実施の形態および変形例 1 - 5 と同様の構成、作用および効果を有している。

【 0 0 5 1 】

一つの素子の特性を詳細に評価するためには、抵抗や容量等の成分分離をする必要がある。例えば、一つのトランジスタの特性パラメータを分離評価するには、ゲート抵抗やゲート容量等、各種抵抗や容量の評価が必要になる。本変形例では、被測定素子 1 1 ~ 1 3 としてトランジスタ、抵抗素子またはキャパシタ等を任意に組み合わせることが可能となるので、単体素子の特性パラメータの分離評価に際して、高密度に近接配置した被測定素子 1 1 ~ 1 3 を用いた評価が可能となる。このため、配置位置によるばらつき成分を低減することが可能となり、精度良く各特性成分の評価を行うことが可能となる。また、例えばトランジスタの特性のどこが悪いのかを、近傍の素子の測定によって成分分析することも可能となる。

【 0 0 5 2 】

特に、プロセス世代が進むにつれて、新規材料および新規技術を多数組み合わせた素子構造が採用されるようになってきている。そのため、回路特性の評価や歩留まりの管理には、単体素子が有する複数の特性パラメータが重要になっている。本変形例は、このような新規材料および新規技術を採用した素子の評価に好適である。

【0053】

なお、本変形例では、被測定素子11～13がすべて異なる種類の素子（トランジスタ、抵抗素子およびキャパシタ）であり、それぞれが異なる特性（トランジスタの諸特性、抵抗、容量）を測定可能である場合について説明したが、被測定素子11～13のうち少なくとも一つが、他の被測定素子とは異なる種類の素子であり、他の被測定素子とは異なる特性を測定可能であってもよい。

10

【0054】

（第2の実施の形態）

図15は、本開示の第2の実施の形態に係るTEG4Gの構成を表したものである。本実施の形態は、図1に示したTEGブロック3の配置方向に応じて、被測定素子11を単位アレイ配線21、22のいずれか一つに接続することにより、被測定素子11の配置方向を可変としたものである。このことを除いては、本実施の形態は上記第1の実施の形態と同様の構成、作用および効果を有している。よって、対応する構成要素には同一の符号を付して説明する。

【0055】

図15(A)に示したように、TEGブロック3（図1参照。）が縦方向（縦長）に配置されている場合には、図15(B)に示したように、TEG4G内では、列配線M1、M3が縦方向、行配線M2、M4が横方向となる。

20

【0056】

図15(A)に示したように、TEGブロック3内においてトランジスタのゲートを縦方向に配置したい場合には、図15(B)に示したように、TEG4G内では、被測定素子11を単位アレイ配線21に接続する。すなわち、被測定素子11のソースおよびドレインを列配線M1に接続し、被測定素子11のゲートおよびバックゲートを行配線M2に接続する。

【0057】

一方、図15(C)に示したように、TEGブロック3を左90度回転し、横方向（横長）に配置した場合には、図15(D)に示したように、TEG4G内では、列配線M1、M3が横方向、行配線M2、M4が縦方向となる。

30

【0058】

ここで、TEGブロック3を左90度回転した場合にもトランジスタのゲートを縦方向に配置することが望ましい。その理由は以下の通りである。トランジスタの特性ばらつき要因の一つとして、リソグラフィーによるゲート長さの寸法ばらつきがある。すなわち、トランジスタのゲート電極の配置方向により、ゲート長さの寸法ばらつきに差が生じることが知られている。そのため、TEGブロック3の配置方向にかかわらず、トランジスタの配置方向を揃えておかないと、ゲート長さの寸法ばらつきの差によって特性差が生じてしまう。

40

【0059】

そこで、TEGブロック3を左90度回転した場合には、図15(D)に示したように、TEG4G内では、被測定素子11を単位アレイ配線22に接続する。すなわち、被測定素子11のソースおよびドレインを行配線M4に接続し、被測定素子11のゲートおよびバックゲートを列配線M3に接続する。

【0060】

これにより、列配線M1、M3および行配線M2、M4を修正することなく被測定素子11の配置方向を変更し、被測定素子の配置方向による寸法ばらつきの差を排除することが可能となる。よって、TEGブロック3の回転に合わせて被測定素子11の配置方向を変更するための回路修正の時間を大幅に短縮することが可能である。

50

【 0 0 6 1 】

これに対して、従来では、図 1 6 (A) および図 1 6 (B) に示したように、T E G ブロックを左 9 0 度回転した場合にもトランジスタ 1 1 1 の配置方向を同じにするためには、追加の配線 1 5 0 が必要となっていた。このような再配線などの回路修正には多くの時間がかかることに加えて、追加の配線 1 5 0 により余分な配線抵抗が生じていた。

【 0 0 6 2 】

以上、一つの被測定素子 1 1 を回転配置可能とした場合を例として説明したが、上記の説明は、T E G 4 G が複数の被測定素子を有する場合についても当てはまる。その場合には、複数の被測定素子の各々に対して二つの単位アレイ配線を設け、T E G ブロック 3 の配置方向に応じて被測定素子をいずれかの単位アレイ配線に接続することが可能である。このようにした場合にも、第 1 の実施の形態と同様に、単位アレイ配線どうしを部分的に重ね合わせて（オーバーラップさせて）配置することにより、配線密度が許す限り同一領域内に多数の被測定素子を設けることが可能となる。よって、複数の被測定素子を高密度に配置しつつ被測定素子の配置方向を可変とし、T E G ブロックの配置方向の変更に柔軟に対応することが可能となる。

10

【 0 0 6 3 】

このように列配線 M 1 , M 3 および行配線 M 2 , M 4 の配置を変えずに被測定素子 1 1 の配置方向のみ変更可能とするためには、列配線 M 1 , M 3 および行配線 M 2 , M 4 のうち、被測定素子 1 1 を異なる方向に配置したときに被測定素子 1 1 の同一部分に接続されるものが、同一の測定用パッドに接続されていることが好ましい。すなわち、列配線 M 1 の一方と行配線 M 4 の一方とが、ソースパッド 3 0 S に接続されている。列配線 M 1 の他方と行配線 M 4 の他方とが、ドレインパッド 3 0 D に接続されている。行配線 M 2 の一方と、列配線 M 3 の一方とが、ゲートパッド 3 0 G に接続されている。列配線 M 2 の他方と行配線 M 2 の他方とが、バックゲートパッド 3 0 H に接続されている。なお、図 1 5 (B) では、ソースパッド 3 0 S , ドレインパッド 3 0 D , ゲートパッド 3 0 G およびバックゲートパッド 3 0 H を省略しているが、ソースパッド 3 0 S に接続される配線には (S) 、ドレインパッド 3 0 D に接続される配線には (D) 、ゲートパッド 3 0 G に接続される配線には (G) 、バックゲートパッド 3 0 H に接続される配線には (B G) を付して表している。

20

【 0 0 6 4 】

このように本実施の形態では、異なる層に設けられた列配線 M 1 および行配線 M 2 からなる単位アレイ配線 2 1 と、異なる層に設けられた列配線 M 3 および行配線 M 4 からなる単位アレイ配線 2 2 とを、互いに異なる層に設け、被測定素子 1 1 を、複数の単位アレイ配線 2 1 , 2 2 のいずれかが一つに接続するようにしたので、被測定素子 1 1 , 1 2 の配置密度を高めることが可能となる。

30

【 0 0 6 5 】

特に、近年の半導体集積回路では、トランジスタの特性向上を目的として、応力膜材料をトランジスタに近接配置することでチャネル領域へ応力を印加してキャリアの移動度を向上させる技術が用いられている。このような応力膜材料を利用した技術では、トランジスタの配置方向による影響が大きくなる。本実施の形態は、そのような応力膜材料を用いたトランジスタの特性評価にも極めて好適である。

40

【 0 0 6 6 】

第 1 の実施の形態の変形例 1 - 1 ~ 1 - 6 は、第 2 の実施の形態にも適用可能である。

【 0 0 6 7 】

(変形例 2 - 1)

図 1 7 は、変形例 2 - 1 に係る T E G 4 F の構成を表したものである。本変形例は、被測定素子が抵抗素子であることを除いては、上記第 2 の実施の形態と同一の構成、作用および効果を有するものである。

【 0 0 6 8 】

以上、実施の形態を挙げて本技術を説明したが、本技術は上記実施の形態等に限定され

50

ず、種々の変形が可能である。例えば、上記実施の形態では、単位アレイ配線 2 1 ~ 2 3 を二つまたは三つ設けた場合を例に挙げて説明したが、単位アレイ配線 2 1 ~ 2 3 の数は四つ以上でもよい。また、単位アレイ配線を構成する配線層の組み合わせも、異なる配線層で構成されていれば、どの配線層を組み合わせてもよい。例えば、第 1 の実施の形態では、単位アレイ配線 2 1 が列配線 M 1 および行配線 M 2 を有し、単位アレイ配線 2 2 が列配線 M 3 および行配線 M 4 を有している場合について説明したが、単位アレイ配線 2 1 が列配線 M 1 および行配線 M 4 を有し、単位アレイ配線 2 2 が列配線 M 3 および行配線 M 2 を有していてもよい。第 2 の実施の形態についても同様の変更が可能である。

【 0 0 6 9 】

更に、上記実施の形態では、被測定素子がトランジスタ、抵抗素子またはキャパシタである場合を例に挙げて説明したが、本開示は、被測定素子がダイオードやコンデンサなどの他の電子部品である場合にも適用可能である。

【 0 0 7 0 】

加えて、上記第 1 の実施の形態では、列配線 M 1 には、被測定素子 1 1 のソースおよびドレインを接続し、行配線 M 2 には、被測定素子 1 1 のゲートおよびバックゲートを接続し、列配線 M 3 には、被測定素子 1 2 のソースおよびドレインを接続し、行配線 M 4 には、被測定素子 1 2 のゲートおよびバックゲートを接続している場合について説明した。すなわち、各被測定素子 1 1 , 1 2 のソースとドレインとは z 方向において同一高さの配線層に接続され、各被測定素子 1 1 , 1 2 のゲートとバックゲートとは z 方向において同一高さの配線層に接続されている。しかしながら、各被測定素子 1 1 , 1 2 のソースとドレインとは z 方向において異なる高さの配線層に接続されていてもよい。あるいは、各被測定素子 1 1 , 1 2 のゲートとバックゲートとは z 方向において異なる高さの配線層に接続されていてもよい。

【 0 0 7 1 】

例えば図 1 8 に示したように、単位アレイ配線 2 1 は、y 方向の列配線 M 1 , M 2 および x 方向の行配線 M 4 , M 6 を有し、単位アレイ配線 2 2 は y 方向の 2 本の列配線 M 3 および x 方向の行配線 M 5 , M 6 を有している。列配線 M 1 , M 2 は、z 方向において異なる層（例えば基板 1 0 側から第 1 層目 H 1 と第 2 層目 H 2 と）に設けられ、行配線 M 4 , M 6 は、z 方向において異なる層（例えば基板 1 0 側から第 4 層目 H 4 と第 6 層目 H 6 と）に設けられている。行配線 M 5 , M 6 は、z 方向において異なる層（例えば基板 1 0 側から第 5 層目 H 5 と第 6 層目 H 6 と）に設けられている。被測定素子 1 1 のソースは列配線 M 1 に接続され、ドレインは列配線 M 2 に接続され、ゲートは行配線 M 4 に接続され、バックゲートは行配線 M 6 に接続されている。被測定素子 1 2 のソースおよびドレインは 2 本の列配線 M 3 に接続され、ゲートは行配線 M 5 に接続され、バックゲートは行配線 M 6 に接続されている。この場合、列配線 M 1 ~ M 3 と、行配線 M 4 ~ M 6 とは、異なる高さの層に設けられていることが必要である。すなわち、列配線 M 1 ~ M 3 と、行配線 M 4 ~ M 6 とで、同じ高さの配線層を用いることは不可である。

【 0 0 7 2 】

また、例えば図 1 9 に示したように、単位アレイ配線 2 1 は、y 方向の列配線 M 1 , M 2 および x 方向の行配線 M 5 , M 7 を有し、単位アレイ配線 2 2 は y 方向の列配線 M 3 , M 4 および x 方向の行配線 M 6 , M 8 を有している。列配線 M 1 , M 2 は、z 方向において異なる層（例えば基板 1 0 側から第 1 層目 H 1 と第 2 層目 H 2 と）に設けられ、行配線 M 5 , M 7 は、z 方向において異なる層（例えば基板 1 0 側から第 5 層目 H 5 と第 7 層目 H 7 と）に設けられている。列配線 M 3 , M 4 は、z 方向において異なる層（例えば基板 1 0 側から第 3 層目 H 3 と第 4 層目 H 4 と）に設けられ、行配線 M 6 , M 8 は、z 方向において異なる層（例えば基板 1 0 側から第 6 層目 H 6 と第 8 層目 H 8 と）に設けられている。被測定素子 1 1 のソースは列配線 M 1 に接続され、ドレインは列配線 M 2 に接続され、ゲートは行配線 M 5 に接続され、バックゲートは行配線 M 7 に接続されている。被測定素子 1 2 のソースは列配線 M 3 に接続され、ドレインは列配線 M 4 に接続され、ゲートは行配線 M 6 に接続され、バックゲートは行配線 M 8 に接続されている。この場合には、列

配線 M 1 ~ M 4 と、行配線 M 5 ~ M 8 とは、異なる高さの層に設けられていることが必要である。すなわち、列配線 M 1 ~ M 4 と、行配線 M 5 ~ M 8 とで、同じ高さの配線層を用いることは不可である。

【 0 0 7 3 】

なお、図 1 8 および図 1 9 のような配線層の組み合わせの変更は、第 2 の実施の形態のように三つ、またはそれ以上の単位アレイ配線を設けた場合も同様に可能である。

【 0 0 7 4 】

なお、本技術は以下のような構成を取ることも可能である。

(1)

複数の被測定素子と、

異なる層に設けられた列配線および行配線からなると共に前記複数の被測定素子のいずれか一つに接続された単位アレイ配線を複数有し、前記複数の単位アレイ配線が互いに異なる層に設けられている複合アレイ配線と

を備えた半導体装置。

10

(2)

前記列配線どうし、および前記行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けられている

前記 (1) 記載の半導体装置。

(3)

前記被測定素子と前記単位アレイ配線とを接続する接続部を有し、前記接続部は、前記平面内における前記列配線と前記行配線との交差位置を回避して設けられている

前記 (2) 記載の半導体装置。

20

(4)

前記単位アレイ配線は、同一層の 2 本の前記列配線と、同一層の 2 本の前記行配線とを有する

前記 (3) 記載の半導体装置。

(5)

前記単位アレイ配線は、異なる層の 2 本の前記列配線と、前記列配線とは異なる層の 2 本の前記行配線とを有する

前記 (3) 記載の半導体装置。

30

(6)

前記列配線および前記行配線のうち、前記複数の被測定素子の同一部分に接続されるものが、同一の測定用パッドに接続されている

前記 (1) ないし (5) のいずれか 1 項に記載の半導体装置。

(7)

前記複数の被測定素子は同じ向きに配置されている

前記 (1) ないし (6) のいずれか 1 項に記載の半導体装置。

(8)

前記複数の被測定素子のうちの少なくとも一つが、他の前記被測定素子とは異なる向きに配置されている

前記 (1) ないし (6) のいずれか 1 項に記載の半導体装置。

40

(9)

前記複数の被測定素子のうちの少なくとも一つが、他の前記被測定素子とは異なる特性を測定可能である

前記 (1) ないし (8) のいずれか 1 項に記載の半導体装置。

(1 0)

異なる層に設けられた列配線および行配線からなる単位アレイ配線を複数有し、前記複数の単位アレイ配線は互いに異なる層に設けられている複合アレイ配線と、

前記複数の単位アレイ配線のいずれか一つに接続された被測定素子と

を備えた半導体装置。

50

(1 1)

前記列配線どうし、および前記行配線どうしは、行方向および列方向を含む平面内において互いにずれた位置に設けられている

前記 (1 0) 記載の半導体装置。

(1 2)

前記被測定素子と前記単位アレイ配線とを接続する接続部を有し、前記接続部は、前記平面内における前記列配線と前記行配線との交差位置を回避して設けられている

前記 (1 1) 記載の半導体装置。

(1 3)

前記単位アレイ配線は、同一層の 2 本の前記列配線と、同一層の 2 本の前記行配線とを有する

10

前記 (1 2) 記載の半導体装置。

(1 4)

前記単位アレイ配線は、異なる層の 2 本の前記列配線と、前記列配線とは異なる層の 2 本の前記行配線とを有する

前記 (1 2) 記載の半導体装置。

(1 5)

前記列配線および前記行配線のうち、前記被測定素子を異なる方向に配置したときに前記被測定素子の同一部分に接続されるものが、同一の測定用パッドに接続されている

前記 (1 0) ないし (1 4) のいずれか 1 項に記載の半導体装置。

20

(1 6)

前記被測定素子を複数有し、

前記複合アレイ配線は、前記複数の被測定素子の各々について二つの前記単位アレイ配線を有する

前記 (1 0) ないし (1 5) のいずれか 1 項に記載の半導体装置。

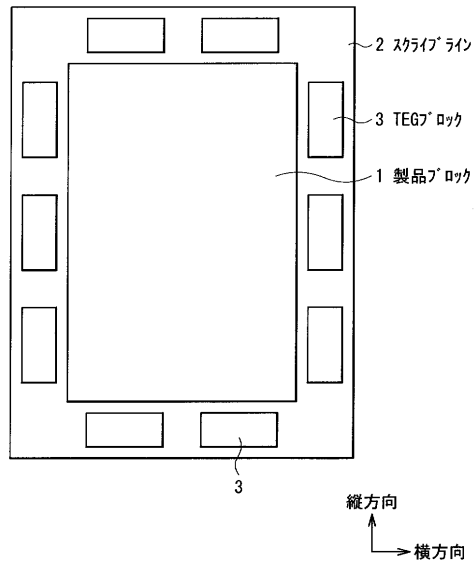
【符号の説明】

【 0 0 7 5 】

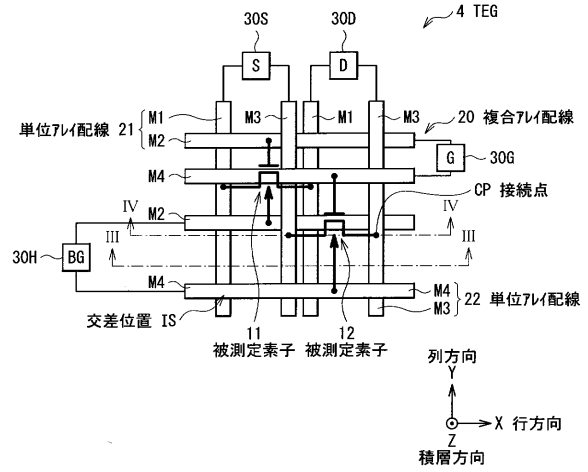
1 ... 製品ブロック、2 ... スクライプライン、3 ... T E G ブロック、4 ... T E G、1 0 ... 基板、1 1 , 1 2 , 1 3 ... 被測定素子、2 0 ... 複合アレイ配線、2 1 , 2 2 , 2 3 ... 単位アレイ配線、3 0 S ... ソースパッド、3 0 D ... ドレインパッド、3 0 G ... ゲートパッド、4 0 ... 接続部、4 1 A ~ 4 1 F ... ピア、4 2 A ~ 4 2 F ... 金属層、M 1 , M 3 , M 5 ... 列配線、M 2 , M 4 , M 6 ... 行配線

30

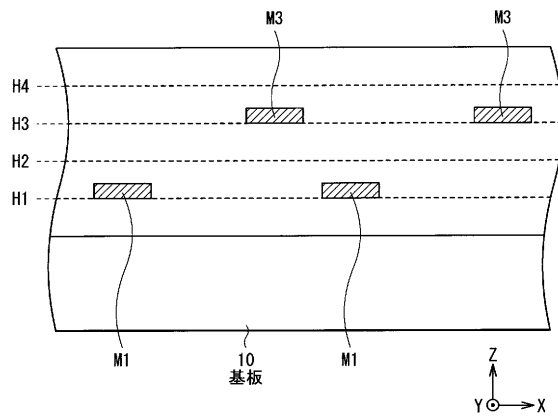
【図 1】



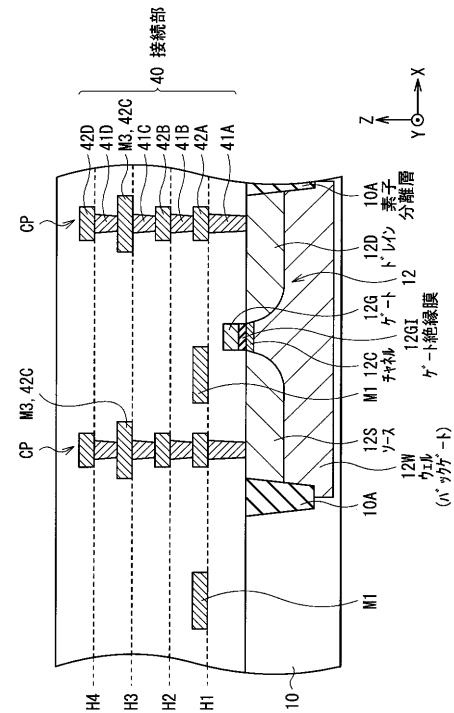
【図 2】



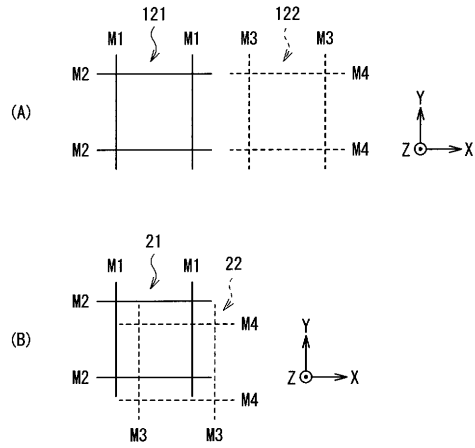
【図 3】



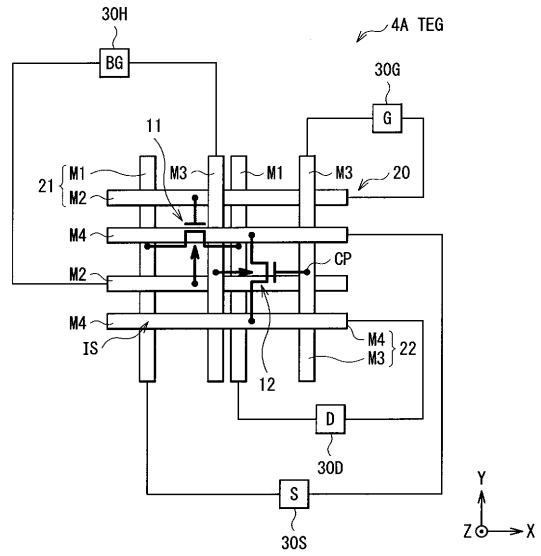
【図 4】



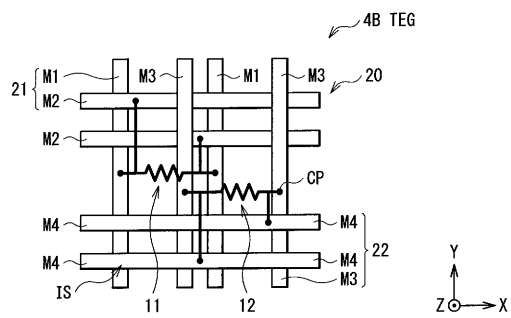
【図 5】



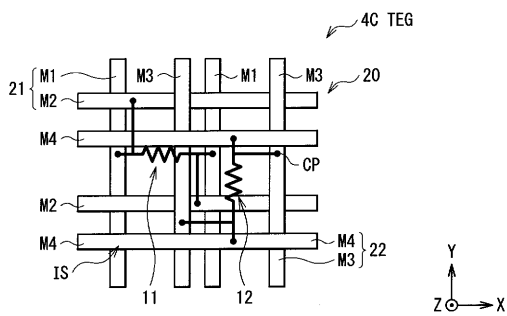
【図 6】



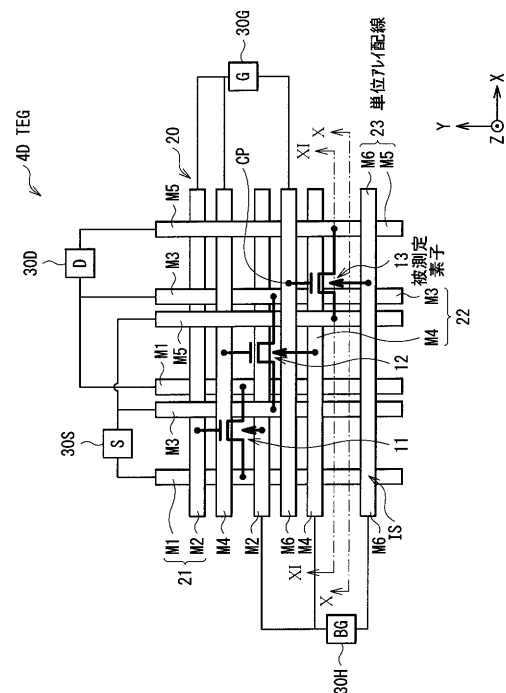
【図 7】



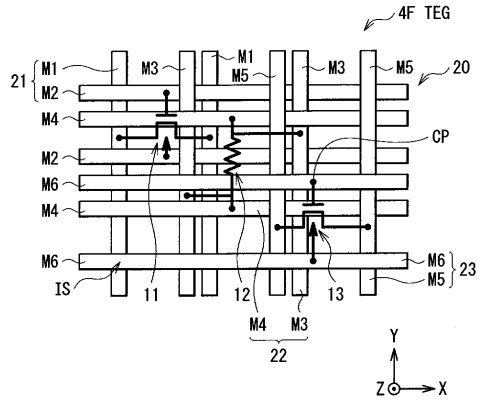
【図 8】



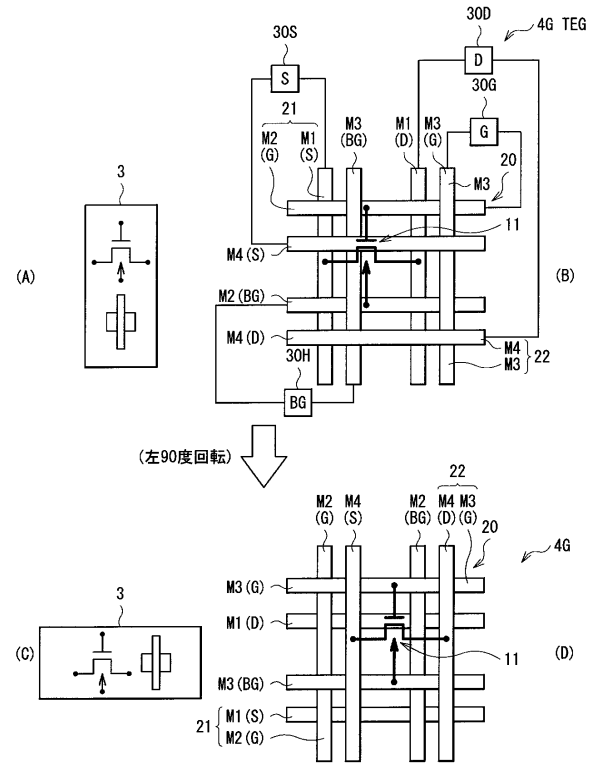
【図 9】



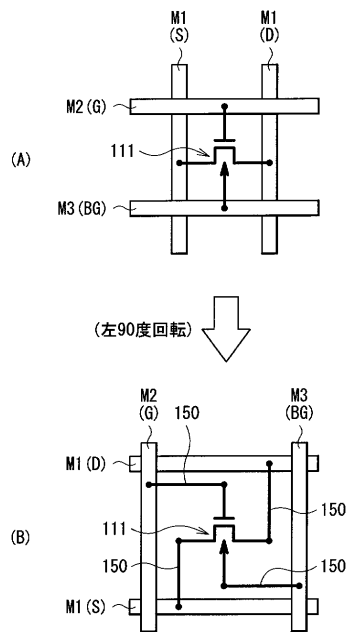
【図 14】



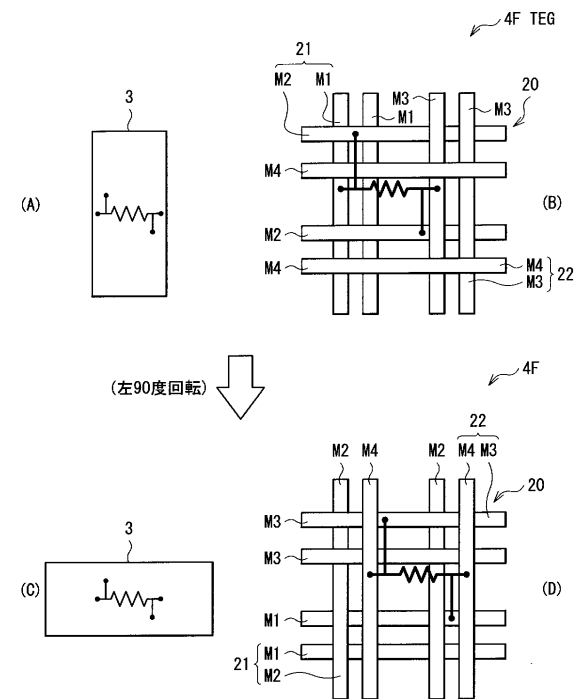
【図 15】



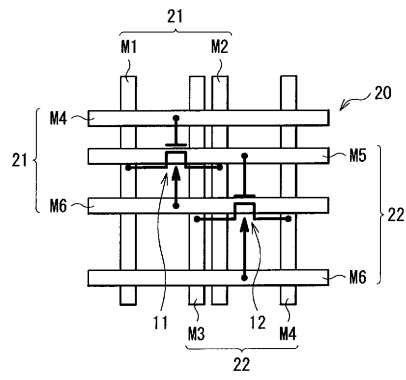
【図 16】



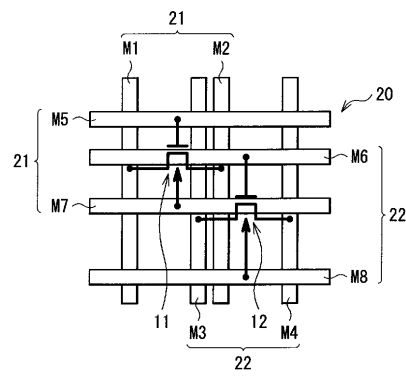
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/82 T

審査官 市川 武宜

(56)参考文献 特開 2 0 0 9 - 2 3 9 1 0 1 (J P , A)
特開平 1 1 - 2 9 7 7 8 2 (J P , A)
特開 2 0 0 7 - 1 0 3 9 4 6 (J P , A)
特開 2 0 0 9 - 2 3 9 0 2 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 6 6
H 0 1 L 2 1 / 8 2
H 0 1 L 2 7 / 0 4