

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-516398
(P2005-516398A)

(43) 公表日 平成17年6月2日(2005.6.2)

(51) Int. Cl.⁷

H01L 25/04
H01L 25/18

F I

H01L 25/04

Z

テーマコード (参考)

審査請求 有 予備審査請求 未請求 (全 10 頁)

(21) 出願番号 特願2003-562997 (P2003-562997)
 (86) (22) 出願日 平成14年10月9日 (2002.10.9)
 (85) 翻訳文提出日 平成16年9月1日 (2004.9.1)
 (86) 国際出願番号 PCT/US2002/032677
 (87) 国際公開番号 W02003/063236
 (87) 国際公開日 平成15年7月31日 (2003.7.31)
 (31) 優先権主張番号 10/053, 123
 (32) 優先日 平成14年1月18日 (2002.1.18)
 (33) 優先権主張国 米国 (US)

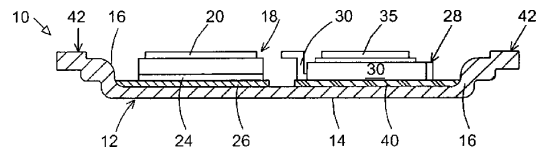
(71) 出願人 597161115
 インターナショナル レクティファイアー
 コーポレーション
 アメリカ合衆国 カリフォルニア州 90
 245 エル セガンド カンザス スト
 リート 233
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100101465
 弁理士 青山 正和
 (74) 代理人 100108453
 弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 ワンパッケージ化されたダイを有する半導体装置

(57) 【要約】

金属の形態の外部クリップ(12)を含むワンパッケージ化された半導体装置(10)は、少なくとも一つが電気コネクタとして外部クリップを使用する2つの半導体ダイ(30)を含むこともできる。内部クリップ(28)は、外部クリップ内のダイの一つを配置するために用いられる。内部クリップは、絶縁層によって外部クリップから絶縁され得る。



【特許請求の範囲】

【請求項 1】

ウェブ部と、空間を形成するために該ウェブ部の端縁部から延在する複数の壁と、を有する外部導電クリップと；

少なくとも2つの主電極を有する第1半導体ダイであって、前記主電極のそれぞれが該第1半導体ダイのそれぞれの主表面に配置された第1半導体ダイと；

前記主電極のうちの一つを前記ウェブ部へ電氣的に接続する導電層と；

複数の壁を有するとともに、前記空間内にかつ前記ウェブ部上に配置された内部クリップと；

前記内部導電クリップ内に少なくとも部分的に配置された第2半導体ダイと；

を備えることを特徴とするワンパッケージ化された半導体装置。

10

【請求項 2】

請求項1記載のワンパッケージ化された半導体装置において、

前記外部導電クリップは、該外部導電クリップの対向壁の2つの端縁部から延在する2つの隆起部を含み、各隆起部は、基板上の対応する電氣的コンタクトパッドと電氣的な接触を形成するための接触表面を含むことを特徴とするワンパッケージ化された半導体装置。

【請求項 3】

請求項2記載のワンパッケージ化された半導体装置において、

前記内部クリップは、前記外部導電クリップの前記2つの隆起部の前記接触表面と同一平面にある壁のうちの一つから延在する部分を含むことを特徴とするワンパッケージ化された半導体装置。

20

【請求項 4】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部クリップは、前記ウェブ部へ接続されているが前記ウェブ部から絶縁されていることを特徴とするワンパッケージ化された半導体装置。

【請求項 5】

請求項1記載のワンパッケージ化された半導体装置において、

前記第1及び第2半導体ダイはM O S F E Tであることを特徴とするワンパッケージ化された半導体装置。

30

【請求項 6】

請求項1記載のワンパッケージ化された半導体装置において、

前記第1半導体ダイは、前記ウェブ部へ接続されたドレイン電極を有するM O S F E Tであり、前記第2半導体ダイは、前記M O S F E Tを制御するための集積回路であることを特徴とするワンパッケージ化された半導体装置。

【請求項 7】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部クリップは、銅から形成されていることを特徴とするワンパッケージ化された半導体装置。

【請求項 8】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部導電クリップの外部表面は、絶縁されていることを特徴とするワンパッケージ化された半導体装置。

40

【請求項 9】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部クリップの内部表面は、銀で被覆されていることを特徴とするワンパッケージ化された半導体装置。

【請求項 10】

請求項1記載のワンパッケージ化された半導体装置において、

前記内部クリップを前記ウェブ部へ接続する絶縁層をさらに備えることを特徴とするワ

50

ンパッケージ化された半導体装置。

【請求項 1 1】

請求項 1 記載のワンパッケージ化された半導体装置において、
前記第 2 半導体ダイは、前記第 1 半導体ダイよりも薄いことを特徴とするワンパッケージ化された半導体装置。

【請求項 1 2】

請求項 1 記載のワンパッケージ化された半導体装置において、
前記第 2 半導体ダイは、導電性エポキシによって前記内部クリップへ電氣的に接続されていることを特徴とするワンパッケージ化された半導体装置。

【請求項 1 3】

請求項 1 から 1 2 のいずれか一項に記載のワンパッケージ化された半導体装置において、

前記外部導電クリップは、金属缶であることを特徴とするワンパッケージ化された半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関し、より詳細には、少なくとも 2 つのワンパッケージ化された半導体ダイを含む半導体装置に関する。

【背景技術】

【0002】

一般にコパック (copack) と称されるワンパッケージ化された装置が良く知られている。通常、そのような装置は、共通のハウジングにパッケージ化された 2 つ又はそれよりも多くの同一の又は異なる半導体装置を含む。そのような構成によって達成される利益は、回路内の同一の機能に対して用いられる別々にパッケージ化された半導体ダイによって消費されるよりも、回路基盤上でより小さな空間を占める、よりコンパクトな電子パッケージである。この空間の節約によって、同一の空間により多くの電子部品を有する、よりコンパクトな装置及び / 又はより複雑な装置の構築が無理なく可能になる。

【0003】

多くのコパック装置はモールドハウジングとリードフレームとを含む。リードフレームが半導体ダイを回路内の外部要素へ接続するために用いられる一方で、ハウジングは、水蒸気のような環境要素に対して半導体ダイへ保護を与える。したがって、この従来の構成は、コパックのコストに加わるだけでなく、コパックの製造を複雑にするいくつかの構成要素を必要とする。したがって、アSEMBリに要求される構成要素の数を減少させつつ、2 つ又はそれよりも多くの装置を有するコパック装置が望まれている。

【発明の開示】

【課題を解決するための手段】

【0004】

この発明に係る半導体装置は、少なくとも 2 つの同一の又は異なる半導体ダイを含む。2 つの半導体ダイは、これら半導体ダイのうちの少なくとも一つに対して外部コネクタとして役立つことのできる共通の外部金属クリップ内にワンパッケージ化されている。

【0005】

本発明の第 1 の側面によれば、2 つの同一の又は異なる半導体ダイは、外部クリップ内に収容され、該外部クリップは、ダイのためのハウジングとダイのうちの一つを電子回路の外部構成要素へ接続するための電気コネクタとの両方に役立つ。

【0006】

特に、本発明に係るワンパッケージ化された半導体装置は、実質的に平らなウェブ部 (web portion) と、空間を画定する複数の壁と、を有することができる。MOSFET とすることができる第 1 半導体ダイは、ドレイン電極で導電層によってウェブ部へ電氣的に接続されており、導電層は、はんだ層又は導電性エポキシとすることができる。外部クリ

10

20

30

40

50

ップの2つの対向壁の端縁部から延在する2つの隆起部は、回路基盤のような基板上の対応する電気パッドへの接続を形成し、これによりMOSFETのドレイン電極が電子回路内の適切な箇所へ接続される。

【0007】

第2半導体ダイは内部クリップ内に配置され、該クリップは、絶縁層によって外部クリップのウェブ部に接続されているがウェブ部から絶縁されている。第2半導体ダイは第1半導体ダイと同一のMOSFET、又は第1半導体ダイの動作を制御するために半導体チップ上に形成された集積回路とすることができる。

【0008】

この発明の第1の側面によれば、第1半導体ダイの厚さと内部クリップ及び第2半導体ダイの全体の高さとは、それぞれの頂部表面が互いに同一平面に、かつ好適には隆起部の接触表面と同一平面にあるように等しい。この結果を達成するために、第2半導体ダイは、その厚さを減少させるために基部（ground）とすることができる。

10

【0009】

この発明に係る内部クリップは、基部プレートと、基部プレートの端縁部から実質的に垂直に延在する複数の壁と、を含む。内部クリップの壁の少なくとも一つは、外部クリップの隆起部と好ましくは同一平面にある接触表面を画定するために屈曲された拡張部を含む。内部クリップの接触表面は、第2半導体ダイを電子回路内の位置へ接続するために、基板上的適切なパッドと接触を形成する。好ましくは、内部クリップの外部表面は、絶縁表面を形成するよう化学的に処理されているか、又はポリイミドのような電氣的絶縁ポリマー層によって絶縁されている。内部クリップの内部表面は、銀のような導電性の高い金属で好ましくは被覆されている。内部クリップは、第2半導体ダイを少なくとも部分的に受ける実質的に垂直な壁を形成するために銅箔の端縁部を持ち上げることによって形成され得る。

20

【0010】

この発明の第2実施例に係るワンパッケージ化された半導体装置は、第1実施例で用いられたものと実質的に同様の金属缶とすることができる外部クリップを含む。第2実施例に係る半導体装置は、少なくとも2つの同一の又は異なる半導体ダイを含み、半導体ダイのそれぞれは、導電性んだ層又は導電性エポキシによって外部クリップのウェブ部へ電氣的に接続された主電極のうちの少なくとも一つを有する。この実施例では、外部クリップは、半導体ダイのためのハウジングと、装置を電子回路内の外部構成要素へ接続するコネクタと、の両方として役に立つ。

30

【0011】

この発明の他の特徴及び優位点は、添付の図面を参照する本発明の次の記述から明らかとなる。

【発明を実施するための最良の形態】

【0012】

図1は、この発明の第1実施例に係る半導体装置10を示す。半導体装置10は、外部導電クリップ12を含む。外部導電クリップ12は、ウェブ部14と、空間を画定するためにウェブ部14の端縁部から延在する複数の壁16と、を含む金属缶である。外部クリップ12は銅から形成することができ、好ましくは銀で被覆される。第1半導体ダイ18は、外部導電クリップ12の壁16によって画定された空間内に配置されている。第1半導体ダイ18は、垂直導電性MOSFET、パワーダイオード、IGBT、又は同様のものとしてすることができる。この発明の第1実施例では、第1半導体装置18は、ソース電極20、ゲート電極22、及びドレイン電極24を有する垂直導電性MOSFET（vertical conduction MOSFET）である（図2）。

40

【0013】

図2を参照すると、第1半導体ダイ18のドレイン電極24は、導電材料層26によって外部導電クリップ12のウェブ部14へ電氣的に接続されており、導電材料層26はんだ又は導電性エポキシとすることができる。第1実施例に係る半導体装置10はまた、

50

外部クリップ 1 2 の壁 1 6 によって画定された空間内に配置された内部クリップ 2 8 をも含む。

【 0 0 1 4 】

図 3 及び図 4 を参照すると、内部クリップ 2 8 は、銅のシートのような薄い導電性金属シートから好ましくは形成されており、基部プレート部 3 2 の周囲で空間を画定する好ましくは垂直に延在する壁 3 0 を含む。内部クリップ 2 8 はまた、クリップ 2 8 の壁 3 0 のうちの一つの端縁部から延在する拡張部 3 4 を含み、接触表面 3 3 を提供するように曲げられている。内部クリップ 2 8 の内部表面は、銀のような導電性の高い材料で被覆することができ、外部表面は、絶縁を形成するように化学的に処理され得るか、又はポリイミドのような絶縁接着フィルム (insulating adhesive film) で被覆され得る。内部クリップ 2 8 は、壁 3 0 を形成するために薄い銅箔の外部端縁部を持ち上げることによって好ましくは形成される。そのように形成された壁のうちの一つは、接触表面 3 3 として拡張部 3 4 の内部表面を露出させるために外側へ曲げられた拡張部 3 4 を有するべきである。内部クリップ 2 8 を形成するために用いられる銅箔は、外部クリップ 1 2 の深さよりも薄くするべきである。好ましい実施例では、例えば、外部クリップ 1 2 が約 0 . 3 9 6 m m の深さを有する箇所、約 0 . 1 0 0 m m の厚さの銅箔が用いられる。

10

【 0 0 1 5 】

ここで図 1 及び図 2 を参照すると、第 2 半導体ダイ 3 6 は、内部クリップ 2 8 の壁 3 0 内の空間に備わっている。第 1 実施例では、第 2 半導体ダイは、導電層 3 8 によって内部クリップ 2 8 に電氣的に接続されたドレイン電極 (不図示) を有する M O S F E T とすることができ、導電層 3 8 は、はんだ、又は銀の加えられたエポキシのような導電性エポキシとすることができる。内部クリップ 2 8 の壁 3 0 は、はんだ又は導電性エポキシが外部クリップ 1 2 のウェブ部 1 4 にこぼれて接触するのを防止するためのダムとして作用する。第 2 半導体ダイ 3 6 は、内部クリップ 2 8 の基部と外部クリップ 1 2 のウェブ部 1 4 との間に配置された絶縁層 4 0 によって外部クリップ 1 2 から絶縁されている。好ましい実施例では、第 1 半導体ダイ 1 8 は、約 0 . 3 5 0 の厚さを有し、導電材料 2 6 によって外部クリップ 1 2 の深さにおける頂部に持ち上げられる。第 2 半導体ダイ 3 6 はまた、その頂部表面が第 1 半導体ダイ 1 8 の頂部表面と同一平面となるように、内部クリップ 2 8 の内側で持ち上げられている。この結果を得るために、第 1 半導体ダイ 1 8 よりも薄いダイを用いる必要がある。好ましい実施例では、第 2 半導体ダイ 3 6 は 0 . 2 0 0 m m の厚さである。この厚さを達成するために、ダイの背部は、内部缶 2 8 に配置される準備ができる前に、所望の厚さに対する基部とすることができる。

20

30

【 0 0 1 6 】

図 7 を参照すると、この発明の 1 側面によれば、外部クリップ 1 2 は、外部クリップ 1 2 の 2 つの対向壁の端縁部から立ち上がる少なくとも 2 つの隆起部 4 2 を含む。各隆起部 4 2 は、基板 4 5 上の対応する電気パッド 4 3 と電氣的な接触を形成するための平らな接触表面を有する。隆起部 4 2 を介して、第 1 半導体ダイ 1 8 のドレイン電極 2 4 は、電子回路内の適切な箇所に電氣的に接続される。したがって、外部クリップ 1 2 は、ハウジングと第 1 半導体ダイ 1 2 のための電気コネクタとの両方として役立つ。

【 0 0 1 7 】

第 1 実施例に係る半導体装置 1 0 においては、拡張部 3 4 の接触表面 3 3、第 1 半導体ダイ 1 8 のソース電極 2 0、及び第 2 半導体ダイ 3 6 のソース電極 3 5 は、外部クリップ 1 2 の隆起部 4 2 の接触表面と同一平面である。接触表面 3 3 は、第 2 半導体ダイ 3 6 のドレイン電極を電子回路内の適切な位置へ接続するために、第 2 半導体ダイ 3 6 のドレイン電極を基板 4 5 上の適切な導電パッド 4 7 へ接続する。

40

【 0 0 1 8 】

同様の数字が同様の構成要素と結び付けられる図 5 及び図 6 は、この発明の第 2 実施例に係る半導体装置 4 4 を示す。第 2 実施例に係る半導体装置 4 4 は、M O S F E T とすることができる第 1 及び第 2 半導体装置 1 8 , 1 8 を含む。しかしながら、パワーダイオード、I G B T S、及び同様のものもまた、M O S F E T の代わりに用いることができる

50

。第1及び第2半導体装置18, 18のドレイン電極24, 24は、導電層27, 27によって外部クリップ12のウェブ部14へ電氣的に接続されている。共通の導電層がまた、独立した導電層27, 27の代わりに用いることができる。導電層27, 27は、はんだ、又は銀の加えられたエポキシのような導電性エポキシの層とすることができる。第1及び第2半導体装置18, 18のソース電極20, 20は、互いに同一平面にあり、好ましくは外部クリップ12の隆起部42と同一平面にある。第2実施例では、外部クリップ12は、ハウジングとして、及び半導体ダイのドレイン電極24, 24に対する共通のコネクタとして役立つ。図8に示すように、隆起部42は、ダイのドレイン電極24, 24を電子回路内の適切な箇所へ接続するために、基板45上のパッド43と電氣的な接触を形成する。ダイのソース電極20, 20はまた、基板45上のパッド49と電氣的に接触しており、かくしてソース電極20, 20を、図8に示すように、回路内の適切な箇所へ接続する。

10

【0019】

当業者は、この発明が、明細書中で開示されるとともに、記述された実施例に関する例によって説明された発明の思想を用いて、様々な組み合わせの半導体ダイによって実施され得る、ということを理解されたい。例えば、第1実施例では第2半導体ダイ36は、ショットキーダイオード又は第1半導体ダイ18を制御するための制御ICと置き換えることができる。

【0020】

この発明は特定の実施例に関して述べられてきたが、多くの他の変形及び修正、及び他の使用は、当業者に明らかとなる。したがってこの発明は、明細書中の特定の開示によってではなく、添付の特許請求の範囲によってのみ制限されることが好ましい。

20

【図面の簡単な説明】

【0021】

【図1】この発明の第1実施例に係る半導体装置の平面図である。

【図2】図1の1-1線方向に見たこの発明の第1実施例の断面図である。

【図3】この発明の1側面に係る内部クリップの側面図である。

【図4】図3に示された内部クリップの平面図である。

【図5】この発明の第2実施例に係る半導体装置の平面図である。

【図6】図5の2-2線方向に見たこの発明の第2実施例の断面図である。

30

【図7】基板に接続されたこの発明の第1実施例に係る半導体装置を示す図である。

【図8】基板に接続されたこの発明の第2実施例に係る半導体装置を示す図である。

【符号の説明】

【0022】

- 10 半導体装置
- 12 外部導電クリップ
- 14 ウェブ部
- 18 第1半導体ダイ
- 24 ドレイン電極
- 28 内部導電クリップ
- 33 接触表面
- 36 第2半導体ダイ
- 38 導電層
- 40 絶縁層
- 42 隆起部

40

【 図 1 】

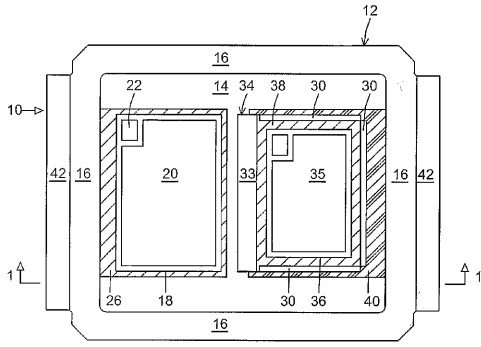


FIG.1

【 図 2 】

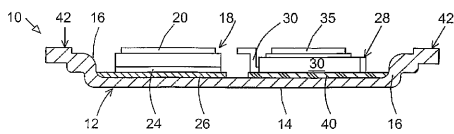


FIG.2

【 図 3 】

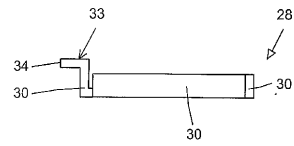


FIG.3

【 図 4 】

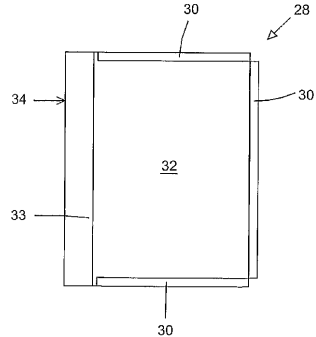


FIG.4

【 図 5 】

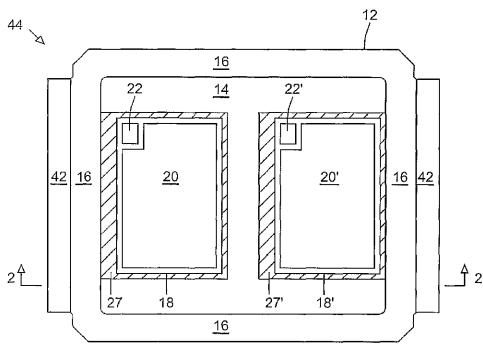


FIG.5

【 図 6 】

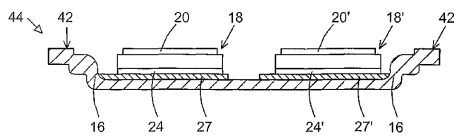


FIG.6

【 図 7 】

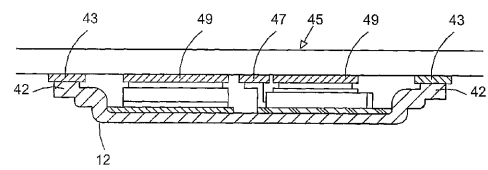


FIG.7

【 図 8 】

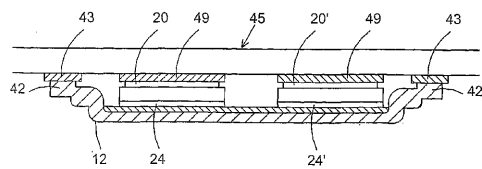


FIG.8

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US02/82677																		
A. CLASSIFICATION OF SUBJECT MATTER																				
IPC(7) : H01L 23/10, 23/02, 23/28, 23/34, 23/43, 29/74; H05K 7/20, 5/06																				
US CL : Please See Extra Sheet.																				
According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED																				
Minimum documentation searched (classification system followed by classification symbols)																				
U.S. : 257/685,723,724,729-752,699,777,680,774,773,706,712,713,684,796,675,717,720,686																				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																				
EAST																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT																				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	US 5,754,402 A (MATSUZAKI et al.) 19 May 1998 (19.05.1988), see figures 2 and 3.	1-6, 8, 10-24																		
X	US 5,929,519 A (MORI et al.) 27 July 1999 (27.07.1999), see figure 12.	1-24																		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																				
<table border="0"> <tr> <td>* Special categories of cited documents:</td> <td>"I"</td> <td>later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"X"</td> <td>document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"E" earlier document published on or after the international filing date</td> <td>"Y"</td> <td>document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"G"</td> <td>document member of the same patent family</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td></td> <td></td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> <td></td> </tr> </table>			* Special categories of cited documents:	"I"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"E" earlier document published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"G"	document member of the same patent family	"O" document referring to an oral disclosure, use, exhibition or other means			"P" document published prior to the international filing date but later than the priority date claimed		
* Special categories of cited documents:	"I"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention																		
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																		
"E" earlier document published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																		
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"G"	document member of the same patent family																		
"O" document referring to an oral disclosure, use, exhibition or other means																				
"P" document published prior to the international filing date but later than the priority date claimed																				
Date of the actual completion of the international search		Date of mailing of the international search report																		
24 NOVEMBER 2002		23 DEC 2002																		
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-9280		Authorized officer <i>Alexander Williams</i> ALEXANDER WILLIAMS Telephone No. (703) 308 4868																		

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US02/82677

A. CLASSIFICATION OF SUBJECT MATTER:
US CL :

257/685,723,724,729-733,699,777,680,774,773,706,712,713,684,796,675,717,720,686

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 マーティン・スタンディング

イギリス・ケント・TN9・1XD・トンブリッジ・バーデン・パーク・ロード・19